



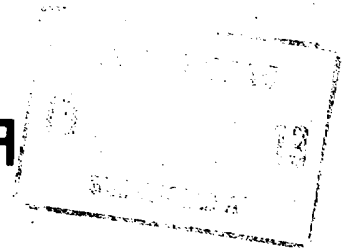
СОЮЗ СОВЕТСКИХ  
СОЦИАЛИСТИЧЕСКИХ  
РЕСПУБЛИК

(19) **SU** (11) **1180882** **A**

(51) 4 G 06 F 7/52

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

## ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3641492/24-24

(22) 14.09.83

(46) 23.09.85. Бюл. № 35

(72) В.Е.Золотовский и Р.В.Коробков

(71) Таганрогский радиотехнический  
институт им. В.Д.Калмыкова

(53) 681.325(088.8)

(56) Авторское свидетельство СССР  
№ 522498, кл. G 06 F 7/52, 1974.

Соловьев Г.И. Арифметические устрой-  
ства ЭВМ. М.: Советское радио,  
1978, с. 43, 108-111, рис. 5-3.

(54) (57) УСТРОЙСТВО ДЛЯ УМНОЖЕНИЯ  
В ОБРАТНЫХ КОДАХ, содержащее регист-  
ры множимого, множителя и результата,  
сумматор, два блока элементов И, при-  
чем входы множимого и множителя  
устройства соединены с информационны-  
ми входами соответствующих регистров,  
выходы регистра результата и регист-  
ра множителя являются соответственно  
выходами старшей и младшей частей ре-  
зультата, прямой и инверсный выходы  
регистра множимого соединены соот-  
ветственно с информационными входами

первого и второго блоков элементов  
И, выходы которых соединены с соот-  
ветствующими входами сумматора, тре-  
тий вход которого соединен с выходом  
регистра результата, выход суммато-  
ра со сдвигом на один разряд в сторо-  
ну младших соединен с информа-  
ционным входом регистра резуль-  
тата, тактовые входы которого и ре-  
гистра множителя соединены с такто-  
вым входом устройства, выход млада-  
го разряда сумматора соединен с вхо-  
дом старшего значащего разряда ре-  
гистра множителя, о т л и ч а ю щ е  
е с я тем, что, с целью повышения  
быстродействия, прямой и инверсный  
выходы знакового разряда регистра  
множителя соединены соответственно  
с первыми управляющими входами  
второго и первого блоков элементов  
И, прямой и инверсный выходы млада-  
шего разряда регистра множителя сое-  
динены соответственно с вторыми  
управляющими входами первого и вто-  
рого блоков элементов И.

(19) **SU** (11) **1180882** **A**

Изобретение относится к вычислительной технике и может быть использовано при конструировании и разработке специализированных и универсальных процессоров.

Целью изобретения является повышение быстродействия.

На чертеже представлена схема устройства для умножения в обратных кодах.

Устройство для умножения в обратных кодах содержит вход 1 множимого, регистр 2 множимого, вход 3 множителя, регистр 4 множителя, блок 5 элементов И, сумматор 6, блок 7 элементов И, регистр 8 результата, тактовый вход 9, выходы 10 и 11 старшей и младшей частей результата.

Устройство работает следующим образом.

Перед началом операции умножения с входа 1 в регистр 2 записывается обратный код множимого ( $X_{об.}$ ). С входа 3 в регистр 4 записывается обратный код множителя ( $Y_{об.}$ ). Если  $y \geq 0$ , то элементы И 7 заперты ( $T_{зн.} = 0$ ). На выходах элементов И 5 формируется конъюнкция  $\Pi_n = X_{об.} \& Y_{об.n.}$ , где  $Y_{об.n.}$  — содержимое младшего значащего разряда регистра 4. Поэтому, если  $Y_{об.n.} = 1$ , то в сумматор 6 поступает код  $X_{об.}$ . Если  $Y_{об.n.} = 0$ , в сумматор поступает ноль. По затухании переходных процессов в элементах И 5 и сумматоре 6, на вход 9 подается тактовый сигнал. По заднему фронту этого сигнала величина  $\Pi_n$  записывается в регистр 8 с сдвигом, происходит сдвиг множителя в регистре 4.

Младший разряд  $\Pi_n$  с выхода сумматоров записывается в старший значащий разряд 4. В триггере  $T_{1n}$  ус-

танавливается следующий разряд множителя  $Y_{об.(n-1)}$ . На этом первый цикл умножения заканчивается.

Во втором цикле сформированное значение  $\frac{1}{2} \Pi_n$  из регистра 8 поступает на вход сумматора 6. Одновременно из элементов И 5 на вход сумматора 6 поступает конъюнкция  $\Pi_{n-1}$ .

В результате в сумматоре формируется сумма

$$S_1 = \frac{1}{2} \Pi_n + \Pi_{n-1}.$$

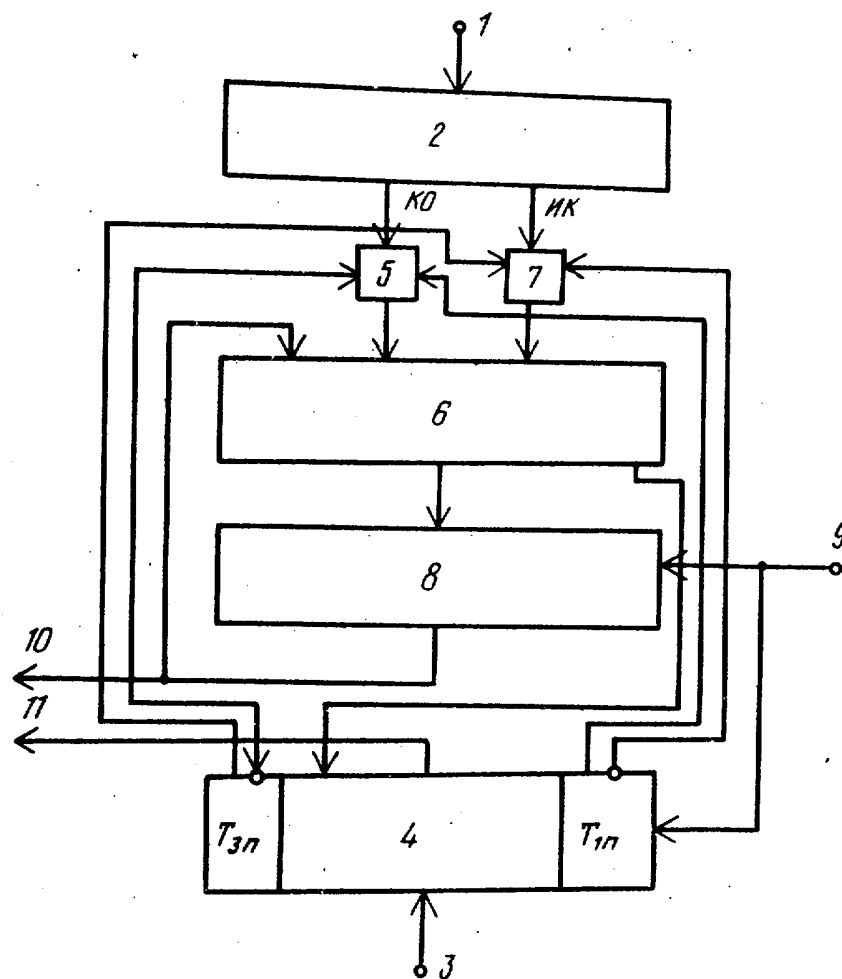
По затухании переходных процессов на вход 9 подается второй тактовый сигнал, по которому сумма  $S_1$  записывается в регистр 8 со сдвигом, множитель в регистре 4 сдвигается еще на один разряд, младший разряд регистра 8 записывается в старший значащий разряд регистра 4. На этом второй цикл умножения заканчивается.

Аналогичным образом выполняется еще  $n-2$  -цикле. После выполнения последнего цикла на выход 10 поступают старшие разряды, а на выход 11 — младшие разряды произведения в обратном коде.

Если  $Y < 0$ , то запираются элементы И 5, и величины  $\Pi_n$  формируются на выходах элементов И 7. Устройство работает аналогично рассмотренному случаю с той лишь разницей, что  $\Pi_n = \text{инверсия}(X_{об.}) \& Y_{об.n.}$  и т.д.

Следует отметить, что при сдвиге в регистре 4 сдвигаются все разряды, кроме знакового.

Регистр 8 и сумматор 6 имеют дополнительный знаковый разряд, так как сумма частичных произведений формируется в модифицированном коде.



Редактор Г.Волкова      Составитель А.Клюев  
 Техред М.Гергель      Корректор М.Максимишинец

Заказ 5926/47      Тираж 709      Подписное  
 ВНИИПИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИИИ "Патент", г. Ужгород, ул. Проектная, 4