



# [12] 实用新型专利说明书

[21] ZL 专利号 200420077282.7

[45] 授权公告日 2005 年 10 月 5 日

[11] 授权公告号 CN 2731713Y

[22] 申请日 2004. 8. 17

[21] 申请号 200420077282.7

[30] 优先权

[32] 2003. 8. 18 [33] US [31] 60/496,310

[32] 2003. 9. 22 [33] US [31] 10/667,871

[73] 专利权人 台湾积体电路制造股份有限公司

地址 台湾省新竹科学工业园区

[72] 设计人 杨育佳 胡正明

[74] 专利代理机构 北京三友知识产权代理有限公司

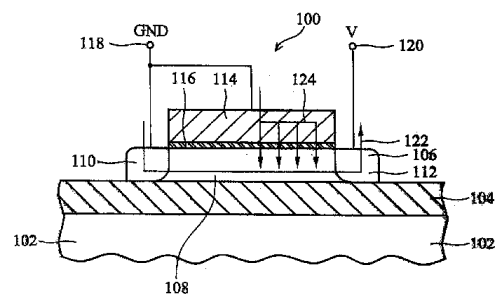
代理人 王一斌

权利要求书 3 页 说明书 10 页 附图 9 页

[54] 实用新型名称 半导体装置及静电放电保护电路

[57] 摘要

本实用新型揭示一种半导体装置，包括一电阻器，形成于一半导体层中，例如一位于绝缘层上有硅层(SOI)基底上方的硅层；一本体区，形成于一部分的半导体层中并掺杂有一第一导电性(例如 n 型或 p 型)；一第一接触区，形成于半导体层并邻近本体区，其亦掺杂有一第一导电性；一第二接触区，形成于半导体层中并藉由本体区隔开第一接触区；一介电层，位于本体区上方，其由介电常数大于 8 的材料所形成；一电极，位于介电层上方。



1. 一种半导体装置，其特征在于，包括：
- 一半导体层；
  - 一本体区，形成于一部分的该半导体层中，该本体区掺杂有一第一导电性且具有一第一电阻率；
  - 一第一接触区，形成于该半导体层中且邻近于该本体区，该第一接触区掺杂有该第一导电性；
  - 一第二接触区，形成于该半导体层中且藉由该本体区而与该第一接触区相隔，该第二接触区掺杂有该第一导电性；
  - 一介电层，位于该本体区上方，该介电层包括具有一个介电常数大于8的材料；以及
  - 一电极，位于该介电层上方。
2. 根据权利要求1所述的半导体装置，其特征在于，更包括一绝缘层，位于该半导体层下方。
3. 根据权利要求1所述的半导体装置，其特征在于，更包括：
- 多个间隙壁，形成在该电极侧边；以及
  - 一蚀刻终止层，位于该电极及所述多个间隙壁上方。
4. 一种半导体装置，其特征在于，包括：
- 一上方具有一绝缘层的硅层；
  - 一本体区，形成于一部分的该硅层中；
  - 一介电层，位于该本体区上方，该介电层包括一高介电常数层；
  - 一上电极，位于该介电层上方；以及
  - 一对掺杂区，形成于该硅层中，相对设置并与该本体区相邻，该对掺杂区掺杂有相同于该本体区的导电性。
5. 根据权利要求4所述的半导体装置，其特征在于，该高介电常数层的

介电常数大于 8。

6. 根据权利要求 4 所述的半导体装置，其特征在于，更包括：  
多个间隙壁，形成在该电极侧边；以及  
一蚀刻终止层，位于该电极及所述多个间隙壁上方。
- 5 7. 根据权利要求 4 所述的半导体装置，其特征在于，更包括一浅沟槽隔离区，其与该硅层相邻。
8. 一种半导体装置，其特征在于，包括：  
一基底；  
一绝缘层位于该基底上方；  
10 一有源区，形成于位于该绝缘层上方的一硅层中；  
一本体区，形成于一部分的该硅层中且具有一第一导电性；  
一界面层，邻近于该本体区上方；  
一高介电常数层，位于该界面层上方，该高介电常数层包括具有一介电常数大于 8 的材料；
- 15 一上电极，位于该高介电常数层上方；以及  
一对掺杂区，形成于该有源区中，相对设置并与该本体区相邻，且具有该第一导电性。
9. 根据权利要求 8 所述的半导体装置，其特征在于，该高介电常数层包括择自：由氧化铝、氮氧化铍、硅酸铍、氧化锆、氮氧化锆、硅酸锆、氧化钇、氧化镧、氧化铈、氧化钛、氧化钽及其组合所组成族群的一材料。
- 20 10. 根据权利要求 9 所述的半导体装置，其特征在于，更包括一第二有源区，位于该绝缘层上方，该第二有源区内包括一晶体管，且该晶体管包括一介电常数大于 8 的栅极介电层。
11. 一静电放电保护电路，其特征在于，包括：  
25 一输入 / 输出接垫；  
一被保护电路；

一二极管，耦接至该输入/输出接垫与一参考电压节点之间；

一电阻，耦接至该输入/输出接垫与该电路之间，该电阻包括一本体区、  
一第一接触区，邻近该本体区以电性连接该本体区至该输入/输出接垫、一  
第二接触区，邻近该本体区以电性连接该本体区至该电路、一介电层，其位  
5 于该本体区上方且介电常数大于8、以及一电极，位于该介电层上方。

12. 根据权利要求11所述的静电放电保护电路，其特征在于，该二极管  
包括：

一二极管本体区；

一二极管介电层，位于该二极管本体区上方且介电常数大于8；

10 一二极管电极，位于该二极管介电层上方；以及

一p型掺杂区及一n型掺杂区相对设置并邻近该二极管本体区。

13. 根据权利要求11所述的静电放电保护电路，其特征在于，更包括一  
第二二极管耦接至该输入/输出接垫与一第二参考电压节点之间，其中该第  
二二极管包括：

15 一二极管本体区；

一二极管介电层，位于该二极管本体区上方且介电常数大于8；

一二极管电极，位于该二极管介电层上方；以及

一p型掺杂区及一n型掺杂区相对设置并邻近该二极管本体区。

14. 根据权利要求13所述的静电放电保护电路，其特征在于，更包括：

20 一第二电路；以及

一第二电阻，耦接至该第二电路与该输入/输出接垫之间，该第二电阻  
包括一本体区、一第一接触区，邻近该本体区以电性连接该本体区至该输入  
/输出接垫、一第二接触区，邻近该本体区以电性连接该本体区至该第二电  
路、一介电层，其位于该本体区上方且介电常数大于8、以及一电极，位于  
25 该介电层上方。

## 半导体装置及静电放电保护电路

### 5 技术领域

本实用新型是有关于一种半导体装置，特别是有关于一种减少漏电流的电阻器。

### 10 背景技术

电阻器是普遍使用于半导体集成电路。举例而言，如混合式模拟及数字电路。同样地，电阻器亦使用于输入及输出电路，如输入及输出电阻器。

在形成于绝缘层上有硅层的基底的集成电路中，一电阻器可形成于一部分  
15 分的单晶硅层。相较于传统复晶硅电阻器结构，此单晶硅层具有高稳定性及低噪声。电阻器亦需具有低的寄生电容。由于完全的介电隔离及绝缘基底，形成于绝缘层上有硅层的基底的电阻器具有极低的寄生电容。

在形成于绝缘层上有硅层的基底的电阻器中，电阻器本体通常形成于一  
20 氧化硅层下方，该氧化硅层位于一复晶硅层下方。复晶硅层通常连接至电阻器的一或二接头。随着互补式金氧半导体（CMOS）技术的提升，氧化硅层的厚度日益缩小。当氧化硅层的厚度缩小时，复晶硅层与电阻器本提之间的漏电流增加。此增加的漏电流造成了噪声的增加。

另外，电阻器有时会作为部分的输入保护电路以提供电路对抗静电放电  
25 ESD）。在此情形中，电阻器是用以减弱 ESD 电压并吸收 ESD 能量。应用于 ESD 的电阻器，其两端点有可能出现几千伏特的大电压。由于复晶硅层及电阻

本体是连接至电阻的两端接头，所以复晶硅层与电阻器本体之间的氧化硅层有可能发生崩溃。

## 发明内容

5

有鉴于此，本实用新型的目的在于提供一种可减少漏电流及噪声的半导体装置。

10 根据上述的目的，本实用新型提供一种半导体装置。一电阻器，形成于一半导体层，例如是绝缘层上有硅层(SOI)的基底上方的一硅层；一本体区，形成于一部分的半导体层并掺杂有一第一导电性；一第一接触区，形成于半导体层并邻近本体区，其掺杂有该第一导电性。一第二接触区，同样形成于半导体层并藉由本体区而与第一接触区相隔，第二接触区掺杂有该第一导电性；一介电层，位于本体区上方并由介电常数大于8的材料所构成；以及一电极，位于介电层上方。

15 又根据上述的目的，本实用新型提供一种半导体装置。一绝缘层上有硅层的电阻器，包含一硅层及位于其上方的一绝缘层；一本体区，形成于一部分的硅层中且一介电层位于本体区上方，较佳地，此介电层硅一高介电常数层；一上电极，位于介电层上方；以及一对掺杂区相对地形成于硅层中并相邻于本体区，该对掺杂区与该本体区掺杂相同的导电性。

20 又根据上述的目的，本实用新型提供一种半导体装置。一绝缘层上有硅层的装置，其包含一基底及位于其上方的绝缘层；一有源区，形成于位于绝缘层上方的硅层中；一本体区，形成于一部分的硅层中，其具有一第一导电性；一界面层，例如 $\text{SiO}_2$ 或 $\text{SiON}$ ，位于本体区上方并邻近该本体区；一高介电常数层，例如介电常数大于8的材料层，位于界面层上方；一上电极，位于高介电常数层上方；以及一对掺杂区，相对地形成于有源区内并相邻于本体区，其具有第一导电性。

25

本实用新型的半导体装置可藉由提供一绝缘层上有硅层的基底而形成之，其包含位于一绝缘层上的一硅层；一具有第一导电性的电阻本体，形成于一部分的硅层中，例如对该层进行掺杂；一介电层，例如介电常数大于 8 的介电层，位于本体区上方；一上电极，形成于介电层上；以及一对掺杂区，彼此相对且相邻于本体区。

### 附图说明

图 1 是绘示出根据本实用新型第一实施例的绝缘层上有硅层的电阻器；  
 图 2 是绘示出根据本实用新型第二实施例的绝缘层上有硅层的电阻器；  
 图 3a 是绘示出根据本实用新型实施例的电阻器俯视图；  
 图 3b 及图 3c 绘示出图 3a 中电阻器的剖面示意图；  
 图 4 是绘示出形成于相同芯片上的绝缘层上有硅层的晶体管以及电阻器；  
 图 5a 到图 5f 是绘示出制作一装置的流程剖面示意图；  
 图 6 是绘示出包含本实用新型电阻器的电路；及  
 图 7 是绘示出如本实用新型电阻器般制作于相同芯片的二极管。

符号说明：

100、100' ~ 电阻器；102 ~ 基底；104 ~ 埋入绝缘层；106 ~ 半导体层；106a、106c ~ 有源区；108 ~ 电阻本体；110、112、178、180 ~ 掺杂区；114 ~ 上电极；116 ~ 介电层；118 ~ 第一接头；120 ~ 第二接头；122 ~ 第一电流路径；124 ~ 第二电流路径；126 ~ 高介电常数层；130 ~ 隔离区；132、192 ~ 间隙壁；140 ~ 主动装置；142 ~ 源极区；144 ~ 漏极区；146 ~ 栅极介电层；148、184 ~ 栅极电极；150 ~ 有源区掩膜；152 ~ 沟槽；154 ~ 接触窗蚀刻终止层；156 ~ 内层介电层；158 ~ 接触插塞；160 ~ 硅部；162 ~ 硅化部；166 ~ 输入/输出接垫；168、170 ~ 电路部；172 ~ 第一二极管串行；174 ~ 第二二极管串行；176 ~ 二极管；188、190 ~ 掺杂部；194 ~ 导电区。

## 具体实施方式

为了让本实用新型的上述目的、特征和优点能更明显易懂，下文特举较佳  
5 实施例，并配合所附图式，作详细说明如下：

以下说明本实用新型实施例的可减少漏电流的电阻器。上述电阻器可形  
成于一绝缘层上有半导体 (semiconductor-on-insulator, SOI) 的基底。在  
本实施例中，绝缘层上有半导体的基底较佳为一绝缘层上有硅层的基底，其  
包含一氧化硅层及一硅层层依序位于一基底上。绝缘层上有硅层的基底中的  
10 硅层可为一松弛硅层或是一应变硅层。

请参照图 1，其绘示出一较佳实施例的电阻器 100 剖面示意图。在本实施  
例中，此装置是形成于一绝缘层上有硅层的基底，其包含一基底 102，一埋入  
绝缘层 104，及一半导体层 106。电阻器 100 具有一本体区 108 或电阻本体，  
形成于一部分的硅层 106 中。一对掺杂区 110 及 112 系相对地形成于电阻本  
15 体 108 内并相邻于电阻本体 108。

此处，可硅化上述掺杂区以形成低电阻区 (未绘示)。另外，为了防止电  
阻器的本体区硅化，一迭层是形成于电阻本体 108 上，其包含一介电层 116  
及位于上方的上电极 114 (通常为复晶硅)，如图 1 所示。可藉由形成于集成  
电路其它部分的晶体管中的介电层来形成介电层 116。因此，介电层 116 的厚  
20 度是随着技术的日益提升而有缩小厚度的趋势。

如图 1 所示，掺杂区 110 及 112 电性连接于集成电路的其它部分。举例  
而言，电阻器 100 的一第一接头 118 可连接至接地电位 (标示 GND)，而一第  
二接头 120 可连接至一具有电位  $V$  的电路节点。电位  $V$  可高于接地电位。如  
此一来，电流沿着一电流路径 122 通过电阻器。电阻本体 108 是提供电阻器  
25 两端接头 118 及 120 之间的电阻。

一第二电流路径亦存在于电阻器两端接头 118 及 120 之间，如图 1 中标



示 124 之处。第二电流路径 124 是与电流路径 122 并联而对电阻器 100 有不利的影响。随着介电层 116 厚度缩小, 沿着第二电流路径 124 的电流会增加。这是因为当介电层的厚度小时, 介电层 116 中会发生电荷载子的量子力学穿隧效应。根据本实用新型的实施例, 使用高介电常数 (high k) 的材料作为介电层 116, 在维持相同的电容特性下可增加介电层的厚度。如此一来, 可明显地抑制流经第二电流路径 124 的电流。

因此, 在本实用新型实施例中, 位于电阻本体 108 上方的介电层 116 包括一高介电常数 (high k) 介电层。使用高介电常数层, 介电层 116 的厚度可明显大于利用氧化硅作为介电层。高介电常数层其介电常数大于 8, 较佳的介电常数大于 10, 而更佳的介电常数大于 20。高介电常数层 116 包括择自: 由氧化铝 ( $\text{Al}_2\text{O}_3$ )、氧化铪 ( $\text{HfO}_2$ )、氮氧化铪 ( $\text{HfON}$ )、硅酸铪 ( $\text{HfSiO}_4$ )、氧化锆 ( $\text{ZrO}_2$ )、氮氧化锆 ( $\text{ZrON}$ )、硅酸锆 ( $\text{ZrSiO}_4$ )、氧化钇 ( $\text{Y}_2\text{O}_3$ )、氧化镧 ( $\text{La}_2\text{O}_3$ )、氧化铈 ( $\text{CeO}_2$ )、氧化钛 ( $\text{TiO}_2$ )、氧化钽 ( $\text{Ta}_2\text{O}_5$ ) 及其组合所组成族群的一材料。较佳地, 高介电常数层 116 为氧化铪。介电层 116 可同时包括氧化硅 ( $\text{SiO}_2$ )、氮氧化硅 ( $\text{SiON}$ )、或氮化硅 ( $\text{Si}_3\text{N}_4$ )。

介电层的氧化硅等效厚度 (EOT) 大于 5 埃, 较佳为大于 10 埃, 而更佳为大于 20 埃。介电层的氧化硅实际厚度 (physical thickness) 大于 5 埃, 较佳为大于 20 埃, 而更佳为大于 40 埃。

上电极 114 包括一导电材料, 例如包括: 复晶硅或非晶硅、复晶硅锗、金属、金属氮化物、金属硅化物、金属氧化物及其组合。较佳地, 上电极 114 包括具有一硅化层的复晶硅。

钼 (Mo)、钨 (W)、钛 (Ti)、钽 (Ta)、铂 (Pt) 及铪 (Hf) 等金属可作为部分的上电极 114。金属氮化物可包括: 氮化钼 (MoN)、氮化钨 (WN)、氮化钛 (TiN)、氮化钽 (TaN), 然而本实用新型未受限于此。金属硅化物可包括: 硅化镍、硅化钴、硅化钨、硅化钛、硅化钽、硅化铂、硅化铪, 然而本实用新型未受限于此。金属氧化物可包括: 氧化钨、铟锡氧化物 (ITO), 然

而本实用新型未受限于此。

需注意的是电阻本体 108 厚度较佳为 20 到 1000 埃的范围，而更佳为 20 到 400 埃的范围。就其而言，第一电流路径 122 接近于电阻本体 108 与介电层 116 之间的界面。如此一来，需进行量测以确保界面 108/116 具有低于  
5  $10^{10}\text{cm}^{-2}$  的界面捕获电荷密度 (interface trap density)。界面缺陷将导致流经电阻器的电荷载子突然地被捕获或脱离，因而分别造成电流突然地减少或增加。此显示出电阻器中的电流噪声源。

为了降低电流噪声，电阻本体 108 上方的介电层 116 至少包括两层：一界面介电层 128 及一位于上方的高介电常数层 126，如图 2 所示。较佳地，界  
10 面介电层 128 对于接触的电阻本体 108 具有良好的界面特性。在本实施例中，界面介电层 128 包括氧化硅 (例如  $\text{SiO}_2$ ) 或是氮氧化硅 (例如  $\text{SiO}_x\text{N}_y$ )。

电阻本体 108 可为 n 型或是 p 型掺杂。与电阻本体 108 相邻的掺杂区 110 及 112 具有相同于电阻本体 108 的掺杂类型。较佳地，掺杂区 110 及 112 具有高掺杂浓度，例如在  $10^{18}\text{cm}^{-3}$  到  $5\times 10^{21}\text{cm}^{-3}$  的范围。电阻本体 108 掺杂浓度  
15 低且取决于所需的电阻率。典型地，掺杂浓度在  $10^{16}\text{cm}^{-3}$  到  $10^{19}\text{cm}^{-3}$  的范围。

图 3a 是绘示出根据本实用新型实施例的电阻器 100 俯视图或布局图。电阻器具有一宽度 W 及一长度 L。在本实施例中，宽度 W 大于 0.1 微米，而较佳为大于 1 微米。在本实施例中，长度 L 大于 0.1 微米，而较佳为大于 1 微米。电阻器的详细结构请参照沿 3b-3b' 线及 3c-3c' 线的剖面示意图。

20 图 3b 是绘示出沿图 3 中 3b-3b' 线的剖面示意图。上电极 114 侧向延伸至隔离区 130。隔离区 130 可包括现有所使用的隔离结构，例如浅沟槽隔离结构。浅沟槽隔离结构可包括一介电填充材料，例如由化学气相沉积所形成的氧化硅。此浅沟槽隔离结构亦可包括一沟槽衬氧化层 (未绘示) 位于沟槽边界。沟槽衬氧化层可包含或不包含氮。

25 其它的隔离类型亦可交替使用。举例而言，图 1 绘示出一有源区 106 被台地隔离 (mesa isolation) 所包围。可以理解电阻器可运用于利用沟槽隔

离的绝缘层上有硅层的技术或是利用台地隔离的绝缘层上有硅层的技术。在台地隔离中，在形成晶体管或是电阻器之前，沟槽并无填入介电填充材料。

图 3b 中所绘示出的上电极具有一厚度  $t$ ，其较佳为 200 到 2000 埃的范围。此电阻器结构可额外包含形成于上电极 114 侧边的间隙壁 132。上电极 114 材  
5 料可与形成于集成电路另一部分中的晶体管栅极电极相同，如图 4 所示。

图 3c 是绘示出沿图 3 中 3c-3c' 线的剖面示意图。此图式显示出掺杂区 110 及 112。

请参照图 4，电阻器可形成于一有源区 106c 中，其邻近于一主动装置 140，例如一晶体管。在图 4 中，晶体管 140 是形成于一有源区 106a 中且包含源极  
10 区 142、漏极区、栅极介电层 146、与栅极电极 148。电阻器介电层 116 可与晶体管栅极介电层 146 具有相同或不同的介电材料。电阻器 100 的栅极电极 114 可与晶体管 140 的栅极电极 148 具有相同或不相同的材料。在典型的实施  
例中，掺杂区 110 及 112 之间的距离大于晶体管 140 通道长度（例如源极区 142 与漏极区 144 之间的距离）的 2 到 100 倍。

接着，以下配合图 5a 到图 5f 说明电阻器的制造方法。其与图 3b 的截面  
15 相同。首先请参照图 5a，提供一绝缘层上有硅层的基底，其包含基底 102、绝缘层 104、及半导体层 106，及用以在半导体层 106 中定义沟槽 152 的有源区掩膜 150。半导体层 106 的厚度较佳为 1000 埃或是更薄。绝缘层 104 的厚  
度较佳为 1200 埃或是更薄。掩膜 150 可包括氮化硅，而较佳为一位于氧化硅  
20 层上方的氮化硅。

可藉由化学气相沉积将沟槽填充介电材料填入沟槽 152，接着实施一化学  
机械研磨步骤。藉由这些步骤构成隔离区 130。接着去除掩膜 150，如图 5b  
所示。

可实施一离子植入步骤以对有源区进行掺杂，其一部分会变成电阻本体  
25 108。离子植入的剂量取决于半导体层的电阻率以决定电阻器的电阻。举例而  
言，植入剂量在  $10^{13}$  到  $10^{16} \text{cm}^{-2}$  的范围。

接着，介电层 116 是形成于有源区 106 上方，其包括一高介电常数材料，如图 5c 所示。介电层的实际厚度可大于 5 埃，较佳为大于 20 埃，而更佳为大于 40 埃。再者，介电层小于 200 埃，较佳微小于 100 埃，而更佳为小于 50 埃。

5 介电层 116 可与晶体管栅极介电层 146 一起形成于一半导体芯片中的不同部分（请参照图 4）。经由与晶体管栅极介电层 146 一起形成的介电层 116，无须进行额外的制程步骤。可使用之前所述的高介电常数介电材料。此高介电常数层可藉由化学气相沉积、溅镀沉积、或其它形成高介电常数介电材料的已知技术来形成之。

10 一界面层（请参照图 2）可在形成高介电常数介电材料之前形成于本体区 108 上。此界面层可为一氧化硅层或是一氮氧化硅层并可藉由热氧化法及 / 或氮化法形成之。有源区 106 可在形成界面层之前，在含氢或含氮环境下进行额外处理。

请参照图 5d，上电极 114 可接着沉积于介电层 116 上方。此上电极 114  
15 材料可为非晶硅、复晶硅、复晶硅锗、金属、金属硅化物、或金属氮化物，如先前所述。上电极 114 材料可藉由现有技术形成之，例如化学气相沉积。举例而言，上电极 114 亦可藉由沉积硅及金属而形成之，接着在经由回火处理而形成一金属硅化电极，其包含一硅部 160 及一硅化部 162。接着藉由微影技术图案化电极材料并藉由电浆蚀刻以形成电极 114。至少在被电极 114 所覆  
20 盖的电阻器部分中保留该介电层 116。对相邻于本体区 108 的掺杂区 110 及 112（请参照图 1、图 2、或图 3）进行掺杂以使得其与本体区 108 电性接触。

请参照图 5e，间隙壁 132 可额外形成于电极 114 的侧边。可接着对上电极材料的沉积可藉由与沉积晶体管栅极电极材料相同的步骤来形成于不同部分的半导体芯片中，且上电极的蚀刻可与该晶体管的栅极电极蚀刻一起完成。  
25 图 5d 绘示出完成制作的上电极。接着可对未被间隙壁 132 或电极 114 覆盖的有源区 106 的掺杂区（110 及 112）进行另外的离子植入。一接触窗蚀刻终止

层 154 可形成于电极 114 及间隙壁 132。一内层介电层 (ILD) 156 可形成电阻器上方,且接触孔系经由蚀刻 ILD 156 出至电阻器的电极 114 及掺杂区(110 及 112)。接着将导电材料(例如钨金属)填入接触孔以形成接触插塞 158,如图 5f 所示。

5 本实用新型的电阻器可应用于一些电路中。图 6 是绘示出一范例,亦即一静电放电 (ESD) 保护电路。以下说明此电路。

图 6 是显示出本实用新型如何配置于集成电路保护电路。在此范例中,电阻器 100 及 100'系耦接于输入/输出(I/O)接垫 166 与两电路部 168 及 170 之间。电阻器 100 及 100'可为本实用新型中任一所述的电阻器。在此范例中,10 电路部 168 是标示为一输出电路且电路部 170 是标示为一输入电路。然而,可以了解到这些电路部可为任何需高压屏蔽的电路。

I/O 接垫 166 是受到高压的任何节点。典型的节点为芯片与外界(例如外部电路连接至一被组装之系统或处理装置)之间的输入及输出点。接垫 166 为 I/O 接垫,其代表输入/输出。然而,需注意的是此处所指的 I/O 包含只15 供输入、只供输出、或提供输入及输出的接垫(或是受到高压的任何节点)。

图 6 的电路亦绘示出耦接于一供应电压源  $V_{DD}$  (例如: 5V、3.3V、2.5V、或 1.8V) 与 I/O 接垫 166 之间的第一二极管串行 172 及耦接于一供应电压源  $V_{SS}$  与 I/O 接垫 166 之间的第二二极管串行 174。每一二极管串行 172 及 174 包含一或多个二极管 176。在本实施例中,二极管 176 包括美国专利申请案第20 10/641,813 号所述的二极管。举例而言,二极管串行 172 可包含一耦接至 I/O 接垫 166 的具有 p 型掺杂区的二极管 176, 及另一具有 n 型掺杂区的二极管 176 (或是相同的二极管) 耦接至供应电压源  $V_{DD}$ 。二极管串行 174 耦接于 I/O 接垫 166 与参考电压  $V_{SS}$  (例如: 接地) 之间。在此情形中,一 p 型掺杂区系接地而 n 型掺杂区系耦接至接垫 166。

25 图 7 是绘示出一闸式二极管 (gated diode) 176 的剖面示意图,除了标号之外,图 7 与美国专利申请案第 10/641,813 号的图 4 相同。二极管 176 是

形成于一半导体基底 102。在其它范例中，此二极管可形成于半导体层 106(例如如图 1 或图 2 所示)。

此闸式二极管 (gated diode) 176 包含一 n+型掺杂区 178 及一 p+型掺杂区 180，两者被一本体区 182 所隔开。栅极 184 位于本体区 182 上方并藉由一介电层 186 与其相隔。在本实施例中，栅极包含一 n 型掺杂部 188 及一相邻的 p 型掺杂部 190。在其它实施例中，可使用其它导体来形成栅极 184。图 7 亦绘示出间隙壁 192 及导电区 194 (例如：硅化物)，如先前所述。

在本实施例中，介电层 186 包括一高介电常数层。事实上，介电层 186 可藉由之前所述的用以形成电阻器的介电层 116 的相同层来形成之。结合形成电阻器 100、二极管 176、及晶体管 140 (例如：电路部 168、170) 的制程步骤以简化电路的制作，例如图 6 的 ESD 保护电路。

此处所述的二极管 176 是一特定范例，可轻易了解到美国专利申请案第 10/641,813 号中所揭示的任何二极管实施例均可运用于本实用新型。

虽然本实用新型已以较佳实施例揭露如上，然其并非用以限定本实用新型，任何熟习此技艺者，在不脱离本实用新型的精神和范围内，当可作些许的更动与润饰，因此本实用新型的保护范围当视所附的权利要求范围所界定者为准。

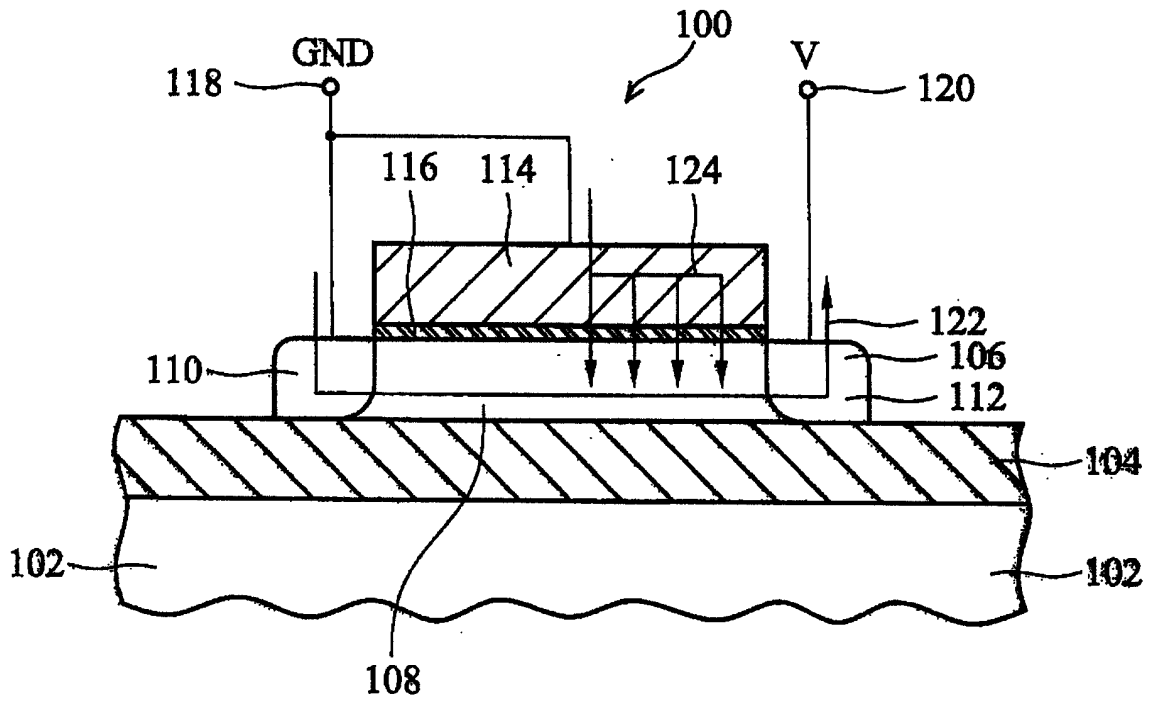


图 1

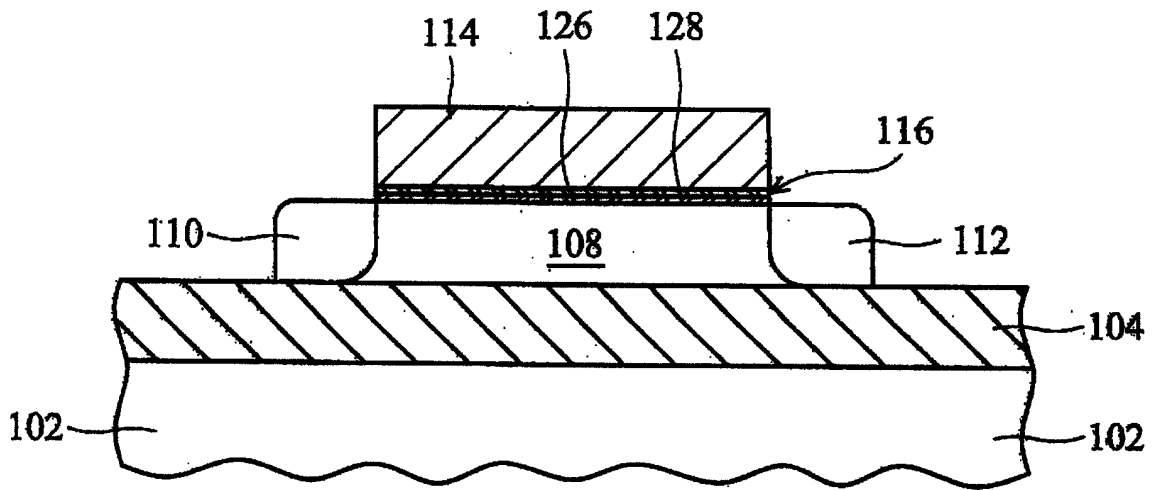


图 2

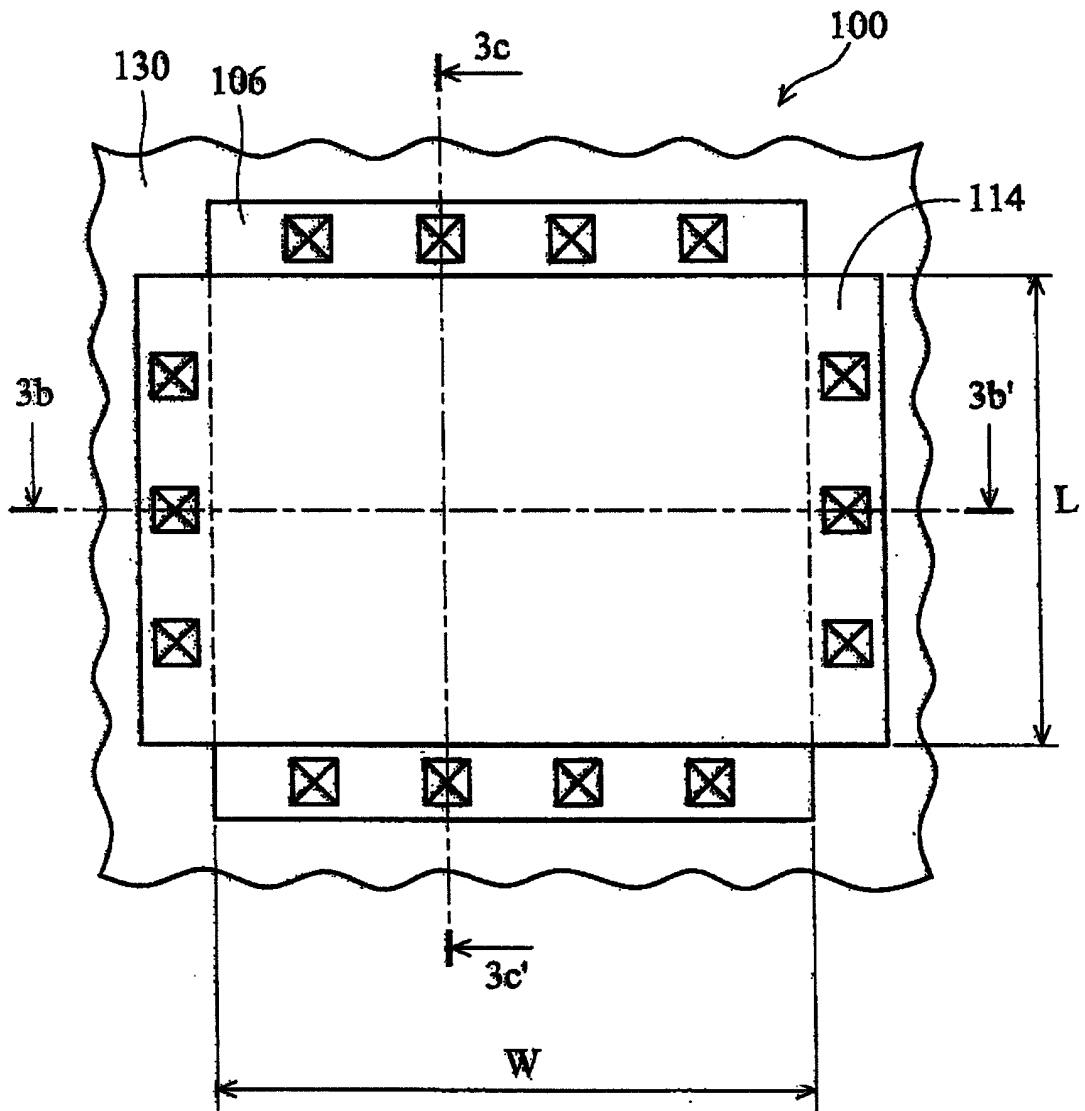


图 3a



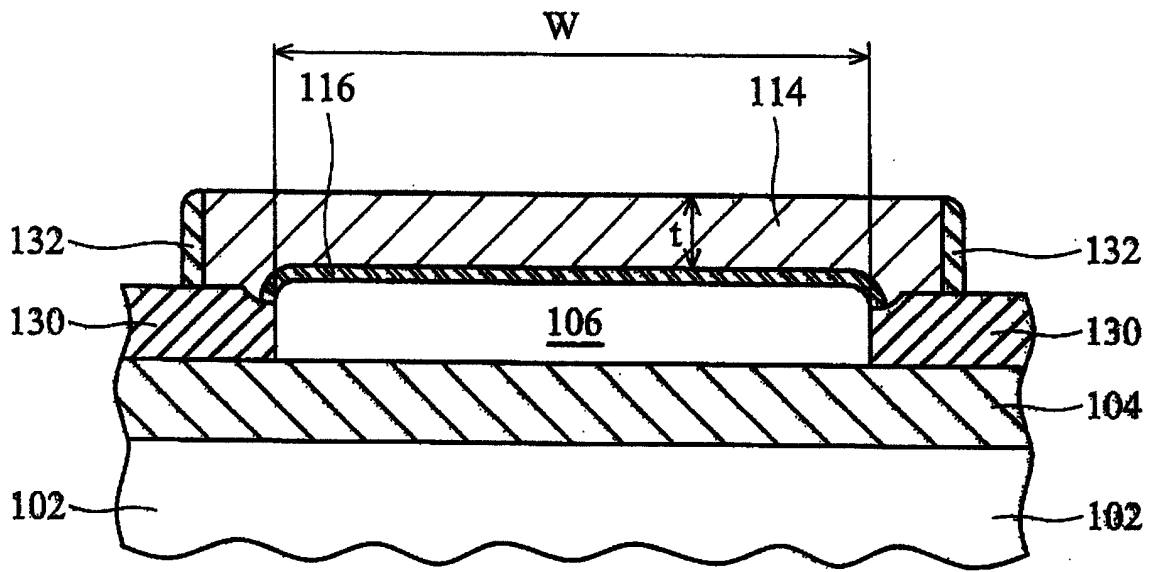


图 3b

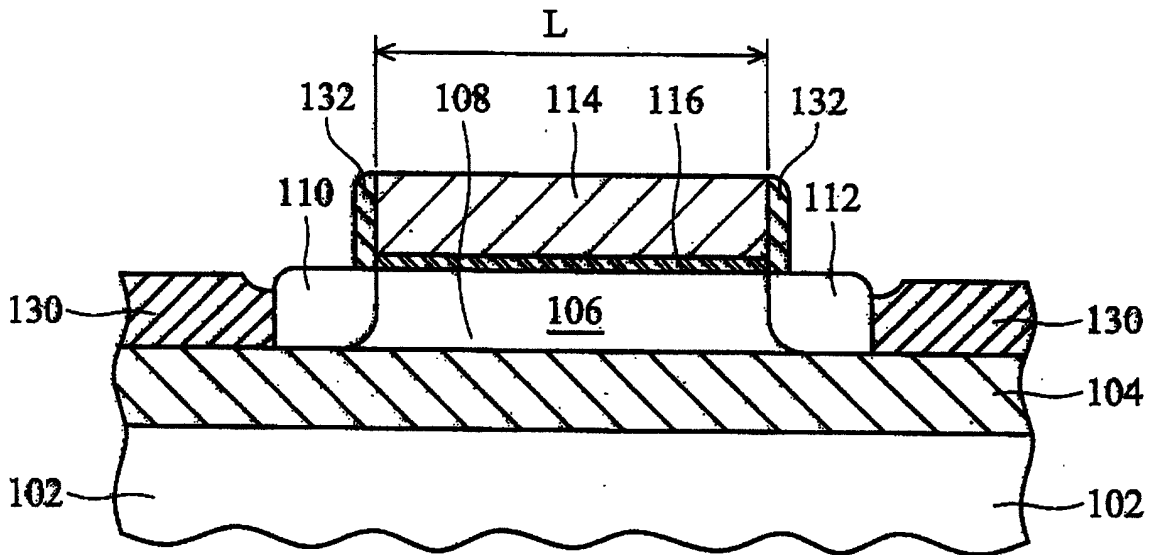


图 3c

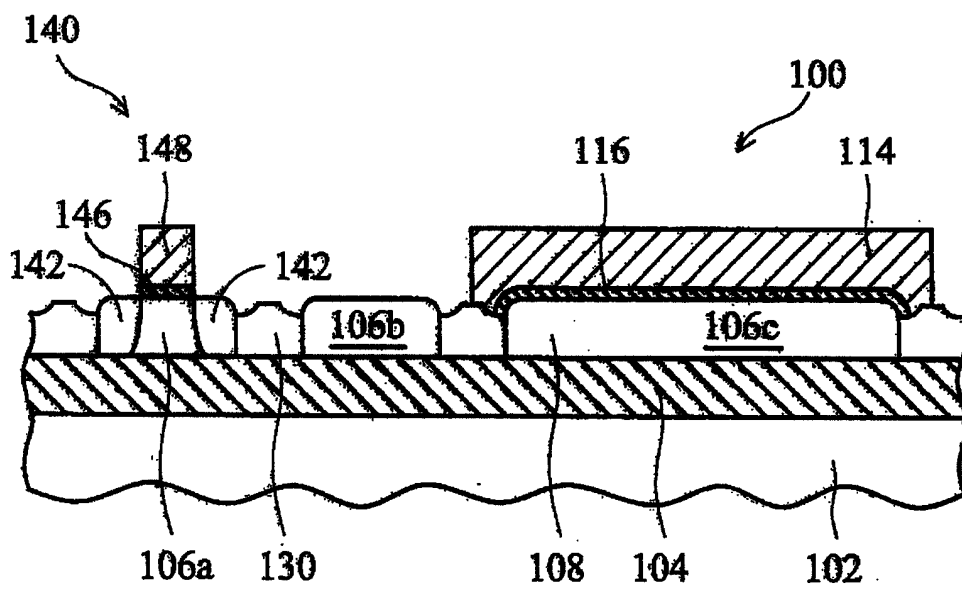


图 4

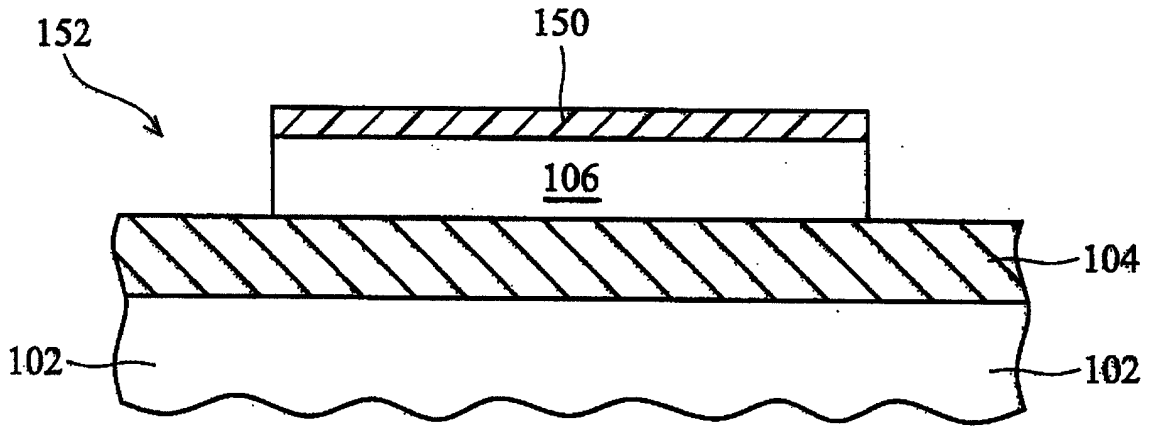


图 5a

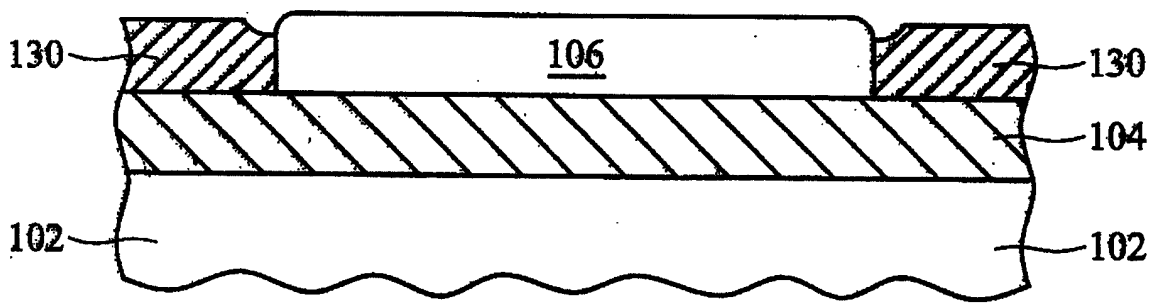


图 5b

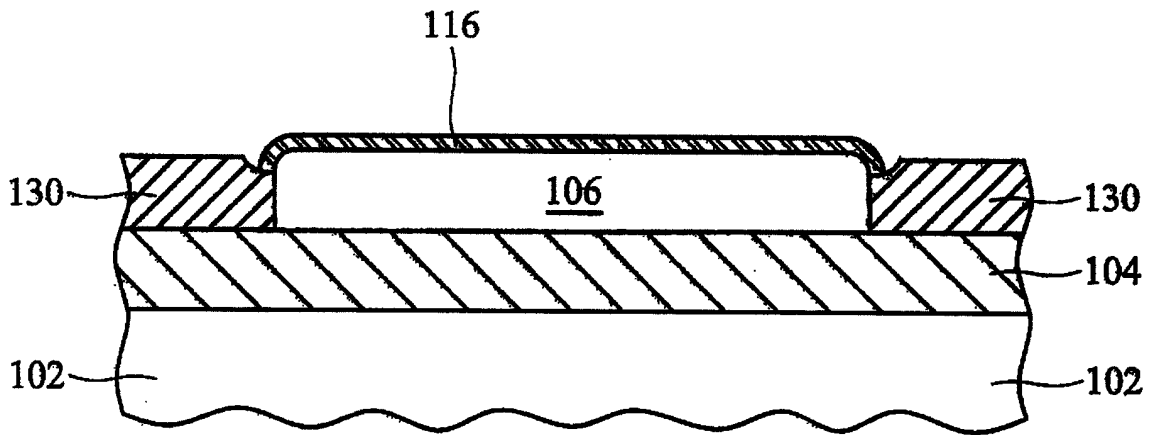


图 5c

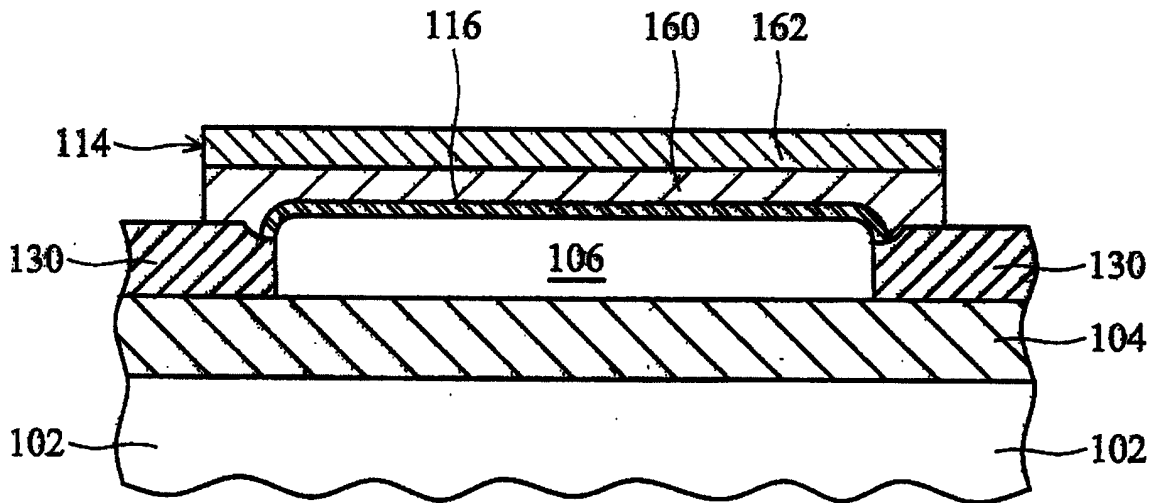


图 5d

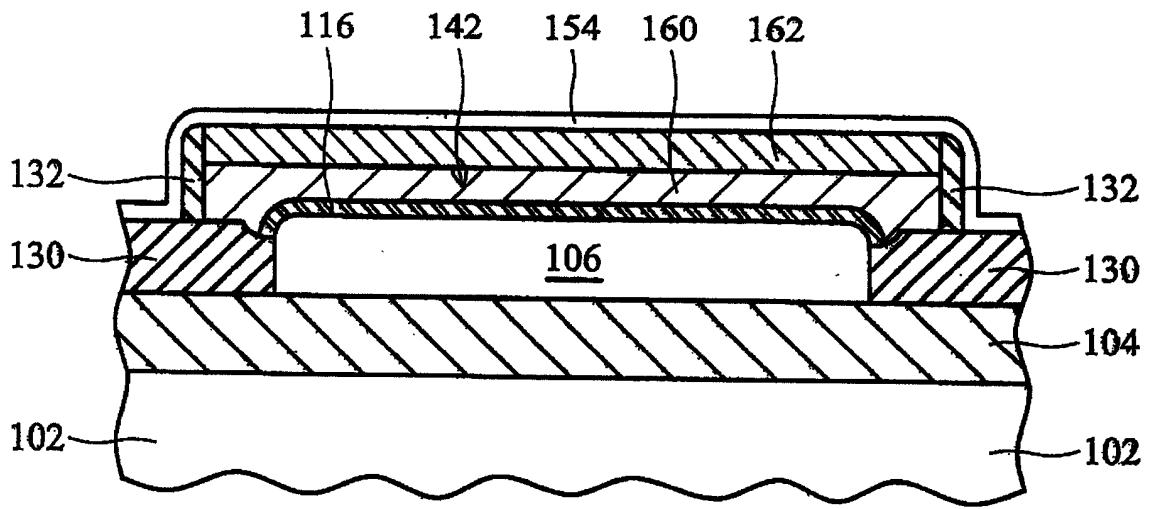


图 5e

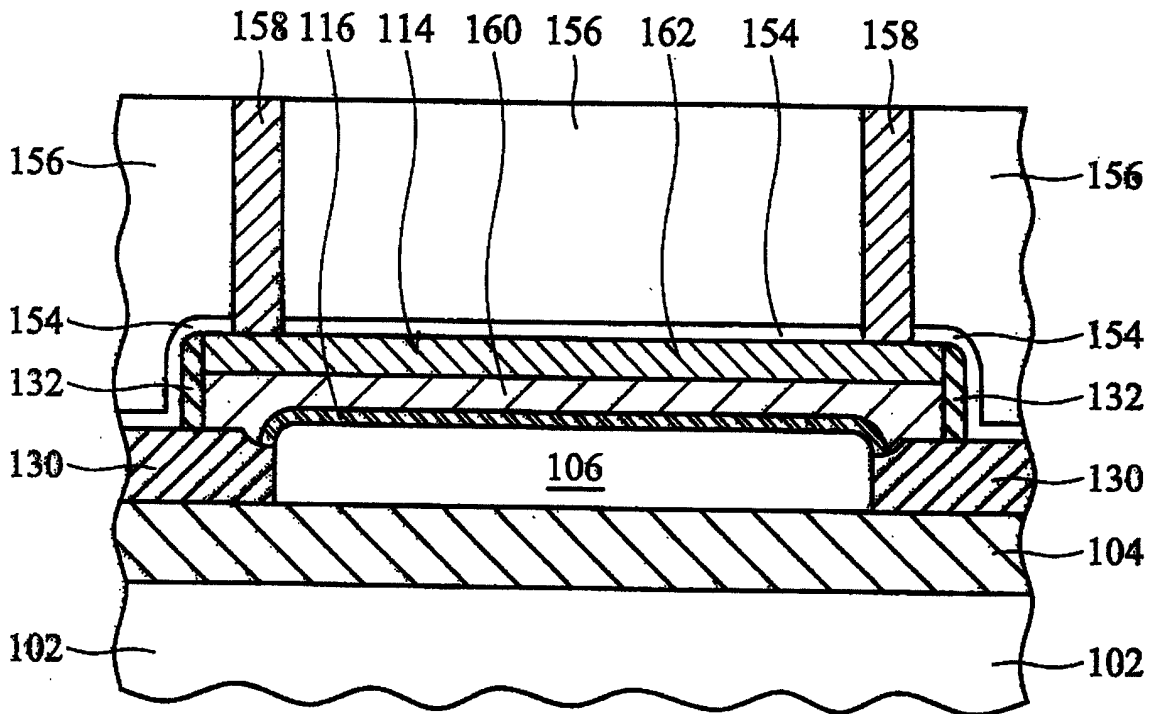


图 5f

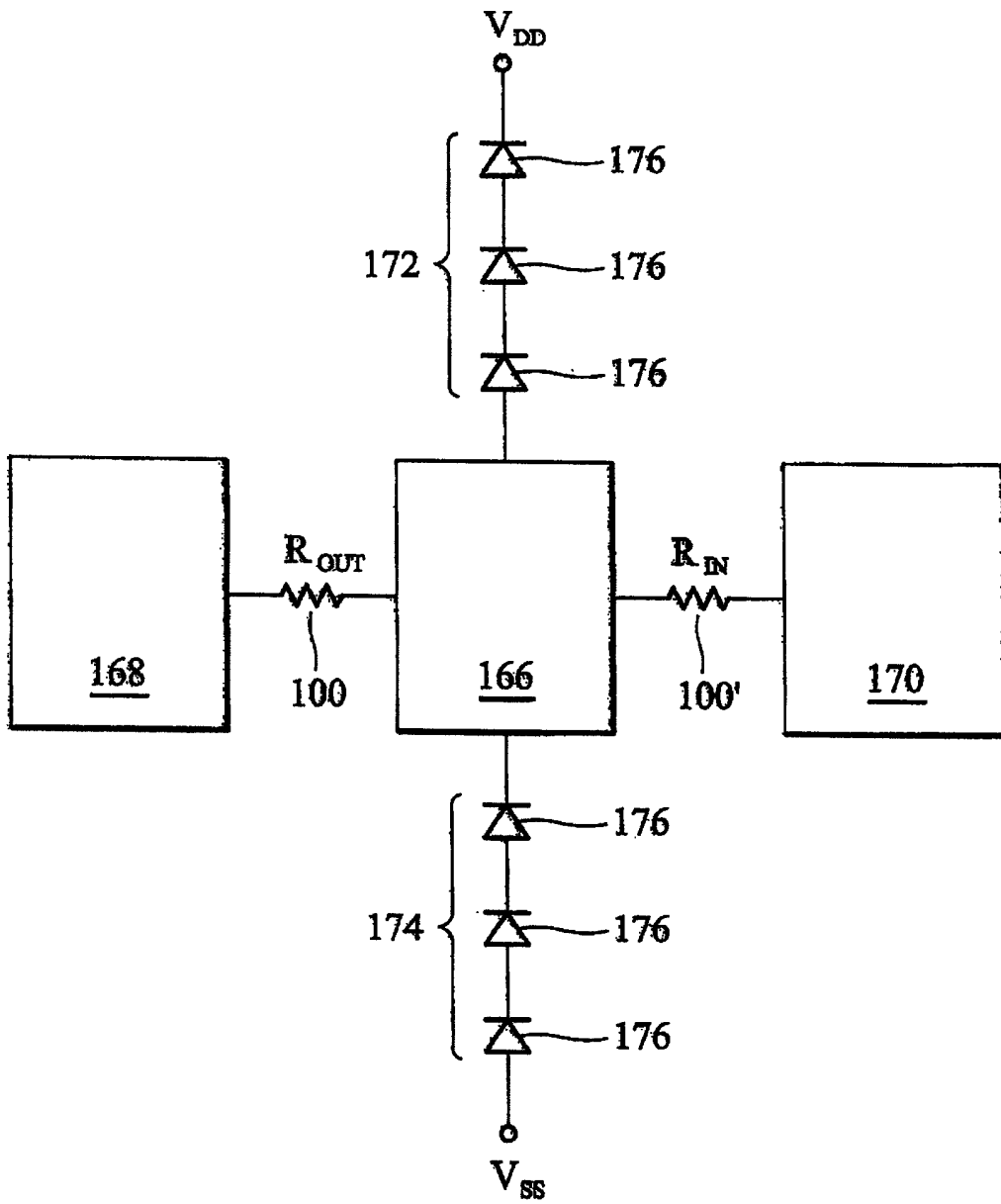


图 6

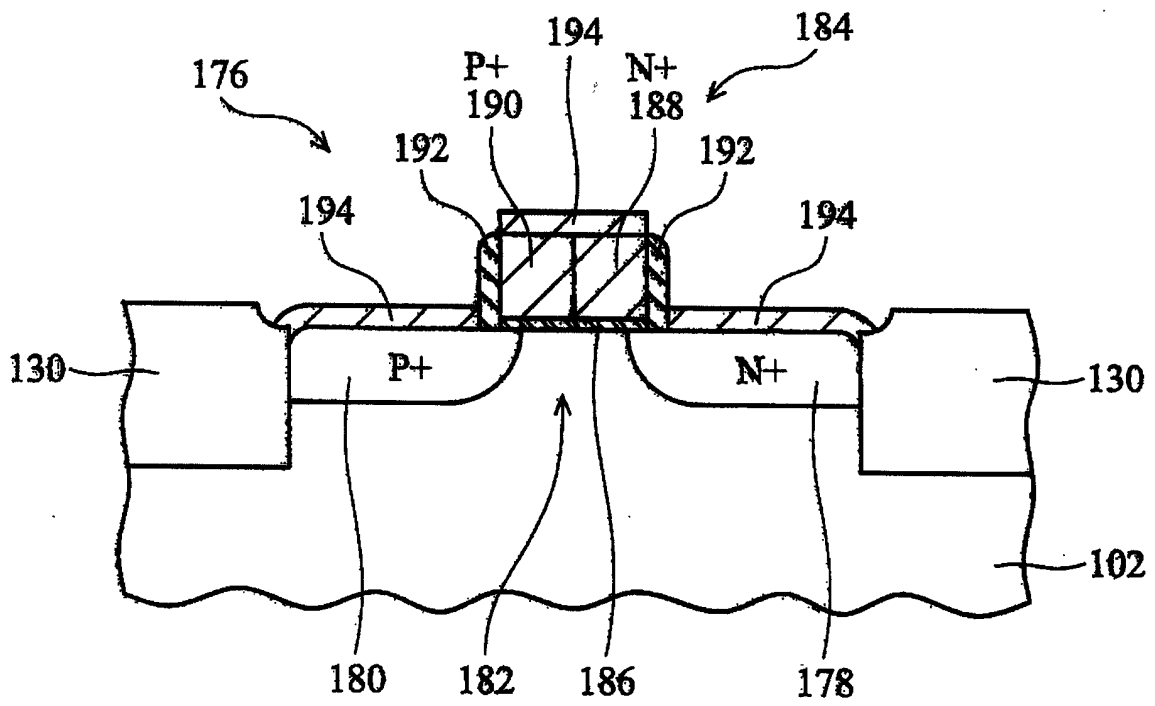


图 7