(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H03K 19/00

(45) 공고일자 1998년12월15일
(11) 등록번호 특0156601
(24) 등록일자 1998년07월23일

(21) 출원번호 특1994-006468
(22) 출원일자 1994년03월30일
(65) 공개번호 특1994-023029
(43) 공개일자 1994년10월22일
(30) 우선권주장 93-072223 1993년03월30일 일본(JP)

(73) 특허권자 후지쓰 가부시키가이샤 세키자와 다다시
일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 1015 반지후지쓰 브이 엘 에스 아이 가부시키가이샤 하니 도시유키
일본국 아이치켄 가스가이시 고조지쵸 2죠메 1844 반 2가부시키가이샤 큐슈 후지쓰 일렉트로닉스 미야타 아쓰시
일본국 가고시마켄 사쓰마군 이리키쵸 소에다 5950 반지
(72) 발명자 마사키 사토루
일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 1015 반지 후지쓰 가부시키가이샤 나이
야마모토 아키노리
일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 1015 반지 후지쓰 가부시키가이샤 나이
세키 후사오
일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 1015 반지 후지쓰 가부시키가이샤 나이
아사미 후미다카
일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 1015 반지 후지쓰 가부시키가이샤 나이
오노 가즈오
일본국 아이치켄 가스가이시 고조지쵸 2죠메 1844 반 2 후지쓰 브이 엘 에스 아이 가부시키가이샤 나이
이마이 마사오
일본국 아이치켄 가스가이시 고조지쵸 2죠메 1844 반 2 후지쓰 브이 엘 에스 아이 가부시키가이샤 나이
우도 신야
일본국 가고시마켄 사쓰마군 이리키쵸 소에다 5950 반지 가부시키가이샤 큐슈후지쓰 일렉트로닉스 나이
(74) 대리인 이상섭, 나영환

심사관 : 박정학

(54) 레벨컨버터 및 반도체 집적회로

요약

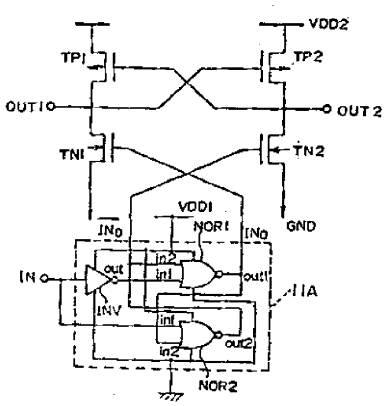
제1의 레벨 컨버터는 입력 트랜지스터 회로 및 출력 트랜지스터 회로를 구비한다. 입력 트랜지스터 회로는 제1의 구동전원의 공급을 받아서 입력신호를 상보성의 신호로 변환한다. 출력 트랜지스터 회로는 제2의 구동전원의 공급을 받아서 상보성의 신호를 증포하여 출력한다.

제2의 레벨 컨버터는 펄스 발생 회로 및 신호 출력 회로를 구비한다. 펄스 발생 회로는 제1의 구동전원의 공급을 받아서 원숏 펄스 신호를 발생한다. 신호 출력 회로는 제2의 구동전원의 공급을 받아서 원숏 펄스 신호를 래치하여 신호를 출력한다.

반도체 집적 회로는 제1의 회로계, 레벨 변환 회로 및 제2의 회로계를 구비한다. 제1의 회로계는 제1의 구동전원의 공급을 받아서 구동한다. 레벨 변환 회로는 제1의 구동전원의 공급을 받아서 제1의 회로계의 출력 신호를 제2의 회로계의 입력 신호로 변환한다. 제2의 회로계는 레벨 변환된 신호를 제2의 구동전원의 공급을 받아서 구동한다.

또 반도체 집적 회로는 쌍방향성의 레벨 변환 회로 및 신호 제어수단을 갖추고 제1, 제2의 구동전원의 반도체 칩내에서 격자 형상으로 배선된다.

대표도



명세서

[발명의 명칭]

레벨 컨버터 및 반도체 집적 회로

[도면의 간단한 설명]

제1도는 본 발명의 관련 기술에 의한 이종 회로간에 접속된 레벨 컨버터의 설명도.

제2도는 본 발명의 관련 기술에 의한 레벨 컨버터의 회로도.

제3a도는 제2도에 도시한 레벨 컨버터의 정상시의 동작을 설명하는 등가 회로도.

제3b도는 제2도에 도시한 레벨 컨버터의 천이시의 동작을 설명하는 등가 회로도.

제3c도는 제2도에 도시한 레벨 컨버터의 동작 파형도.

제4도는 본 발명의 관련 기술에 의한 레벨 컨버터의 배치도.

제5도는 본 발명의 관련 기술에 의한 레벨 컨버터의 다른 배치도.

제6도는 본 발명에 의한 원리적인 제1레벨 컨버터의 구성도.

제7도는 본 발명에 의한 원리적인 제2레벨 컨버터의 구성도.

제8도는 본 발명에 의한 원리적인 제3레벨 컨버터의 구성도.

제9도는 본 발명에 의한 원리적인 제4레벨 컨버터의 구성도.

제10도는 본 발명에 의한 원리적인 제5레벨 컨버터의 구성도.

제11도는 제6도~제8도에 도시한 제1~제3레벨 컨버터에 사용하는 래치회로의 구성도.

제12도는 제9도, 제10동에 도시한 제4, 제5레벨 컨버터에 사용하는 래치회로의 구성도.

제13도는 본 발명에 의한 원리적인 제6 벨 컨버터의 구성도.

제14도는 본 발명에 의한 원리적인 제7 벨 컨버터의 구성도.

제15도는 본 발명에 의한 원리적인 제8 벨 컨버터의 구성도.

제16도는 본 발명에 의한 원리적인 제9 벨 컨버터의 구성도.

제17도는 본 발명에 의한 원리적인 제10 벨 컨버터의 구성도.

제18도는 본 발명에 의한 원리적인 제11벨 컨버터의 구성도.

제19도는 본 발명에 의한 원리적인 제12벨 컨버터의 구성도.

제20도는 본 발명에 의한 원리적인 제1~제11의 다른 레벨 컨버터 (GND2)의 구성도.

제21도는 본 발명에 의한 원리적인 제1~제11의 또 다른 레벨 컨버터 (GND2)의 구성도.

제22도는 본 발명에 의한 원리적인 제1~제3 반도체 집적 회로의 구성도.

제23도는 본 발명에 의한 원리적인 제4반도체 집적 회로의 구성도.

제24도는 제 23도에 도시한 제4반도체 집적 회로의 양방향성의 레벨 변환회로의 구성도.

제25a도는 본 발명의 제1의 적합한 실시예에 의한 레벨 컨버터의 구성도.

제25b도는 제25a도에 도시한 레벨 컨버터의 동작 파형도.

제26a도는 제25a도에 도시한 레벨 컨버터의 정상시(IN = 「H」)의 동작을 설명하는 등가 회로도.

제26b도는 제25a도에 도시한 레벨 컨버터의 정상시(IN = 「H」)의 동작을 설명하는 등가 회로도.

제26c도는 제25a도에 도시한 레벨 컨버터의 천이시(IN = 「H」→ 「L」)의 동작을 설명하는 등가 회로도.

제26d도는 제25a도에 도시한 레벨 컨버터의 천이시(IN = 「L」→ 「H」)의 동작을 설명하는 등가 회로도.

제27a도는 본 발명의 제2의 적합한 실시예에 의한 레벨 컨버터의 구성도.

제27b도는 제27a도에 도시한 레벨 컨버터의 동작 파형도.

제28a도는 제27a도에 도시한 레벨 컨버터의 정상시(IN = 「H」)의 동작을 설명하는 등가 회로도.

제28b도는 제27a도에 도시한 레벨 컨버터의 정상시(IN = 「L」)의 동작을 설명하는 등가 회로도.

제28c도는 제27a도에 도시한 레벨 컨버터의 천이시(IN = 「L」→ 「H」)의 동작을 설명하는 등가 회로도.

제28d도는 제27a도에 도시한 레벨 컨버터의 천이시(IN = 「H」→ 「L」)의 동작을 설명하는 등가 회로도.

제29a도는 제27a도에 도시한 레벨 컨버터의 출력 OUT2에서 본 등가 회로도.

제29b도는 제27a도에 도시한 레벨 컨버터의 입력 IN 과 q2 점의 관계를 나타낸 파형도.

제29c도는 제27a도에 도시한 레벨 컨버터의 출력 OUT1과 OUT2의 파형에 관한 것이며, 본 발명과 관련 기술의 비교도.

제30도는 본 발명의 제3의 적합한 실시예에 의한 레벨 컨버터의 구성도.

제31a도는 제30도에 도시한 레벨 컨버터의 정상시(IN = 「H」)의 동작을 설명하는 등가 회로도.

제31b도는 제30도에 도시한 레벨 컨버터의 정상시(IN = 「H」)의 동작을 설명하는 등가 회로도.

제31c도는 제30도에 도시한 레벨 컨버터의 천이시(IN = 「H」→ 「L」)의 동작을 설명하는 등가 회로도.

제31d도는 제30도에 도시한 레벨 컨버터의 천이시(IN = 「L」→ 「H」)의 동작을 설명하는 등가 회로도.

제32도는 본 발명의 제4의 적합한 실시예에 의한 레벨 컨버터의 구성도.

제33a도는 제32도에 도시한 레벨 컨버터의 정상시(IN = 「H)의 동작을 설명하는 등가 회로도.

제33b도는 제32도에 도시한 레벨 컨버터의 정상시(IN = 「L」)의 동작을 설명하는 등가 회로도.

제33c도는 제32도에 도시한 레벨 컨버터의 천이시(IN = 「H」→ 「L」)의 동작을 설명하는 등가 회로도.

제33d도는 제32도에 도시한 레벨 컨버터의 천이시(IN = 「L」→ 「H」)의 동작을 설명하는 등가 회로도.

제34도는 본 발명의 제5의 적합한 실시예에 의한 레벨 컨버터의 구성도.

제35a도는 제34도에 도시한 레벨 컨버터의 정상시(IN = 「H)의 동작을 설명하는 등가 회로도.

제35b도는 제34도에 도시한 레벨 컨버터의 정상시(IN = 「L」)의 동작을 설명하는 등가 회로도.

제35c도는 제34도에 도시한 레벨 컨버터의 천이시(IN = 「H」→ 「L」)의 동작을 설명하는 등가 회로도.

제35d도는 제34도에 도시한 레벨 컨버터의 천이시(IN = 「L」→ 「H」)의 동작을 설명하는 등가 회로도.

제36a도는 본 발명의 제6의 적합한 실시예에 의한 레벨 컨버터의 구성도.

제36b도는 제36a도에 도시한 레벨 컨버터의 동작 파형도.

제37도는 본 발명의 제7의 적합한 실시예에 의한 레벨 컨버터의 구성도.

제38도는 본 발명의 제8의 적합한 실시예에 의한 레벨 컨버터의 구성도.

제39도는 본 발명의 제9의 적합한 실시예에 의한 레벨 컨버터의 구성도.

제40도는 본 발명의 제10의 적합한 실시예에 의한 레벨 컨버터의 구성도.

제41a도는 본 발명의 제11의 적합한 실시예에 의한 레벨 컨버터의 구성도.

제42a도는 제41a도에 도시한 레벨 컨버터의 정상시(IN = 「H)의 동작을 설명하는 등가 회로도.

제42b도는 제41a도에 도시한 레벨 컨버터의 정상시(IN = 「L」)의 동작을 설명하는 등가 회로도.

제42c도는 제41a도에 도시한 레벨 컨버터의 천이시(IN = 「H」→ 「L」)의 동작을 설명하는 등가 회로도.

제42d도는 제41a도에 도시한 레벨 컨버터의 천이시(IN = 「L」→ 「H」)의 동작을 설명하는 등가 회로도.

제43a도는 본 발명의 제12의 적절한 실시예에 레벨 컨버터의 구성도.

제43b도는 제43a도에 도시한 레벨 컨버터의 천이시(IN = 「H」→ 「L」)의 동작을 설명하는 등가 회로도.

제44a도는 본 발명의 제13의 적절한 실시예에 레벨 컨버터의 구성도.

제44b도는 제44a도에 도시한 레벨 컨버터의 동작 파형도.

제45a도는 제44a도에 도시한 레벨 컨버터의 정상시(IN = 「H)의 동작을 설명하는 등가 회로도.

제45b도는 제44a도에 도시한 레벨 컨버터의 정상시(IN = 「L」)의 동작을 설명하는 등가 회로도.

제45c도는 제44a도에 도시한 레벨 컨버터의 천이시(IN = 「H」 → 「L」)의 동작을 설명하는 등가 회로도.
제45d도는 제44a도에 도시한 레벨 컨버터의 천이시(IN = 「L」 → 「H」)의 동작을 설명하는 등가 회로도.
제46a도는 본 발명의 제14의 적절한 실시예에 레벨 컨버터의 구성도.
제46b도는 제46a도에 도시한 레벨 컨버터의 동작 파형도.
제47a도는 제46a도에 도시한 레벨 컨버터의 정상시(IN = 「H)의 동작을 설명하는 등가 회로도.
제47b도는 제46a도에 도시한 레벨 컨버터의 정상시(IN = 「L」)의 동작을 설명하는 등가 회로도.
제47c도는 제46a도에 도시한 레벨 컨버터의 천이시(IN = 「H」 → 「L」)의 동작을 설명하는 등가 회로도.
제47d도는 제46a도에 도시한 레벨 컨버터의 천이시(IN = 「L」 → 「H」)의 동작을 설명하는 등가 회로도.
제48a도는 제46a도에 도시한 레벨 컨버터의 천이시(IN = 「H」 → 「L」)의 동작을 보충하는 파형도.
제48b도는 제46a도에 도시한 레벨 컨버터의 천이시(IN = 「L」 → 「H」)의 동작을 보충하는 파형도.
제49a도는 본 발명의 제15의 적절한 실시예에 레벨 컨버터의 구성도.
제49b도는 제49a도에 도시한 레벨 컨버터의 천이시(IN = 「H」 → 「L」)의 동작을 설명하는 등가 회로도.
제50a도는 본 발명의 제16의 적절한 실시예에 레벨 컨버터의 구성도.
제50b도는 제50a도에 도시한 레벨 컨버터의 천이시(IN = 「H」 → 「L」)의 동작을 설명하는 등가 회로도.
제51a도는 본 발명의 제17의 적절한 실시예에 레벨 컨버터의 구성도.
제51b도는 제51a도에 도시한 레벨 컨버터의 동작 파형도.
제52a도는 제51a도에 도시한 레벨 컨버터의 정상시(IN = 「H)의 동작을 설명하는 등가 회로도.
제52b도는 제51a도에 도시한 레벨 컨버터의 정상시(IN = 「L」)의 동작을 설명하는 등가 회로도.
제52c도는 제51a도에 도시한 레벨 컨버터의 천이시(IN = 「H」 → 「L」)의 동작을 설명하는 등가 회로도.
제52d도는 제51a도에 도시한 레벨 컨버터의 천이시(IN = 「L」 → 「H」)의 동작을 설명하는 등가 회로도.
제53a도는 본 발명의 제18의 적절한 실시예에 레벨 컨버터의 구성도.
제53b도는 제53a도에 도시한 레벨 컨버터의 천이시(IN = 「H」 → 「L」)의 동작을 설명하는 등가 회로도.
제54a도는 본 발명의 제19의 적절한 실시예에 레벨 컨버터의 구성도.
제54b도는 제54a도에 도시한 레벨 컨버터의 동작 파형도.
제55a도는 제54a도에 도시한 레벨 컨버터의 정상시(IN = 「H)의 동작을 설명하는 등가 회로도.
제55b도는 제54a도에 도시한 레벨 컨버터의 정상시(IN = 「L」)의 동작을 설명하는 등가 회로도.
제55c도는 제54a도에 도시한 레벨 컨버터의 천이시(IN = 「H」 → 「L」)의 동작을 설명하는 등가 회로도.
제55d도는 제54a도에 도시한 레벨 컨버터의 천이시(IN = 「L」 → 「H」)의 동작을 설명하는 등가 회로도.
제56a도는 본 발명의 제20의 적절한 실시예에 레벨 컨버터의 구성도.
제56b도는 제56a도에 도시한 레벨 컨버터의 천이시(IN = 「H」 → 「L」)의 동작을 설명하는 등가 회로도.
제57a도는 본 발명의 제21의 적절한 실시예에 레벨 컨버터의 구성도.
제57b도는 제57a도에 도시한 레벨 컨버터의 천이시(IN = 「H」 → 「L」)의 동작을 설명하는 등가 회로도.
제58a도는 본 발명의 제22의 적절한 실시예에 레벨 컨버터의 구성도.
제58b도는 제58a도에 도시한 컨버터의 천이시(IN = 「H」 → 「L」)의 동작을 설명하는 등가 회로도.
제59a도는 본 발명의 제23의 적절한 실시예에 의한 레벨 컨버터의 구성도.
제59b도는 제59a도에 도시한 레벨 컨버터의 동작 파형도.
제60a도는 본 발명의 제24의 적합한 실시예에 의한 레벨 컨버터의 구성도.
제60b도는 제60a도에 도시한 레벨 컨버터의 동작 파형도.
제61도는 본 발명의 제25의 적합한 실시예에 의한 레벨 컨버터의 구성도.
제62도는 본 발명의 제26의 적합한 실시예에 의한 레벨 컨버터의 구성도.
제63도는 본 발명의 제27의 적합한 실시예에 의한 레벨 컨버터의 구성도.
제64도는 본 발명의 제28의 적합한 실시예에 의한 레벨 컨버터의 구성도.
제65도는 본 발명의 제29의 적합한 실시예에 의한 레벨 컨버터의 구성도.
제66도는 본 발명의 제30의 적합한 실시예에 의한 레벨 컨버터의 구성도.
제67도는 본 발명의 제31의 적합한 실시예에 의한 레벨 컨버터의 구성도.

제68도는 제67도에 도시한 레벨 컨버터의 동작 파형도.

제69도는 본 발명의 제32의 적합한 실시예에 의한 반도체 집적회로의 구성도.

제70도는 제69도에 도시한 집적회로의 D/a 컨버터 회로의 구성도.

제71도는 본 발명의 제33의 적합한 실시예에 의한 반도체 집적회로의 구성도.

제72도는 제71도에 도시한 반도체 집적회로의 양방향성의 레벨 컨버터의 구성도.

제73a도는 제71도에 도시한 반도체 집적회로의 타이밍 발생회로의 구성도.

제73b도는 제73a도에 도시한 타이밍 발생 회로의 동작 파형도.

제74도는 제71도에 도시한 반도체 집적회로의 양방향성의 레벨 컨버터의 구성도.

제74b도는 제71도에 도시한 반도체 집적회로의 양방향성의 레벨 컨버터의 다른 배치도.

제75도는 본 발명의 제34의 적합한 실시예에 의한 반도체 집적회로의 전원 배선도.

제76도는 제75도에 도시한 반도체 집적회로의 레벨 컨버터셀의 구성도.

제77도는 제75도에 도시한 레벨 컨버터 셀의 전원 배선도.

제78도는 본 발명의 제34의 적절한 실시예에 의한 다른 반도체 집적회로의 구성도.

도면의 주요부분에 대한 부호의 설명

1~3 : IC	4 : 반도체 칩
5 : I/O 인터페이스 회로	6,7 : 레벨 변환 회로
7 : 셀 부분	9 : 홀수 열의 셀
10 : 짝수 열의 셀	11~13 : 입력 트랜지스터 회로
14 : 펄스 발생 회로	15 : 신호 출력 회로
16,19 : 제1회로 시스템	18,21 : 제2회로 시스템
20 : 양방향성의 레벨 변환회로	20A : 출력 레벨 변환부
20B : 입력 레벨 변환부	22 : 신회 제어 수단
23A : 인버터	23B : 파형 정형 회로
24 : 원숏 타이머 회로	25 : 출력 래치 회로
26 : 3[V] 구동 회로 시스템	27A,28B : 레벨 컨버터
28 : 5[V] 구동 회로 시스템	28A : I/O 셀부
28B : 아날로그 스위치부	29 : 내부회로
30 : 양방향성 레벨 컨버터	32 : 타이밍 발생 회로
35 : I/O 셀부	36 : 셀어레이부
T1~T10 : 트랜지스터	INV1~INV5 : 인버터
NOR1,NOR2 : 2-입력 노어회로	R1~R4 : 저항
CR1,CR2 : 적분회로	

[발명의 상세한 설명]

본 발명은 레벨 컨버터 및 그것을 응용한 반도체 집적회로에 관한 것이며, 더 상세하게는 구동 전원이 상이한 회로 사이에 사용되고, 해당 회로 사이에서 신호레벨을 변환하는 인터페이스 회로 및 그 집적회로의 개선에 관한 것이다.

근래, 초미세가공, 고집적화 기술의 발달에 수반해서 2~3[V] 정도의 저 전압에 의해 구동할 수 있는 반도체 집적회로 장치(이하 IC 라고 함)가 개발 제조되어 있다. 또 현재 사용되고 있는 마이크로컴퓨터를 중심으로 하는 CMOS 집적회로는 5[V] 구동 시스템이 중심이다. 한편 시장에서는 전지로부터 구동 전원을 공급하는 휴대용 전자기기의 요구가 있어서, IC 단체로서도 그 저소비 전력화가 필수조건으로 되어 있다.

그러나 전자기기내에서 5[V] 구동 시스템의 IC 와 2~3[V] 구동 시스템의 IC를 공존시키기 위해서는 신호레벨을 변환하는 인터페이스 기능을 갖는 레벨 컨버터가 필요해진다. 여기서 본 발명의 관련 기술을 설명한다. 예를 들면 제1도의 시스템 구성도에 나타낸 것처럼 3[V] 구동 시스템의 IC(1)와 5[V] 구동 시스템의 IC(2)를 사용하여 신호 처리를 구성할 경우, 이 IC(1)와 IC(2)의 사이에 레벨 컨버터용 IC(3)를 접속한다. 그리고, 레벨 컨버터용 IC(3)는 3[V] 구동 시스템의 IC(1)로 신호처리된 신호 레벨을 5[V] 구동 시스템의 IC(2)로 신호처리 가능한 전위 레벨로 변환하는 인터페이스 기능을 갖고 있다.

또 제2도는 레벨 컨버터의 회로 구성도이며, 레벨 컨버터용 IC(3)를 구성하는 1계통의 신호 변환 회로를 나타내고 있다. 제2도에 있어서, 레벨 컨버터는 인버터 INV 와 2개의 p 형 전계효과 트랜지스터(이하 단지 트랜지스터라고 함) TP1, TP2와, 2개의 n 형 젼계효과 트랜지스터(이하 트랜지스터라고 함) TN1, TN2로 이루어진다.

인버터 INV는 예를들어 접지선 GND=0[V] 와 전원선 VDD1=3[V]의 사이에 접속되고, 또, 입력 IN 과 트랜지스터 TN2의 게이트에 접속된다. 또, 트랜지스터 TP1와 TN1가 직력접속되고, 그 공통 드레인이 트랜지스터 TP2의 게이트에 접속되며 출력 OUT1에 접속된다. 트랜지스터 TP1의 소오스는 전원선 VDD2=5[V]에 접속되고, 트랜지스터 TN1의 소오스는 접지선 GND=0[V]에 접속된다.

마찬가지로 트랜지스터 TP2와 TN2가 직력 접속되고, 그 공통 드레인이 트랜지스터 TP1의 게이트에 접속되며 출력 OUT2에 접속된다. 트랜지스터 TP2의 소오스가 전원선 VDD2=5[V]에 접속되고, 트랜지스터 TN2의 소오스가 접지선 GND=0[V]에 접속된다. 그리고 트랜지스터 TN1의 게이트가 인버터 INV의 입력 IN에 접속되고, 트랜지스터 TN2의 게이트가 인버터 INV의 출력에 접속된다.

당해 레벨 컨버터의 동작은 제3(A)도에 있어서, 예를 들면 IN이 「H」레벨로 되는 정상시에는 트랜지스터 TN1, TP2가 온(ON) 동작을 하고, 트랜지스터 TN2, TP1이 오프(OFF) 동작을 하여, 출력 OUT1=「L」레벨, OUT=2「H」레벨로 된다. 또 반대로 입력 IN이 「L」레벨로 되는 정상시에는 트랜지스터 TN1, TP2가 오프 동작을 하고, 트랜지스터 TN2, TP1이 온 동작을 하여, 출력 OUT1=「H」레벨, OUT2=「L」레벨로 된다.

또한 제3(B)도에 있어서, 예를 들면 입력 IN이 「L」→「H」레벨로 되는 천이시에는 트랜지스터 TN1, TP2가 오프→온 동작을 하고, 트랜지스터 TN2, TP1이 온→오프 동작을 하여 출력 OUT1=「H」→「L」레벨, OUT2=「L」→「H」레벨로 천이 한다. 또 반대로 입력 IN이 「H」→「L」레벨로 되는 천이시에는 트랜지스터 TN2, TP1이 오프→온 동작을 하고, 트랜지스터 TN1, TP2가 온→오프 동작을 하여, 출력 OUT1=「L」→「H」레벨, OUT2=「H」→「L」레벨로 천이 한다. 이것에 의해 구동 전원 시스템 VDD1, GND에서 처리된 신호레벨을 구동 전원 시스템 VDD2, GND 로 신호 처리 가능한 전위 레벨로 변환할 수 있다.

본 발명의 목적은 서로 다른 전원에 의해 구동되는 2개의 회로간에 설치되는 레벨 변환 호로의 구성을 개량하여 회로 동작의 고속화 및 소비 전류의 저감화를 도모하는데 있다.

본 발명의 또 다른 목적은 레벨 변환 회로를 동일 칩내에 집적화할 경우, 그 배치 위치 및 그 전원 공급 방법을 고려하여, 회로 기능의 향상 및 소비 전류의 저감화를 동모하는데 있다.

즉 본 발명에 관한 레벨 컨버터는 적합한 실시예를 제6도에 보이는 바와 같이 제1레벨 컨버터가 입력 트랜지스터 회로 및 출력 트랜지스터 회로를 구비한다. 입력 트랜지스터 회는 제1구동 전원의 공급을 받아서 입력 신호를 상보성의 신호로 변환한다. 출력 트랜지스터 회로는 제 2구동 전원의 공급을 받아서 상보성의 신호를 증폭하여 출력한다.

입력 트랜지스터 회로는 제1구동 전원에 접속된 인버터와 제1 및 제2의 2-입력 NOR 회로로 구성된다. 출력 트랜지스터 회로는 제1, 제2, 제3 및 제4 트랜지스터로 구성된다.

인버터의 입력은 제2의 2-입력 NOR 회로의 한쪽의 입력에 접속되고 인버터의 출력은 제1의 2-입력 NOR 회로의 한쪽의 입력에 접속된다. 제1의 2-입력 NOR 회로의 다른 쪽 입력은 제2의 2-입력 NOR 회로의 출력에 접속되고 제2의 2-입력 NOR 회로의 다른 쪽의 입력은 제1의 2-입력 NOR 회로의 출력에 각각 접속된다.

제1 트랜지스터의 드레인은 제2 트랜지스터의 드레인에 접속되고, 제1 및 제3 트랜지스터의 각 소오스가 제2 구동 전원의 고전위축으로 각각 접속된다. 제3 트랜지스터의 드레인은 제4 트랜지스터의 드레인에 접속된다. 제2 및 제4 트랜지스터의 각 소오스가 제2 구동 전원의 저전위축으로 각각 접속된다. 제1 트랜지스터의 게이트는 제3 및 제4 트랜지스터의 각 드레인과 제2의 출력에 접속된다. 제3 트랜지스터의 게이트는 제1 및 제2 트랜지스터의 각 드레인과 제1의 출력에 접속된다. 제2 및 제4 트랜지스터의 각 게이트는 입력 트랜지스터 회로의 제1 및 제2의 2-입력 NOR 회로의 출력에 각각 접속된다.

제2 레벨 컨버터는 적합한 실시예를 제19도에 도시한 바와 같이 펄스 발생회로 및 신호 출력 회로를 구비한다. 펄스 발생 회로는 제1 구동 전원의 공급을 받아서 원숏(one-shot:단안정) 펄스 신호를 발생한다. 신호 출력 회로는 제2 구동 전원의 공급을 받아서 원숏 펄스 신호를 래치하고 신호를 출력한다.

제1 반도체 집적회는 적합한 실시예를 제22도에 도시한 바와 같이 제1 회로 시스템, 레벨 변화 회로 및 제2 회로 시스템을 구비한다. 제1 회로 시스템은 제1 구동 전원의 공급을 받아서 구동한다. 레벨 변환 회로는 제1 구동 전원의 공급을 받아서 제1 회로 시스템의 출력 신호를 제2 회로 시스템의 입력 신호로 변환한다. 제2 회로 시스템은 레벨 변환된 신호를 제2 구동 전원의 공급을 받아서 구동한다.

제2 반도체 집적 회로는 적합한 실시예를 제23도, 제24도에 도시한 바와 같이 양방향성의 레벨 변환 회로 및 신호 제어 수단을 구비한다. 양방향성의 레벨 변환 회로는 제1 구동 전원에 접속된 제1 회로 시스템의 출력 신호를 제 2구동 전원에 접속된 제2 회로 시스템의 입력 신호로 변환하거나 또는 제2 구동 전원에 접속된 제2 회로 시스템의 출력신호를 제1 구동 전원에 접속된 제1 호로 시스템의 입력 신호로 변환한다. 신호 제어 수단은, 제1 구동 전원 또는 제2 구동 전원의 투입순서에 의거하여 양방향성의 레벨 변환 회로의 신호 방향을 결정한다.

제3 반도체 집적 회로는 제1 회로 시스템, 레벨 변환 회로 및 제2 회로 시스템을 구비한다. 제1 회로 시스템은 반도체 칩내에서 격자 형상으로 배선된 제1 구동 전원의 공급을 받아서 구동한다. 레벨 변환 회로는 반도체 칩내에서 격자 형상으로 배선된 제1 및 제2 구동 전원의 공급을 받아서 제1 회로 시스템의 출력 신호를 제2 회로 시스템의 입력 신호로 변환한다. 제2 회로 시스템은 반도체 칩내에서 격자 형상으로 배선된 제2 구동 전원의 공급을 받아서 레벨 변환된 신호에 의거하여 구동한다.

이와 같은 구성을 취함으로써 레벨 변환 회로의 동작이 고속화되고, 그 소비 전류가 저감화된다. 또, 레벨 변환 회로를 응용한 반도체 집적회로의 기능의 향상 및 소비 전류의 저감화가 도모된다. 그런데 본 발명의 관련 기술의 레벨 컨버터(이하 레벨 변환 회로라고도 함) 및 반도체 집적회로 의하면 다음과 같은 문제가 있다.

ⅰ. 예를 들면 3[V] 구동 시스템의 IC(1)과 5[V] 구동 시스템의 IC(2)를 사용하여 신호 처리회를 구성할 경우, 제1도에 도시한 것처럼 IC(1)과 IC(2)의 사이에 레벨 컨버터용 IC(3)를 접속하지 않으면 안된다. 이 때문에 개개의 IC(1)~IC(3)를 프린트기판에 개별적으로 실장하지 않으면 안되며, 특히 전지 구동 전

원에 의존하는 휴대용 전자기기의 콤팩트화의 방해가 되거나 디지털/아날로그 처리 회로 가 혼재하는 전자기기의 IC 실장면적이 커진다.

ii. 또 레벨 컨버터는 제2도에 도시한 바와 같이, 예를 들면3[V] 구동 시스템의 전원선 VDD1과 접지선 GND 간에 접속된 인버터 INV와, 5[V] 구동 시스템의 전원선 VDD2과 접지선 GND간에 접속된 트랜지스터 TP1, TN1가, 트랜지스터 TP2, TN2로 이루어져 있다.

이 때문에 입력의 상태 천이시에 트랜지스터 TP1, TN1이나 트랜지스터 TP2, TN2간에 관통 전류가 흘러서, 그 회로 소비 전력이 많아지거나 출력 OUT1,2의 「H」→ 「L」레벨의 하강 시간의 지연으로 회로 동작이 늦어진다.

즉, 제3c도의 신호 파형도에 도시한 바와 같이 예를들어 출력 OUT1이 「H」레벨에서 「L」레벨로 변환하는 상태에 주목하면, 먼저 트랜지스터 TP1가 오프 동작으로 천이할 경우, 그 이전에 트랜지스터 TP2를 온 동작시킬 필요가 있다. 이때에 트랜지스터 TP2가 온 동작을 하는 조건은 출력 OUT1의 전압 레벨이 트랜지스터 TP2의 한계 전압 Vth 이하로 되는 것이다.

여기서 입력이 「L」→ 「H」레벨로 변화하는 상태 천이시의 출력 OUT1의 전합 레벨은 트랜지스터 TP1, TN1의 온 저항의 비에 의해 결정된다. 이것은 출력 OUT1이 「H」→ 「L」레벨로 천이할 때 트랜지스터 TP1, TN1이 모두 온 동작을 하는 상태로 되는 것으로 해서, 트랜지스터 TP1의 온 상태가 출력 OUT1을 「L」레벨로 낮추려고 하는 트랜지스터 TN1 부하(트랜지스터 TP1의 저항치에 의존)로 되기 때문이다.

이 때문에 트랜지스터 TP1의 온 저항과 트랜지스터 TN1의 온 저항의 비에 따라서는 출력 OUT1의 전압 레벨이 회로 동작 스피드에 크게 나타난다. 따라서, 트랜지스터 TP1나 TP2의 온 저항을 크게 하게끔 트랜지스터 사이즈를 적게 설계하지만 온 저항을 너무 크게 설계하면 차단 회로를 성능 좋게 구동할 수 없게 되어 그 설계 사이즈로 제한된다.

이것에 의해 회로 스피드가 억제되거나 트랜지스터 TP1이나 TP2가 완전히 오프 동작하기까지의 동안에 전원선 VDD2와 접지선 GND의 사이에 소비 전류가 흐른다. 그리고 스피드가 억제된 것만큼 소비 전류가 많아진다. 이상의 일은 출력 OUT2를 「H」레벨에서 「L」레벨로 변화시키는 상태에 대해서도 말할 수 있다.

iii. 또한 3[V] 구동 시스템의 신호 처리 회로와 5[V] 구동 시스템의 신호 처리 회로와 레벨 컨버터를 혼재시켜 동일칩내에 집적화하는 요구가 있었을 경우, 레벨 컨버터의 배치 위치가 제한된다.

즉, 제4도의 레벨 컨버터의 배치도에 도시한 것처럼, 예를 들면 반도체 칩(4)에 레벨 변환 회로(6)를 배치할 경우, 그 중앙에 설치된 셀 부분(7)의 입출력에 레벨 변환 회로(6)를 배치할 경우, 그 중앙에 설치된 셀 부분(7)의 입출력에 레벨 변환 회로(6)를 배치하고, 그 주변에 I/O 인터페이스 회로(5)를 배치하는 방법을 고려할 수 있다. 이것은 레벨 변환 회로(6)의 전원선 VDD1, VDD2, 접지선 GND의 공급 단자나 신호의 입력, 출력의 단자 제한을 고려했기 때문이다. 그러나 레벨 변환 회로(6)에 인접하는 I/O 인터페이스 회로(5)의 사이에서는 신호 배선거리가 짧아지는 것으로 해서 그 신호 전달의 고속화를 도모할 수 있지만 레벨 변환 회로(6)에서 떨어진 I/O 인터페이스 회로(5)의 사이에서는 신호 배선 거리가 길어지는 것으로 해서, 그 신호 전달에 지연이 생기는 원인으로 된다.

그리고 제5도의 게이트 어레이 방식에 나타낸 것처럼 예를 들어 홀수 열의 셀(9)에 전원선 VDD1이 공급되고, 짝수 열의 셀(10)에 전원선 VDD2가 공급된다. 이 때문에 본 발명의 관련 기술에 의한 전원 공급 방법에서는 같은 셀 열에 종 전원을 혼재시킬 수 없으며, 전원선 VDD1, VDD2 및 접지선 GND 의 3개를 필요로 하는 레벨 컨버터를 포함한 신호 처리 회로의 게이트 어레이화가 방해되거나 전원 배선의 우회에 의해 불필요한 전력 소비를 초래할 염려가 있다.

이것에 대해 본 발명에 의한 원리적인 제1 레벨 컨버터는 제6도에 도시한 것처럼 입력 트랜지스터 회로(11)와 제1~제4 트랜지스터 T1~T4를 구비한다. 입력 트랜지스터 회로(11)는 제1 구동 전원 시스템 VDD1, GND 와 입력 IN 에 접속되며, 또한 이 입력 트랜지스터 회로(11)가 제2, 제4트랜지스터 T2, T4의 각 게이트에 접속된다. 제1, 제2 트랜지스터 T1, T2는 직렬 접속되어 제2 구동 전원 시스템 VDD2, GND에 접속된다. 제3, 제4 트랜지스터 T3, T4는 직렬 접속되어 제2 구동 전원 시스템 VDD2, GND 간에 접속된다. 제1 트랜지스터 T1의 게이트는 제3, 제4 트랜지스터 T3, T4의 직렬 접속점으로 되는 트랜지스터 T1, T2의 직렬 접속점으로 되는 제1의 출력 OUT1에 접속된다. 입력 트랜지스터 T1, T2의 직렬 접속점으로 되는 제1의 출력 OUT1에 접속된다. 입력 트랜지스터 회로(11)는 입력 신호 Sin를 래피출력하는 제1의 래치회로(11A)로 이루어진다. 또 본 발명의 원리적인 제2 레벨 컨버터는 제7도에 도시한 것처럼 제1 레벨 컨버터에 제1, 제2 부하 소자 R1, R2와 제5, 제6 트랜지스터 T5, T6가 설치된다. 제1 부하 소자 R1은 제 3 트랜지스터 T3의 게이트와 제1의 출력 OUT1의 사이에 접속된다. 제2 부하 소자 R2는 제 1 트랜지스터 T1의 게이트와 제2의 출력 OUT2의 사이에 접속된다. 제6 트랜지스터 T6의 드레인은 제1 트랜지스터 T1의 게이트와 제2 부하 소자 R2의 접속점에 접속된다. 제6 트랜지스터 T6의 게이트는 제4 트랜지스터 T4의 게이트에 접속된다. 제5 트랜지스터 T5의 드레인은 제3 트랜지스터 T3의 게이트와 제1 부하 소자 R1의 접속점에 접속된다. 제5 트랜지스터 T5의 게이트는 제2트랜지스터 T2의 게이트에 접속된다. 제5, 제6 트랜지스터 T5, T6의 소오스는 전원선 GND에 접속된다. 제2, 제5 트랜지스터 T2, T5의 게이트 접속접은 제4, 제6 트랜지스터 T4, T6의 게이트 접속점에 접속되어 입력 트랜지스터 회로(11)에 접속된다.

또한 본 발명의 원리적인 제3 레벨 컨버터는 제8도에 도시한 것처럼 제1 레벨 컨버터에 제5~제8 트랜지스터 T5~T8이 설치된다. 제8 트랜지스터 T8은 제1 트랜지스터 T1의 게이트와 제2의 출력 OUT2의 사이에 접속된다. 제6 트랜지스터 T6의 드레인은 제1 트랜지스터 T1과 제8 트랜지스터 T8의 접속점에 접속된다. 제6 트랜지스터 T6의 게이트는 제4, 제8 트랜지스터 T4, T8의 게이트에 접속된다. 제7 트랜지스터 T7은 제3 트랜지스터 T3의 게이트와 제1의 출력 OUT1의 사이에 접속된다.

제5 트랜지스터 T5의 드레인은 제3 트렌지스터 T3과 제7 트랜지스터 T7의 접속점에 접속된다. 제5 트랜지스터 T5의 게이트는 제2, 제7 트랜지스터 T2, T7의 게이트에 접속된다. 제2, 제4, 제5 및 제6 트랜지스터 T2, T4, T5, T6의 각각의 소오스는 전원선 GND에 접속된다. 제2, 제5 및 제7 트랜지스터 T2, T5,

T7의 각각의 게이트 접속점은 제4, 제6, 제8 트랜지스터 T4, T6, T8의 게이트 접속점에 접속되어 입력 트랜지스터 회로(11)에 접속된다.

또 본 발명의 원리적인 제4 레벨 컨버터는 제9도에 도시한 것처럼 제2, 제4, 제5, 제6 트랜지스터 T2, T4, T5, T6의 각 게이트가 입력 트랜지스터 회로(11)에 개별적으로 접속된다.

또한 본 발명의 원리적인 제5 레벨 컨버터는 제6도, 제7도에 도시한 제1, 제2 레벨 컨버터에, 제10도에 도시한 것처럼 제9, 제10 트랜지스터 T9, T10가 설치된다. 제9 트랜지스터 T9의 드레인은 제2 트랜지스터 T2의 소오스에 접속된다. 제9 트랜지스터 T9의 게이트는 입력 트랜지스터 회로(11)에 접속된다. 제10 트랜지스터 T10의 드레인은 제4 트랜지스터 T4의 소오스에 접속된다. 제10 트랜지스터 T10의 게이트는 입력 트랜지스터(11)에 접속된다. 제9 트랜지스터 T9의 소오스는 제10 트랜지스터 T10의 소오스에 접속되어 전원선 GND에 접속된다.

그리고, 제6도~제8도에 도시한 본 발명의 제1~제3 레벨 컨버터에 있어서, 제1의 래치회로(11A)가 제11도에 도시한 것처럼 인버터 INV와 제1, 제2의 2-입력 노어 회로 NOR1, NOR2로 이루어진다. 인버터 INV의 입력 IN은 제2의 2-입력 노어 회로 NOR2의 한쪽의 입력 in1에 접속된다.

제1의 2-입력 노어 회로 NOR1의 다른 쪽의 입력 in2는 제2의 2-입력 노어 회로 NOR2의 출력 out2에 접속된다. 제2의 2-입력 노어 회로 NOR2의 다른 쪽의 입력 in2는 2-입력 노어 회로 NOR1의 출력 OUT1에 접속된다. 제1, 제2의 2-입력 NOR 회로 NOR1, NOR2의 상보성의 제어신호 IN_D, $\overline{IN_D}$ 는 본 발명의 제 1레벨 컨버터의 제2트랜지스터 T2의게이트와 제 4 트랜지스터 T4의 게이트에 공급된다. 또는 상보성의 제어신호 IN_D, $\overline{IN_D}$ 가 본 발명의 제2 레벨 켄버터의 제2, 제5 트랜지스터 T2, T5의 게이트 접속점 및 제4, 제6 트랜지스터 T4, T6의 게이트 접속점에 각기 공급된다. 또는 상보성의 제어 신호 IN_D, $\overline{IN_D}$ 가 본 발명의 제3 레벨 컨버터의 제2, 제5, 제7 트랜지스터 T2, T5, T7의 게이트 접속점 및 제4, 제6,제8 트랜지스터 T4, T6, T8의 게이트 접속점에 각기 공급된다.

또 제9도, 제10도에 도시한 본 발명의 제4, 제5 레벨 컨버터에 있어서, 입력 트랜지스터 회로(11)가 제12도에 도시한 것처럼 제1~제5의 인버터 INV1~INV5와 제1, 제2의 2-입력 노어 회로 NOR1, NOR2가 접속된 제2의 래치회로(11B)로 이루어진다. 제1, 제2의 인버터 INV1, INV2는 직렬 접속되어 제1의 2-입력 노어 회로 NOR1의 출력 OUT1에 접속된다.

제3, 제4의 인버터 INV3, IN4는 직력 접속되어제2의 2-입력 NOR 회로 NOR2의 출력 OUT2에 접속된다. 제5의 인버터 INV5의 입력 IN은 제2의 2-입력 NOR 회로 NOR2의 한쪽의 입력 IN1에 접속된다. 제5의 인버터 INV5의 출력 OUT은 제1의 2-입력 NOR 회로 NOR1의 한쪽의 입력 IN1에 접속된다. 제1의 2-입력 NOR 회로 NOR1의 다른 쪽의 입력 IN2은 제4인버터 INV4의 출력 OUT에 접속된다. 제2의 2-입력 NOR 회로 NOR2의 다른쪽의 입력 in2는 제2 인버터 INV2의 출력 OUT에 접속된다. 제1, 제2의 2-입력 NOR 회로 NOR1, NOR2에서 출력되는 상보성의 제어 신호 $IN1$, $\overline{IN1}$ 은 제9C도에 도시한 본 발명의 제4 레벨 컨버터의 제5, 제6 트랜지스터 T5, T6의 게이트에 공급되거나 또는 본 발명의 제5 레벨 컨버터의 제2, 제4, 제5, 제6 트랜지스터 T2, T4, T5, T6의 게이트에 공급된다. 제2, 제4 인버터 INV2, INV4에서 출력되는 상보성의 지연 제어 신호 $IN2$, $\overline{IN2}$ 는 제9도에 도시한 본 발명의 제4 레벨 컨버터의 제2, 제4 트랜지스터 T2, T4의 게이트에 공급되거나 또는 제 10도에 도시한 제5 레벨 컨버터의 제9, 제10의 트랜지스터 T9, T10의 게이트 공급된다.

본 발명의 원리적인 제6 레벨 컨버터는 제13도에 도시한 것처럼 입력 트랜지스터 회로(12)와, 제1~제6 트랜지스터 T1~T6와, 제1, 제2 부하 소자 R1, R2를 구비한다. 입력 트랜지스터 회로(12)는 제1, 제2의 전원선 VDD1, GND와 입력 IN에 접속된다. 입력 트랜지스터 회로(12)는 제2, 제4 트랜지스터 T2, T4의 각 게이트에 접속된다. 제1, 제2 트랜지스터 T1, T2는 직렬 접속되어 제2, 제3의 전원선 GND, VDD2에 접속된다. 제3, 제4 트랜지스터 T3, T4는 직렬 접속되어 제2, 제3의 전원선 GND, VDD2에 접속된다. 제1 트랜지스터 T1의 게이트는 제5 트랜지스터 T5의 소오스에 접속된다. 제3 트랜지스터 T3의 게이트는 제6 트랜지스터 T6의 소오스에 접속된다. 제5트랜지스터 T5의 드레인은 제6 트랜지스터 T6의 게이트에 접속되어 제3, 제4 트랜지스터 T3, T4의 드레인 접속점으로 되는 제2의 출력 OUT2에 접속된다. 제6 트랜지스터 T6의 드레인은 제5 트랜지스터 T5의 게이트에 접속되어, 제1, 제2 트랜지스터 T1, T2의 드레인 접속점으로 되는 제1의 출력 OUT2에 접속된다. 제1 부하 소자 R1는 제5 트랜지스터 T1, T5의 게이트 소오스 접속점과 제3 전원선 VDD2의 사이에 접속된다. 제2 부하 소자 R2는 제3, 제6 트랜지스터 T3, T6의 게이트 소오스 접속점과 제3 전원선 VDD2의 사이에 접속된다.

또 본 발명의 원리적인 제7 레벨 컨버터는 제14도에 도시한 것처럼 입력 트랜지스터 회로(13)와, 제1~제8 트랜지스터 T1~T8를 구비한다. 입력 트랜지스터 회로(13)는 제1, 제2의 전원선 VDD1, GND와 입력 IN에 접속된다. 입력 트랜지스터 회로(13)는 제2, 제4 트랜지스터 T2, T4의 각 게이트에 접속된다. 제1, 제2 트랜지스터 T1, T2는 직렬 접속되어 제2, 제3의 전원선 GND, VDD2에 접속된다. 제3, 제4 트랜지스터 T3, T4는 직렬 접속되어 제2, 제3의 전원선 GND, VDD2에 접속된다. 제1 트랜지스터 T1의 게이트는 제5 트랜지스터 T5의 소오스에 접속된다. 제3 트랜지스터 T3의 게이트는 제6 트랜지스터 T6의 소오스에 젭속된다. 제5 트랜지스터 T5의 드레인은 제6 트랜지스터 T6의 소오스에 접속된다. 제5 트랜지스터 T5의 드레인은 제6 트랜지스터 T6의 게이트에 접속되어 제3, 제4 트랜지스터 T3, T4의 드레인 접속점으로 되는 제2의 출력 OUT2에 접속된다. 제6 트랜지스터 T6의 드레인은 제5 트랜지스터 T5의 게이트에 접속되어 제1, 제2 트랜지스터 T1, T2의 드레인 접속점으로 되는 제1의 출력 OUT2에 접속된다. 제7 트랜지스터 T7의 게이트는 제2의 전원선 GND에 접속된다. 제8 트랜지스터 T8은 제3, 제6 트랜지스터 T3, T6의 게이트 소오스 접속점과 제3 전원선 VDD2의 사이에 접속된다. 제8 트랜지스터 T8의 게이트는 제2의 전원선 GND에 접속된다.

본 발명의 원리적인 제8 레벨 컨버터는 제13, 제14도에 도시한 제6, 제7 레벨 컨버터에 있어서, 제15도에

도시한 것처럼 홀수 개의 제1, 제2 인버터 INV1, INV2가 설치된다. 홀수 개의 제1 인버터 INV1은 본 발명의 제6, 제7 레벨 컨버터의 제6 트랜지스터 T6의 게이트와 제1 출력 OUT1의 사이에 접속되고, 홀수개의 제2 인버터 INV2는 제13오, 제14도에 도시한 본 발명의 제6, 제7 레벨 컨버터의 제 5 트랜지스터 T5의 게이트와 제2 출력 OUT2의 사이에 접속된다.

또한, 본 발명의 원리적인 제9 레벨 컨버터는 제13도, 제14도에 도시한 제6, 제7 레벨 컨버터에 있어서, 제16도에 도시한 것처럼 짝수 개의 제1, 제2의 인버터 INV1, INV2가 설치된다. 짝수 개의 제2의 인버터 INV2는 직렬 접속되고, 이 직렬 접속된 제2의 인버터가 제13도, 제14도에 도시한 본 발명의 제6, 제7 레벨 컨버터의 제5 트랜지스터 T5의 게이트와 제1의 출력 OUT1의 사이에 접속된다. 짝수 개의 제1의 인버터 INV1은 직렬 접속되며, 이 직렬 접속된 제1의 인버터가 제13도, 제14도에 도시한 본 발명의 제6, 제7 레벨 컨버터의 제6 트랜지스터 T6의 게이트와 제2의 출력 OUT2의 사이에 접속된다.

본 발명의 원리적인 제10레벨 컨버터는 제15도, 제16도에 도시한 본 발명의 제8, 제9 레벨 컨버터에 있어서, 제17도에 도시한 것처럼 제3, 제4 부하 소자 R3,R4와, 제1, 제2 커패시터 C1, C2가 설치된다. 제3 부하 소자 R3는 제5 트랜지스터 T5의 게이트와 제1의 출력 OUT1의 사이에 접속된다. 제1 커패시터 C1은 제1의 출력 OUT2와 제2의 전원선 GND의 사이에 접속된다. 제4부하 소자 R4는 제6 트랜지스터 T6의 게이트와 제2의 출력 OUT2의 사이에 접속된다. 제2 커패시터 C2는 제2의 출력 OUT2와 제2의 전원선 GND의 사이에 접속된다.

본 발명의 원리적인 제11레벨 컨버터는 제14~제17도에 도시한 제7~제10레벨 컨버터에 있어서, 제18도에 도시한 것처럼 제1, 제2의 인버터 INV1, INV2 또는 제1, 제2의 인버터의 전단에 적분 회로 CR1, CR2가 접속된다.

그리고, 제13~제18도에 도시한 본 발명 제6~제11 레벨 컨버터에 있어서, 입력 트랜지스터 회로(12),(13)가 인버터 INV 또는 제11도에 도시한 바와 같은 본 발명의 제1~제3 레벨 컨버터에서 채용하는 제1의 래치회로(11A)로 이루어진다.

본 발명의 원리적인 제12레벨 컨버터는 제19도에 도시한 것처럼 입력 신호 Sin 에 의거하여 원숏 펄스 신호를 발생하는 펄스 발생 회로(14)와, 원숏 펄스 신호를 래치하는 신호 출력 회로(15)를 구비한다. 펄스 발생 회로(14)는 제1 구동 전원 시스템 VDD1, GND와 입력 IN에 접속된다. 신호 출력 회로(15)는 제 구동 전원 시스템 VDD2, GND에 접속된다.

그리고 본 발명의 원리적인 제1~제12레벨 컨버터는 제6~제19도에 도시한 것처럼 제2의 전원선 GND 의 전위 레벨을 기준으로 하여, 제1, 제3의 전원선 VDD1, VDD2가 고전위의 전원 공급 방식을 취하는 트랜지스터 회로를 구성한다.

또 본 발명의 원리적인 제1~제12의 다른 레벨 컨버터는 제20도에 도시한 것처럼 앞서 제6~제19도에 도시한 본 발명의 제1~제12레벨 컨버터의 전원 공급 방법을 바꾼 회로이다. 즉 제2의 전원선 GND의 전위 레벨을 기준으로 하여 제1, 제3의 전원선 VDD1, VDD2는 저전위의 전원 공급 방식의 트랜지스터 회로를 구성한다. 제20, 제21도는 다른 레벨 컨버터의 일예이다.

본 발명의 원리적인 제1 반도체 집적 회로는 제22도에 도시한 것처럼 제1의 전압 레벨에 의거하여 구동하는 제1 회로 시스템(16)와, 제1 회로 시스템(16)의 출력 신호의 레벨 변환을 하는 레벨 변환 회로(17)와, 레벨 변환된 입력 신호를 제2의 전압 레벨에 의거하여 구동하는 제2회로 시스템(18)을 구비한다. 레벨 변환 회로(17)는 제6~제21도에 도시한 본 발명의 제1~제12 레벨 컨버터 및 전원 공급 방식을 바꾼 제1~제12의 다른 컨버터로 이루어진다.

그리고, 제22도에 도시한 본 발명의 제1 반도체 집적 회로에 있어서, 제1회로 시스템(16) 및 레벨 변환 회로(17)가 동일한 반도체 칩내에 설치된다.

또 제22도에 도시한 본 발명의 제1 반도체 집적회로에 있어서, 레벨 변환 회로(17) 및 제2 회로 시스템(18)이 반도체 칩내에 설치된다.

또 본 발명의 원리적인 제2 반도체 집적 회로는 제23도에 도시한 바와 같이, 제1의 전압 레벨에 의거하여 구동하는 제1회로 시스템(19) 또는 제2의 전압 레벨에 의거하여 구동하는 제2회로 시스템(21)에 양방향성의 레벨 변환 회로(20)와 양방향성의 레벨 변환 회로(20) 및 제1~제3의 전원선 VDD1, GND, VDD2에 접속된 신회 제어 수단(22)을 구비한다. 신호 제어 수단(22)은 제1, 제3의 전원선 VDD1, VDD2의 투입 순서에 의거하여 양방향성의 레벨 변환 회로(20)의 신호방향을 결정한다.

그리고 제23도에 도시한 본 발명의 제2 반도체 집적회로에 있어서, 양방향성의 레벨 변환 회로(20)는 제1 회로 시스템(19) 또는 시스템(21)의 입출력에 설치된다.

또 제23도에 도시한 본 발명의 제2 반도체 집적회로 있어서 제1회로 시스템(19) 또는 제2 회로 시스템(21)과, 양방향성의 레벨 변환 회로(20)와, 신호 제어 수단(22)이 동일한 반도체 칩내에 설치된다.

그리고 제23도에 도시한 본 발명의 제2 반도체 집적 회로에 있어서, 양방향성의 레벨 변환 회로(20)는 제24도에 도시한 것처럼 출력 레벨 변환부(20A)와 입력 레벨 변환부(20B)로 이루어진다. 출력 레벨 변환부(20A) 및 입력 레벨 변환부(20B)는 제6~제21도에 도시한 본 발명의 제1~제12 레벨 컨버터 및 전원 공급 방식을 바꾼 제1~제12의 다른 레벨 컨버터를 갖는다.

또, 본 발명의 원리적인 제3 반도체 집적회로는 제22도~제24도에 도시한 제1, 제2 반도체 집적회로에 있어서, 제1 회로 시스템(16),(19), 제2회로 시스템 (18),(21), 레벨 변환 회로(17), 양방향성의 레벨 변환 회로(20) 및 신호 제어 수단(22)에 접속되는 제1~제3의 전원선 VDD1, GND, VDD2가 반도체 칩내에서 격자 모양으로 배선된다.

본 발명의 원리적인 제1 레벨 컨버터의 동작을 설명한다. 예를 들면 제11도에 도시한 바와 같은 제1의

래치회로(11A)에서 상보성의 제어 신호 IN_D, $\overline{IN_D}$ 가 제2 트랜지스터 T2의 게이트와 제4 트랜지스터 T4의 게이트에 공급된다.

즉, 입력 IN이 「H」에서 「L」레벨로 천이할 때, 제1의 래치회로 (11A)에서 제2 트랜지스터 T2의 게이트에 전위 「H」에서 「L」레벨로 천이 하는 제어 신호 IN_D가 공급된다. 다음에 제4 트랜지스터 T4의 게이트에 전위「L」에서 「H」레벨로 천이하는 반전 제어 신호 $\overline{IN_D}$ 가 공급된다. 이 때문에 제1 트랜지스터 T1의 온 동작상태와 제2 트랜지스터 T2의 오프 동작 상태를 어긋나게 할 수 있다.

반대로 입력 IN이 「L」에서 「H」레벨로 천이할 때, 제1의 래치회로(11A)에서 제4 트랜지스터 T4의 게이트에, 「H」에서 「L」레벨로 천이하는 반전 제어신호 $\overline{IN_D}$ 가 공급된다. 다음에 제2 트랜지스터 T2의 게이트에, 전위「L」에서 「H」레벨로 천이하는 비반전 제어신호 IND가 공급된다.

이 때문에 입력 IN이 「L」에서 「H」레벨로 변화할 때에도, 제3 트랜지스터 T3의 온 동작상태와 제4 트랜지스터 T4의 오프 동작 상태를 어긋나게 할수 있다.

이것에 의해 제2 구동 전원 시스템 VDD2, GND에 접속된 트랜지스터 T1,T2간의 관통 전류나 T3, T4간의 관통 전류를 없앨 수 있게 된다. 이것으로 해서 당해 레벨 컨버터의 회로 소비 전력의 저감화를 도모할 수 있게 된다.

또 본 발명의 원리적인 제2 레벨 컨버터의 동작을 설명한다. 예를 들면 입력 IN이「H」에서 「L」레벨로 천이할 때, 제1의 래치회로(11A)에서 제2, 제5 트랜지스터 T2, T5의 게이트에 전위를 「H」에서 「L」레벨로 천이하는 비반전 제어신호 IN_D가 공급되고, 또 제4, 제6 트랜지스터 T4,T6의 게이트에 「L」에서 「H」레벨로 천이하는 반전 제어신호 $\overline{IN_D}$ 가 공급된다.

이 때문에 제2 트랜지스터 T2의 온에서 오프 동작에 이어 제1 트랜지스터 T1를 신속하게 오프에서 온 동작으로 천이시킬 수 있어서 출력 OUT1의 전위를 「L」에서 「H」레벨로 급격하게 상승할 수 있게 된다.

이것은 제1 트랜지스터 T1의 게이트 전압이 트랜지스터 T3의 온저항 Rp과 부하 소자 R2의 합성 저항에 대한 트랜지스터 T6의 온 저항 Rn 의 비(Rp+R2)/Rn 에 의해서 스위칭 속도가 결정되기 때문이다.

그리고, 제4 트랜지스터 T4의 온에서 오프 동작에 이어 제3 트렌지스터 T3를 신속하게 오프에서 온 동작으로 천이시킬 수 있어서, 출력 OUT2의 전위를 「L」에서 「H」레벨로 급격하게 상승시킬 수 있다.

반대로, 입력 IN이 「L」에서 「H」레벨로 천이할 때에는 제1의 래치회로(11A)에서 제2, 제5 트랜지스터 T2, T5의 게이트에, 전위를 「L」에서 「H」레벨로 천이하는 제어신호 IN_D가 공급되고, 또 제4, 제6 트랜지스터 T4, T6의 게이트에 「H」에서 「L」레벨로 천이하는 제어 신호가 공급된다.

이 때문에 입력 IN이 「L」에서 「H」레벨로 천이할 때에도 제4 트랜지스터 T4의 오프 동작에 이어서 제3 트랜지스터 T3를 신속하게 온 동작으로 천이시킬 수 있어서 출력 OUT2의 전위를 「L」에서 「H」레벨로 급격하게 상승시킬 수 있게 된다. 이것은 제3 트랜지스터 T3의 게이트 전압이 트랜지스터 T1의 온저항과 부하 소자 R1의 합성 저항에 대한 트랜지스터 T5의 온 저항의 비(Rp+R1)/Rn에 의해 스위칭 속도가 결정되기 때문이다.

그리고, 입력 IN이 「L」→ 「H」레벨로 천이할 때 제2 트랜지스터 T2의 오프에서 온 동작에 이어서 제1 트랜지스터 T1를 빨리 온에서 오프 동작으로 천이시킬 수 있어서 출력 OUT1의 전위를 「H」에서 「L」레벨로 급격히 하강시킬수 있게 된다.

이것에 의해 본 발명의 관련 기술과 같은 제2 구동 전원 시스템 VDD2, GND에 접속된 트랜지스터 T1, T2간의 관통 전류나 트랜지스터 T3, T4간의 관통 전류를 없앨 수 있게 된다. 이와 같은 것으로부터 당해 레벨 컨버터의 회로 소비 전력의 저감화를 도모하는 일 및, 제1 레벨 컨버터에 비해 회로 동작이 고속화를 도모할 수 있게 된다.

또한 본 발명의 원리적인 제3 레벨 컨버터에 의하면 제8도에 도시한 것처럼 제5~제8 트랜지스터 T5~T8가 설치된다. 제7도에 도시한 제2레벨 컨버터의 부하 소자 R1, R2 대신 제7, 제8 트랜지스터 T7, T8가 접속되고, 제2, 제5, 제7 트랜지스터 T2, T5, T7의 게이트 접속점 및 제4, 제6, 제8 트랜지스터 T4, T6, T8의 게이트 접속점에 상보성의 제어 신호 IN_D, $\overline{IN_D}$ 가 공급된다.

이 때문에 제2 레벨 컨버터와 같이 입력 IN이 「H」에서 「L」레벨로 천이할 때, 출력 OUT1의 전위를「L」에서 「H」레벨로 급격하게 상승시키는 일 및 출력 OUT2의 전위를 「H」에서 「L」레벨로 급격하게 하강시킬 수 있다. 또 입력 IN이「L」에서 「H」레벨로 천이할 때 출력 OUT1의 전위를 「H」에서 「L」레벨로 급격히 하강시키는 일 및 출력 OUT2의 전위를 「L」에서 「H」레벨로 급격히 하강시킬 수 있게 된다.

이것에 의해 제7도에 도시한 제2 레벨 컨버터와 같이, 트랜지스터 T1, T2간의 관통 전류난 트랜지스터 T3, T4간의 관통 전류를 없앨 수 있게 된다. 이것으로부터 당해 레벨 텀버터의 회로 소비 전력의 저감화를 도모하는 일 및 제2 레벨 컨버터와 같이 회로 동작의 고속화를 도모할 수 있게 된다.

또, 본 발명의 원리적인 제4 레벨 컨버터에 의하면 제9도에 도시한 바와 같은 제2, 제4, 제5, 제6 트랜지스터 T2, T4, T5, T6의 각 게이트가 입력 트랜지스터 회로(11)를 구성하는 제12도에 도시한 바와 같은 제2의 래치회로(11B)에 개별적으로 접속된다. 이 회로에서 예를 들어 제2의 래치회로(11B)의 제1의 2-입력

NOR 회로 NOR1에서 제5 트랜지스터 T5의 게이트에 비반전 제어 신호 IN1이 출력되고, 제2의 인버터 INV2에서 제2 트랜지스터 T2의 게이트에 비반전 지연신호 IN1이 출력된다. 또 제2의 2-입력 NOR 회로 NOR2에서 제6 트랜지스터 T6의 게이트에 반전 제어 신호 $\overline{IN1}$ 이 출력되고, 제4의 인버터 INV4에서 제4 트랜지스터 T4의 게이트에 반전 지연 신호 $\overline{IN2}$ 가 출력된다.

이 때문에 제2, 제3 레벨 컨버터와 같이, 입력 IN이 「H」에서「L」레벨로 천이할 때, 출력 OUT1의 전위를 「L」에서 「H」레벨로 급격히 하강시키는 일 및 출력 OUT2의 전위를 「H」에서 「L」레벨로 급격히 하강시킬 수 있다. 또 입력 IN이 「L」에서「H」레벨로천이할 때, 출력 OUT1의 전위를 「H」에서「L」레벨로 급격히 하강시키는 일, 및 출력 OUT2의 전위를 「L」에서「H」레벨로 급격히 하강시킬 수 있게 된다.

이것에 의해 제7, 제8도에 도시한 제2, 제3레벨 컨버터와 같이, 트랜지스터 T1, T2간의 관통 전류나 트랜지스터 T3, T4간의 관통 전류를 없앨 수 있게 된다. 이와 같은 것에서 당해 레벨 컨버터의 회로 소비 전력의 저감화를 도모하는 일 및 제2, 제3 레벨 컨버터와 같이 회로 동작의 고속화를 도모할 수 있게 된다.

또한 본 발명의 원리적인 제5 레벨 컨버터에 의하면 제7도에 도시한 제2 레벨 컨버터에 제10도에 도시한 바와 같은 제9, 제10트랜지스터 T9, T10이 전속되고, 그 게이트가 제12도에 도시한 바와 같은 제2의 래치회로(11B)에 개별적으로 접속된다.

이 회로에서 예를 들어 제2의 래치회로(11B)의 제1의 2-입력 NOR 회로 NOR1에서 제2, 제5 트랜지스터 T2, T5의 게이트 접속점에 비반전 제어 신호 IN1이 출력되고, 제2의 인버터 INV2에서 제9 트랜지스터 T9의 게이트에 비반전 지연 신호 IN1이 출력된다. 또, 제2의 2-입력 NOR 회로 NOR2에서 제4, 제6 트랜지스터 T4, T6의 게이트에 반전 제어 신호 $\overline{IN1}$ 이 출력되고, 제4의 인버터 INV4에서 제10의 게이트에 반전 지연 신호 $\overline{IN2}$ 가 출력된다.

이 때문에 제7~제9도에 도시한 제2~제4 레벨 컨버터와 같이 입력 IN이 「H」에서 「L」레벨로 천이할 때, 출력 OUT1의 전위를 「L」에서 「H」레벨로 급격히 하강시키는 일 및 출력 OUT2의 전위를「H」에서 「L」레벨로 급격히 하강시킬 수 있다. 또, 「L」에서 「H」레벨로 천이할 때, 출력 OUT1의 전위를 「H」에서 「L」레벨로 급격히 하강시키는 일 및 출력 OUT2의 전위를「L」에서 「H」레벨로 급격히 상승시킬 수 있게 된다.

이것에 의해 제7~제9도에 도시한 제2~제4 레벨 컨버터와 같이, 트랜지스터 T1, T2, T9간의 관통 전류나 트랜지스터 T3, T4, T10간의 관통 전류를 없앨 수 있게 된다. 이와 같은 것으로 당해 레벨 컨버터의 회로 소비 전력의 저감화를 도모하는 일, 및 제2~제4 레벨 컨버터와 같이 회로 동작의 고속화를 도모할 수 있게 된다.

그리고, 본 발명의 원리적인 제1~제5 레벨 컨버터는 제6~제10도에 도시한 바와 같이 제2의 전원선 GND의 전위 레벨을 기준으로 하여 제1, 제3의 전원선 VDD1, VDD2가 고전위 전원에 접속된다. 또 제20도에 도시한 바와 같이 제2의 전원선 GND의 전위 레벨을 기준으로 하여 제1, 제3의 전원선 VDD1, VDD2를 전전위 전원에 접속하는 트랜지스터 회로를 구성했을 경우에도 역시 전원선 VDD, GND2에 접속된 트랜지스터 T1, T2 간의 관통 전류나 트랜지스터 T3, T4간의 관통 전류를 없앨 수 있게 된다.

이것에 의해 제1~제5 레벨 컨버터와 같이, 당해 레벨 컨버터의 회로 소비 전력의 저감화를 도모하는 일 및, 제1~제5 레벨 컨버터와 같이 회로 동작의 고속화를 도모할 수 있게 된다.

또한 본 발명의 원리적인 제6 레벨 컨버터에 의하면 제13도에 도시한 바와 같이, 입력 트랜지스터 회(12)와 제1~제6 트랜지스터 T1~T6와 제1, 제2부하 소자 R1, R2를 구비한다. 입력 트랜지스터 회로(12)는 인버터 또는 제11도에 도시한 바와 같은 본 발명의 제1~제3 레벨 컨버터에서 채용하는 제1의 래치회로(11A)로 이루어진다.

이 회로에서 예를 들면 입력 IN이 「H」에서 「L」레벨로 천이할 때 입력 트랜지스터 회로(12)에서 제2 트랜지스터 T2의 게이트에 전위를「H」에서 「L」레벨로 천이 하는 제어 신호 IN_D가 공급되며, 또 제4 트랜지스터 T4의 게이트에 전위를 「L」에서 「H」레벨로 천이 하는 반전 제어 신호 $\overline{IN_D}$ 가 공급된다.

이것에 의해 제2, 제3, 제5 트랜지스터 T2, T3, T5가 온→오프 동작으로 천이하고, 제1, 제4, 제6 트랜지스터 T1, T4, T6가 오프→온 동작으로 천이 한다. 이 때 출력 OUT2의 전위 레벨은 저항 R1과 제4 트랜지스터 T4의 온 저항의 비로 결정된다. 즉, 제5 트랜지스터 T5가 오프 동작을 하고, 제1 트랜지스터 T1의 게이트 전압이 저항 R1에 의해 「H」레벨로 설정되고, 제6 트랜지스터 T6를 온 동작시켜, 저항 R2에 의해 「H」레벨이 출력 OUT1에 전달되고, 출력 OUT1이 고속으로 「L」에서 「H」레벨로 천이한다.

반대로 입력 IN이 「L」에서「H」레벨로 천이할 때, 입력 트랜지스터 회로(12)에서 제2 트랜지스터 T2의 게이트에 전위를 「L」에서「H」레벨로 천이하는 제어 신호 IN_D가 공급되고, 또 제4 트랜지스터 T4의 게이트에 전위를 「H」에서 「L」레벨로 천이하는 제어 신호가 공급된다.

이것에 의해 제2, 제3, 제5 트랜지스터 T2, T3, T5가 오프→온 동작으로 천이하고, 제1, 제6 트랜지스터 T1, T4, T6이 온→오프 동작으로 천이 한다. 이때, 출력 OUT1의 전위 레벨은 저항 R2과 제2 트랜지스터 T2의 온 저항의 비로 결정된다.

즉, 제6 트랜지스터 T6이 온→오프 동작으로 천이하고, 제3 트랜지스터 T3의 게이트 전압이 저항 R2에 의해 「H」레벨로 설정되고, 제5 트랜지스터 T5를 온 동작시키며, 저항 R1에 의해 「H」레벨이 출력 OUT2에 전달되고, 이 출력 OUT2이 고속으로 「L」에서 「H」레벨로 천이 한다. 이것에 의해 제2 구동 전원 시스

템 VDD2, GND에 접속된 트랜지스터 T1, T2간의 관통 전류나 트랜지스터 T3, T4간의 관통 전류를 없앨수 있게 된다. 이것으로부터 당해 레벨 컨버터의 회로 소비 전력의 저감화를 도모하는 일 및 제1~제5 레벨 컨버터에 비해 회로 동작의 고속화를 도모할 수 있게 된다.

또, 본 발명의 원리적인 제7레벨 컨버터에 의하면 제14도에 도시한 것처럼 입력 트랜지스터 회로(13)와, 제1~제8 트랜지스터 T1~T8를 구비한다. 제7, 제8 트랜지스터 T7, T8은 제6 레벨 컨버터의 부하 소자 R1, R2의 접속 위치로 치환된다.

이 때문에 제7, 제8 트랜지스터 T7, T8의 정상 온 저항에 의해 제6 레벨 컨버터의 부하 소자 R1, R2의 기능을 대체시킬 수 있다. 또, 입력 IN이 「H」에서 「L」레벨로 천이할 때나 「L」에서「H」레벨로 천이할 때에 출력 OUT1이 고속으로 「L」에서「H」레벨로 천이 하는 일, 및 출력 OUT2을 고속으로 「L」에서 「H」레벨로 천이시킬 수 있다.

이것에 의해 제13도에 도시한 제6 레벨 컨버터와 같이, 트랜지스터 T1, T2간의 관통 전류나 트랜지스터 T3, T4간의 관통 전류를 없앨 수 있게 된다. 이것으로부터 회로 소비 전력의 저감화 및 회로 동작의 고속화를 도모할 수 있게 된다.

또, 본 발명의 원리적인 제8 레벨 컨버터에 의하면 제15도에 도시한 것처럼 홀수 개의 제1, 제2의 인버터 INV1, INV2가 설치된다. 홀수 개의 제1의 인버터 INV1는 제5 트랜지스터 T5의 게이트와 제2의 출력 OUT2의 사이에 접속된다. 홀수개의 제2의 인버터 INV2는 제6 트랜지스터 T6의 게이트와 제1의 출력 OUT1의 사이에 접속된다.

이 때문에 제2의 출력 OUT2의 전위 레벨의 지연신호를 제5 트랜지스터 T5의 게이트에 공급할 수 있다. 또, 제1의 출력 OUT1의 전위 레벨의 지연신호를 제6 트랜지스터 T6의 게이트에 공급할 수 있다. 제6, 제7 레벨 컨버터와 같이, 입력 IN이 「H」에서 「L」레벨로 천이할 때나, 「L」에서 「H」레벨로 천이할 때, 출력 OUT1이 고속으로 「L」에서 「H」레벨로 천이 하는 일, 및 출력 OUT2를 고속으로 「L」에서 「H」레벨로 천이시킬 수 있다.

이것에 의해 제13도, 제14도에 도시한 제6, 제7레벨 컨버터와 같이, 트랜지스터 T1, T2 간의 관통 전류나 트랜지스터 T3, T4 간의 관통 전류를 없앨 수 있게 된다. 이것으로부터 회로 소비 전력의 저감화 및 회로 동작의 고속화를 도모할 수 있게 된다.

또한 본 발명의 원리적인 제9 레벨 컨버터에 의하면 제16도에 도시한 것처럼 홀수 개의 제1, 제2의 인버터 INV1, INV2가 설치된다. 직렬 접속된 제1의 인버터는 제5 트랜지스터 T5의 게이트와 제1의 출력 OUT1의 사이에 접속된다. 직렬 접속된 제2의 인버터는 제6 트랜지스터 T6의 게이트와 제2의 출력 OUT2의 사이에 접속된다.

이 회로에서 예를 들면 입력 IN이 「H」에서 「L」레벨로 천이 하는 비반전 제어 신호 IN_0가 공급되며, 또 제4 트랜지스터 T4의 게이트에 전위를 「L」에서「H」레벨로 천이하는 반전 제어 신호가 공급된다.

이것에 의해 제2, 제3, 제5 트랜지스터 T2, T3, T5가 온→오프 동작으로 천이하고, 제1, 제4, 제6 트랜지스터 T1, T4, T6가 오프→온 동작으로 천이 한다. 이때 출력 OUT2의 전위 레벨은 저항 R1과 제4 트랜지스터 T4의 온 저항의 비로 결정된다.

즉, 제1의 인버터의 지연 시간을 거쳐 제5 트랜지스터 T5가 오프 동작을 하고, 제1 트랜지스터 T1의 게이트 전압이 저항 R1에 의해 「H」레벨에 설정되며, 제6 트랜지스터 T6를 온 동작시켜, 저항 R2에 의해 「H」레벨이 출력 OUT1에 전달된다.

이때, 제4 트랜지스터 T4→출력 OUT2→제1 트랜지스터 T1→출력 OUT1→제1의 인버터→제5 트랜지스터 T5→저항 R1→제1 트랜지스터 T1를 순환하는 제1의 신호 전달 경로와, 제4 트랜지스터 T4→출력 OUT2→제2의 인버터→제6 트랜지스터 T6→저항 R2→출력 OUT1을 순환하는 제2의 신호 전달 경로가 구성된다.

이 때문에 제1의 신호 전달 경로에 의해 출력 OUT1을「L」에서「H」레벨로 고속으로 천이시킬 수 있고, 이 제1의 신호 전달 경로에서 상승한 다음 제2의 신호 전달 경로에 의해 그 전위를 유지하거나 또는 계속해서 상태 천이시킬 수 있게 되어 출력 OUT1이 고속으로 「L」에서 「H」레벨로 천이한다.

반대로 입력 IN이「L」에서 「H」레벨로 천이할 때, 입력 트랜지스터 회로(12)에서 제2 트랜지스터 T2의 게이트에 전위를「L」에서 「H」레벨로 천이하는 비반전 제어 신호 IN_0가 공급되고, 또 제4 트랜지스터 T4의 게이트에 전위를 「H」에서 「L」레벨로 천이 하는 반전 제어 신호가 공급된다.

이것에 의해 제2, 제3, 제5 트랜지스터 T2, T3, T5가 오프→온 동작으로 천이하고, 제1, 제4, 제6 트랜지스터 T1, T4, T6가 온→오프 동작으로 천이 한다. 이 때 출력 OUT1의 전위 레벨은 저항 R2과 제2 트랜지스터 T2의 온 저항의 비로 결정한다.

즉, 제6 트랜지스터 T6가 제2의 인버터의 지연 시간을 거쳐 온→오프 동작으로 천이하고, 제3 트랜지스터 T3의 게이트 전압이 저항 R2에 의해 「H」레벨로 설정되고, 제5 트랜지스터 T5를 온 동작시켜, 저항 R1에 의해 「H」레벨이 출력 OUT2에 전달된다.

이때, 제2 트랜지스터 T2→출력 OUT1→제3 트랜지스터 T3→출력 OUT2→제2의 인버터→제6 트랜지스터 T6→저항 R2→제3 트랜지스터 T3를 순환하는 제1의 신호 전달 경로와, 제2 트랜지스터 T2→출력 OUT1→제1의 인버터→제5 트랜지스터 T5→저항 R1→출력 OUT2을 순환하는 제2의 신호 전달 경로가 구성된다.

이 때문에 제1의 신호 전달 경로에 의해 출력 OUT1을 「L」에서 「H」레벨로 고속으로 천이시킬 수 있고, 이 제1의 신호 전달 경로에서 상승한 다음에 제2의 신호 전달 경로에 이해, 그 전위를 유지화거나 또는 계속해서 상태 천이시키는 것이 가능해져서 출력 OUT2이 고속으로 「L」에서 「H」레벨로 천이 한다.

이것에 의해 제13도~제15도에 도시한 제6~제8레벨 컨버터와 같이, 트랜지스터 T1, T2 간의 관통 전류나 트랜지스터 T3, T4 간의 관통 전류를 없앨 수 있게 된다. 이와 같은 것으로부터 회로 소비 전력의 저감

화를 도모하는 일, 및 회로 동작의 고속화를 도모할 수 있게 된다.

본 발명의 원리적인 제10 레벨 컨버터에 의하면, 제17도에 도시한 것처럼 제3, 제4부하 소자 R3, R4와 제1, 제2 커패시터 C1, C2이 구비된다.

이 때문에, 제4 부하 소자 R4와 제2 커패시터 C2에 의해 제2의 출력 OUT2를 지연시킨 신호를 제6 트랜지스터 T6의 게이트에 공급할 수 있고, 또 제3 부하 소자 R3와 제1 커패시터 C1에 의해 제1의 출력 OUT1을 지연시킨 신호를 제5 트랜지스터 T5의 게이트에 공급할 수 있다. 제6~제9레벨 컨버터와 같이 입력 IN이 「H」에서 「L」레벨로 천이할 때나 「L」에서 「H」레벨로 천이할 때, 출력 OUT1이 고속으로 「L」에서 「H」레벨로 천이할 때, 출력 OUT1이 고속으로「L」에서 「H」레벨로 천이하는 일 및 출력 OUT2를 고속으로「L」에서 「H」레벨로 천이할 수 있다.

이것에 의해 제6~제9 레벨 컨버터와 같이 제2 구동 전원 시스템 VDD2, GND에 접속된 트랜지스터 T1, T2간의 관통 전류나 트랜지스터 T3, T4 간의 관통 전류를 없앨 수 있게 된다. 이와 같은 것으로부터 회로 소비 전력의 저감화 및 회로 동작의 고속화를 도모할 수 있게 된다.

본 발명의 원리적인 제11 레벨 컨버터에 의하면 제18도에 도시한 것처럼, 제1, 제2의 인버터 INV1, INV2 또는 제1, 제2의 인버터의 전단에 적분 회로 CR1, CR2가 접속된다.

이 때문에 적분 회로 CR2와 제2의 인버터에 의해 제2의 출력 OUT2를 지연시킨 신호를 제5 트랜지스터 T5의 게이트에 공급할 수 있고, 또, 적분 회로 CR1와 제1 인버터에 의해 제1 출력 OUT1을 지연시킨 신호를 제6 트랜지스터 T6의 게이트에 공급할 수 있고, 제6~제10 레벨 컨버터와 같이 입력 IN이 「H」에서 「L」레벨로 천이할 때나 「L」에서 「H」레벨로 천이할 때 출력 OUT1가 고속으로 「L」에서 「H」레벨로 천이 하는 일 및 출력 OUT2을 고속으로 「L」에서 「H」레벨로 천이시킬 수 있다.

이것에 의해 제6~제10 레벨 컨버터와 같이, 제2 구동 전원 시스템 VDD2, GND에 접속된 트랜지스터 T1, T2간의 관통 전류나 트랜지스터 T3, T4간의 관통 전류를 없앨 수 있게 된다. 이것으로부터 회로 소비 전력의 저감화 및 회로 동작의 고속화를 도모할 수 있게 된다. 그리고 제13~제18도에 도시한 본 발명의 제6~제11 레벨 컨버터는 제2의 전원선 GND의 전위 레벨을 기준으로 하여 제1, 제3의 전원선 VDD1, VDD2이 고전위 전원에 접속되지만 제21도에 도시한 것처럼, 제2의 전원선 GND의 전위 레벨을 기준으로 하여, 제1, 제3의 전원선 VDD1, VDD2를 저전위에 접속하는 트랜지스터 회로를 구성했을 경우에도 역시 전원선 VDD, GND2에 접속된 트랜지스터 T1, T2간의 관통 전류나 트랜지스터 T3, T4간의 관통 전류를 없앨 수 있게 된다.

이것에 의해 제1~제11 레벨 컨버터에 있어서, 본 발명의 관련 기술처럼 제1, 제3 트랜지스터 T1, T3의 온 저항을 크게 할 필요가 없어지고 그 p 형 전계효과 트랜지스터 사이즈를 다른 n 형 젼계 효과 트랜지스터의 사이즈와 동등하게 설계할 수 있고, 레벨 컨버터를 포함한 각종 신호 처리 회로의 게이트 어레이(CMOS 집적회로)화에 기여하는 바가 크다.

또 본 발명의 원리적인 제12 레벨 컨버터에 의하면 제19도에 도시한 것처럼 펄스 발생 회로(14) 및 신호 출력 회로(15)를 구비한다. 이 펄스 발생 회로(14)는 제1 구동 전원 시스템과 입력 IN에 접속된다. 신호 출력 회로(15)는 제2 구동 전원 시스템에 접속된다.

이 회로에서 예를 들면 제1의 전원 시스템에서 처리된 입력 신호 Sin 가 펄스 발생 회로(14)에 공급되면 이 압력 신호 Sin 에 의거하여 원숏 펄스 신호가 발생된다. 원숏 펄스 신호에 의거하여 레벨 변환된 제2 구동 전원 시스템용의 출력 신호는 신호 출력 회로(15)에서 래치 출력된다.

이 때문에 제1 구동 전원 시스템과 제2 구동 전원 시스템의 전압 전환을 원숏 펄스 신호에 의거하여 순간적으로 할 수 있다. 전류 소비를 수반하는 전류미러 회로를 주요부로 하는 레벨 컨버터에 비해, 회로 소비 전력의 저감화를 도모할 수 있게 된다.

또한 본 발명의 원리적인 제1 반도체 집적 회로에 의하면 제22도에 도시한 것처럼 제1회로 시스템(16), 레벨 변환 회로(17) 및 제2 회로 시스템(18)를 구비한다. 이 레벨 변환 회로(17)는 제6도~제21도에 도시한 본 발명의 제1~제12 레벨 컨버터로 이루어진다. 예를 들면 제1, 제2 회로 시스템(16),(18) 및 레벨 변환 회로(17)가 동일한 반도체 칩 내에 설치된다.

이 때문에 저 전압 구동 시스템의 집적 회로와 고전압 구동 시스템의 집적 회로를 사용하여 복합 집적회로로, 예를 들어 디지털/아날로그 처리 회로를 구성할 경우에 본 발명의 제1~제12의 레벨 컨버터를 레벨 변환 회로(17)에 적용함으로써 저 소비 전력화 및 신호 동작의 고속화에 기여하게 되어, 본 발명의 관련 기술처럼 개개의 IC를 프린트기판에 개별적으로 실장할 필요가 없어진다.

이것에 의해 전자 기기의 IC 실장 면적을 적게 억제할 수 있게 된다. 또 전지 구동 전원에 의존하는 휴대용 전자 기기의 콤팩트화를 도모할 수 있게 된다.

본 발명의 제1 반도체 집적회로에 의하면 제1 회로 시스템(16) 및 레벨 변환 회로(17)가 동일한 반도체 칩내에 설치된다.

이 때문에 저전압 구동 시스템의 집적 회로의 입출력 인터페이스 부분에 본 발명의 제1~제12 레벨 컨버터를 적용함으로써, 저소비전력화 및 신호 동작의 고속화에 기여하게 되고, 본 발명의 관련 기술에 비해 IC의 단위 면적 당의 실장 개수를 나타내는 실장률을 개선할 수 있게 된다.

이것에 의해 전자기기의 IC 실장 면적을 작게 억제할 수 있게 되어, 휴대용 전자기기의 콤팩트화를 도모할 수 있게 된다.

본 발명의 제1 반도체 집적회로에 의하면, 레벨 변환 회로(17) 및 제2 회로 시스템(18)가 동일한 반도체 칩내에 설치된다.

이 때문에 저전압 구동 시스템의 집적 회로와 고전압 구동 시스템의 집적회로를 공존시킬 경우에 고전압 구동 시스템의 집적회로의 입출력 인터페이스 부분에 본 발명의 제1~제12 레벨 컨버터를 적용함으로써,

저소비전력화 및 신호 동작의 고속화에 기여하고, IC의 실장 효율을 개선할 수 있게 된다.

이것에 의해 전자기기의 IC실장 면적을 작게 억제할 수 있게 되어 휴대용 전자기기의 콤팩트화를 도모할 수 있게 된다.

본 발명의 제2 반도체 집적회로에 의하면 제23도에 도시한 것처럼 제1 회로시스템(19) 또는 제2 회로 시스템(21)에 양방향성의 레벨 변환 회로(20)와, 신호 제어 수단(22)이 구비되며, 예를 들어 제1 회로 시스템(19) 또는 제2 회로 시스템(21)의 입출력마다 양방향성의 레벨 변환 회로(20)가 설치된다. 그것은 동일한 반도체 칩내에 설치된다.

이 때문에 제1, 제3의 전원선 VDD1, VDD2의 투입 순서에 의거하여 신호 제어 수단(22)으로는 레벨 컨버터의 동작 방향을 결정하는 제어 신호 CTL 가 발생하고, 그 신호 CTL를 각 양방향성의 레벨 변환 회로(20)에 출력할 수 있다.

이 회로에서 예를 들어 제24도에 도시한 것처럼 제1의 전원선 VDD1의 투입이 먼저고 제2의 전원선 VDD2의 투입이 나중일 경우는 출력 레벨 변환부(20A)에 비반전 제어 신호 CTL=「H」레벨이 공급된다. 이것에 의해 출력 레벨 변환부(20A)가 동작 상태로 되고, 입력 레벨 변환부(20B)가 비동작 상태로 되어, 당해 반도체 집적 회로의 출력 방향을 자동 결정할 수 있게 된다. 반대로 제2의 전원선 VDD2의 투입이 먼저이고 제1의 전원선 VDD1의 투입이 나중일 경우에는 출력 레벨 변환부(20A)에 비반전 제어 신호 CTL=「L」레벨이 공급된다. 반전 제어 신호 $\overline{CTL}$=「H」 레벨은 입력 레벨 변환부(20B)에 공급된다. 이것에 의해 출력 레벨 변환부(20A)가 비동작 상태로 되고, 입력 레벨 변환부(20B)가 동작 상태로 되어, 당해 반도체 집적 회로의 입력 방향을 자동 결정할 수 있게 된다.

이것으로 해서 원칩마이크로 컴퓨터 등의 입출력의 단자수를 삭감할 수 있게 된다.

또, 본 발명의 원리적인 제3 반도체 집적회로에 의하면 제22도～제24도에 도시한 제1, 제2 반도체 집적회로에 있어서, 제1～제3의 전원선 VDD1, VDD2, GND가 반도체 칩내에서 격자 형상으로 배선된다. 이 때문에 본 발명의 관련 기술처럼 셀 열에 의해 저 전압과 고전압을 분리하는 일없이, 예를 들어 칩상의 전원 배선을 세로·가로 방향에서 각각의 셀 열에 공급하는 것에 의해 필요에 따라 세로·가로 방향에서 각 셀에 전원을 공급할 수 있다. 이것으로부터 동일 셀 내에 저·고 전압을 혼재시키는 일 및 불필요한 전력 소비의 삭감화를 도모할 수 있게 되어, 전원선 VDD1, VDD2, 접지선 GND 등의 단자나 신호의 입출력을 갖는 레벨 변환 회로(6)의 배치에 자유도를 갖게 할 수 있게 된다.

이것에 의해, 제1 회로 시스템(16,19), 제2 회로 시스템(18,21), 레벨 변환 회로(17), 양방향성의 레벨 변환 회로(20) 및 신호 제어 수단(22)을, 동일 칩내에 혼재시킨 CMOS 집적회로(게이트 어레이)를 구성할 수 있게 된다. 또 본 발명의 관련 기술에 비해 입출력 신호의 우회배선을 저감할 수 있어서 회로 동작의 고속화에 기여한다.

다음에 도면에 의거하여 본 발명의 적절한 실시예에 대해 설명한다.

[실시예 1]

[제1의 적합한 실시예의 설명]

본 발명의 제1 레벨 컨버터는 제25A도에 도시한 것처럼, 입력 래치 회로(11A)와, 4개의 트랜지스터 TP1, TP2, TN1, TN2로 이루어진다. 즉, 입력 래치 회로(제1의 래치회로)(11A)는 입력 트랜지스터 회로(11)의 일예이며, 제1 구동 전원 시스템으로 되는 전원선 VDD1(구동 전압 VD1=3[V]정도), 접지선 GND(0[V])의 사이에 접속된다.

입력 래치 회로(11A)는 인버터 INV와 2-입력 NOR 회로 NOR1, NOR2로 이루어진다. 인버터 INV의 입력 IN은 2-입력 NOR 회로 NOR2의 한쪽의 입력 in1에 접속되고, 그 출력 OUT은 2-입력 NOR 회로 NOR1의 한쪽의 입력 in1에 접속된다. 또, 2-입력 NOR 회로 NOR1의 다른 쪽의 입력 in2이 2-입력 NOR 회로 NOR2의 출력 out2에 접속되고 2-입력 NOR 회로 NOR2의 다른 쪽의 입력 in2이 2-입력 NOR 회로 NOR1의 출력 out1에 접속된다. 이것에 의해 입력 래치 회로(11A)에 의해 입력 신호 Sin가 래치되고, 그 2-입력 NOR 회로 NOR1, NOR2에서 트랜지스터 TN1의 게이트와 트랜지스터 TN2의 게이트에 상보성의 신호 IN_D, $\overline{IN_D}$ 가 각기 공급된다.

여기서, 입력 신호 Sin가 「L」에서 「H」레벨로 천이할 때에 비반전 신호 IN_D는「H」에서 「L」레벨로 천이 하는 반전 신호 $\overline{IN_D}$ 에 지연해서 트랜지스터 TN1에 출력된다. 비반전 신 IN_D는 입력 신호 Sin에 대해 동상이다.

또, 입력 신호 Sin가 「H」에서 「L」레벨로 천이할 때에 반전신호 $\overline{IN_D}$ 는 「H」에서 「L」레벨로 천이하는 비반전 신호 IN_D에 의해 지연되어 트랜지스터 TN2에 출력된다. 반전신호 $\overline{IN_D}$ 는 입력 신호 Sin에 대해 역상이다.

[표 1]

IN = L → H		H → L
IN_D	L → H	H → L
IN_D	H → L	L → H

또 트랜지스터 TP1는 제1 트랜지스터 T1의 한 예이고, p 형 전계 효과 트랜지스터(이하 단순히 트랜지스터로 기재)로 구성된다. 트랜지스터 TP1의 소오스는 제2 구동 전원 시스템이 되는 전원선 VDD2(구동전압 VD2=5[V] 정동)에 접속되고 그 드레인이 출력 OUT1과 트랜지스터 TN1의 드레인에 접속(이하 단순히 직렬 접속으로 기재)되고, 그 게이트가 출력 OUT2에 각각 접속되고, 그 드레인이 출력 OUT2과 트랜지스터 TN2의 드레인에 접속되고, 그 게이트가 출력 OUT1에 각각 접속된다.

트랜지스터 TN1는 제2 트랜지스터 T2의 일예이고, n 형 전계 효과 트랜지스터(이하 단순히 트랜지스터로 기재함)로 구성된다. 트랜지스터 TN1의 소오스는 접지선 GND에 접속되고, 그 드레인이 출력 OUT1과 트랜지스터 TP1의 드레인에 접속되고, 그 게이트가 입력 래치 회로(11A)의 2-입력 NOR 회로 NOR2의 출력 OUT1에 접속된다.

트랜지스터 TN2는 트랜지스터 T4의 일예이고, n 형 전계 효과 트랜지스터로 구성된다. 트랜지스터 TN2의 소오스는 접지선 GND에 접속되고, 그 드레인이 출력 OUT2과 트랜지스터 TP2의 드레인에 접속되고 그 게이트가 입력 래치 회로(11A)의 2-입력 NOR 회로 NOR1의 출력 OUT1에 접속된다.

다음에 당해 레벨 컨버터의 동작에 대하여 제25(B)도, 제26(A)도~제26(D)도를 참조하면서 설명한다. 우선 제25(B)에 도시된 바와 같이 예를 들어 입력 IN_D H 레벨이 되는 정상시에는 입력 래치 회로(11A)로부터 트랜지스터 TN1의 게이트에 비반전 신호 IN_D = [H}레벨이 공급되고, 또 트랜지스터 TN2의 게이트에 반전신호 $\overline{IN_D}$ =[L]레벨이 공급된다. 이것에 의하여 제26(A)도의 등가 회로에 도시하는 바와 같이 트랜지스터 TN1, TP2가 온 동작상태가 되고, 트랜지스터 TN2, TP1이 오프 동작 상태가 되어서 출력 OUT1이 「L」에서 「H」 레벨, 출력 OUT2이 「H」 레벨이 된다.

반대로 입력 INOI 「L」 레벨이 되는 정상시에는 입력 래치 회로(11A)로부터 트랜지스터 TN1의 게이트에 제25(B)도에 도시된 바와 같은 비반전 신호 IN_D =「L」 레벨이 공급되고, 또 트랜지스터 TN2의 게이트에 반전신호 $\overline{IN_D}$ =「H」 레벨이 공급된다. 이것에 의하여 제26(B)의 등가회로에 나타내는 것과 같이 트랜지스터 TN2, TP1이 온 동작 상태가 되고, 트랜지스터 TN1, TP2가 오프 동작 상태가 되어 출력 OUT1이 「H」 레벨, 출력 OUT2가 에서 「L」 레벨이 된다.

또, 입력 INOI 「H」 → 「H」 레벨이 되는 천이시에 입력 래치 회로(11A)로부터 트랜지스터 TN1의 게이트에 비반전 신호 IN_D = 「H」 → 「L」 레벨이 공급되고, 또, 트랜지스터 TN2의 게이트 $\overline{IN_D}$ = 「L」 → 「H」 레벨이 공급된다. 이것에 의하여 제26(C)도의 등가회로의 도시와 같이 트랜지스터 TN1, TP2가 온→오프 동작 상태가 되고, 트랜지스터 TN2, TP1이 오프→온 동작상태로 천이하고, 출력 OUT가 「L」 → 「H」 레벨로 상승하고, 출력 OUT2가 「H」 → 「L」 레벨로 하강된다.

반대로 입력 INOI 「L」 → 「H」 레벨이 되는 정상시에는 입력 래치 휠(11A)로부터 트랜지스터 TN1의 게이트에 비반전 신호 IN_D = 「L」 → 「H」 레벨이 공급되고, 또 트랜지스터 TN2의 게이트 반전신호 $\overline{IN_D}$ = 「H」 → 「L」 레벨이 공급된다. 이것에 의하여 제26(D)도의 등가회로의 도시와 같이 트랜지스터 TN2, TP1가 온→오프 동작 상태가 되고, 트랜지스터 TN2, TP1이 오프→온 동작상태로 천이하고, 출력 OUT1가 「H」 → 「L」 레벨로 하강하고, 출력 OUT2가 「L」 → 「H」 레벨로 상승한다.

이 반복 동작에 의하여 3[V] 구동 시스템에서 신호 처리된 신호 레벨을 5[V] 구동 시스템의 신호 처리 가능한 전위 레벨로 변환할 수 있다.

이와같이하여 본 발명의 제1의 적합한 실시예에 관한 레벨 컨버터에 의하면 제25(A)도에 도시된 바와 같이 입력 래치 회로(11A) 및 트랜지스터 TP1, TP2, TN1, TN2가 구비되고, 그 입력 래치 회로 (11A)로부터 트랜지스터 TN1의 게이트와 트랜지스터 TN2의 게이트에 상보성의 신호 IN_D, $\overline{IN_D}$ 가 공급된다.

이로 인해 입력 INOI 「L」 레벨로 천이할 때 제1 트랜지스터 TP1의 온 동작 상태와 제2 트랜지스터 TN1의 온 동작 상태를 어긋나게 할 수 있다. 반대로 입력 INOI 「L」로부터 「H」 레벨로 천이할 때에도 트랜지스터 TP2의 온 동작 상태가 트랜지스터 TN2의 온 동작 상태를 어긋나게 할 수 있다.

이것에 의하여 제2 구동 전원 시스템 VDD2, GND에 접속된 트랜지스터 TP1, TN1 간의 관통 전류나 트랜지스터 TP2, TN2 간의 관통 전류를 없앨 수 있다. 이것에 의하여 본 발명의 관련 기술과 비교해서 당해 레벨 컨버터의 회로 소비 전력의 저감화를 도모할 수 있게 된다.

[실시예 2]

[제2의 적합한 실시예의 설명]

본 발명의 제2의 실시예에서는 제1의 실시예의 레벨 컨버터에 제27(A)도에 도시된 바와 같이 저항 R1, R2과 트랜지스터 TN3, TN4가 접속된다. 즉 저항 R1은 제1 부하 소자의 일예이고, 트랜지스터 TP2의 게이트와 출력 OUT1 사이에 접속되고, 트랜지스터 TP2의 온 저항에 따르게 되나, 수 (KΩ) 정도의 저항치를 갖는다. 저항 R2은 제2 부하 소자의 일예이고, 트랜지스터 TP1의 게이트와 출력 OUT2 간에 접속되고, 트랜지스터 TP1의 온 저항에 따르게 되나, 수 (KΩ) 정도의 저항치를 갖는다.

트랜지스터 TN3는 제5 트랜지스터 T5의 일예이고, n 형 전계 효과 트랜지스터(이하 단순히 트랜지스터로 기재함)로 구성된다. 트랜지스터 TN3의 드레인은 저항 R1과 트랜지스터 TP2의 게이트 접속점 q1에 접속되고, 그 소오스가 접지선 GND에 접속된다. 또 트랜지스터 TN3의 게이트가 트랜지스터 TN1의 게이트에 접속되어서 입력 래치 회로(11A)에 접속된다.

트랜지스터 TN4는 제6 트랜지스터 T6의 한 예이고, n 형 전계 효과 트랜지스터(이하 단순히 트랜지스터로 기재함)로 구성된다. 트랜지스터 TN4의 드레인은 저항 R2과 트랜지스터 TP1의 게이트의 접속점 q2에 접속되고, 그 소으스가 접지선 GND에 접속된다. 또 트랜지스터 TN4의 게이트가 트랜지스터 TN2에 접속되고, 입력 래치 회로(11A)에 접속된다.

이것에 의하여 입력 래치 회로 11A로부터 트랜지스터 TN1, TN3의 게이트 접속점 및 트랜지스터 TN2, TN4의 게이트 접속점에 상보성의 신호 IN_D, $\overline{IN_D}$ 가 각각 공급된다. 또 그밖의 구성은 제1의 실시예와 동일하므로 그 설명을 생략한다.

다음에 당해 레벨 컨버터의 동작에 대하여 제27(B)도, 제28(A)도～제28(D)도를 참조하면서 설명한다.

예를 들어 제27(B)도에 도시된 바와 같이 입력 IN이 「H」레벨이 되는 정상시에는 입력 래치 회로(11A)로부터 트랜지스터 TN1, TN3의 게이트에 비반전 신호 IN_D=「H」레벨이 공급되고, 또 트랜지스터 TN2, TN4의 게이트에 반전 신호 $\overline{IN_D}$ =「L」레벨이 공급된다. 이것에 의하여 제28(A)도의 등가회로에 도시하는 바와 같이 트랜지스터 TN1, TN3, TP2가 온 상태가 되고, 트랜지스터 TN2, TN4, TP1가 오프 동작 상태가 되어서 출력 OUT1이 「L」레벨, 출력 OUT2이 「H」레벨이 된다.

반대로 입력 IN이 「L」레벨이 되는 정상시에는 입력 래치 회로(11A)로부터 트랜지스터 TN1, TN3의 게이트에 제27(B)도에 도시된 바와 같은 비반전 신호 IND=「L」레벨이 공급되고, 또 트랜지스터 TN2, TN4의 게이트에 반전 신호 $\overline{IN_D}$ =「H」레벨이 공급된다. 이것에 의하여 제28(B)도의 등가회로에 도시하는 바와 같이 트랜지스터 TN2, TN4, TP1가 온 상태가 되고, 트랜지스터 TN1, TN3, TP2가 오프 동작 상태가 되어서 출력 OUT1이 「H」레벨, 출력 OUT2이 「L」레벨이 된다.

또 입력 IN이 IN이 「H」→ 「L」레벨로 천이할 경우에는 입력 래치 회로(11A)로부터 트랜지스터 TN1, TN3의 게이트에 제27(B)도에 도시된 바와 같이 비반전 신호 IN_D=「H」→ 「L」레벨이 공급되고, 또 트랜지스터 TN2, TN4의 게이트에 반전 신호 $\overline{IN_D}$ =「L」→ 「H」레벨이 공급된다. 여기에서 「L」→ 「H」레벨로 천이 하는 반전 신호 $\overline{IN_D}$ 는 제1의 실시예와 같이 「H」→ 「L」레벨로 천이하는 비반전 신호 IN_D에 지연되어 트랜지스터 TN2, TN4에 출력된다.

이것에 의하여 제28(C)도에 도시하는 것과 같은 트랜지스터 TN2의 오프→온 동작에 이어서 트랜지스터 TP1가 빨리 오프→온 동작으로 천이하여 출력 OUT1의 전위가 「L」→ 「H」레벨로 급격하게 상승한다. 또, 트랜지스터 TN1의 온→오프 동작에 이어서 트랜지스터 TP2가 빨리 온→오프 동작으로 천이하여 출력 OUT2의 전위가 「H」→ 「L」레벨로 급격하게 하강한다.

반대로 입력 IN이 IN이 「L」→ 「H」레벨로 천이할 경우에는 입력 래치 회로(11A)로부터 트랜지스터 TN1, TN3의 게이트에 제27(B)도에 도시된 바와 같이 비반전 신호 IN_D=「L」→ 「H」레벨이 공급되고, 또 트랜지스터 TN2, TN4의 게이트에 반전 신호 $\overline{IN_D}$ =「H」→ 「L」레벨이 공급된다. 여기에서 「L」→ 「H」레벨로 천이 하는 비반전 신호 IN_D는 「H」→ 「L」레벨로 천이하는 반전 신호 $\overline{IN_D}$ 에 지연되어 트랜지스터 TN1, TN3에 출력된다.

이것에 의하여 제28(D)도에 도시하는 것과 같은 트랜지스터 TN1의 오프→온 동작에 이어서 트랜지스터 TP2가 빨리 오프→온 동작으로 천이하여 출력 OUT2의 전위가 「L」→ 「H」레벨로 급격하게 상승한다. 또, 트랜지스터 TN2의 온→오프 동작에 이어서 트랜지스터 TP1가 빨리 온→오프 동작으로 천이하여 출력 OUT2의 전위가 「H」→ 「L」레벨로 급격하게 하강한다.

이 반복 동작에 의하여 제1의 실시예와 같이 3[V] 구동 시스템에서 신호 처리된 신호 레벨을 5[V] 구동 시스템의 신호 처리 가능한 전위 레벨로 변환할 수 있다.

이와 같이 하여 본 발명의 제2의 적합한 실시예에 관한 레벨 컨버커에 의하면 제27(A)도에 도시하는 것과 같이 저항 R1, R2 및 트랜지스터 TN3, TN4가 구비되고, 입력 래치 회로(11A)로부터 트랜지스터 TN1, TN3의 게이트 접속점 및 트랜지스터 TN2, TN4의 게이트 접속점에 상보성의 신호 IN_D, $\overline{IN_D}$ 가 각각 공급된다.

이로 인해 입력 IN이 「H」→ 「L」레벨로 천이할 때에 출력 OUT1의 전위를 「L」→ 「H」레벨로 급격히 상승시키는 일, 및 출력 OUT2의 전위를 이 공급 「H」→ 「L」레벨로 급격히 강하시킬 수 있다. 또 입력

IN0이 「L」→ 「H」레벨로 천이할 때에 출력 OUT1의 전위를 「H」→ 「L」레벨로 급격히 하강시키는 일, 및 출력 OUT2의 전위를 이 공급 「L」→ 「H」레벨로 급격히 상승시킬 수 있다.

즉, 제27(B)도와 같이 입력 IN0이 「H」→ 「L」레벨로 천이할 경우에는 입력래치 회로(11A)로부터 트랜지스터 TN1, TN3의 게이트에 비반전 신호 IND=「H」→ 「L」레벨이 공급되고, 또 트랜지스터 TN2, TN4의 게이트에 비반전 신호 IN_D는 「L」→ 「H」레벨이 공급된다.

이로 인해 제28(C)도에 도시하는 것과 같은 트랜지스터 TN1의 온→오프 동작에 이어서 트랜지스터 TN1를 빨리 오프→온 동작으로 천이시킬수 있고, 출력 OUT1의 전위를 「L」→ 「H」레벨로 급격하게 상승시킬수 있다. 이것은 제 29(A)도의 등가회로도에 있어서 트랜지스터 TP1의 게이트 전압은 트랜지스터 TP2의 온 저항 RP_2과 저항 R2의 합성 저항에 대한 트랜지스터 TN4의 온 저항 R_{N4}의 비$(R_{P2} + R2)/R_{N4}$에 의하여 스위칭 속도가 결정되기 때문이다.

또, 제 29(B)도에 도시된 바와 같이 입력 IN0이 「L」→ 「H」레벨로 천이 할 때 트랜지스터 TP2의 온 저항 R_{P2}과 저항 R2의 합성 저항에 의존하여 트랜지스터 TP1의 게이트 전압 Vg 이 급격히 하강하고, 그 후로는 트랜지스터 TN4의 온 저항 R_{N4}에 의존해서 느슨히 파향이 접지선 레벨로 수속된다. 여기에서 저항 R1을 크게 설계하면 트랜지스터 TN4의 온 동작 스피드와 트랜지스터 TP1의 온 동작 스피드를 동일하게 할 수 있고 본 발명의 관련 기술에 비교해서 트랜지스터 TP1의 상승을 짧게 할 수 있고, 트랜지스터 TP2를 고속으로 오프 동작시킬 수 있다.

반대로 입력 IN0이 「L」→ 「H」레벨로 천이할 경우에는 입력래치 회로(11A)로부터 트랜지스터 TN1, TN3의 게이트에 제27(B)도에 도시된 바와 같은 비반전 신호 IND=「L」→ 「H」레벨이 공급되고, 또 트랜지스터 TN2, TN4의 게이트에 반전 신호 $\overline{IN_D}$ = 「H」→ 「L」레벨이 공급된다.

이로 인해 입력 IN0이 「L」→ 「H」레벨로 천이할때에도 제28(D)도의 등가회로에 도시하는 바와 같이 트랜지스터 TN2의 오프 동작에 이어서 트랜지스터 TP2를 빨리 온 동작으로 천이시킬 수 있고, 출력 OUT2의 전위를「L」→ 「H」레벨로 급격히 상승시킬수가 있다. 이것은 트랜지스터 TP2의 게이트 전압이 트랜지스터 TP1의 온 저항 R_{P1}과 저항 R1의 합성 저항에 대한 트랜지스터 TN3의 온 저항 R_{N3}의 비$(R_{P1} + R2)/R_{N3}$에 의하여 결정되고, 스위칭 속도가 결정되기 때문이다.

이것에 의하여 제29(C)도에 도시된 바와 같이 예를 들어 변화점 q1 의 전위 레벨로 급격히 하강시킬 수 있으므로, 본 발명의 관련 기술에 비교해서 출력 OUT2→q2→트랜지스터 TP1→출력 OUT1→q1→트랜지스터 TP2의 신호 전달의 흐름을 빨리 할 수 있다.

또, 본 발명의 관련 기술에서는 트랜지스터 TP1의 게이트 G 전압이 트랜지스터 TP2의 온 저항 R_{P2}과 트랜지스터 TN2의 온 저항 R_{N2}의 비 만으로 결정되고 있었으므로 트랜지스터 TP2를 작게 하는 설계를 할 필요가 있었다. 그러나 본 발명의 실시예에서는 트랜지스터 TP1나 TP2의 온 저항을 크게할 필요가 없고, 트랜지스터 TP1 나 TP2 트랜지스터 사이즈를 다른 트랜지스터 사이즈와 동등하게 설계할 수가 있고, 레벨 컨버터를 포함한 각종 신호 처리 회로의 게이트 어레이(CMOS 집적회로)화가 용이하다.

이러한 이유로 본 발명의 관련 기술과 같은 구동 전원 시스템 VDD2, GND에 접속되는 트랜지스터 TP1, TN1간의 관통 전류나 트랜지스터 TP2, TN2간의 관통 전류를 없앨수가 있다. 이것에 의하여 당해 레벨 컨버터의 회로 소비 전력의 저감화를 도모하는 일 및 제1의 실시예에 비교해서 회로 동작의 고속화를 도모할 수 있다.

[실시예 3]

[제3의 적합한 실시예의 설명]

본 발명의 제3의 실시예에서는 제2의 실시예에 관한 레벨 컨버터와 달리 제30도에 도시하는 것과 같이 저항 R1, R2 대신에 트랜지스터 TP3, TP4가 설치된다.

즉, 제30도에 도시하는 것과 같이 트랜지스터 TP3는 제7 트랜지스터 T7의 일예이고 p 형 전계 효과 트랜지스터(이하 단순히 트랜지스터로 기재함)로 구성된다. 트랜지스터 TP3의 소오스는 트랜지스터 TP2의 게이트와 출력 OUT1 사이에 접속되고, 트랜지스터 TP2의 온 저항에 따르지만 수[KΩ] 정도의 온 저항을 갖는다. 또 트랜지스터 TP3의 게이트는 트랜지스터 TN1, TN3의 게이트에 접속되고 입력 래치 회로(11A)에 접속된다.

트랜지스터 TP4는 제8 트랜지스터 T8의 일예이고, p 형 전계 효과 트랜지스터(이하 단순히 트랜지스터로 기재함)로 구성된다. 트랜지스터 TP4는 트랜지스터 TP1의 게이트와 출력 OUT2 사이에 접속되고, 트랜지스터 TP1의 온 저항에 따르지만, 수[KΩ] 정도의 온 저항을 갖는다. 또 트랜지스터 TP4의 게이트는 트랜지스터 TN2, TN4의 게이트에 접속되어 입력 래치 회로(11A)에 접속된다.

이것에 의하여 입력 래치 회로(11A)로부터 트랜지스터 TN1, TP3, TN3의 게이트 접속점 및 트랜지스터 TN2, TP4, TN4의 게이트 접속점에 상보성의 신호 IN_D, $\overline{IN_D}$ 가 각각 공급된다. 또 그 밖의 구성은 제1, 제2의 실시예와 동일하기 때문에 그 설명을 생략한다.

다음에 해당 레벨 컨버터의 동작에 대하여 제31(A)도~제31(D)도를 참조하면서 설명한다. 예를 들어 입력 IN0이 「H」레벨이 되는 정상 시에는 입력 래치 회로(11A)로부터 트랜지스터 TN1, TP3, TN3의 게이트에 비반전 신호 IN_D = 「H」레벨이 공급되고, 또 트랜지스터 TN2, TP4, TN4의 게이트에 반전 신호 $\overline{IN_D}$ = 「L」레벨이 공급된다. 이것에 의하여 제31(A)도의 등가회로의 도시와 같이 트랜지스터 TN1, TN3, TP2, TP4가 온 동작 상태가 되고, 트랜지스터 TN2, TN4, TP1, TP3가 오프 동작 상태가 되어 출력 OUT1이 「L」레벨, 출력 OUT2이 「H」레벨이 된다.

반대로 입력 IN이 「L」레벨이 되는 정상 시에는 입력 래치 회로(11A)로부터 트랜지스터 TN1, TP3, TN3의 게이트에 비반전 신호 IN_D=「L」레벨이 공급되고, 또 트랜지스터 TN2, TP4, TN4의 게이트에 반전 신호 $\overline{IN_D}$ =「H」레벨이 공급된다. 이것에 의하여 제31(B)도의 등가회로에 도시하는 것과 같이 트랜지스터 TN2, TN4, TP1, TP4가 온 동작 상태가 되고, 트랜지스터 TN1, TN3, TP2, TP4가 오프 동작 상태가 되어서 출력 OUT1으로부터 「H」레벨, 출력 OUT2이 「L」레벨이 된다.

또, 입력 IN이 「H」→ 「L」레벨로 천이할 경우에는 입력 래치 회로(11A)로부터 트랜지스터 TN1, TN3, TP3의 게이트에 비반전 신호 IN_D=「H」→ 「L」레벨이 공급되고, 또 트랜지스터 TN2, TN4, TP4의 게이트에 반전 신호 $\overline{IN_D}$ =「L」→ 「H」레벨이 공급된다. 여기에서 「L」→ 「H」레벨로 천이 하는 반전 신호 $\overline{IN_D}$ 는 제1의 실시예와 동일하게 「H」→ 「L」레벨로 천이하는 비반전 신호 IN_D에 지연되어서 트랜지스터 TN2, TN4, TP4에 출력된다.

이것에 의하여 제31(C)도에 도시된 바와 같이 트랜지스터 TN1, TN3의 온→오프 동작, 트랜지스터 TP3의 오프→온 동작에 이어서 트랜지스터 TP1가 빨리 오프→온 동작으로 천이하여 출력 OUT1의 전위가 「L」→ 「H」레벨로 급격히 상승한다.

반대로 입력 IN이 「L」→ 「H」레벨로 천이될 경우에는 입력 래치 회로(11A)로부터 트랜지스터 TN1, TN3, TP3의 게이트에 비반전 신호 IN_D=「L」→ 「H」레벨이 공급되고, 또 트랜지스터 TN2, TN4, TP4의 게이트에 반전 신호 $\overline{IN_D}$ =「H」→ 「L」레벨이 공급된다. 여기에서 「L」→ 「H」레벨로 천이 하는 비반전 신호 IND는 「H」→ 「L」레벨로 천이하는 비반전 신호 $\overline{IN_D}$ 에 지연되어서 트랜지스터 TN1, TN3, TP3에 출력한다.

이것에 의하여 제31(D)도에 도시하는 것과 같은 트랜지스터 TN2, TN4의 온→오프 동작, 트랜지스터 TP4의 오프→온 동작에 이어서 트랜지스터 TP2가 빨리 오프→온 동작으로 천이하여 출력 OUT2의 전위가 「L」→ 「H」레벨로 급격히 상승한다. 또 트랜지스터 TN1, TN3의 오프→온 동작, 트랜지스터 TP3의 온→오프 동작에 이어서 트랜지스터 TP1가 빨리 온→오프 동작으로 천이하여 출력 OUT1의 전위가 「H」→ 「L」레벨로 급격히 하강한다.

이 반복 동작에 의하여 제1의 실시예와 같이 3[V]구동 시스템에서 신호 처리된 신호 레벨을 5[V] 구동 시스템의 신호 처리 가능한 전위 레벨로 변환할 수 있다.

이와같이하여 본 발명의 제3의 적합한 실시예에 관한 레벨 컨버터에 의하면 제30도에 도시된 바와 같이 제2의 실시예에 관한 레벨 컨버터에 접속되고 있던 저항 R1, R2 대신 트랜지스터 TP3, TP4가 접속되어서 입력 래치 회로 (11A)로부터 트랜지스터 TN1, TN3, TP3의 게이트와 접속점 및 트랜지스터 TN2, TN4, TP4의 게이트 접속점에 상보성의 신호 IN_D, $\overline{IN_D}$ 가 각각 공급된다.

이로 인해 입력 IN이 「H」→「L」레벨로 천이할 때의 출력 OUT1의 스위칭 속도를 개선할 수 있다. 트랜지스터 TP1의 게이트 전압은 트랜지스터 TP2의 온 저항 R_{P2}과 트랜지스터 TP4의 온 저항 R_{N4}의 합성 저항에 대한 트랜지스터 TN4의 온 저항 RN4의 비 $R_{N4}/(R_{P2} + R_{P4})$에 의하여 결정된다. 이것에 의하여 출력 OUT1이 전위를「L」→ 「H」레벨로 급격히 상승시키는 일 및 출력 OUT2의 전위를 「H」→ 「L」레벨로 급격히 상승시킬 수 있다.

또, 입력 IN이 「L」→「H」레벨로 천이할 때의 출력 OUT2은 동일하게 트랜지스터 TP1의 온 저항 R_{P1}과 트랜지스터 TP3의 온 저항 Rp3의 합성 저항에 대한 트랜지스터 TN3의 온 저항 Rn3 의 비 $R_{N3}/(R_{P1} + R_{P3})$에 의하여 결정된다. 이것에 의하여 출력 OUT2이 전위를「L」→ 「H」레벨로 급격히 상승시키는 일 및 출력 OUT1의 전위를 「H」→ 「L」레벨로 급격히 하강시킬 수 있다.

이것에 의하여 제1, 제2의 실시예와 동일하게 구동 전원 시스템 VDD2, GND에 접속된 트랜지스터 VDD2, GNd에 접속된 트랜지스터 TP1, TN1간의 관통 전류나 트랜지스터 TP2, TN2 간의 관통 전류를 없앨 수 있게 된다. 이것에 의하여 당해 레벨 컨버터의 회로 소비 전력의 저감화를 도모하는 일, 및 제1, 제2의 실시예와 같이 회로 동작의 고속화를 도모할 수 있다.

[실시예 4]

[제4의 적합한 실시예의 설명]

본 발명의 제4의 실시예에서는 제2의 실시예에 관한 레벨 컨버터와 달리 제 32도에 도시된 바와 같이 2종류의 상보성의 신호 IN1, IN2, $\overline{IN1}$ $\overline{IN2}$ 를 출력하는 입력 래치 회로(11B)가 설치되고, 트랜지스터 TN1～TN4의 각 게이트가 입력 래치 회로(11B)에 별도로 접속된다.

즉, 제32도에 도시된 바와 같이 입력 래치 회로(11B)는 제2의 래치회로(11B)의 일예이고, 구동 전원 시스템 VDD1, 접지선 GND에 접속된 5개의 인버터 INV1～INV5와 2개의 2-입력 NOR 회로 NOR1, NOR2로 구성된다. 인버터 INV1, INV2는 직렬 접속되어서 2-입력 NOR1의 출력 out1에 접속되고, 인버터 INV3, INV4가 직렬 접속되어서 2-입력 NOR 회로 NOR2의 출력 out2에 접속된다.

또, 인버터 INV5의 입력 IN이 2-입력 NOR 회로 NOR2의 한쪽의 입력 in1에 접속되고, 그 출력 out이 2-입

력 NOR 회로 NOR1의 한쪽의 입력 in1에 접속된다. 2-입력 NOR 회로 NOR1의 다른 쪽 입력 in2은 인버터 INV4의 출력 out2에 접속되고, 그 밖의 다른 쪽의 입력 in2이 인버터 INV2의 출력 out1에 접속된다.

이것에 의하여 2-입력 NOR 회로 NOR1에서 트랜지스터 TN3의 게이트에 비반전 신호 IN1가 출력되고, 2-입력 NOR 회로 NOR2로부터 트랜지스터 TN4의 게이트에 반전 신호 $\overline{IN1}$ 가 출력된다. 또 인버터 INV2로부터 트랜지스터 TN1의 게이트에 비반전 지연신호(이하 단순히 비반전 신호로도 호칭한다) TN2가 출력되고, 인버터 INV4로부터 트랜지스터 TN2의 게이트에 반전 지연 신호 $\overline{IN2}$ 가 출력된다. 표-2에 입력 래치 회로(11B)의 동작 상태를 표시한다.

[표 2]

IN = L → H		H → L	비 고
IN1	L → H	H → L	
IN2	L → H	H → L	지 연
IN1	H → L	L → H	
IN2	H → L	L → H	지 연

또, 그 밖의 구성은 제2의 실시예와 동일하기 때문에 그 설명을 생략한다. 다음에 당해 레벨 컨버터의 동작에 대하여 제33(A)도～제33(D)도를 참조하면서 설명한다.

예를 들어 입력 IN이 「H」 레벨이 되는 정상 시에는 입력 래치 회로(11B)로부터 트랜지스터 TN3의 게이트에 비반전 신호 IN1 = 「H」 레벨이 공급되고, 트랜지스터 TN4의 게이트에 반전 신호 $\overline{IN1}$ =「L」 레벨이 공급된다. 또 입력 래치 회로(11B)로부터 트랜지스터 TN1의 게이트에 비반전 신호 IN2 = 「H」 레벨이 공급되고, 트랜지스터 TN2의 게이트에 반전 신호 $\overline{IN2}$ =「L」 레벨이 공급된다. 이것에 의하여 제2의 실시예와 동일하게 제33(A)도에 도시된 바와 같이 트랜지스터 TN1, TN3, TP2가 온 동작 상태가 되고, 트랜지스터 TN2, TN4, TP1가 오프 동작 상태가 되어서 출력 OUT1이 「L」 레벨, 출력 OUT2이 「H」 레벨이 된다.

반대로 입력 IN이 「L」 레벨이 되는 정상 시에는 입력 래치 회로(11B)로부터 트랜지스터 TN3의 게이트에 비반전 신호 IN1 = 「L」 레벨이 공급되고, 트랜지스터 TN4의 게이트에 반전 신호 $\overline{IN1}$ =「H」 레벨이 공급되고, 트랜지스터 TN4의 게이트에 반전 신호 IN1=「H」 레벨이 공급된다. 또 입력 래치 회로(11B)로부터 트랜지스터 $\overline{IN1}$ 의 게이트에 비반전 신호 IN2 = 「L」 레벨이 공급되고, 트랜지스터 TN2의 게이트에 반전 신호 $\overline{IN2}$ =「H」 레벨이 공급된다. 이것으로 제33(B)도의 등가회로에 도시하는 것과 같이 트랜지스터 TN2, TN4, TP1가 온 동작 상태가 되고, 트랜지스터 TN1, TN3, TP2가 오프 동작 상태가 되어서 출력 OUT1이 「H」 레벨, 출력 OUT2이 「L」 레벨이 된다.

또, 입력 IN이 「H」→ 「L」 레벨로 천이할 경우에는 입력 래치 회로(11B)로부터 트랜지스터 TN3의 게이트에 비반전 신호 IN1=「H」→ 「L」 레벨이 공급되고, 트랜지스터 TN4의 게이트에 반전 신호 $\overline{IN1}$ =「L」→「H」 레벨이 공급된다. 또 입력 래치 회로(11B)로부터 트랜지스터 TN1의 게이트에 비반전 신호 TN2 = 「H」→ 「L」 레벨이 공급되고, 트랜지스터 TN2의 게이트에 반전 신호 $\overline{IN2}$=「L」→ 「H」 레벨이 공급된다.

이것에 의하여 제33(C)도에 도시하는 것과 같은 트랜지스터 TN3가 TN1에 비교해서 먼저 온→오프 동작하여 트랜지스터 TN4가 TN2에 비교해서 먼전 오프→온 동작한다. 이어서 트랜지스터 TP1가 빨리 오프→온 동작으로 천이하고, 출력 OUT1의 전위가 「L」→ 「H」 레벨로 급격히 상승한다. 또 트랜지스터 TN1 온→오프 동작에 이어서 트랜지스터 TP2가 빨리 온→오프 동작으로 천이하여 출력 OUT2의 전위가 「H」→ 「L」 레벨로 급격히 하강한다.

반대로 입력 IN이 「L」→ 「H」 레벨로 천이할 경우에는 입력 래치 회로(11B)로부터 트랜지스터 TN4의 게이트에 반전 신호 $\overline{IN1}$ =「H」→ 「L」 레벨이 공급되고, 트랜지스터 TN3의 게이트에 반전 신호 $\overline{IN2}$=「L」→「H」 레벨이 공급된다. 또 입력 래치 회로(11B)로부터 트랜지스터 TN1의 게이트에 반전 신호 $\overline{IN1}$ = 「L」→ 「H」 레벨이 공급되고, 트랜지스터 TN2의 게이트에 반전 신호 $\overline{IN2}$= 「H」→ 「L」 레벨이 공급된다.

이것에 의하여 제33(D)도에 도시된 바와 같은 트랜지스터 TN4가 TN2에 비교해서 먼저 온→오프 동작하고, 트랜지스터 TN3가 TN1에 비해서 먼전 오프→온 동작한다.

이어서 트랜지스터 TP2가 빨리 오프→온 동작으로 천이하여, 출력 OUT2의 전위가 「L」→ 「H」 레벨로 급격히 상승한다. 또 트랜지스터 TN2 온→오프 동작에 이어서 트랜지스터 TP1가 빨리 온→오프 동작으로

천이하여 출력 OUT1의 전위가 「H」→ 「L」레벨로 급격히 하강한다.

이 반복 동작에 의하여 제1의 실시예와 같이 3[V] 구동 시스템의 신호 처리된 신호 레벨을 5[V] 구동 시스템의 신호 처리 가능한 전위 레벨로 변환할 수 있다.

이와같이하여 본 발명의 제4의 실시예에 관한 레벨 컨버터에 의하면 제32도에 도시된 바와 같이 트랜지스터 TN1~TN4의 각 게이트가 입력 래치 회로(11B)에 별개로 접속한다.

이로 인해 입력 IN이 「H」→ 「L」레벨로 천이할 경우에는 트랜지스터 TN3에 비반전 신호 IN1=「H」→ 「L」레벨이 공급되고, 트랜지스터 TN4에 반전 신호 $\overline{IN1}$ =「L」→「H」레벨이 공급된다. 또 트랜지스터 TN1에 비반전 신호 IN2 = 「H」→ 「L」레벨이 공급되고 트랜지스터 TN2에 반전 신호 $\overline{IN2}$=「L」→ 「H」레벨이 공급된다.

또, 입력 IN이 「L」→ 「H」레벨로 천이할 경우에는 트랜지스터 TN4에 반전 신호 $\overline{IN1}$ =「H」→ 「L」레벨이 공급되고, 트랜지스터 TN1에 비반전 신호 IN2=「L」→「H」레벨이 공급된다. 또 트랜지스터 TN3에 비반전 신호 IN1 =「L」→ 「H」레벨이 공급되고, 트랜지스터 TN1에 반전 신호 $\overline{IN2}$= 「H」→ 「L」레벨이 공급된다.

이것에 의하여 제2의 실시예와 같이 입력 IN이 「H」→ 「L」레벨로 천이할 때에 출력 OUT1의 전위를「L」→ 「H」레벨로 급격히 상승시키는 일, 및 출력 OUT2의 전위를 「H」→「L」레벨로 급격히 상승시킬 수 있다. 또 입력 IN이 「L」→ 「H」레벨로 천이할 때에 출력 OUT1의 전위를「H」→ 「L」레벨로 급격히 하강시키는 일, 및 출력 OUT2의 전위를 「L」→「H」레벨로 급격히 상승시킬 수가 있게 된다.

이것에 의하여 제2, 제3의 실시예와 같이 구동 전원 시스템 VDD2, GND에 접속된 트랜지스터 TP1, TN1 간의 관통 전류나 트랜지스터 TP2, TN2 간의 관통 전류를 없앨 수 있다. 이것에 의하여 당해 레벨 컨버터의 회로 소비 전력의 저감화를 도모하는 일, 및 제2, 제3의 실시예와 같이 회로 동작의 고속화를 도모할 수 있게 된다.

[실시예 5]

[제5의 적합한 실시예의 설명]

제5의 실시예에서는 제2의 실시예의 레벨 컨버터와 달리 제34도에 도시하는 것과 같이 트랜지스터 TN1, TN2의 저전위측에 트랜지스터 TN5, TN6가 접속되고, 제4의 실시예에서 설명한 입력 래치 회로(11B)에 의하여 트랜지스터 TN1, TN3, 트랜지스터 TN5, 트랜지스터 TN2, TN4 및 트랜지스터 TN6를 개별적으로 제어하는 것이다.

즉, 제34도에 도시하는 것과 같이 트랜지스터 TN5는 제9 트랜지스터 T9의 일예이고 n 형 전계 효과 트랜지스터(이하 단순히 트랜지스터로 기재한다)로 구성된다. 트랜지스터 TN5의 드레인은 트랜지스터 TN1의 소오스에 접속되고, 트랜지스터 TN5의 소오스가 접지선 GND에 접속된다.

트랜지스터 TN6는 제10 트랜지스터 TN10의 한 예이고, n 형 전계 효과 트랜지스터(이하 단순히 트랜지스터로 기재한단다)로 구성된다. 트랜지스터 TN6의 드레인은 트랜지스터 TN2의 소오스에 접속되고, 트랜지스터 TN6의 소오스가 접지선 GND에 접속된다. 또 트랜지스터 TN5, TN6의 각 게이트가 입력 래치 회로(11B)에 접속된다.

또 트랜지스터 TN1, TN3의 각 게이트가 접속되어서 입력 래치 회로(11B)에 접속되고 동일하게 트랜지스터 TN2, TN4의 각 게이트가 접속되어서 입력 래치 회로(11B)에 접속된다. 이것에 의하여 트랜지스터 TN1, TN3의 게이트에 비반전 신호 IN1가 출력되고, 트랜지스터 TN2, TN4의 게이트에 반전 신호 $\overline{IN1}$ 가 출력된다.

또 트랜지스터 TN5의 게이트에 비반전 지연신호 IN2가 출력되고, 트랜지스터 TN6의 게이트에 반전 지연신호 $\overline{IN2}$ 가 출력된다. 또 다른 구성은 제2의 실시예와 동일하므로 그 설명을 생략한다.

다음에 당해 레벨 컨버터의 동작에 대하여 제35(A)도~제35(D)도의 등가회로를 참조하여 설명한다. 예를 들어 입력 IN이 「H」레벨이 되는 정상 시에는 입력 래치 회로(11B)로부터 트랜지스터 TN1, TN3의 게이트에 비반전 신호 IN1=「H」레벨이 공급되고, 트랜지스터 TN2, TN4의 게이트에 반전 신호 $\overline{IN1}$ =「L」레벨이 공급된다. 또, 입력 래치 회로(11B)로부터 트랜지스터 TN5의 게이트에 비반전 신호 IN2 = 「H」레벨이 공급되고 트랜지스터 TN6의 게이트에 반전 신호 $\overline{IN2}$= 「L」레벨이 공급된다. 이것에 의하여 제2의 실시예와 동일하게 제35(A)도에 도시된 바와 같이 트랜지스터 TN1, TN3, TN5, TP2가 온 동작 상태가 되고, 트랜지스터 TN2, TN4, TN6, TP1가 오프 동작 상태가 되어서 출력 OUT1이 「L」레벨, 출력 OUT2이 「H」레벨이 된다.

반대로 입력 IN이 「L」레벨이 되는 정상 시에는 입력 래치 회로(11B)로부터 트랜지스터 TN1, TN3의 게이트에 비반전 신호 IN1=「L」레벨이 공급되고, 트랜지스터 TN5의 게이트에 비반전 신호 IN2 =「L」레벨이 공급된다. 또, 입력 래치 회로(11B)로부터 트랜지스터 TN2, TN4의 게이트에 반전 신호 $\overline{IN1}$ = 「H」레벨이 공급되고, 트랜지스터 TN6의 게이트에 반전 신호 $\overline{IN2}$= 「H」레벨이 공급된다. 이것에 의하여 제35(B)도와 등가 회로의 도시와 같이 트랜지스터 TN1, TN3, TN5, TP2가 오프 동작 상태가 되고, 트랜지스

터 TN2, TN4, TN6, TP1가 온 동작 상태가 되어서 출력 OUT1이 「H」 레벨, 출력 OUT2이 「L」 레벨이 된다.

또, 입력 IN이 「H」→「L」 레벨로 천이할 경우에는 트랜지스터 TN1, TN3의 게이트에 비반전 신호 IN1 = 「H」→「L」 레벨이 공급되고, 트랜지스터 TN2, TN4의 게이트에 반전 신호 $\overline{IN1}$ = 「L」→「H」 레벨이 공급된다. 또 트랜지스터 TN5의 게이트에 비반전 신호 IN2 = 「H」→「L」 레벨이 공급되고, 트랜지스터 TN6의 게이트에 반전 신호 $\overline{IN2}$ = 「L」→「H」 레벨이 공급된다.

이것에 의하여 제35(C)도와 같이 트랜지스터 TN3, TN1가 TN5에 비해서 먼저 온→오프 동작하여 트랜지스터 TN4, TN2가 TN6에 비해서 먼저 오프→온 동작한다. 이어서 트랜지스터 TP1가 빨리 오프→온 동작으로 천이하여 출력 OUT1의 전위가 「L」→「H」 레벨로 급격히 상승한다. 또 트랜지스터 TN5의 온→오프 동작에 이어서 트랜지스터 TP2가 빨리 온→오프 동작으로 천이하고, 출력 OUT2의 전위가 「H」→「L」 레벨로 급격히 하강한다.

반대로 입력 IN이 「L」→「H」 레벨로 천이할 경우에는 트랜지스터 TN1, TN3의 게이트에 비반전 신호 IN1 = 「L」→「H」 레벨이 공급되고, 트랜지스터 TN5의 게이트에 비반전 신호 IN2 = 「L」→「H」 레벨이 공급된다. 또 트랜지스터 TN2,TN4의 게이트에 반전 신호 $\overline{IN1}$ = 「H」→「L」 레벨이 공급되고, 트랜지스터 TN6의 게이트에 반전 신호 $\overline{IN2}$ = 「H」→「L」 레벨이 공급된다.

이것에 의하여 제35(D)도와 같이 트랜지스터 TN4, TN2가 TN6에 비해서 먼저 온→오프 동작하여 트랜지스터 TN1, TN3가 TN5에 비해서 먼저 오프→온 동작한다. 이어서 트랜지스터 TP2가 빨리 온→오프 동작으로 천이하여 출력 OUT1의 전위가 「H」→「L」 레벨로 급격히 하강한다.

이 반복 동작에 의하여 제1의 실시예와 같이 3[V] 구동 시스템에서 신호 처리된 신호 레벨을 5[V] 구동 시스템의 신호 처리 가능한 전위 레벨로 변환할 수 있다.

이와같이하여 본 발명의 제5의 실시예에 관한 레벨 컨버터에 의하면 제34도에 도시된 바와 같이 트랜지스터 TN1, TN2의 저 전위측에 트랜지스터 TN5, TN6가 접속되고, 제4의 실시예에 설명한 입력 래치 회로(11B)로부터 트랜지스터 TN1, TN3의 각 게이트에 비반전 신호 IN1가 공급되고, 트랜지스터 TN5의 게이트에 비반전 지연신호 IN2가 공급되어 트랜지스터 TN2, TN4의 각 게이트에 반전 신호 $\overline{IN1}$ 가 공급되고, 트랜지스터 TN6의 게이트에 반전 지연 신호 $\overline{IN2}$가 공급된다.

이로 인해 제2~제4 레벨 컨버터에 같이 입력 IN이 「H」에서 「L」 레벨로 천이할 때 출력 OUT1의 전위를 「L」에서 「H」 레벨로 급격히 상승하는 일 및 출력 OUT2의 전위를 「H」에서 「L」 레벨로 급격히 하강시킬 수 있다. 또 입력 IN이 「L」에서 「H」 레벨로 천이할 때 출력 OUT1의 전위를 「H」에서 「L」 레벨로 급격히 하강시키는 일, 및 출력 OUT2의 전위를 「L」에서 「H」 레벨로 급격히 상승시키는 일이 가능하다.

이것에 의하여 제2~제4의 실시예와 같이 구동 전원 시스템 VDD2, GND에 접속된 트랜지스터 TP1, TN1 간의 관통 전류나 트랜지스터 TP2, TN2 간의 관통 전류를 없앨 수가 있다. 이로 인해 레벨 컨버터의 회로 소비 전력의 저감화를 도모하는 일, 및 제2~제4의 실시예와 같이 회로 동작의 고속화를 도모할 수 있게 된다.

또 본 발명의 제1~제5의 실시예에서는 접지선 GND의 전위 레벨을 기준으로 하여 그 영전위보다도 높은 전원선 VDD1, VDD2에 의하여 구동되는 레벨 컨버터에 대해서도 설명을 했으나 제6~제10의 실시예에서는 접지선 GND의 전위 레벨을 기준으로 하여 그 영전위보다도 낮은 전원선 GND1, GND2에 의하여 구동되는 레벨 컨버터에 대해서 그 구성을 간단히 설명한다.

[실시예 6]

[제6의 적합한 실시예의 설명]

본 발명의 제1~제5의 실시예와 다른 것은 제6의 실시예에 관한 레벨 컨버터는 제36(A)도에 도시된 바와 같이 공통의 전원선 VDD의 전위를 기준으로하여 그 전원선 VDD의 전위보다 낮은 전원선 GND1, GND2에 의하여 구동된다.

즉, 본 발명의 제6 레벨 컨버터는 제36(A)도에 도시된 바와 같이 입력 래치 회로 (11C)와 4개의 트랜지스터 TP1, TP2, TN1, TN2로 구성된다. 입력 래치 회로(11C)는 입력 트랜지스터 회로(11)의 다른 일예이고, 제1 구동 전원 시스템이 되는 전원선 GN1(구동전압 = -3[V] 정도), 공통의 접지선 VDD(0[V])간에 접속된다.

또, 입력 래치 회로(11C)는 입력 신호 Sin를 래치하고, 트랜지스터 TP1의 게이트와 트랜지스터 TP2의 게이트에 상보성의 신호 IN_D, $\overline{IN_D}$ 를 각각 공급한다. 입력 래치 회로(11C)의 내부 구성에 대해서는 2-입력 NOR 회로를 2-입력 NAND 회로로 변경하는데 그 밖의 구성은 제1의 실시예와 동일하므로 그 설명을 생략한다.

트랜지스터 TP1는 제1 트랜지스터 T1의 일예이고, p 형 전계 효과 트랜지스터(이하 단순히 트랜지스터로 기재한단다)로 구성된다. 트랜지스터 TP1의 소오스는 제2 구동 전원 시스템이 되는 공통의 전원선 VDD에 접속되고, 그 드레인이 출력 OUT1과 트랜지스터 TN1의 드레인에 접속되고, 그 게이트가 출력 OUT2에 각각 접속된다.

트랜지스터 TP2는 제3 트랜지스터 T3의 일예이고, p 형 전계 효과 트랜지스터로 구성된다. 트랜지스터 TP2의 소오스는 전원선 VDD(구동전압 = 0[V]정도)에 접속되고, 그 드레인이 출력 OUT2과 트랜지스터 TN2

의 드레인에 접속되고, 그 게이트가 입력 래치 회로(11C)에 각각 접속된다.

트랜지스터 TN1는 제2 트랜지스터 T2의 일예이고, n 형 전계 효과 트랜지스터(이하 단순히 트랜지스터로 기재한단다)로 구성된다. 트랜지스터 TN1의 소오스는 접지선 GND2에 접속되고 그 드레인이 출력 OUT1과 트랜지스터 TP1의 드레인에 접속되고 그 게이트가 출력 OUT2에 접속된다.

트랜지스터 TN2는 제2 트랜지스터 T4의 일예이고, n 형 전계 효과 트랜지스터로 구성된다. 트랜지스터 TN2의 소오스는 접지선 GND2에 접속되고 그 드레인이 출력 OUT2과 트랜지스터 TP2의 드레인에 접속되고, 그 게이트가 출력 OUT1에 접속된다.

다음에 당해 레벨 컨버터의 동작에 대하여 제36(B)도를 참조하여 설명한다. 제36(B)도에 도시된 바와 같이 예를 들어 입력 IN이 「H」 레벨이 되는 정상 시에는 입력 래치 회로(11C)로부터 트랜지스터 TP1의 게이트에 반전 신호 $\overline{IN_D}$ =「L」 레벨이 공급되고, 또한 트랜지스터 TP2의 게이트에 비반전 신호 IN_D =「H」 레벨이 공급된다. 이것에 의하여 TP1, TN2가 온 동작 상태가 되고, 트랜지스터 TP2, TN1가 오프 동작 상태가 되어서, 출력 OUT1이 「H」 레벨, 출력 OUT2이 「L」 레벨이 된다.

반대로 입력 IN이 「L」 레벨이 되는 정상 시에는 입력 래치 회로(11C)로부터 트랜지스터 TP1의 게이트에 반전 신호 $\overline{IN_D}$ =「H」 레벨이 공급되고, 또 트랜지스터 TP2의 게이트에 비반전 신호 IN_D =「L」 레벨이 공급된다. 이것에 의하여 TP2, TN1가 온 동작 상태가 되고, 트랜지스터 TP1, TN2가 오프 동작 상태가 되어서, 출력 OUT1이 「L」 레벨, 출력 OUT2이 「H」 레벨이 된다.

또, 입력 IN이 「H」→「L」 레벨이 되는 천이시에 트랜지스터 TP1의 게이트에 반전 신호 $\overline{IN_D}$ =「L」→「H」 레벨이 공급되고, 또 트랜지스터 TP2의 게이트에 비반전 신호 IN_D =「H」→「L」 레벨이 공급된다. 이것에 의하여 트랜지스터 TP1, TN2가 온→오프 동작 상태가 되고, 트랜지스터 TP2, TN1가 오프→온 동작 상태로 천이하고, 출력 OUT1이 레벨「H」→「L」 레벨로 하강하고, 출력 OUT2이 「L」→「H」 레벨로 상승한다.

반대로 입력 IN이 「L」→「H」 레벨이 되는 정상시에는 입력 래치 회로(11C)로부터 트랜지스터 TP1의 게이트에 반전 신호 $\overline{IN_D}$ = 「H」→「L」 레벨이 공급되고, 또 트랜지스터 TP2의 게이트에 비반전 신호 IN_D = 「L」→「H」 레벨이 공급된다. 이것으로 의하여 TP2, TN1가 온→오프 동작 상태가 되고, 트랜지스터 TP1, TN2가 오프→온 동작 상태로 천이하여 출력 OUT1이 「L」→「H」 레벨로 상승하고, 출력 OUT2이 「H」→「L」 레벨로 하강한다.

이 반복 동작에 의하여 -3[V] 구동 시스템에서 신호 처리된 신호 레벨을 -5[V] 구동 시스템의 신호 처리 가능한 전위 레벨로 변환할 수 있다.

이와같이 하여 본 발명의 제6의 실시예에 관한 레벨 컨버터에 의하면 제36(A)도에 도시된 바와 같이 전원선 VDD의 전위를 기준으로 하여 전원선 GND1, GND2에 접속하는 레벨 변환 회로를 구성하는 경우에도 제1～제5의 실시예와 동일하게 전원선 VDD, GND2에 접속된 트랜지스터 TP1, TN1 간의 관통 전류나 트랜지스터 TP2, TN2 간의 관통 전류를 없앨 수 있다.

이것에 의하여 제1～제5의 실시예와 동일하게 당해 레벨 컨버터의 회로 소비 전력의 저감화의 도모 및 제1～제5의 실시예와 동일하게 회로 동작의 고속화를 도모할 수 있다.

[실시예 7]

[제7의 적합한 실시예의 설명]

제6의 실시예와 다른 점은 제7의 실시예에서는 제37도에 도시된 바와 같이 저항 R1, R2과 트랜지스터 TP3, TP4가 접속되는 것이다. 즉, 저항 R1은 트랜지스터 TN2의 게이트와 출력 OUT1의 사이에 접속되고, 트랜지스터 TN1의 온 저항에 따르나, 수 (KΩ)정도의 저항치를 가진다. 저항 R2은 트랜지스터 TN1의 게이트와 출력 OUT2사이에 접속되고, 트랜지스터 TN2의 온 저항에 의하나, 수[KΩ] 정도의 저항치를 가진다.

트랜지스터 TP3는 제5 트랜지스터 T5의 한 예이고, p 형 전계 효과 트랜지스터(이하 단순히 트랜지스트로 기재)로 구성된다. 트랜지스터 TP3의 드레인은 저항 R1과 트랜지스터 TN2의 게이트의 접속점 q1에 접속되고 그 소오스가 접지선 VDD에 접속된다. 또 트랜지스터 TP3의 게이트가 트랜지스터 TP1의 게이트에 접속되어서 입력 래치 회로(11C)에 접속된다.

트랜지스터 TP4는 제6 트랜지스터 T6의 일예이고, p 형 전계 효과 트랜지스터(이하 단순히 트랜지스터로 기재)로 구성된다. 트랜지스터 TP4의 드레인은 저항 R2과 트랜지스터 TN1의 게이트의 접속점 q2에 접속되고 그 소오스가 접지선 VDD에 접속된다. 또 트랜지스터 TP4의 게이트가 트랜지스터 TP2의 게이트에 접속되어서 입력 래치 회로(11C)에 접속된다. 또 그 밖의 구성은 제6의 실시예와 동일하므로 그 설명을 생략한다.

이와같이 하여 본 발명의 제7의 실시예에 관한 레벨 컨버터에 의하면 제37도에 도시된 바와 같이 저항 R1, R2 및 트랜지스터 TP3, TP4가 구비되고, 입력 래치 회로(11C)로부터 트랜지스터 TP1, TP3의 게이트 접속점 및 트랜지스터 TP2, TP4의 게이트 접속점에 상보성의 신호 IN_D, $\overline{IN_D}$ 가 각각 공급된다.

이로 인해 제2의 실시예와 동일하게 전원선 VDD, GND2에 접속된 트랜지스터 TP1, TN1 간의 관통 전류나

트랜지스터 TP2, TN2 간의 관통 전류를 없앨 수 있다.

이것에 의하여 제1~제6의 실시예와 같이 해당 레벨 컨버터의 회로 소비 전력의 저감화의 도모, 및 제2의 실시예와 같이 회로 동작의 고속화를 도모할 수 있다.

[실시예 8]

[제8의 적합한 실시예의 설명]

제7의 실시예와 다른 점은 제8의 실시예에서는 제38도에 도시된 바와 같이 저항 R1, R2 대신 트랜지스터 TN3, TN4가 접속된다. 즉, 트랜지스터 TN3는 제7 트랜지스터 T7의 일예이고, n 형 전계 효과 트랜지스터(이하 단순히 트랜지스터로 기재)로 구성된다. 트랜지스터 TN3의 소오스는 트랜지스터 TN2의 게이트와 출력 OUT1 사이에 접속되고 트랜지스터 TN1의 온 저항에 의하지만 수[KΩ]정도의 온 저항을 가진다. 또 트랜지스터 TN3의 게이트는 트랜지스터 TP1, TP3의 게이트에 접속되어 입력 래치 회로(11C)에 접속된다.

트랜지스터 TN4는 제8 트랜지스터 T8의 일예이고, n 형 전계 효과 트랜지스터(이하 단순히 트랜지스터로 기재)로 구성된다. 트랜지스터 TN4는 트랜지스터 TN1의 게이트와 출력 OUT2 사이에 접속되고, 트랜지스터 TN2의 온 저항에 따르지만 수[KΩ]정도의 온 저항을 가진다. 또 트랜지스터 TN4의 게이트는 트랜지스터 TP2, TP4의 게이트에 접속되어 입력 래치 회로(11C)에 접속된다. 또 그 밖의 구성은 제6의 실시예와 동일하므로 그 설명을 생략한다.

이와같이 하여 본 발명의 제8 실시예에 관한 레벨 컨버터에 의하면 제38도에 도시된 바와 같이 저항 R1, R2 및 트랜지스터 TN3, TN4가 구비되고 입력 래치 회로(11C)로부터 트랜지스터 TP1, TP3, TN3의 게이트 접속점 및 트랜지스터 TP2, TP4, TN4의 게이트 접속점에 상보성의 신호 IN_D, $\overline{IN_D}$ 가 각각 공급된다.

이로 인해 제7의 실시예와 같이 전원선 VDD, GND2에 접속된 트랜지스터 TP1, TN1 사이의 관통 전류나 트랜지스터 TP2, TN2 간의 관통 전류를 없앨 수 있다.

이것에 의하여 제1~제6의 실시예와 같이 해당 레벨 컨버터의 회로 소비 전력의 저감화의 도모, 및 제2의 실시예와 같이 회로 동작의 고속화를 도모할 수 있다.

[실시예 9]

[제9의 적합한 실시예의 설명]

제8의 실시예와 다른 점은 제9의 실시예에서는 제38도에 도시된 바와 같이 2종류의 상보성의 신호 IN1, IN2, $\overline{IN1}$ $\overline{IN2}$ 를 출력하는 입력 래치 회로(11D)가 설치되고, 트랜지스터 TN1~TN4의 각 게이트가 입력 래치 회로(11D)에 개별적으로 접속된다.

즉 제39도에서 입력 래치 회로(11D)는 제2의 래치 회로(11B)의 다른 일예이고, 구동 전류계 VDD, 접지선 GND1에 접속된다. 입력 래치 회로(11D)는 입력 신호 SIN를 래치하여 트랜지스터 TP3, TP4의 게이트에 상보성의 신호 IN1, $\overline{IN1}$ 를 공급한다. 또 트랜지스터 TP1, TP2의 게이트에 상보성의 지연 신호 IN2, $\overline{IN2}$ 를 공급한다. 입력 래치 회로(11D)의 내부 구성에 대해서는 2-입력 NOR 회로를 2-입력 NAND 회로로 변경할 필요가 있으나, 그 밖의 구성은 제4의 실시예와 동일하므로 그 설명을 생략한다.

이와같이 하여 본 발명의 제9의 실시예에 관한 레벨 컨버터에 의하면 제39도에 도시된 바와 같이 트랜지스터 TP1~TP4의 각 게이트가 입력 래치 회로(11D)에 개별적으로 접속된다.

이로 인해서, 입력 IN이 「H」→「L」레벨로 천이할 경우에는 트랜지스터 TP3에 반전 신호 $\overline{IN1}$ = 「L」→H」레벨이 공급되고, 트랜지스터 TP4에 비반전 신호 IN1 = 「H」→「L」레벨이 공급된다. 또, 트랜지스터 TP1에 반전 신호 $\overline{IN2}$ =「L」→「H」레벨이 공급되고, 트랜지스터 TP2 비반전 신호 IN2 =「H」→「L」레벨이 공급된다.

또 입력 IN이 「L」→「H」레벨로 천이할 경우에는 트랜지스터 TP4에 비반전 신호 IN1 = 「L」→H」레벨이 공급되고, 트랜지스터 TP2에 반전 신호 $\overline{IN2}$ = 「L」→「H」레벨이 공급된다. 또, 트랜지스터 TP3에 반전 신호 $\overline{IN1}$ =「H」→「L」레벨이 공급되고, 트랜지스터 TP1 반전 신호 $\overline{IN2}$ =「H」→「L」레벨이 공급된다.

이것에 의하여 제7의 실시예와 같이 입력 IN이 「H」→「L」레벨이 되는 천이할 때에 출력 OUT2의 전위를 「L」→「H」레벨로 급격히 상승시키는 일 및 출력(OUT1)의 전위를 「H」→「L」레벨로 급격히 하강시킬 수 있다. 또 입력 IN이 「L」→「H」레벨로 천이할 때에 출력 OUT2의 전위를「H」→「L」레벨로 급격히 하강시키는 것, 및 출력 OUT1의 전위를「L」→「H」레벨로 급격히 상승시킬 수가 있다.

이것에 의하여 제7의 실시예와 같이 구동 전원 시스템 VDD, GND2에 접속된 트랜지스터 TP1, TN1 사이의 관통 전류나 트랜지스터 TP2, TN2 사이의 관통 전류를 없앨 수 있다. 이것에 의하여 당해 레벨 컨버터의 회로 소비 전력의 저감화를 도모하는 것, 및 제6, 제7의 실시예와 같이 회로 동작의 고속화를 도모할 수 있다.

[실시예 10]

[제10의 적합한 실시예의 설명]

제9의 실시예와 다른 점은 제10의 실시예에서는 제40도에 도시된 바와 같이 트랜지스터 TP1, TP2의 고전위측에 트랜지스터 TP5, TP6가 접속되고 제9의 실시예에서 채용한 입력 래치 회로(11D)에 의하여 트랜지스터 TP1 및 TP3와 트랜지스터 TP5와 트랜지스너 TP2 및 TP4와, 트랜지스터 TP6를 개별적으로 제어한다.

즉, 트랜지스터 TP5는 제9 트랜지스터 T9의 일예이고, p 형 전계효과 트랜지스터(이하 단순히 트랜지스터로 기재한다)로 구성된다. 트랜지스터 TP5의 드레인은 트랜지스터(TP1)의 소오스에 접속되고, 트랜지스터(TP5)의 소오스가 전원선 VDD에 접속된다.

트랜지스터 TP6는 제10 트랜지스터 T10의 일예이고, p 형 전계효과 트랜지스터(이하 단순히 트랜지스터로 기재한다)로 구성된다. 트랜지스터 TP6의 드레인은 트랜지스터 TP2의 소오스에 접속되고, 트랜지스터 TP6의 소오스가 전원선 VDD에 접속된다. 또 트랜지스터 TP5, TP6이 각 게이트가 입력 래치 회로(11D)에 접속된다.

또, 트랜지스터 TP1, TP3의 각 게이트가 접속되어서 입력 래치 회로(11D)에 접속되고, 동일하게 트랜지스터 TP2, TP4의 각 게이트가 접속되어서 입력 래치 회로(11D)에 접속된다. 그 밖의 구성은 제7의 실시예와 동일하므로 그 설명은 생략한다.

이와같이 본 발명의 제10의 실시예에 관한 레벨 컨버터에 의하면 제40도에 도시된 바와 같이 트랜지스터 TP1, TP2의 고전위측에 트랜지스터 TP5, TP6가 접속되고, 제9의 실시예에서 설명한 입력 래치 회로(11D)로부터 트랜지스터 TP1, TP3의 게이트에 반전 신호 $\overline{IN1}$ 가 출력되고, 트랜지스터 TP2, TP4의 게이트에 비반전 신호 IN1가 출력된다. 또 트랜지스터 TP5의 게이트에 반전 지연 신호 $\overline{IN2}$ 가 출력되고 트랜지스터 TP6의 게이트에 비반전 지연 신호 IN2가 출력된다.

이것에 의하여 제9의 실시예와 같이 입력 IN이 「H」에서「L」레벨이 되는 천이할 때에 출력 OUT2의 전위를「L」에서「H」레벨로 급격히 상승시키는 일 및 출력 OUT1의 전위를 「H」에서「L」레벨로 급격히 하강시킬 수 있다. 또 입력 IN이 「L」에서「H」레벨로 천이할 때에 출력 OUT2의 전위를「H」에서「L」레벨로 급격히 하강시킬수 있고, 또 출력 OUT1의 전위를「L」에서「H」레벨로 급격히 상승시킬 수 있다.

이것에 의하여 제6~제9의 실시예와 같이 구동 전원 시스템 VDD, GND2에 접속된 트랜지스터 TP1, TN1 사이의 관통 전류나 트랜지스터 TP2, TN2 사이의 관통 전류를 없앨 수 있다. 이것에 의해 접지선 GND의 전위 레벨을 기준으로 하여 그 영전위 보다도 낮은 전원선 GN1, GN2에 의하여 구동되는 레벨 컨버터의 회로 소비 전력의 저감화를 도모하고, 또 제6~제9의 실시예와 같이 회로 동작의 고속화를 도모할 수 있다.

[실시예 11]

[제11의 적합한 실시예의 설명]

본 발명의 제11레벨 컨버터는 제1의 실시예와 다르고, 제41(A)도에 도시된 바와 같이 인버터 INV, 트랜지스터 TN1, TN2, TP1~TP4 및 저항 R1, R2으로 구성된다. 또 트랜지스터 TP3, TP4 및 저항 R1, R2의 접속 방법이 다르다.

즉, 인버터 INV는 입력 트랜지스터(12)의 일예이고, 제1 구동 전류계가 되는 전원선 VDD1(구동전압 VD1 = 3[V] 정도), 접지선 GND(0 [V])의 사이에 접속된다. 또 인버터 INV 대신 제1의 실시예에서 채용하는 제24(A)도에 도시된 바와 같은 입력 래치 회로(11A)를 사용해도 좋다.

트랜지스터 TP1는 제1 트랜지스터 T1의 일예이고, p 형 전계효과 트랜지스터(이하 단순히 트랜지스터로 기재)로 구성된다. 트랜지스터 TP1의 소오스는 전원선 VDD2에 접속되고, 그 드레인이 트랜지스터 TN1의 드레인에 접속(이하 직렬접속으로도 기재)되어 출력 OUT1에 접속된다. 트랜지스터 TP1의 게이트는 저항 R1의 일단과 트랜지스터 TP3의 소오스의 접속점의 접속점 q1에 접속된다.

트랜지스터 TN1는 제2 트랜지스터 T2의 일예이고, n 형 전계효과 트랜지스터(이하 단순히 트랜지스터로 기재)로 구성된다. 트랜지스터 TN1의 소오스는 접지선 GND에 접속되고 그 게이트가 인버터 INV의 입력 IN에 접속된다.

트랜지스터 TP2는 제3 트랜지스터 T3의 일예이고, p 형 전계효과 트랜지스터로 구성된다. 트랜지스터 TP2의 소오스는 전원선 VDD2에 접속되고 그 드레인이 트랜지스터 TN2의 드레인에 접속되어서 출력 OUT2에 접속된다. 트랜지스터 TP2의 게이트는 저항 R2의 일단과 트랜지스터 TP4의 소오스의 접속점의 접속점 q2에 접속된다.

트랜지스터 TN2는 제4 트랜지스터 T4의 일예이고, n 형 전계효과 트랜지스터로 구성된다. 트랜지스터 TN2의 소오스는 접지선 GND에 접속되고 그 게이트가 인버터 INV의 출력 OUT에 접속된다

트랜지스터 TP3는 제5 트랜지스터 T5의 일예이고, 트랜지스터 TP4는 제6 트랜지스터 T6의 일예이고, 어느것이나 p형 전계효과 트랜지스터로 구성된다. 트랜지스터 TP3의 드레인은 트랜지스터 TP4의 게이트에 접속되어서 출력 OUT2에 접속된다. 트랜지스터 TP3의 게이트는 트랜지스터 TP4의 드레인에 접속되어서 출력 OUT1에 접속된다.

저항 R1은 접속점 q1과 전원선 VDD2 사이에 접속되고, 트랜지스터 TN2의 온 저항에 의하지만 수[KΩ] 정도의 저항치를 갖는다. 저항 R2이 접속점 q2과 전원선 VDD2사이에 접속되고 트랜지스터 TN1의 온 저항에 따르게 되나 수[KΩ] 정도의 저항치를 갖는다.

다음에 당해 레벨 컨버터의 동작에 대하여 제41(B)도, 제42(A)도~제42도를 참조하여 설명한다.

예를 들어 제41(B)도에 도시된 바와 같이 입력 IN이 「H」레벨이 되는 정상 시에는 트랜지스터 TN1의 게

이트에 입력 신호 SIN = 「H」 레벨이 공급되고, 또 트랜지스터 TN2의 게이트에 입력 반전 신호 $\overline{SIN}$ = 「L」 레벨이 공급된다. 이것에 의하여 제42(A)도의 등가회로에 도시하는 것과 같이 트랜지스터 TN1, TP3가 온 동작 상태가 되고 트랜지스터 TN2, TP1, TP4, TP2가 오프 동작 상태가 되어서 출력 OUT2이 「H」 레벨, 출력 OUT1이 「L」 레벨이 된 TN1, TP3가 온 동작 상태가 되고 트랜지스터 TN2, TP1, TP4, TP2가 오프 동작 상태가 되어서 출력 OUT2이 「H」 레벨, 출력 OUT1이 「L」 레벨이 된다.

반대로 입력 IN이 「L」 레벨이 되는 정상 시에는 트랜지스터 TN2의 게이트에 제42(B)도에 도시된 바와 같은 입력 반전 신호 $\overline{SIN}$ = 「H」 레벨이 공급되고, 또 트랜지스터 TN1의 게이트에 입력 신호 SIN = 「L」 레벨이 공급된다. 이것에 의하여 제42(B)도의 등가회로의 도시와 같이 트랜지스터 TN2, TP4가 온 동작 상태가 되고 트랜지스터 TN1, TP2, TP3, TP1가 오프 동작 상태가 되어서 출력 OUT1이 「H」 레벨, 출력 OUT2이 「L」 레벨이 된다.

또, 입력 IN이 「H」→「L」 레벨이 천이 하는 경우에는 트랜지스터 TN1의 게이트에 제41(B)도에 도시된 바와 같은 입력 신호 SIN = 「H」→「L」 레벨이 공급되고, 또 트랜지스터 TN2의 게이트에 입력 반전 신호 $\overline{SIN}$ = 「L」→「H」 레벨이 공급된다.

이것에 의하여 제42(C)도에 도시된 바와 같이 트랜지스터 TN2의 오프→온 동작에 이어서 트랜지스터 TP1가 오프→온 동작으로 천이하여 출력 OUT1의 전위가 「L」→「H」 레벨로 상승한다. 또 트랜지스터 TP1는 일순 온 동작한 후 즉시 오프 동작이 된다. 또 트랜지스터 TN1의 온→오프 작동에 이어서 트랜지스터 TP2는 오프 동작의 상태를 그대로 유지하고, 출력 OUT2의 전위는 「H」→「L」 레벨로 급격히 하강한다.

반대로 입력 IN이 「L」→「H」 레벨이 천이할 경우에는 트랜지스터 TN1의 게이트에 제41(B)도에 도시된 바와 같은 입력 반전 신호 $\overline{SIN}$ = 「L」→「H」 레벨이 공급되고, 또 트랜지스터 TN2의 게이트에 입력 반전 신호 SIN = 「H」→「L」 레벨이 공급된다.

이것에 의하여 제42(D)도에 도시된 바와 같이 트랜지스터 IN1의 오프→온 동작에 이어서 트랜지스터 TP2가 오프→온 동작으로 천이하여 출력 OUT2의 전위가 「L」→「H」 레벨로 급격히 상승한다. 또 트랜지스터 TP2의 온→오프 동작에 이어서 트랜지스터 TP1는 오프 동작을 유지한 채로이고, 출력 OUT1의 전위가 「H」→「L」 레벨로 급격히 하강한다.

이것의 반복 동작에 의하여 제1~재5의 실시예와 같이 3[V]구동 시스템에서 신호 처리된 신호 레벨을 5[V]구동 시스템의 신호 처리 가능한 전위 레벨로 변환할 수 있다.

이와같이 하여 본 발명의 11의 실시예에 관한 레벨 컨버터에 의하면 제41(A)도에 도시된 바와 같이 인버터 INV, 트랜지스터 TN1, TN2, TP1, TP4 저항 R1, R2이 구비된다.

이것에 의하여 입력 IN이 「H」→「L」 레벨로 천이할 때 트랜지스터 TN1, TP3가 오프→온 동작으로 천이하고, 트랜지스터 TN2, TN4가 오프→온 동작으로 천이 한다. 이때 출력 OUT2의 전위 레벨은 저항 R1과 트랜지스터 TN2의 온 저항의 비로 결정된다.

예를 들어 트랜지스터 TP1의 임계치 전압 Vth 보다 낮아지도록 온 저항의 비를 설정하면 트랜지스터 TP3가 오프 동작을 하고, 트랜지스터 TP1의 게이트 전압이 저항 R1에 의하여 「H」 레벨로 설정된다. 또 트랜지스터 TP4가 온 동작을 하여 저항 R2에 의하여 「H」 레벨이 출력 OUT1에 전달되어 출력 OUT1이 고속으로 「L」→「H」 레벨로 천이 한다.

반대로 입력 IN이 「L」→「H」 레벨로 천이할 때 트랜지스터 TN1, TP3가 오프→온 동작으로 천이하여 트랜지스터 TN2, TN4가 온→오프 동작으로 천이 한다. 이때 트랜지스터 TP1는 오프 동작을 그대로 유지하고 트랜지스터 TP2는 일순간 온 동작이 된다.

이때, 출력 OUT1의 전위 레벨은 저항 R2과 트랜지스터 TN1의 온 저항의 비로 결정된다. 예를 들어 트랜지스터 TP2의 임계치 전압 Vth 보다 낮아지도록 온 저항의 비를 설정하면 트랜지스터 TP4가 온→오프 동작으로 천이하고, 트랜지스터 TP2의 게이트 전압이 저항 R2에 의하여 「H」 레벨로 설정된다. 또 트랜지스터 TP3가 온 동작을 하여 저항 R1에 의하여 「H」 레벨이 출력 OUT2에 전달되고, 그 출력 OUT2이 고속으로 「L」→「H」 레벨로 천이 한다.

이것에 의하여 구동 전원 시스템 VDD2, GND에 접속된 트랜지스터 TP1, TN1간의 관통 전류나 트랜지스터 TP2, TN2간의 관통 전류를 없앨 수 있다. 이것에 의하여 당해 레벨 컨버터의 회로 소비 전력의 저감화를 도모할 수 있고, 또 제1~제5의 실시예에 비해서 회로 동작의 고속화를 도모할 수 있다.

[실시예 12]

[제12의 적합한 실시예의 설명]

제12의 실시예에서는 제11의 실시예와 상이하고, 제43(A)도에 도시된 바와

즉, 트랜지스터 TP5는 제7 트랜지스터 T7의 일예이고, p 형 전계효과 트랜지스터로 구성된다. 트랜지스터 TP5는 제11의 실시예에 관한 저항 R1의 접속위치에 설치된다. 트랜지스터 TP5는 접속점 q2과 전원선 VDD2 사이에 접속되고, 그 게이트가 접지선 GND 접속된다. 또 트랜지스터 TP5는 트랜지스터 TN2의 온 저항에 의하지만 수[KΩ] 정도의 온 저항치를 갖는다.

트랜지스터 TP6는 제8 트랜지스터 T8 일예이고, p 형 전계효과 트랜지스터로 구성된다. 트랜지스터 TP6는 접속점 q1과 전원선 VDD2 사이에 접속되고, 그 게이트가 접지선 GND 접속된다. 또 트랜지스터 TP6는 트랜지스터 TN1의 온 저항에 의하지만 수[KΩ] 정도의 온 저항치를 가진다.

또, 입력 래치 회로(11A)는 입력 트랜지스터(13)의 일예이고, 제2의 실시예에서 채용한 회로를 적용하고,

그것이 제1 구동 전원선 VDD1, GND 사이에 접속된다. 그 상보성의 제어 신호 IN_D, $\overline{IN_D}$ 가 트랜지스터 TN1, TN2의 게이트에 접속된다. 기타의 구성 및 동작은 제2, 제11의 실시예와 동일하므로 그 설명을 생략한다.

이와 같이 하여 본 발명의 제12의 실시예에 관한 레벨 컨버터에 의하여 제34(B)도에 도시된 바와 같이 입력 래치 회로 11A, 트랜지스터 TN1, TN2, TP1~TP6가 구비되고, 트랜지스터 TP5, TP6가 제11의 실시예에 관한 레벨 컨버터의 저항 R1,R2의 접속위치에 치환된다.

이것에 의하여 트랜지스터 TP5, TP6의 정상 온 저항 R_{P5}, R_{P6}에 의하여 제11의 실시예에 관한 레벨 컨버터의 저항 R1, R2의 기능을 대체할 수 있다. 예를 들어 입력 IN이 「H」→「L」레벨로 천이할 때 트랜지스터 TN1, TP3가 온→오프 동작으로 천이하여 트랜지스터 TN2, TP4가 오프→온 동작으로 천이 한다. 이때 트랜지스터 TP1는 일순간 온 동작을 하고, 트랜지스터 TP2는 오프 동작한 상태를 그대로 유지한다. 또 출력 OUT2의 전위 레벨은 트랜지스터 TP5의 정상 저항 R_{P5}과 트랜지스터 TN2의 온 저항의 비로 결정된다.

예를 들어 트랜지스터 TP1의 임계치 전압 Vth 보다 낮아지도록 온 저항 R_{P5}을 설정하고, 회로의 온 저항의 비를 설정하면 트랜지스터 TP3가 오프 동작하고, 트랜지스터 TP1의 게이트 전압이 저항 R_{P5}에 의하여 「H」레벨로 설정된다. 또 트랜지스터 TP4가 온 동작을 하고 트랜지스터 TP6의 정상 온 저항 R_{P6}에 의하여 「H」레벨이 출력 OUT1에 전달되면서 출력 OUT1이 고속으로 「L」→「H」레벨로 천이 한다.

반대로 입력 IN이 「L」→「H」레벨로 천이할 때 트랜지스터 TN1, TP3가 오프→온 동작으로 천이하고, 트랜지스터 TN2, TP4가 온→오프 동작으로 천이 한다. 이때 트랜지스터 TP1는 오프 동작의 상태를 그대로 유지하고, 트랜지스터 TP2는 일순간 온 동작을 한다. 또 출력 OUT1의 전위 레벨은 항상 온 저항 R_{P6}과 트랜지스터 TN1의 온 저항의 비로 결정된다. 예를 들어 트랜지스터 TP2의 임계치 전압 Vth 보다 낮도록 온 저항 R_{P6}을 설정하여 회로의 온 저항의 비를 설정하면 트랜지스터(TP4)가 온→오프 천이하고, 트랜지스터 TP2의 게이트 전압이 저항 R_{P6}에 의하여 「H」레벨로 설정된다.

또 트랜지스터 TP3가 온 동작하고, 정상의 온저항 R_{P5}에 의하여「H」레벨이 출력 OUT2에 전달되고, 그 출력 OUT2이 고속으로 「L」→「H」레벨로 천이 한다.

이것에 의하여 제11의 실시예와 같이 구동 전원 시스템 VDD2, GND에 접속되는 트랜지스터 TP1, TN1간의 관통 전류나 트랜지스터 TP2, TN2간의 관통 전류를 없앨 수 있다. 이것에 의하여 회로 소비 전력의 저감화 및 회로 동작의 고속화를 도모할 수 있다.

[실시예 13]

[제13의 적합한 실시예의 설명]

제13의 적합한 실시예에서는 제11의 실시예와 상이하고, 제44(A)도에 도시된 바와 같이 홀수 개의 인버터 INV1, INV2가 설치된다. 예를 들어 홀수 개의 인버터 INV의 일예가되는 1개의 인버터 INV1가 트랜지스터 TP4의 게이트와 출력 OUT1간에 접속된다. 인버터 INV1는 전원선 VDD2, 접지선 GND 접속되고, 출력 OUT2의 전위 레벨을 지연하여 트랜지스터 TP4의 게이트 제어를 한다. 1개의 인버터 INV2는 트랜지스터 TP3의 게이트와 출력 OUT2간에 접속된다. 인버터 INV2는 전원선 VDD2, 접지선 GND 접속되고, 출력 OUT2의 전위 레벨을 지연하여 트랜지스터 TP3의 게이트 제어를 한다. 또 기타의 구성은 제11의 실시예와 동일하므로 그 설명을 생략한다.

다음에 당해 레벨 컨버터의 동작에 대하여 제44(B)도에 제45(A)도~제45(D)도를 참조하여 설명한다.

예를 들어 제44(B)도에 도시된 바와 같이 입력 IN이 「H」레벨이 되는 정상시에는 트랜지스터 TN1의 게이트에 입력 신호 SIN = 「H」레벨이 공급되고, 또 트랜지스터 TN2의 게이트에 입력 반전 신호 $\overline{SIN}$ = 「L」레벨이 공급된다. 이것에 의하여 제45(A)의 등가 회로에 도시하는 것과 같이 트랜지스터 TN1, TP3가 온 동작 상태가 되고, 트랜지스터 TN2, TP1, TP2, TP4가 오프 상태가 되어서 출력 OUT2이 「H」레벨, 출력 OUT2이 「L」레벨이 된다.

반대로 입력 IN이 「L」레벨이 되는 정상시에는 트랜지스터 TN2의 게이트에 제45(B)도에 도시된 바와 같은 입력 반전 신호 $\overline{SIN}$ = 「H」레벨이 공급되고, 또 트랜지스터 TN1의 게이트에 입력 신호 SIN = 「L」레벨이 공급된다. 이것에 의하여 제45(B)도의 등가 회로의 도시와 같이 트랜지스터 TN2, TP4가 온 동작 상태가 되고, 트랜지스터 TN1, TP1, TP2, TP3가 오프 동작 상태가 되어서 출력 OUT1이 「H」레벨, 출력 OUT2이 「L」레벨이 된다.

또한 입력 IN이 「H」→「L」레벨로 천이할 경우에는 트랜지스터 TN1의 게이트에 제44(B)도에 도시된 바와 같은 입력 신호 SIN =「H」→「L」레벨이 공급되고, 또 트랜지스터 TN2의 게이트에 입력 반전 신호 $\overline{SIN}$ = 「L」→「H」레벨이 공급된다. 이것에 의하여 제45(C)도에 도시된 바와 같이 트랜지스터 TN2의 오프→온 동작에 이어서 트랜지스터 TN1가 빨리 오프→온 동작으로 천이하여 출력 OUT1의 전위가 「L」→「H」레벨로 급격히 상승한다. 트랜지스터 TP1는 일순간 온 동작하면 곧 오프 동작하게 된다. 이때에 출력 OUT1의 「L」→「H」레벨이 인버터 INV1에 의하여 지연되고, 그 게이트 제어 신호 SG_{P4}가 트랜지스터 TP4에 공급되고 그것이 오프→온 동작으로 천이 한다. 또 트랜지스터 TN1는 온→오프 동작하게 되는데 트랜지스터 TP2는 오프 동작 상태를 그대로 유지하고, 출력 OUT2의 전위가 「H」→「L」레벨로 급격히 하강한다.

반대로 입력 IN이 「L」→「H」레벨로 천이할 경우에는 트랜지스터 TN1의 게이트에 제44(B)도에 도시된

바와 같은 입력 신호 SIN =「L」→「H」레벨이 공급되고 또 트랜지스터 TN2의 게이트에 입력 반전 신호 $\overline{SIN}$ =「H」→「L」레벨이 공급된다. 이것에 의하여 제45(D)도에 도시된 바와 같이 트랜지스터 TN1의 오프→온 동작에 이어서 트랜지스터 TP2가 빨리 오프→온 동작으로 천이하여 출력 OUT2의 전위가 「L」→「H」레벨로 급격히 상승한다. 트랜지스터 TP2는 일순간 온 동작하면 곧 오프 동작하게 된다.

이때에 출력 OUT2의 「L」→「H」레벨이 인버터 INV2에 의하여 지연되고, 그 게이트 제어 신호 SG_{P4}가 트랜지스터 TP3에 공급되고 그것이 오프→온 동작으로 천이 한다. 또 트랜지스터 TN2는 온→오프 동작시 트랜지스터 TP1는 오프 동작 상태를 그대로 유지하고, 출력 OUT2의 전위가 「H」→「L」레벨로 급격히 하강한다.

이러한 반복 동작에 의하여 제11의 실시예와 같이 3[V] 구동 시스템로 신호 처리된 신호 레벨을 5[V] 구동 시스템의 신호 처리 가능한 전위 레벨로 변환할 수 있다.

이와같이 하여 본 발명의 제13의 실시예에 관한 레벨 컨버터에 의하면 제 44(A)도에 도시된 바와 같이 홀수 개의 인버터 INV1, INV2가 설치되고, 인버터 INV2가 트랜지스터 TP3의 게이트와 출력 OUT2 사이에 접속되고, 인버터 INV1가 트랜지스터 TP4의 게이트와 출력 OUT1 사이에 접속된다.

이것에 의하여 입력 온이 「H」→「L」레벨로 천이할 때에 출력 OUT1의 「L」→「H」레벨을 인버터 INV1에 의하여 지연하여 그 게이트 제어 신호 SG_{P4}를 트랜지스터 TP4에 공급할 수 있고, 트랜지스터 TP4를 오프→지연되어 온 동작으로 천이시킬 수 있다.

이것에 의하여 제11의 실시예에 비교해서 입력 IN이 「H」에서「L」레벨로 천이할 때나 「L」에서「H」레벨로 천이할 때에 출력 OUT1이 고속으로 「L」에서「H」레벨로 천이하는 것, 및 출력 OUT2을 고속으로 「L」에서「H」레벨로 천이할 수 있다.

이것에 의하여 제11의 실시예와 동일하게 구동 전원 시스템 VDD2, GND에 접속된 트랜지스터 TP1, TN1 사이의 관통 전류나 트랜지스터 TP2, TN2 사이의 관통 전류를 없앨 수가 있다. 이것에 의하여 회로 소비 전력의 저감화 및 회로 동작의 고속화를 도모할 수 있다.

[실시예 14]

[제14의 적합한 실시예의 설명]

제14의 실시예에서는 제13의 실시예와 달리 제46(A)도에 도시된 바와 같이 짝수개의 인버터 INV11, INV12가 설치된다.

예를 들어 짝수 개의 인버터 INV의 일예가되는 2개의 인버터 INV11가 트랜지스터 TP3의 게이트와 출력 OUT1사이에 접속된다. 인버터 INV11는 전원선 VDD2, 접지선 GND에 접속되고, 제13의 실시예와는 달리 출력 OUT1의 전위 레벨을 지연해서 트랜지스터 TP3의 게이트제어를 한다. 동일하게 2개의 인버터 INV21는 트랜지스터 TP4의 게이트와 출력 OUT2 사이에 접속된다. 인버터 INV21는 전원선 VDD2, 접지선 GND에 접속되고, 제13의 실시예와 달리 출력 OUT2의 전위 레벨을 지연하여 트랜지스터 TP4의 게이트 제어를 한다.

또 인버터 INV11, INV21는 출력 OUT1, OUT2에 접속되는 부하(인버터회로 등)에 따라서 단수를 조정한다. 예를 들어 부하 회로의 임계치 전압에 이르는 파형 상승시간이 동등해지도록 지연 시간을 조정한다. 이것에 의하여 고속으로 차단에 신호를 전단할 수 있다. 기타의 구성은 제11의 실시예와 동일하므로 그 설명을 생략한다.

다음에 당해 레벨 컨버터의 동작에 대하여 제46(B)도, 제47(A)도～제47(D)도 및 제48(A)도, 제48(B)도를 참조하여 설명한다.

예를 들어 제 46(B)도에 도시된 바와 같이 입력 IN이 「H」레벨이 되는 정상시에는 트랜지스터 TN1의 게이트에 입력 신호 SIN =「H」레벨이 공급되고, 또 트랜지스터 TN2의 게이트에 입력 반전 신호 $\overline{SIN}$ =「L」레벨이 공급된다. 이것에 의하여 제47(A)도의 등가회로의 도시와 같이 트랜지스터 TN1, TP3가 온 동작 상태가 되고, 트랜지스터 TN2, TP1, TP2, TP4가 오프 동작 상태가 되어서 출력 OUT1의 「H」레벨, 출력 OUT2이 「L」레벨이 된다.

반대로 입력 IN이 「L」레벨이 되는 정상시에는 트랜지스터 TN2의 게이트에, 제47(B)도에 도시된 바와 같은 입력 신호 SIN =「H」레벨이 공급되고, 또 트랜지스터 TN1의 게이트에 입력 반전 신호 SIN = 「L」레벨이 공급된다. 이것에 의하여 제47(B)도의 등가회로의 도시와 같이 트랜지스터 TN2, TP4가 온 동작 상태가 되고, 트랜지스터 TN1, TP1, TP2, TP3가 오프 동작 상태가 되어서 출력 OUT1의 「H」레벨, 출력 (OUT2)이 「L」레벨이 된다.

또, 입력 IN이 「H」→「L」레벨로 천이 하는 경우에는 트랜지스터 TN1의 게이트에 제46(B)의 도시와 같은 입력 신호 SIN =「H」→「L」레벨이 공급되고, 또 트랜지스터 TN2의 게이트에 입력 반전 입력 신호 $\overline{SIN}$ = 「L」→「H」레벨이 공급된다. 이것에 의하여 제47(C)도시와 같이 트랜지스터 TN2가 오프→온 동작하고, 출력 OUT2은 저항 R1 및 TP3의 온 저항의 합성치와 TN2의 온 저항의 비로 「H」레벨에서 「L」레벨로의 상승시간 tf 이 결정되고, 접속점 q1이 「H」레벨에서 「L」레벨로 천이 한다. 또 시간 tf 은 제48(A)도에 있어서 A+B 로 표시한다. 출력 OUT2은 전압 X TN2/(R1+TP3+TN2)에 의하여 변화하고 접속점 q1은 전압 X (TN2+TP3)/[R1+TP3+TN2]에 의하여 각각 변화한다.

이것에 의하여 트랜지스터 TP1가 오프→온 동작으로 천이하여 출력 OUT1의 전위가 「 L」→「H」레벨로 급격히 상승한다. 이 결과 트랜지스터 TP3의 게이트는 인버터 INV1를 개재하여 「H」레벨이 되고, 트랜지스터 TP3는 오프 동작이 된다. 이때 출력(OUT1)의 「L」→「H」레벨은 인버터 INV11에 의하여 지연되고, 그 게이트 제어 신호 SG_{P3}가 트랜지스터 TP3에 공급되고 온→오프 동작한다.

또, 트랜지스터 TP3가 오프 되므로서 트랜지스터 TP1의 게이트 전압은 저항 R1에 의하여 「H」 레벨이 되고 트랜지스터 TP1는 오프 동작한다. 이 경과를 제 48(A)도의 기간(A)에 도시한다.

다음에 출력 OUT2 레벨이 인버터 INV21를 지나서 트랜지스터 TP4의 게이트에 「L」 레벨을 부여함으로써 트랜지스터 TP4를 온 동작시킨다. 즉 출력 OUT2의 「H」→「L」 레벨이 인버터 INV21에 의하여 지연되고, 그 게이트 제어 신호 SG_{P4}가 트랜지스터 TP4에 공급되고 그것이 오프→온 동작으로 천이 한다. 이것에 의하여 트랜지스터 TN1이 온→오프 동작하는데, 트랜지스터 TP2는 오프 상태를 유지한 채로, 출력 OUT2의 전위는 「L」→「H」 레벨로 급격히 하강한다. 이것에 의하여 저항 R2은 출력 OUT1에 「H」 레벨을 전반(佺搬)한다. 이 경과를 제48(A)도의 기간(B)에 도시한다.

반대로 입력 IN이 「L」→「H」 레벨로 천이할 경우에는 트랜지스터 TN1의 게이트에 제46(B)의 도시된 바와 같은 입력 신호 SIN =「L」→「H」 레벨이 공급되고, 또 트랜지스터 TN2의 게이트에 입력 반전 신호 $\overline{SIN}$ = 「H」→「L」 레벨이 공급된다.

이것에 의하여 제47(D)도에 도시된 바와 같이 트랜지스터 TN1가 오프→온 동작하고, 출력 OUT1은 저항 R2 및 TP4의 온 저항의 합성치와 TN1의 온 저항의 비로 「H」 레벨에서 「L」 레벨로의 상승시간 tf 이 결정되고, 접속점 q2이 「H」 레벨에서 「L」 레벨로 천이 한다. 또 시간 tf 은 제48(B)도에 있어서 C+D 로 표시한다. 출력 OUT1은 전압 X TN1/[R2+TP4+TN1]에 의하여 변화하고, 접속점 q2은 전압 X (TN1+TP4)/[R2+TP4+TN1]에 의하여 변화한다.

이것에 의하여 제47(D)도와 같이 트랜지스터 TP2가 오프→온 동작으로 천이하여 출력 OUT2의 전위가 「L」→「H」 레벨로 급격히 상승한다. 이 결과 트랜지스터 TP3의 게이트는 인버터 INV11를 지나서 「H」 레벨이 되고, 트랜지스터 TP3는 오프 동작이 된다. 이때 출력 OUT2의 「L」→「H」 레벨은 인버터 INV21에 의하여 지연되고, 그 게이트 제어 신호 SG_{P4}가 트랜지스터 TP4에 공급되고 온→오프 동작을 한다.

또 트랜지스터 TP4가 오프 함으로써 트랜지스터 TP2의 게이트 전압은 저항 R2에 의하여 「H」 레벨이 되고, 트랜지스터 TP2는 오프 동작한다. 이 경과를 제48(A)도의 기간(C)에 도시한다.

이때에 출력 OUT1의 전위가 「H」→「L」 레벨이 인버터 INV11에 의하여 지연되고 그 게이트 제어 신호 SG_{P3}가 트랜지스터 TP3에 공급되고 그것이 오프→온 동작으로 천이 한다. 이것에 의하여 트랜지스터 TN2의 온→오프 동작하는데, 트랜지스터 TP1는 오프 동작을 그대로 유지하고, 출력 OUT2의 전위가 「L」→「H」 레벨로 급격히 상승한다. 이것에 의하여 출력 OUT2은 저항 R1에 의하여 「H」 레벨을 전반한다. 이 경과를 제48(B)도의 기간(D)에 도시한다.

이것의 반복동작으로 제11의 실시예와 같이 3[V] 구동 시스템에서 신호 처리된 신호 레벨을 5[V] 구동 시스템의 신호 처리 가능한 전위 레벨로 변환시킬 수 있다.

이와같이 하여 본 발명의 제14의 실시예에 관한 레벨 컨버터에 의하면 제 46A도에 도시된 바와 같이 짝수개의 인버터 INV11, INV21가 설치되고, 그 직렬 접속된 인버터 INV11가 트랜지스터 TP3의 게이트와 출력 OUT1 사이에 접속되고, 인버터 INV21가 트랜지스터 TP4의 게이트와 출력 OUT2 사이에 접속된다.

이것에 의하여 입력 IN이 「H」→「L」 레벨로 천이할 때 인버터 INV11의 지연 시간을 지나서 트랜지스터 TP3가 오프 동작을 하고, 트랜지스터 TP1의 게이트 전압이 저항 R1에 의하여 「H」 레벨로 설정된다. 이것에 의하여 트랜지스터 TP4가 온 동작하여 저항 R2에 의하여 「H」 레벨이 출력 OUT1에 전달된다.

이때, 트랜지스터 TN2→출력 OUT2→트랜지스터 TP1→출력 OUT1→인버터 INV11→트랜지스터 TP3→저항 R1→트랜지스터 TP1를 순환하는 제1의 신호 전달 경로와, 트랜지스터 TN2→출력 OUT2→INV21→트랜지스터 TP4→저항 R2→출력 OUT1을 순환하는 제2의 신호 전달로가 구성된다.

이 제1의 신호 전달 경로에 의하여 출력 OUT1을 「L」→「H」 레벨로 고속으로 천이시킬 수 있고, 그 신호 전달 경로로 상승한 후에 제2의 신호 전달 경로에 의하여 그 전위를 유지하고, 천이 상태를 유지시킬 수 있고, 출력 OUT1이 고속으로 「L」→「H」 레벨로 천이 한다.

반대로 입력 IN이 「L」→「H」 레벨로 천이할 때 TP4가 인버터 INV21의 지연 시간을 지나서 온→오프 동작으로 천이하여 트랜지스터 TP2의 게이트 전압이 저항 R2에 의하여 「H」 레벨로 설정되고, 트랜지스터 TP3를 온 동작시키고, 저항 R1에 의하여 「H」 레벨이 출력 OUT2에 전달된다.

이때, 트랜지스터 TN1→트랜지스터 TP2→출력 OUT2→인버터 INV2→트랜지스터 TP4→저항 R2→트랜지스터 TP2를 순환하는 제3의 신호 전달 경로와, 트랜지스터 TN1→출력 OUT1→INV11→트랜지스터 TP3→저항 R1→출력 OUT2을 순환하는 제4의 신호 전달 경로가 구성된다.

이것으로 제3의 신호 전달 경로에 의하여 출력 OUT1을 「L」→「H」 레벨로 고속으로 천이시킬 수 있고, 그 신호 전달 경로로 상승한 후에 제4의 신호 전달 경로에 의하여 그 전위를 유지하고, 천이 상태를 계속시킬 수 있고, 출력 OUT2이 고속으로 「L」→「H」 레벨로 천이 한다.

이것에 의하여 인버터 INV11나 INV21에 의하여 신호 전달 시간에 지연을 갖게 하고, 그 지연기간에 트랜지스터 TP1, TP2를 온 동작시킴으로서 출력 OUT1, 출력 OUT2을 「L」에서「H」 레벨로 상승시키는 시간을 빨리할 수 있고, 제11~제13의 실시예에 비해서 회로 동작의 고속화를 도모할 수가 있다. 또 구동 전원 시스템 VDD2, GND에 접속된 트랜지스터 TP1, TN1 사이의 관통 전류나 트랜지스터 TP2, TN2 간의 관통 전류를 한층더 저감할 수 있다. 이것에 의하여 회로 소비 전력의 저감을 도모할 수 있다.

[실시예 15]

[제15의 적합한 실시예의 설명]

제15의 실시예에서는 제13의 실시예의 레벨 컨버터에 제49(A)도에 도시된 바와 같은 트랜지스터 TP5, TP6가 설치되고, 제13의 실시예에 관한 저항 R1, R2의 기능을 갖도록 하는 것이다. 즉 트랜지스터 TP5는 제

7 트랜지스터 T7의 한 예이고, p 형 전계효과 트랜지스터로 구성된다. 트랜지스터 TP5는 제13의 실시예에 관한 저항 R1의 접속위치에 설치된다. 트랜지스터 TP5는 접속점 q2과 전원선 VDD2 사이에 접속되고, 그 게이트가 접지선 GND에 접속된다. 트랜지스터 TP5는 트랜지스터 TN2의 온 저항에 따르나, 수 [KΩ] 정도의 온 저항치를 갖는다.

트랜지스터 TP6는 제8 트랜지스터 T8의 한 예이고, p 형 전계 효과 트랜지스터로 구성된다. 트랜지스터 TP6는 접속점 q1과 전원선 VDD2 간에 접속되고, 그 게이트가 접지선 GND에 접속된다. 또 트랜지스터 TP6는 트랜지스터 TN1의 온 저항에 따르나, 수[KΩ] 정도의 온 저항치를 갖는다. 기타의 구성은 제13의 실시예와 동일하므로 그 설명을 생략한다.

이와같이 하여 본 발명의 제15의 실시예에 관한 레벨 컨버터에 의하면 제 49(A)도에 도시된 바와 같이 트랜지스터 TP5, TP6가 설치되고, 저항 R1, R2의 기능을 갖도록 한다.

이것에 의하여 입력 IN이 「H」→「L」레벨로 천이할 때 제49(B)도와 같이 출력 OUT1의 「L」→「H」레벨을 인버터 INV1에 의하여 지연하고, 그 게이트 제어 신호 SG_{P4}를 트랜지스터 TP4에 공급할 수 있고, 트랜지스터 TP4를 오프에서 지연되어 온 동작으로 천이시킬 수 있다. 이때에 출력 OUT2의 전위 레벨은 트랜지스터 TP5의 정상 온 저항 R_{P5}과 트랜지스터 TN2의 온 저항의 비로 결정된다.

또, 입력 IN이「L」→「H」레벨로 천이할 때 출력 OUT2의 「L」→「H」레벨을 인버터 INV2에 의하여 지연하고, 그 게이트 제어 신호 SG_{P3}를 트랜지스터 TP3에 공급할 수 있고, 트랜지스터 TP3를 오프→ 지연되어 온 동작으로 천이할 수 있다. 출력 OUT1의 전위 레벨은 정상 온 저항 R_{P6}과 트랜지스터 TN1의 온 저항의 비로 결정된다.

이에 의하여 제14의 실시예와 같이 입력 IN이 「H」로 부터「L」레벨로 천이할 때나, 「L」에서「H」레벨로 천이할 때에 출력 OUT1이 고속으로 「L」에서「H」레벨로 천이하는 일 및 출력 OUT2를 고속으로 「L」에서「H」레벨로 천이시킬 수 있다.

이로 말미암아 제14의 실시예와 같이 구동 전원 시스템 VDD2, GND에 접속된 트랜지스터 TP1, TN1의 관통 전류나 트랜지스터 TP2, TN2 사이의 관통 전류를 없앨 수 있게 된다. 이로 인하여 회로 소비 전력의 저감화 및 회로 동작의 고속화를 도모할 수 있게 된다.

[실시예 16]

[제16의 적합한 실시예의 설명]

제16의 실시예에서는 제14의 실시예의 레벨 컨버터에 제50A도에 보이는 바와 같은 트랜지스터 TP5, TP6가 설치되고 제14의 실시예에 관한 저항 R1, R2의 기능을 갖게하는 것이다. 즉 트랜지스터 TP5는 제7 트랜지스터 T7의 일예이고, P 형 전계효과 트랜지스터로 이루어진다. 트랜지스터 TP5는 제14의 실시예와 관련된 저항 R1의 접속 위치에 설치된다. 트랜지스터 TP5는 게이트·소오스 접속점 q2과 전원선 VDD2의 사이에 접속되고 그 게이트가 접지선 GND에 접속된다. 트랜지스터 TP5는 트랜지스터 TN2의 온 저항에 의하는바, 수[KΩ] 정도의 온 저항치를 갖는다.

트랜지스터 TP6은 제8 트랜지스터 T8의 일예이고, P 형 전계효과 트랜지스터로 이루어진다. 트랜지스터 TP6, 게이트·소오스 접속점 q1과 전원선 VDD2의 사이에 접속되고 그 게이트가 접지선 GND에 접속된다. 또 트랜지스터 TP6는 트랜지스터 TN1의 온 저항에 의하는바, 수[KΩ] 정도의 온 저항치를 갖는다. 기타의 구성은 제14의 실시예와 동일하기 때문에 그 설명을 생략한다.

이와 같이 하여 본 발명의 제16의 실시예에 관한 레벨 컨버터에 의하면 제 50A도에 보이는 바와 같이 트랜지스터 TP5, TP6이 제14의 실시예에 관한 레벨 컨버터의 저항 R1, R2의 접속 위치에 치환된다.

이 때문에 제50B도에 보이는 바와 같이, 입력 IN이 「H」→「L」레벨로 천이할 때에 인버터 INV11의 지연시간을 거쳐 트랜지스터 TP3가 오프 동작을 하고 트랜지스터 TP1의 게이트 전압이 트랜지스터 TP5의 정상 온 저항 R_{P5}에 의하여 「H」레벨에 설정된다. 이로 말미암아 트랜지스터 TP4가 온 동작하고 트랜지스터 TP6의 정상 온 저항 R_{P6}에 의하여「H」레벨이 출력 OUT1에 전달된다.

이때 트랜지스터 TN2→출력 OUT2→트랜지스터 TP1→출력 OUT1→인버터 INV11→트랜지스터 TP3→온 저항 R_{P5}→트랜지스터 TP1를 순환하는 제1의 신호 전달 경로와, 트랜지스터 TN2→출력 OUT2→인버터 INV21→트랜지스터 TP4→온 저항 R_{P6}→출력 OUT1을 순환하는 제2의 신호 전달로가 구성된다.

이 제1의 신호 전달 경로에 의하여 출력 OUT1을 「L」→「H」레벨로 고속으로 천이시킬 수 있고, 그 신호 전달 경로로 상승한 뒤에 제2의 신호 전달 경로에 의하여 그 전위를 보존하고 천이 상태를 유지시킬 수 있게 되고 출력 OUT1이 고속으로 「L」→「H」레벨로 천이 한다.

반대로 입력 IN이 「L」→「H」레벨로 천이할 때 TP4가 인버터 INV22의 지연 시간을 지나서 온→오프 동작으로 천이하고 트랜지스터 TP2의 게이트 전압이 온 저항 R_{P6}에 의하여 「H」레벨로 설정되고 트랜지스터 TP3를 온 동작시키고, 온 저항 R_{P5}에 의하여 「H」레벨이 출력 OUT2에 전달된다.

이때 트랜지스터 TN1→출력 OUT1→트랜지스터 TP2→출력 OUT2→인버터 INV21→트랜지스터 TP4→온 저항 R_{P6}→트랜지스터 TP2를 순환하는 제3의 신호 전달 경로와, 트랜지스터 TN1→출력 OUT1→INV11→트랜지스터 TP3→온 저항 R_{P5}→출력 OUT2을 순환하는 제4의 신호 전달 경로가 구성된다.

이때문에 제3의 신호 전달 경로에 의하여 출력 OUT2을 「L」→「H」레벨로 고속으로 천이시킬 수 있고, 이 신호 전달 경로로 상승한 후에 제4의 신호 전달 경로에 의하여 그 전위를 유지하고, 천이 상태를 계속시킬 수 있고, 출력 OUT2가 고속으로 「L」→「H」레벨로 천이 한다.

이로 인하여 인버터 INV11나 INV21에 의하여 신호 전달 시간에 지연을 갖게 하고, 그 지연기간에 트랜지

스터 TP1, TP2를 온 동작시킴으로서 제14의 실시예와 같이 출력 OUT1, 출력 OUT2를 「L」에서「H」레벨로 상승시키는 시간을 빨리할 수 있고 제11~제13의 실시예에 비해서 회로 동작의 고속화를 도모할 수가 있다. 또 구동 전원 시스템 VDD2, GND에 접속된 트랜지스터 TP1, TN1 사이의 관통 전류나 트랜지스터 TP2, TN2 간의 관통 전류를 한층더 저감할 수 있다. 이로 말미암아 회로 소비 전력의 저감화를 도모할 수 있게 된다.

[실시예 17]

[제17의 적합한 실시예의 설명]

제17의 실시예에서는 제11의 실시예의 레벨 컨버터에 제51A도에 보이는 바와 같이 저항 R3, R4 및 캐퍼시터 C1, C2가 설치된다.

즉, 저항 R3은 제3 부하 소자의 일예이고, 트랜지스터 TP3의 게이트와 출력 OUT3의 사이에 접속된다. 저항 R3은 트랜지스터 TP3의 온 동작에도 의존하지만 수 [KΩ] 정도의 저항치를 설정한다.

저항 R4는 제4 부하 소자의 일예이고, 트랜지스터 TP4의 게이트와 출력 OUT2의 사이에 접속된다. 저항 R4는 트랜지스터 TP4의 온 동작에도 의존하지만 수 [KΩ] 정도의 저항치를 설정한다.

커패시터 C1는 제1 커패시터 C1의 일예이고, 출력 OUT1과 접지선 GND의 사이에 접속된다. 커패시터 C2는 제2 커패시터 C2의 일예이고 출력 OUT2와 접지선 GND의 사이에 접지된다. 또 저항 R3, 커패시터 C1는 적분회로를 구성하고 출력 OUT1의 전위 레벨을 지연하여 트랜지스터 TP3의 게이트에 그 지연 신호를 출력한다. 동일하게 저항 R4, 커패시터 C2는 적분 회로를 구성하고 출력 OUT2의 전위 레벨을 지연하여 트랜지스터 TP4의 게이트에 그 지연신호를 출력한다.

적분 회로의 시정수는 출력 OUT1, OUT2에 접속되는 부하(인버터 회로등)에 따라서 조정한다. 예컨대, 부하 회로의 임계치 전압으로 이르는 파형 상승 시간에 동등하게 되도록 시정수를 조정한다. 이로 말미암아 고속으로 다음단에 신호를 전달하는 것이 가능해진다. 또 그외의 구성은 제11의 실시예와 동일하기 때문에 그 설명을 생략한다.

다음에 당해 레벨 컨버터의 동작에 대하여 제51B도, 제52A도~제52D도를 참조하면서 설명한다.

예컨대 제51B도에 보이는 바와 같이 입력 IN이 「H」레벨이 되는 정상시에는 트랜지스터 TN1의 게이트에 입력 신호 SIN =「H」 레벨이 공급되고 또 트랜지스터 TN2의 게이트에 입력 반전 신호 $\overline{SIN}$ =「L」레벨이 공급된다. 이로 인하여 제52A도의 등가 회로에 보이는 바와 같이, 트랜지스터 TN1, TP3가 온 동작 상태로 되고 트랜지스터 TN2, TP1, TP2, TP4가 오프 동작 상태로 되어 출력 OUT가 「H」레벨, 출력 OUT1이 「L」레벨이 된다.

반대로 입력 IN이 「L」레벨이 되고 정상 시에는 트랜지스터 TN2의 게이트에 제52B도에 보이는 바와 같이 입력 반전 신호 $\overline{SIN}$ =「H」 레벨이 공급되고, 또, 트랜지스터 TN1의 게이트에 입력 신호 SIN =「L」레벨이 공급된다. 이로 인하여 제52B도의 등가 회로에 보이는 바와 같이, 트랜지스터 TN2, TP4가 온 동작 상태로 되고 트랜지스터 TN1, TP1, TP2가 오프 동작 상태로 되어 출력 OUT1이 「H」레벨, 출력 OUT2가「L」레벨이 된다.

그리고, 입력 IN이 「H」→「L」레벨로 천이 하는 경우에는 트랜지스터 TN1의 게이트에 제51B도에 보이는 바와 같은 입력 신호 SIN =「H」→「L」레벨이 공급되고, 또, 트랜지스터 TN2의 게이트에 입력 반전 신호 $\overline{SIN}$ =「L」→「H」레벨이 공급된다.

이로 말미암아 제52C도에 보이는 바와 같이 트랜지스터 TN2의 오프→온 동작에 이어서 트랜지스터 TP1이 빨리 오프→온 동작으로 천이 하고, 출력 OUT1의 전위가 「L」→「H」레벨로 급격히 상승한다. 트랜지스터 TP1는 일순 온 동작한 후, 곧 오프 동작이 된다. 또 트랜지스터 TN1의 온→오프 동작시 트랜지스터 TP2는 오프 동작한 채로이고, 출력 OUT2의 전위가 「H」→「L」레벨로 급격하게 강하한다. 이때에 출력 OUT1의 「L」→「H」레벨이 저항 R3과 커패시터 C1에 의하여 지연되고 그 게이트 제어 신호 SG_{P3}가 트랜지스터 TP3에 공급되고, 그것이 온→오프 동작으로 천이 한다. 또 트랜지스터 TN1의 온→오프 동작시 트랜지스터 TP2는 오프 동작한 채이고, 출력 OUT2의 전위가 「H」→「L」레벨로 급격하게 강하한다.

반대로 입력 IN이 「L」→「H」레벨로 천이할 경우에는 트랜지스터 TN1의 게이트에 제51B도에 보이는 바와 같은 입력 신호 SIN =「L」→「H」레벨이 공급되고, 또, 트랜지스터 TN2의 게이트에 입력 반전 신호 $\overline{SIN}$ =「H」→「L」레벨이 공급된다. 이로 인하여 제52D도에 보이는 바와 같이 트랜지스터 TN1이 오프→온 동작시, 트랜지스터 TP2가 빨리 오프→온 동작으로 천이하고, 출력 OUT2의 전위가 「L」→「H」레벨로 급격하게 상승한다. 트랜지스터 TP2는 일순 온 동작한 뒤 곧 오프 동작을 한다.

이때에 출력 OUT2의 「L」→「H」레벨이 저항 R4과 커패시터 C2에 의하여 지연되고 그 게이트 제어 신호 SG_{P4}가 트랜지스터 TP4에 공급되고, 그것이 온→오프 동작으로 천이 한다. 또 트랜지스터 TN2의 온→오프 동작시 트랜지스터 TP1은 오프 동작 상태이고, 출력 OUT1의 전위가 「H」→「L」레벨로 급격하게 하강한다.

이 반복 동작에 의하여 제11~제16의 실시예와 같이, 3[V] 구동 시스템에서 신호 처리된 신호 레벨을 5[V] 구동 시스템의 신호 처리가 가능한 전위 레벨로 변환할 수 있다.

이와 같이 하여 본 발명의 제17의 실시예에 관한 레벨 컨버터에 의하면 제 51A도에 보이는 바와 같이, 저항 R3, R4, 커패시터 C1, C2가 구비된다.

이 때문에 출력 OUT1의 전위 레벨을 저항 R3과 커패시터 C1에 의하여 지연한 게이트 제어 신호 SG_{P3}를 트

랜지스터 TP3의 게이트에 공급할 수 있다. 또 출력 OUT2의 전위 레벨을 저항 R4과 커패시터 C2에 의하여 지연한 게이트 제어 신호 SG_{P4}를 트랜지스터 TP4의 게이트에 공급할 수 있다.

이로 말미암아 제14, 제16의 실시예와 동일하게 입력 IN이 「H」→「L」레벨로 천이할 때나 「L」에서「H」레벨로 천이할 때에 출력 OUT1이 고속으로 「L」에서「H」레벨로 천이 하는 일 및 출력 OUT2를 고속으로 「L」에서「H」레벨로 천이시킬 수 있다.

이로 인하여 제11~제16 레벨 컨버터와 같이, 제2 구동 전원 시스템 VDD2, GND에 접속된 트랜지스터 TP1, TN1 사이의 관통 전류나 트랜지스터 TP2, TN2 사이의 관통 전류를 없앨 수 있게 된다. 이로 인하여 회로 소비 전력의 저감화 및 회로 동작의 고속화를 도모할 수 있게 된다.

[실시예 18]

[제18의 적합한 실시예의 설명]

제18의 실시예에서는 제17의 실시예의 레벨 컨버터에 제53A도에 보이는 바와 같이, 트랜지스터 TP5, TP6이 설치되고 제14의 실시예에 관한 저항 R1, R2의 기능을 갖게하는 것이다. 즉 트랜지스터 TP5는 제14의 실시예에 관한 저항 R1의 접속 위치에 설치된다. 트랜지스터 TP5는 접속점 q2과 전원선 VDD2의 사이에 접속되고, 그 게이트가 접지선 GND에 접속된다. 트랜지스터 TP5는 트랜지스터 TN2의 온 저항에 의하나, 수[KΩ] 정도의 온 저항치를 갖는다.

트랜지스터 TP6는 접속점 q1과 전원선 VDD2의 사이에 접속되고 그 게이트가 접지선 GND에 접속된다. 또 트랜지스터 TP6는 트랜지스터 TN1의 온 저항에 의하는데, 수[KΩ] 정도의 온 저항치를 갖는다. 기타의 구성은 제14, 제17의 실시예와 동일하기 때문에 그 설명을 생략한다.

이와 같이 하여 본 발명의 제18의 실시예에 관한 레벨 컨버터에 의하면 제 39(A)도에 보이는 바놔 같이 트랜지스터 TP5, TP6이 설치되고, 저항 R1, R2의 기능을 가지게 하고 있다.

이 때문에 입력 IN이 「H」→「L」레벨로 천이할 때에는 제53B도에 보이는 바와 같이 출력 OUT1의 「L」→「H」레벨을 저항 R3과 커패시터 C1에 의하여 지연하고, 그 게이트 제어 신호 SG_{P3}를 트랜지스터 TP3의 게이트에 공급할 수 있고, 트랜지스터 TP3를 온→지연해서 오프 동작으로 천이시킬 수 있다. 이때에 출력 OUT2의 전위 레벨은 트랜지스터 TP5의 정상 온 저항 R_{P5}과 트랜지스터 TN2의 온 저항의 비로 결정된다.

또 입력 IN이 「L」→「H」레벨로 천이할 때에 출력 OUT의 「L」→「H」레벨을 저항 R4과 커패시터 C2에 의하여 지연하고, 그 게이트 제어 신호 SG_{P4}를 트랜지스터 TP4의 게이트에 공급할 수 있고, 트랜지스터 TP4를 온→지연해서 오프 동작으로 천이시킬 수 있다. 이때에 출력 OUT1의 전위 레벨은 온 저항 R_{P6}과 트랜지스터 TN1의 온 저항의 비로 결정된다.

이로 인하여 제14의 실시예와 같이 입력 IN이 「H」에서「L」레벨로 천이할 때나, 「L」에서「H」레벨로 천이할 때에 출력 OUT1이 고속으로 「L」에서「H」레벨로 천이 하는 일 및 출력 OUT2을 고속으로 「L」에서「H」레벨로 천이시킬 수 있다.

이로 인하여 제14의 실시예와 같이 구동 전원 시스템 VDD2, GND에 접속된 트랜지스터 TP1, TN1 사이의 관통 전류나 트랜지스터 TP12, TN2의 관통 전류를 없애는 것이 가능해진다. 이로 말미암아 회로 소비 전력의 저감화 및 회동 동작의 고속화를 도모할 수 있게 된다.

[실시예 19]

[제19의 적합한 실시예의 설명]

제19의 실시예에서는 제15의 실시예의 레벨 컨버터에 제54A도에 보이는 바와 같은 적분 회로 CR1, CR2가 설치된다.

즉, 적분 회로 CR1은 인버터 INV1와 출력 OUT1의 사이에 접속되고 저항 R3과 커패시터 C1으로 이루어진다. 그 기능은 출력 OUT1의 전위 레벨을 지연하여 인버터 INV1에 지연 신호를 출력한다. 또 저항 R3은 인버터 INV1의 입력과 출력 OUT1의 사이에 접속되고, 커패시터 C1는 그 접속점과 접지선 GND의 사이에 접속된다.

동일하게 적분 회로 CR2는 인버터 INV2와 출력 OUT2의 사이에 접속되고 저항 R4과 커패시터 C2으로 이루어진다. 그 기능은 출력 OUT2의 전위 레벨을 지연하여 인버터 INV2에 그 지연 신호를 출력한다. 또 저항 R4은 인버터 INV2의 입력과 출력 OUT2의 사이에 접속되고, 커패시터 C2는 그 접속점과 접지선 GND의 사이에 접속된다.

또 적분회로 CR1, CR2 시정수는 출력 OUT1, OUT2에 접속되는 부하(인버터 회로등)에 따라서 조정한다. 예컨대 부하 회로의 임계치 전압에 이르는 파형 상승 시간에 같게 되도록 시정수를 조정한다. 이로 인하여 고속으로 다음단에 신호를 전달할 수 있게 된다. 기타의 구성은 제11의 실시예와 동일하므로 그 설명을 생략한다.

다음에 당해 레벨 컨버터의 동작에 대하여 제54B도, 제55A~제55D도를 참조하면서 설명한다.

예컨대 제54B도에 도시한 바와 같이 입력 IN이 「H」레벨이 되는 정상시에는 트랜지스터 TN1의 게이트에 입력 신호 SIN =「H」 레벨이 공급되고, 또 트랜지스터 TN2의 게이트에 입력 반전 신호 $\overline{SIN}$ =「L」레벨이 공급된다. 이로 말미암아 제55A도의 등가 회로에 보이는 바와 같이, 트랜지스터 TN1, TP3가 온 동작 상태로 되고 트랜지스터 TN2, TP1, TP2, TP4가 오프 동작 상태로 되어, 출력 OUT2가 「H」레벨, 출력 OUT1이「L」레벨이 된다.

반대로 입력 IN이 「L」레벨이 되는 정상시에는 트랜지스터 TN2의 게이트에, 제55B도에 보이는 바와 같은

입력 신호 SIN =「L」 레벨이 공급되고 또 트랜지스터 TN1의 게이트에 입력 반전 신호 $\overline{SIN}$ =「L」레벨이 공급된다. 이로 말미암아 제55B도의 등가 회로에 보이는 바와 같이, 트랜지스터 TN2, TP4가 온 동작 상태로 되고, 트랜지스터 TN1, TP1, TP2, TP3가 오프 동작 상태로 되어 출력 OUT1가 「H」레벨, 출력 OUT2이「L」레벨이 된다.

또 입력 IN이 「H」→「L」레벨로 천이할 경우에는 트랜지스터 TN1의 게이트에 제54B도에 보이는 바와 같은 입력 신호 SIN =「H」→「L」레벨이 공급되고 또 트랜지스터 TN2의 게이트에 입력 반전 신호 $\overline{SIN}$ = 「L」→「H」레벨이 공급된다.

이로 말미암아 제55C도에 보이는 바와 같이 트랜지스터 TN2의 오프→온 동작시 트랜지스터 TP1이 빨리 오프→온 동작으로 천이하고 출력 OUT1의 전위가 「L」→「H」레벨로 급격하게 상승한다. 트랜지스터 TP1은 일순 온 동작한 뒤, 즉시 오프 동작한다. 또 트랜지스터 TN1의 온→오프 동작시 트랜지스터 TP2는 오프 동작한 채이고 출력 OUT2의 전위가 「H」→「L」레벨로 급격하게 상승한다. 이때에 출력 OUT1의 「L」→「H」레벨이 적분 회로 CR1에 의하여 지연되고, 그 게이트 제어 신호 SG_{P4}가 트랜지스터 TP4에 공급되고, 그것이 오프→온 동작으로 천이 한다. 또 트랜지스터 TN1의 온→오프 동작시 트랜지스터 TP2는 오프 동작한 채이고, 출력 OUT2의 전위가 「H」→「L」레벨로 급격하게 하강한다.

반대로 입력 IN이 「L」→「H」레벨로 천이할 경우에는 트랜지스터 TN1의 게이트에 제54B도에 보이는 바와 같은 입력 신호 SIN =「L」→「H」레벨이 공급되고 또 트랜지스터 TN2의 게이트에 입력 반전 신호 $\overline{SIN}$ =「H」→「L」레벨이 공급된다. 이로 말미암아 제55D도에 보이는 바와 같이 트랜지스터 TN1의 오프→온 동작시 트랜지스터 TP2이 빨리 오프→온 동작으로 천이하고 출력 OUT2의 전위가 「L」→「H」레벨로 급격하게 상승한다. 트랜지스터 TP2은 일순 온 동작한 뒤 즉시 오프 동작한다.

이때에 출력 OUT2의 「L」→「H」레벨이 적분 회로 CR2에 의하여 지연되고, 그 게이트 제어 신호 SG_{P3}가 트랜지스터 TP3에 공급되고 그것이 오프→온 동작으로 천이 한다. 또 트랜지스터 TN2의 온→오프 동작시 트랜지스터 TP1는 오프 동작한 채이고, 출력 OUT1의 전위가 「H」→「L」레벨로 급격하게 하강한다.

이 반복 동작에 의하여 제11～제18의 실시예와 같이 3[V] 구동 시스템로 신호 처리된 신호 레벨을 5[V] 구동 시스템의 신호 처리 가능한 전위 레벨로 변환 할 수 있다.

이와 같이 하여 본 발명의 제19의 실시예에 관한 레벨 컨버터에 의하면 제54A도에 보이는 바와 같이, 인버터 INV1, INV2의 전단에 적분 회로 CR1, CR2가 접속된다.

이 때문에 입력 IN이 「H」→「L」레벨로 천이할 때나 「L」→「H」레벨로 천이할 때에 출력 OUT1의 전위 레벨을 적분 회로 CR1와 인버터 INV1에 의하여 지연한 게이트 제어 신호 SG_{P4}를 트랜지스터 TP4의 게이트에 공급할 수 있고, 출력 OUT2의 전위 레벨을 적분 회로 CR2와 인버터 INV2에 의하여 지연한 게이트 제어 신호 SG_{P3}를 트랜지스터 TP3의 게이트에 공급할 수 있다. 이로 말미암아 출력 OUT1을 고속으로 「L」에서 「H」레벨로 천이는 일 및 출력 OUT2을 고속으로 「L」에서「H」레벨로 천이시킬수 있다.

이로 인하여 제11～제18레벨 컨버터와 같이 제2 구동 전원 시스템 VDD2, GND에 접속된 트랜지스터 TP1, TN1 사이의 관통 전류나 트랜지스터 TP2, TN2의 관통 전류를 없앨 수 있다. 이로 말미암아 회로 소비 전력의 저감화 및 회동 동작의 고속화를 도모할 수 있게 된다.

[실시예 20]

[제20의 적합한 실시예의 설명]

제20의 실시예에서는 제19의 실시예의 레벨 컨버터에 제56A도에 보이는 바와 같이 트랜지스터 TP5, TP6가 설치되고 제14의 실시예에 관한 저항 R1, R2의 기능을 지니게 하는 것이다. 트랜지스터 TP5는 접속점 q2과 전원선 VDD2의 사이에 접속되고 그 게이트가 접지선 GND에 접속된다. 트랜지스터 TP5는 트랜지스터 TN2의 온 저항에 의하는데, 수[KΩ] 정도의 온 저항치를 갖는다.

트랜지스터 TP6는 접속점 q1과 전원선 VDD2의 사이에 접속되고 그 게이트가 접지선 GND에 접속된다. 트랜지스터 TP6는 트랜지스터 TN1의 온 저항에 의존하는데, 수[KΩ] 정도의 온 저항치를 갖는다. 기타의 구성은 제14, 제19의 실시예와 같으므로 그 설명을 생략한다.

이와 같이 하여 본 발명의 제20의 실시예와 같은 레벨 컨버터에 의하면 제56A도에 보이는 바와 같이 트랜지스터 TP5, TP6이 설치되고 저항 R1, R2의 기능을 가지게 하고 있다.

이 때문에 입력 IN이 「H」→「L」레벨로 천이할 때에는 제56B도에 보이는 바와 같이 출력 OUT1의 「L」→「H」레벨 적분 회로 CR1에 의하여 지연하고, 그 게이트 제어신호SG_{P4}를 트랜지스터 TP4의 게이트에 공급할 수 있고 트랜지스터 TP4를 오프→늦어서 온 동작으로 천이시킬 수 있다. 이때에, 출력 OUT2의 전위 레벨은 트랜지스터 TP5의 정상 온 저항 R_{P5} 과 트랜지스터 TN2의 온 저항의 비로 결정된다.

또, 입력 IN이 「L」→「H」레벨로 천이할 때에 출력 OUT2의 「L」→「H」레벨 적분 회로 CR2에 의하여 지연하고, 그 게이트 제어신호 SG_{P3}를 트랜지스터 TP3의 게이트로 공급할 수 있고 트랜지스터 TP3을 온→지연 오프 동작으로 천이시킬 수 있다. 이때에, 출력 OUT1의 전위 레벨은 정상 온 저항 R_{P6} 과 트랜지스터 TN1의 온 저항의 비로 결정된다.

이로 인하여 제14의 실시예와 같이 입력 IN이 입력 IN이 「H」에서「L」레벨로 천이할 때나, 「L」에서「H」레벨로 천이할 때에 출력 OUT1의 고속으로 「L」에서「H」레벨로 천이 하는 일 및 출력 OUT2을 고속으로 「L」에서「H」레벨로 천이시킬수 있다.

이로 말미암아 제14, 제19의 실시예와 같이 구동 전원 시스템 VDD2, GND에 접속된 트랜지스터 TP1, TN1

사이의 관통 전류나 트랜지스터 TP2, TN2의 관통 전류를 없앨 수 있다. 이로 말미암아 회로 소비 전력의 저감화 및 회로 동작의 고속화를 도모할 수 있게 된다.

이상 설명한 제11~제20의 실시예에 관한 레벨 컨버터에서는 접지선 GND의 전위 레벨을 기준으로 하여 전원선 VDD1, VDD2가 고전위 전원에 접속되나 다음에 설명하는 본 발명의 제21~제30의 실시예에 관한 컨버터에서는 접지선 GND의 전위 레벨을 기준으로 하여 전원선 GND1, GNDD2를 저전위 전원에 접속하는 트랜지스터 회로의 구성을 나타내고 있다.

[실시예 21]

[제21의 적합한 실시예의 설명]

본 발명의 제21 레벨 컨버터는 제57A도에 보이는 바와 같이 인버터 INV, 트랜지스터 TN1~TN3, TP1, TP2 및 저항 R1, R2가 구비되고 그들 전원 접속 방법이 제11~제20의 실시예와 다르다.

즉, 인버터 INV는 제1 구동 전원 시스템이 되는 전원선 VDD(0[V]), 접지선(구동 전압-VS1=-3[V] 정도) GND1의 사이에 접속된다. 또 인버터 INV 대신에 제1의 실시예에서 채용하는 제25A도에 보이는 바와 같은 입력 래치 회로 11A를 사용해도 된다.

트랜지스터 TP1는 제1 트랜지스터 T1의 일예이고, P형 전계효과 트랜지스터(이하 단지 트랜지스터라 한다)로 이루어진다. 트랜지스터 TP1의 소오스는 전원선 VDD에 접속되고 그 드레인이 트랜지스터 TN1의 드레인에 접속(이하 직렬 접속이라고도 한다)되어서 출력 OUT1에 접속된다. 트랜지스터 TP1의 게이트는 인버터 INV의 입력 IN에 접속된다.

트랜지스터 TN1는 제2 트랜지스터 T2의 일예이고, n 형 전계효과 트랜지스터(이하 단지 트랜지스터라 한다)로 이루어진다. 트랜지스터 TN1의 소오스는 접지선(구동 전압-VS2 = -5(V) 정도) GND2에 접속되고 그 게이트가 저항 R1의 일단과 트랜지스터 TN3의 접속선 q2에 접속된다.

트랜지스터 TP2는 제3 트랜지스터 T3의 일예이고, P형 전계효과 트랜지스터로 이루어진다. 트랜지스터 TP2의 소오스는 전원선 VDD에 접속되고 그 드레인이 트랜지스터 TN2의 드레인에 접속되어서 출력 OUT2에 접속된다. 트랜지스터 TP2의 게이트는 인버터 INV의 입력 OUT에 접속된다.

트랜지스터 TN2는 제4 트랜지스터 T4의 일예이고, n 형 전계효과 트랜지스터로 이루어진다. 트랜지스터 TN2의 소오스는 접지선 GND2에 접속되고, 그 게이트가 저항 R2의 일단과 트랜지스터 TN4의 접속점 q1에 접속된다.

트랜지스터 TN3는 제5 트랜지스터 T5의 일예이고, 트랜지스터 TN4는 제6 트랜지스터 T6의 일례인 바, 모두 n 형 전계효과 트랜지스로 이루어진다. 트랜지스터 TN3의 드레인은 트랜지스터 TN4의 게이트에 접속되어서 출력 OUT2에 접속된다. 트랜지스터 TN3의 게이트는 트랜지스터 TN4의 드레인에 접속되어서 출력 OUT1에 접속된다.

저항 R1은 접속점 q2과 접지선 GND2의 사이에 접촉되고 트랜지스터 TN2의 온 저항에 의존하는데, 수[KΩ] 정도의 저항치를 갖는다. 저항 R2는 접속점 q1과 지선 GND2의 사이에 접촉되고 트랜지스터 TN1의 온 저항에 의존하는데, 수[KΩ] 정도의 저항치를 갖는다. 기타의 구성은 제11의 실시예와 같으므로 그 설명을 생략한다.

이와 같이 하여 본 발명의 제21의 실시예에 관한 레벨 컨버터에 의하면 제 57A도에 보이는 바와 같이, 인버터 INV, 트랜지스터 TN1~TN4, TP1, TP2, 저항 R1, R2가 구비된다.

이 때문에 입력 신호 SIN가「L」→「H」레벨로 천이할 때에 트랜지스터 TN3가 온→오프 동작으로 천이하고 트랜지스터 TN4가 오프→온 동작으로 천이한다. 트랜지스터 TN2는 오프 동작하고 트랜지스터 TN1는 일순 온 동작한다. 이때에 출력 OUT2의 전위 레벨은 저항 R1과 트랜지스터 TN3, TP2의 온 저항의 비로 결정된다.

예컨대 트랜지스터 TN1이 임계치 전압 Vth 보다 낮아지도록 온 저항의 비를 설정하면, 트랜지스터 TN3가 오프 동작하고 트랜지스터 TN1의 게이트 저압이 저항R1에 의하여 「L」레벨로 설정된다. 또 트랜지스터 TN4가 온 동작을 저항 R2에 의하여 「L」레벨이 출력 OUT1에 전달되고, 출력 OUT1가 고속으로 「H」→「L」레벨로 천이 한다.

반대로 입력 신호 SIN가「H」→「L」레벨로 천이할 때에 트랜지스터 TP1, TN2이 오프→온 동작으로 천이하고 트랜지스터 TP1, TN4가 온→오프 동작으로 천이한다. 트랜지스터 TN2는 일순 온 동작하고 트랜지스터 TN1는 오프 동작한다. 이때에 출력 OUT1의 전위 레벨은 저항 R2과 트랜지스터 TP1, TN4의 온 저항의 비로 결정된다. 예컨대 트랜지스터 TN2이 임계치 전압 Vth 보다 낮아지도록 온 저항의 비를 설정하면 트랜지스터 TN4가 온→오프 동작으로 천이하고 트랜지스터 TN2의 게이트 저압이 저항R2에 의하여 「L」레벨로 설정된다. 또 트랜지스터 TN3가 온 동작을 저항 R1에 의하여 「L」레벨이 출력 OUT2에 전달되고, 출력 OUT2가 고속으로 「L」→「H」레벨로 천이 한다.

이것에 의하여, -3[V] 구동 시스템에서 신호 처리된 ECL 신호 레벨을 -5[V] 구동 시스템의 신호 처리 가능한 전위 레벨로 변환할 수 있다. 또 구동 전원시스템 VDD, GND2에 접속된 트랜지스터 TP1, TN1 사이의 관통 전류나 트랜지스터 TP2, TN2 사이의 관통 전류를 없앨 수 있게 된다. 이로 말미암아 당해 레벨 컨버터의 회로 소비 전력의 저감화를 도모하는 일 및 제11의 실시예와 같이 회로 동작의 고속화를 도모할 수 있게 된다.

[실시예 22]

[제22의 적합한 실시예의 설명]

제22의 실시예에서는 제21의 실시예와 달리 제58A도에 보이는 바와 같이 트랜지스터 TN5, TN6이 설치되고 인버터 INV 대신 입력 래치 회로 11A를 설치한 것이다.

즉, 트랜지스터 TN5는 제7 트랜지스터 T7의 일예이고, n 형 전계효과 트랜지스터로 구성된다. 트랜지스터 TN5는 제21의 실시예에 관한 R1의 접속 위치에 설치된다. 트랜지스터 TN5는 접속점 q2 과 접지선 GND2에 접속되고, 그 게이트가 전원선 VDD2에 접속된다. 트랜지스터 TN5는 트랜지스터 TP2의 온 저항에 의존하는데 수[KΩ] 정도의 저항치를 갖는다.

트랜지스터 TN6는 제8 트랜지스터 T8의 일예이고, n 형 전계효과 트랜지스터로 구성된다. 트랜지스터 TN6는 접속점 q1과 접지선 GND2의 사이에 접속되고, 그 게이트가 전원선 VDD2에 접속된다. 트랜지스터 TN6는 트랜지스터 TP1의 온 저항에 의하나, 수[KΩ] 정도의 저항치를 갖는다. 기타의 구성은 제21의 실시예와 같으므로, 그 설명을 생략한다.

이와 같이 하여 본 발명의 제22의 실시예에 관한 레벨 컨버터에 의하면 제 58A도에 보이는 바와 같이, 트랜지스터 TN1~TN6, TP1, TP2가 구비되고 트랜지스터 TN5, TN6가 제21의 실시예에 관한 레벨 컨버터의 저항 R1, R2의 접속 위치로 치환된다.

이 때문에 트랜지스터 TN5, TN6의 정상 온 저항 R_{N5}, R_{N6}에 의하여 제 21의 실시예에 관한 레벨 컨버터의 저항 R1, R2의 기능을 대체할 수 있다. 예컨대 제58B도에 보이는 바와 같이 입력 신호 SIN가 「L」→「H」레벨로 천이할 때에 트랜지스터 TP2, TN4가 오프→온 동작으로 천이하고 트랜지스터 TP1, TN3가 온→오프 동작으로 천이 한다. 이때 트랜지스터 TN2는 오프 동작을 한채, 트랜지스터 TN1는 일순 온 동작한다. 이때에 출력 OUT2의 전위 레벨은 트랜지스터 TN5의 정상 온 저항 R_{N5}과 트랜지스터 TP2의 온 저항의 비로 결정된다.

요컨대 트랜지스터 TN1이 임계치 전압 Vth 보다 낮아지도록 온 저항 R_{N5}를 설정하고 회로의 온 저항의 비를 설정하면 트랜지스터 TN3가 오프 동작을 하고 트랜지스터 TN1의 게이트 전압이 온 저항 R_{N5}에 의하여 「L」레벨로 설정된다. 또 트랜지스터 TN4가 온 동작을 하고 트랜지스터 TN6의 정상 온 저항 R_{N6}에 의하여 「L」레벨이 출력 OUT1에 전달되고, 출력 OUT1가 고속으로 「H」→「L」레벨로 천이 한다.

반대로 입력 신호 SIN가 「H」→「L」레벨로 천이할 때에 트랜지스터 TP1, TN3가 온→오프 동작으로 천이하고 트랜지스터 TP2, TN4가 오프→온 동작으로 천이 한다. 이때 트랜지스터 TN2는 일순 온 동작을 하고 트랜지스터 TN1는 오프 동작을 한다.

이때에 출력 OUT1의 전위 레벨은 항상 온 저항 R_{P6}과 트랜지스터 TP1의 온 저항의 비로 결정된다. 예컨대 트랜지스터 TN2이 임계치 전압 Vth 보다 낮아지도록 정상 온 저항 R_{N6}을 설정하고, 회로의 온 저항의 비를 설정하면, 트랜지스터 TN4가 온→오프 동작을 천이하고 트랜지스터 TN2의 게이트 전압이 온 저항 R_{N5}에 의하여 「L」레벨로 설정된다.

또 트랜지스터 TN3가 온 동작을 하고 정상 온 저항 R_{N5}에 의하여 「L」레벨이 출력 OUT2에 전달되고, 출력 OUT2이 고속으로 「H」→「L」레벨로 천이 한다.

이로 인하여 제21의 실시예와 같이 구동 전원 시스템 VDD, GND2에 접속된 트랜지스터 TP1, TN1 사이의 관통 전류나 트랜지스터 TP2, TN2 사이의 관통 전류를 없앨 수 있다. 이로 말미암아 회로 소비 전력의 저감화 및 회로 동작의 고속화를 도모할 수 있다.

[실시예 23]

[제23의 적합한 실시예의 설명]

제23의 실시예에서는 제21의 실시예와 달리, 제59A도에 보이는 바와 같이 홀수 개의 인버터 INV1, INV2가 설치되는 것이다.

예컨대 홀수 개의 인버터 INV의 일예가 되는 1개의 인버터 INV1가 트랜지스터 TPN의 게이트와 출력 OUT1의 사이에 접속된다. 인버터 INV1는 전원선 VDD, 접지선 GND2에 접속되고 출력 OUT1의 전위 레벨을 지연하여 트랜지스터 TN4의 게이트 제어를 한다. 동일하게 1개의 인버터 INV2는 트랜지스터 TN3의 게이트와 출력 OUT2의 사이에 접속된다. 인버터 INV2는 전원선 VDD, 접지선 GND2에 접속되고 출력 OUT2의 전위 레벨을 지연하여 트랜지스터 TN3의 게이트 제어를 한다. 또 기타의 구성은 제21의 실시예와 동일하므로 그 설명을 생략한다.

이와 같이 하여 본 발명의 제23의 실시예에 관한 레벨 컨버터에 의하면 제 59A도에 보이는 바와 같이 홀수 개의 인버터 INV1, INV2가 설치되고, 인버터 INV2가 트랜지스터 TN3의 게이트와 출력 OUT2의 사이에 접속되고 인버터 INV1가 트랜지스터 TN4의 게이트와 출력 OUT1의 사이에 접속된다.

이 때문에 입력 신호 SIN가 「L」→「H」레벨로 천이할 때, 제59B도에 보이는 바와 같이 출력 OUT1의 「H」→「L」레벨을 인버터 INV1에 의하여 지연하고, 그 게이트 제어 신호 SG_{N4}를 트랜지스터 TN4에 공급할 수 있고 트랜지스터 TN4를 오프→지연 온 동작으로 천이시킬 수 있다.

또 입력 신호 SIN가 「H」→「L」레벨로 천이할 때에 출력 OUT2의 「L」→「H」레벨을 인버터 INV2에 의하여 지연하고, 그 게이트 제어 신호 SG_{N3}를 트랜지스터 TN3에 공급할 수 있고 트랜지스터 TN3를 오프→지연 온 동작으로 천이시킬 수 있다.

이로 말미암아, 제21의 실시예에 비하여 입력 신호 SIN가 「L」에서「H」레벨로 천이할 때나, 「H」에서「L」레벨로 천이할 때에 출력 OUT1이 고속으로 「L」에서「H」레벨로 천이 하는 일 및 출력 OUT2을 고속으로 「L」에서「H」레벨로 천이시킬 수 있다.

이로 인하여 제21의 실시예와 같이 구동 전원 시스템 VDD, GND2에 접속된 트랜지스터 TP1, TN1 사이의 관통 전류나 트랜지스터 TP2, TN2 사이의 관통 전류를 없앨 수 있다. 이로 말미암아 회로 소비 전력의 저감화 및 회로 동작의 고속화를 도모할 수 있게 된다.

[실시예 24]

[제24의 적합한 실시예의 설명]

제24의 실시예에서는 제23의 실시예와 달리, 제60A도에 보이는 바와 같이, 짝수 개의 인버터 INV12, INV22가 설치되는 것이다.

예컨대 짝수 개의 인버터 INV의 일예가 되는 2개의 인버터가 트랜지스터 TN3의 게이트와 출력 OUT1의 사이에 접속되고 인버터 INV12를 구성한다.

인버터 INV12는 전원선 VDD, 접지선 GND2에 접속되고, 제23의 실시예와 달리, 출력 OUT1의 전위 레벨을 지연하여 트랜지스터 TN3의 게이트 제어를 한다. 동일하게 인버터 INV22는 트랜지스터 TN4의 게이트와 출력 OUT2의 사이에 접속된다. 인버터 INV22는 전원선 VDD, 접지선 GND2에 접속되고, 제13의 실시예와 달리 출력 OUT2의 전위 레벨을 지연하여 트랜지스터 TN4의 게이트를 제어한다.

또 인버터 INV12, INV22는 출력 OUT1, OUT2에 접속되는 부하(인버터 회로등)에 따라서 단수를 조정한다. 예컨대 부하 회로의 임계치 전압에 이르는 파형 상승 시간에 같이 되도록 딜레이 시간을 조정한다. 이로 인하여 고속으로 다음단에 신호를 전달할 수 있게 된다. 기타의 구성은 제21의 실시예와 같으므로 그 설명을 생략한다.

이와 같이 하여 본 발명의 제24의 실시예에 관한 레벨 컨버터에 의하면 제60A도에 보이는 바와 같이 짝수 개의 인버터가 설치되고 그 직렬 접속된 인버터 INV12가 트랜지스터 TN3의 게이트와 출력 OUT1의 사이에 접속되고 인버터 INV22가 트랜지스터 TN4의 게이트와 출력 OUT2의 사이에 접속된다.

이 때문에 제60B도에 보이는 바와 같이 입력 신호 SIN가 「L」→「H」레벨로 천이할 때 인버터 INV12의 지연 시간을 거쳐 트랜지스터 TN3가 오프 동작을 하고 트랜지스터 TN1의 게이트 전압이 저항 R1에 의하여 「L」레벨에 설정한다. 이로 인하여 트랜지스터 TN4가 온 동작하고 저항 R2에 의하여「L」레벨이 출력 OUT1에 전달된다.

이때 트랜지스터 TP2→출력 OUT2→트랜지스터 TN1→출력 OUT1→인버터 INV12→트랜지스터 TN3→저항 R1→트랜지스터 TN1을 순환하는 제1의 신호 전달 경로와 트랜지스터 TP2→출력 OUT→인버터 INV22→트랜지스터 TN4→저항 R2→출력 OUT1을 순환하는 제2의 신호 전달 경로가 구성된다.

이 제1의 신호 전달 경로에 의하여 출력 OUT1을 「H」→「L」레벨로 고속으로 천이시킬 수 있고 이 신호 전달 경로에서 하강한 뒤에 제2의 신호 전달 경로에 의하여 그 전위를 유지하고 천이 상태를 계속시킬 수 있게 되고 출력 OUT1이 고속으로 「H」→「L」레벨로 천이 한다.

반대로 입력 신호 SIN가 「H」→「L」레벨로 천이할 때 트랜지스터 TN4가 인버터 INV22의 지연시간을 거쳐 온→오프 동작으로 천이하고 트랜지스터 TN2의 게이트 전압이 저항 R2에 의하여 「L」레벨에 설정되고 트랜지스터 TN3를 온 동작하고 저항 R1에 의하여「L」레벨이 출력 OUT2으로 전달된다.

이때 트랜지스터 TP1→출력 OUT1→트랜지스터 TN2→출력 OUT2→인버터 INV22→트랜지스터 TN4→저항 R2→트랜지스터 TN2을 순환하는 제3의 신호 전달 경로와 트랜지스터 TP1→출력 OUT1→인버터 INV12→트랜지스터 TN3→저항 R1→출력 OUT2을 순환하는 제4의 신호 전달 경로가 구성된다.

이때문에 제3의 신호 전달 경로에 의하여 출력 OUT2을 「H」→「L」레벨로 고속으로 천이시킬 수 있고 이 신호 전달 경로에서 상승한 뒤에 제4의 신호 전달 경로에 의하여 그 전위를 유지하고 천이 상태를 지속시킬 수 있게 되어 출력 OUT2이 고속으로 「H」→「L」레벨로 천이 한다.

이로 인하여 인버터 INV12나 INV22에 의하여 신호 전달 시간에 지연을 갖게 하고 그 지연 시간에 트랜지스터 TN3, TN4를 온 동작시킴으로써 출력 OUT1, 출력 OUT2를 「H」에서「L」레벨로 하강시키는 시간을 빨리 할 수 있게 되고, 제21~제23의 실시예에 비하여 회로 동작의 고속화를 도모할 수 있게 된다. 또 구동 전원 시스템 VDD, GND2에 접속된 트랜지스터 TP1, TN1사이의 관통 전류나 트랜지스터 TP2, TN2사이의 관통 전류를 한층 저감할 수 있게 된다. 이로 말미암아 회로 소비 전력의 저감화를 도모할 수 있게 된다.

[실시예 25]

[제25의 적합한 실시예의 설명]

제25의 실시예에서는 제23의 실시예의 레벨 컨버터에 제61도에 보이는 바와 같은 트랜지스터 TN5, TN6이 설치되고, 제23의 실시예에 관한 저항 R1, R2의 기능을 갖게 하는 것이다. 즉 트랜지스터 TN5는 제7 트랜지스터 T7의 일예이고, n형 전계효과 트랜지스터로 이루어진다. 트랜지스터 TN5는 제23의 실시예에 관한 저항 R1의 접촉 위치에 설치된다. 트랜지스터 TN5는 접속점 q2과 접지선 GND2의 사이에 접속되고, 그 게이트가 전원선 VDD에 접속된다. 트랜지스터 TN5는 트랜지스터 TP2의 온 저항에 의하는데, 수[KΩ] 정도의 온 저항치를 갖는다.

트랜지스터 TN6는 제8 트랜지스터 T8의 일예이고 n 형 전계효과 트랜지스터로 이루어진다. 트랜지스터 TN6는 접속점 q1과 접지선 GND2의 사이에 접속되고 그 게이트가 전원선 VDD에 접속된다. 또한 트랜지스터 TN6는 트랜지스터 TP1의 온 저항에 의존하는데, 수[KΩ] 정도의 온 저항치를 갖는다. 기타의 구성은 제23의 실시예와 같으므로 그 설명을 생략한다.

이와 같이 하여 본 발명의 제25의 실시예에 관한 레벨 컨버터에 의하면 제61도 보이는 바와 같이 트랜지스터 TN5, TN6이 설치되고, 저항 R1, R2의 기능을 갖게하고 있다.

이 때문에 입력 신호 SIN가 「L」→「H」레벨로 천이할 때에 출력 OUT1의 「H」→「L」레벨을 인버터 INV1에 의하여 지연하고, 그 게이트 제어 신호 SG_{N4}를 트랜지스터 TN4로 공급할 수 있고, 트랜지스터 TN4를 오프→지연 온 동작으로 천이시킬 수 있다. 이 때에 출력 OUT2의 전위 레벨은 트랜지스터 TN5의 정상

온 저항 R_{N5}과 트랜지스터 TP2 및 TN3의 온 저항의 비로 결정된다.

또 반전 입력 신호 $\overline{SIN}$ 가 「L」→「H」레벨로 천이할 때에 출력 OUT2의 「L」→「H」레벨을 인버터 INV2에 의하여 지연하고, 그 게이트 제어 신호 SG_{N3}를 트랜지스터 TN3로 공급할 수 있고, 트랜지스터 TN3를 오프→지연 온 동작으로 천이시킬 수 있다. 이 때에 출력 OUT1의 전위 레벨은 정상 온 저항 RN6과 트랜지스터 TP1 및 TN4의 온 저항의 비로 결정된다.

이로 말미암아 제24의 실시예와 같이 입력 신호 SIN가 「L」에서「H」레벨로 천이할 때나 「H」에서「L」레벨로 천이할 때 출력 OUT1이 고속으로 「H」에서「L」레벨로 천이 하는 일 및 출력 OUT2를 고속으로 「H」에서「L」레벨로 천이시킬수 있다.

이로 인하여 제24의 실시예와 같이 구동 전원 시스템 VDD, GND2에 접속된 트랜지스터 TP1, TN1의 관통 전류나 트랜지스터 TP2, TN2 사이의 관통 전류를 없앨 수 있게된다. 이로 말미암아 회로 소비 전력의 저감화 및 회로 동작의 고속화를 도모할 수 있게 된다.

[실시예 26]

[제26의 적합한 실시예의 설명]

제62도는 본 발명의 제26의 실시예에 관한 레벨 컨버터의 구성도를 도시하고 있다.

제26의 실시예에서는 제24의 실시예의 레벨 컨버터에 제62도에 보이는 바와 같은 트랜지스터 TN5, TN6이 설치되고, 제24의 실시예에 관한 저항 R1, R2의 기능을 갖게 하는 것이다. 즉 트랜지스터 TN5는 제7 트랜지스터 T7의 일예이고, n형 전계효과 트랜지스터로 이루어진다. 트랜지스터 TN5는 제24의 실시예에 관한 저항 R1의 접촉 위치에 설치된다. 트랜지스터 TN5는 접속점 q2과 접지선 GND2의 사이에 접속되고, 그 게이트가 전원선 VDD에 접속된다. 트랜지스터 TN5는 트랜지스터 TP2의 온 저항에 의하는데, 수[KΩ] 정도의 온 저항치를 갖는다.

트랜지스터 TN6는 제8 트랜지스터 T8의 일예이고 n 형 전계효과 트랜지스터로 이루어진다. 트랜지스터 TN6는 접속점 q1과 전원선 VDD의 사이에 접속되고 그 게이트가 접지선 GND2에 접속된다. 또 트랜지스터 TN6는 트랜지스터 TP1의 온 저항에 의존하는바, 수[KΩ] 정도의 온 저항치를 갖는다. 기타의 구성은 제24의 실시예와 동일하므로 그 설명을 생략한다.

이와 같이 하여 본 발명의 제26의 실시예에 관한 레벨 컨버터에 의하면 제53(B)도 보이는 바와 같이 트랜지스터 TN5, TN6가 제24의 실시예에 관한 레벨 컨버터의 저항 R1, R2의 위치에 치환된다.

이 때문에 입력 신호 SIN가 「L」→「H」레벨로 천이할 때에 인버터 INV12의 지연시간을 거쳐 트랜지스터 TN3가 오프 동작을 하고 트랜지스터 TN1의 게이트 전압이 트랜지스터 TN5의 정상 온 R_{N5}에 의하여 「L」레벨로 설정된다. 이로 말미암아 트랜지스터 TN4가 온 동작하고, 트랜지스터 TN6의 정상 온 저항 R_{N6}에 의하여 「L」레벨이 출력 OUT1에 전달된다.

이때 트랜지스터 TP2→출력 OUT2→트랜지스터 TN1→출력 OUT1→인버터 INV12→트랜지스터 TN3→온 저항 R_{N5}→트랜지스터 TP1을 순환하는 제1의 신호 전달 경로와 트랜지스터 TP2→출력 OUT2→인버터 INV22→트랜지스터 TN4→온 저항 R_{N6}→출력 OUT1을 순환하는 제2의 신호 전달 경로가 구성된다.

이 제1의 신호 전달 경로에 의하여 출력 OUT1을 「H」→「L」레벨로 고속으로 천이시킬 수 있고, 이 신호 전달 경로에서 하강한 뒤에 제2의 신호 전달 경로에 의하여 그 전위를 유지하고 천이 상태를 지속시킬 수 있게 되고, 출력 OUT1이 고속으로 「H」→「L」레벨로 천이 한다.

반대로 입력 신호 SIN가 「H」→「L」레벨로 천이할 때 트랜지스터 TN4가 인버터 INV22의 지연시간을 거쳐 온→오프 동작으로 천이하고 트랜지스터 TN2의 게이트 전압이 온 저항 R_{N6}에 의하여 「L」레벨에 설정되고 트랜지스터 TN3를 온 동작시키고 온 저항 R_{N5}에 의하여「L」레벨이 출력 OUT2에 전달된다.

이때에 트랜지스터 TP1→출력 OUT1→트랜지스터 TN2→출력 OUT2→인버터 INV22→트랜지스터 TN4→온 저항 R_{N6}→트랜지스터 TN2를 순환하는 제3의 신호 전달 경로와 트랜지스터 TP1→출력 OUT1→인버터 INV12→트랜지스터 TN3→온 저항 R_{N5}→출력 OUT2을 순환하는 제4의 신호 전달 경로가 구성된다.

이때문에 제3의 신호 전달 경로에 의하여 출력 OUT2을 「H」→「L」레벨로 고속으로 천이시킬 수 있고 이 신호 전달 경로에서 상승한 뒤에, 제4의 신호 전달 경로에 의하여 그 전위를 유지하고 천이 상태를 지속시킬 수 있게 되고, 출력 OUT2이 고속으로 「H」→「L」레벨로 천이 한다.

이로 인하여, 인버터 INV12나 INV22에 의하여 신호 전달 시간에 지연을 갖게 하고, 그 지연 기간에 트랜지스터 TN3, TN4를 온 동작시킴으로써 제24의 실시예와 같이 출력 OUT1, 출력 OUT2를「H」에서「L」레벨로 상승시키는 시간을 빨리할 수 있게 되고 제21~제23의 실시예에 비하여 회로 동작의 고속화를 도모할 수 있게 된다. 또 구동 전원 시스템 VDD, GND2에 접속된 트랜지스터 TP1, TN1의 사이의 관통 전류나 트랜지스터 TP2, TN2 사이의 관통 전류를 한층 저감할 수 있게 된다. 이로 말미암아 회로 소비 전력의 저감화를 도모할 수 있게 된다.

[실시예 27]

[제27의 적합한 실시예의 설명]

제27의 실시예에서는 제21의 실시예의 레벨 컨버터에 제63도에 보이는 바와 같은 저항R3, R4 및 커패시터 C1, C2가 설치된다.

즉, 저항 R3(제3 부하 소자)는 트랜지스터 TN3의 게이트와 출력 OUT1의 사이에 접속된다. 저항 R3은 트

랜지스터 TN3의 온 동작에도 의존하는데, 수 [KΩ] 정도의 저항치를 설정한다.

저항 R4(제4도의 부하 소자)는 트랜지스터 TN4의 게이트와 출력 OUT2의 사이에 접속된다. 저항 R4는 트랜지스터 TN4의 온 동작에도 의존하는데, 수 [KΩ] 정도의 저항치를 설정한다.

커패시터 C1는 제1 커패시터 C1의 일예이고, 출력 OUT1과 전원선 VDD의 사이에 접속된다. 커패시터 C2는 제2 커패시터 C2의 일예이고 출력 OUT2와 접지선 VDD의 사이에 접속된다. 또 저항 R3, 커패시터 C1는 적분회로를 구성하고 출력 OUT1의 전위 레벨을 지연하여 트랜지스터 TN3의 게이트에 그 지연 신호를 출력한다. 동일하게 저항 R4, 커패시터 C2는 적분 회로를 구성하고 출력 OUT2의 전위 레벨을 지연하여 트랜지스터 TN4의 게이트에 그 지연신호를 출력한다.

적분 회로의 시정수는 출력 OUT1, OUT2에 접속되는 부하(인버터 회로등)에 따라서 조정한다. 예컨대 부하 회로의 임계치 전압으로 이르는 파형 상승 시간에 동등하게 되도록 시정수를 조정한다. 이로 인하여 고속으로 다음단에 신호를 전달할 수 있게 된다. 또 기타의 구성은 제21의 실시예와 같으므로, 그 설명을 생략한다. 이와 같이 하여 본 발명의 제27의 실시예에 관한 레벨 컨버터에 의하면 제63도에 보이는 바와 같이 저항 R3, R4, 커패시터 C1, C2가 구비된다.

이 때문에 출력 OUT1의 전위 레벨을 저항 R3과 커패시터 C1에 의하여 지연한 게이트 제어 신호 SG_{N3}를 트랜지스터 TN3의 게이트에 공급할 수 있다. 또 출력 OUT2의 전위 레벨을 저항 R4과 커패시터 C2에 의하여 지연한 게이트 제어 신호 SG_{N4}를 트랜지스터 TN4의 게이트에 공급할 수 있다. 이로 말미암아 제24, 제26의 실시예와 같이 입력 신호 SIN가 「H」에서 「L」레벨로 천이할때나「L」에서 「H」레벨로 천이 하는 일, 및 출력 OUT2를 고속으로 「L」에서 「H」로 천이시킬 수 있다.

이로 인하여 제21~제26 레벨 컨버터와 같이, 제2 구동 전원 시스템 VDD, GND에 접속된 트랜지스터 TP1, TN1 사이의 관통 전류나 트랜지스터 TP2, TN2 사이의 관통 전류를 없앨 수 있게 된다. 이로 인하여 회로 소비 전력의 저감화 및 회로 동작의 고속화를 도모할 수 있게 된다.

[실시예 28]

[제28의 적합한 실시예의 설명]

제28의 실시예에서는 제27의 실시예의 컨버터에 제64도에 보이는 바와 같이 트랜지스터 TN5, TN6이 설치되고, 제24의 실시예에 관한 저항 R1, R2의 기능을 갖게 하는 것이다. 즉 트랜지스터 TN5는 제24 트랜지스터 T7의 일예이고, n형 전계효과 트랜지스터로 이루어진다. 트랜지스터 TN5는 제24의 실시예에 관한 저항 R1의 접촉 위치에 설치된다. 즉 트랜지스터 TN5는 접속점 q2과 접지선 GND2의 사이에 접속되고, 그 게이트가 전원선 VDD에 접속된다. 트랜지스터 TN5는 트랜지스터 TP2의 온 저항에 의존하는데, 수[KΩ] 정도의 온 저항치를 갖는다.

트랜지스터 TN6는 접속점 q1과 접지선 GND2의 사이에 접속되고, 그 게이트가 전원선 VDD에 접속된다. 또 트랜지스터 TN6는 트랜지스터 TP1의 온 저항에 의존하는데, 수[KΩ] 정도의 온 저항치를 갖는다. 기타의 구성은 제24, 제27의 실시예와 동일하므로 그 설명을 생략한다.

이와 같이 하여 본 발명의 제28의 실시예에 관한 레벨 컨버터에 의하면 제64도 보이는 바와 같이 트랜지스터 TN5, TN6이 설치되고, 저항 R1, R2의 기능을 갖게 한다.

이 때문에 입력 신호 SIN가 「L」→「H」레벨로 천이할 때에 출력 OUT1의 「H」→「L」레벨을 저항 R3과 커패시터 C1에 의하여 지연하고, 그 게이트 제어 신호 SG_{N3}를 트랜지스터 TN3의 게이트에 공급할 수 있고, 트랜지스터 TN3를 온→지연해서 오프 동작으로 천이시킬 수 있다. 이 때에 출력 OUT2의 전위 레벨은 트랜지스터 TN5의 정상 온 저항 R_{N5}과 트랜지스터 TP2의 온 저항의 비로 결정된다.

또, 입력 신호 SIN가 「L」→「H」레벨로 천이할 때에 출력 OUT2의 「L」→「H」레벨을 저항 R4과 커패시터 C2에 의하여 지연하고, 그 게이트 제어 신호 SG_{N4}를 트랜지스터 TN4의 게이트에 공급할 수 있고, 트랜지스터 TN4를 오프→지연해서 온 동작으로 천이시킬 수 있다. 이 때에 출력 OUT1의 전위 레벨은 정상 온 저항 R_{N6}과 트랜지스터 TP1의 온 저항의 비로 결정된다.

이로 인하여 제24의 실시예와 같이 입력 신호 SIN가 「L」에서 「H」레벨로 천이할때나「H」에서 「L」레벨로 천이할 때에 출력 OUT1이 고속으로 「H」에서 「L」레벨로 천이 하는 일 및 출력 OUT2을 고속으로 「H」에서 「L」레벨로 천이시킬 수 있다.

이것에 의하여 제24의 실시예와 같이 구동 전원 시스템 VDD, GND2에 접속된 트랜지스터 TP1, TN1 사이의 관통 전류나 트랜지스터 TP2, TN2 사이의 관통 전류를 없앨 수 있게 된다. 이로 인하여 회로 소비 전력의 저감화 및 회로 동작의 고속화를 도모할 수 있게 된다.

[실시예 29]

[제29의 적합한 실시예의 설명]

제29의 실시예에서는 제25의 실시예의 레벨 컨버터에 제65도에 보이는 바와 같은 적분 회로 CR1, CR2가 설치된다.

즉 적분 회로 CR1는 인버터 INV1와 출력 OUT1의 사이에 접속되고 저항 R3과 커패시터 C1로 이루어진다. 그 기능은 출력 OUT1의 전위 레벨을 지연하여 인버터 INV1에 지연 신호를 출력한다. 또 저항 R3은 인버터 INV1의 입력과 출력 OUT1의 사이에 접속되고 커패시터 C1는 그 접속점과 전원선 VDD의 사이에 접속된다.

동일하게 적분 회로 CR2는 인버터 INV2와 출력 OUT2의 사이에 접속되고 저항 R4과 커패시터 C2로 이루어진다. 그 기능은 출력 OUT2의 전위 레벨을 지연하여 인버터 INV2에 지연 신호를 출력한다. 또 저항 R4은 인버터 INV2의 입력과 출력 OUT2의 사이에 접속되고 커패시터 C2는 그 접속점과 전원선 VDD의 사이에

접속된다.

또 적분 회로 CR1, CR2의 시정수는 출력 OUT1, OUT2에 접속되는 부하(인버터 회로등)에 따라서 조정한다. 예컨대 부하 회로의 임계치 전압에 이르는 파형 상승 시간과 같게 되도록 시정수를 조정한다. 이로 인하여 고속으로 다음단에 신호를 전달할 수 있게 된다. 기타의 구성은 제21의 실시예와 동일하므로 그 설명을 생략한다.

이와같이 하여 본 발명의 제29의 실시예에 관한 레벨 컨버터에 의하면 제 65도에 보이는 바와 같이 인버터 INV1, INV2의 앞단에 적분 회로 CR1, CR2가 접속된다.

이때문에 입력 SIN이 「L」→「H」레벨로 천이할 때나 「H」→「L」레벨로 천이할 때에 출력 OUT1의 전위 레벨을 적분 회로 CR1와 인버터 INV1에 의하여 지연한 게이트 제어 신호 SG_{N4}를 트랜지스터 TN4의 게이트에 공급할 수 있고 출력 OUT2의 전위 레벨을 적분 회로 CR2와 인버터 INV2에 의하여 지연한 게이트 제어 신호 SG_{N3}를 트랜지스터 TN3의 게이트에 공급할 수 있다. 이로 말미암아 출력 OUR1를 고속으로 「H」→「L」레벨로 천이하는 일 및 출력 OUT2를 고속으로 「H」에서「L」레벨로 천이시킬 수 있다.

이로 인하여 제21~제28레벨 컨버터와 같이 제2 구동 전원 시스템 VDD, GND2에 접속된 트랜지스터 TP1, TN1 사이의 관통 전류나 트랜지스터 TP2, TN2의 관통 전류를 없애는 것이 가능해진다. 이로 말미암아 회로 소비 전력의 저감화 및 회동 동작의 고속화를 도모할 수 있게 된다.

[실시예 30]

[제30의 적합한 실시예의 설명]

제30의 실시예에서는 제29의 실시예의 레벨 컨버터에 제66도에 보이는 바와 같이 트랜지스터 TN5, TN6이 설치되고 제24의 실시예에 관한 저항R1, R2의 기능을 갖게 하는 것이다. 트랜지스터 TN5는 제14의 실시예에 관한 저항 R1의 접속 위치에 설치된다. 즉 트랜지스터 TN5는 접속점 q2과 접지선 GND2의 사이에 접속되고, 그 게이트가 전원선 VDD에 접속된다. 트랜지스터 TN5는 트랜지스터 TP2의 온 저항에 의존하는데, 수[KΩ] 정도의 온 저항치를 갖는다.

트랜지스터 TN6는 접속점 q1과 접지선 GND2의 사이에 접속되고, 그 게이트가 전원선 VDD에 접속된다. 또 트랜지스터 TN6는 트랜지스터 TP1의 온 저항에 의존하는데, 수[KΩ] 정도의 온 저항치를 갖는다. 기타의 구성은 제29의 실시예와 동일므로 그 설명을 생략한다.

이와 같이 하여 본 발명의 제30의 실시예에 관한 레벨 컨버터에 의하면 제66도 보이는 바와 같이 트랜지스터 TN5, TN6이 설치되고, 저항 R1, R2의 기능을 지니게 하고 있다.

이 때문에 입력 신호 SIN가 「L」→「H」레벨로 천이할 때에는 제 48(B)도에 보이는 바와 같이 출력 OUT1의 「H」→「L」레벨을 적분 회로 CR1 의하여 지연하고, 그 게이트 제어 신호 SG_{N4}를 트랜지스터 TN4의 게이트에 공급할 수 있고, 트랜지스터 TN4를 오프→지연해서 온 동작으로 천이시킬 수 있다. 이 때에 출력 OUT2의 전위 레벨은 트랜지스터 TN5의 정상 온 저항 N5과 트랜지스터 TP2의 온 저항의 비로 결정된다.

또, 입력 신호 SIN가 「H」→「L」레벨로 천이할 때에 출력 OUT2의 「H」→「L」레벨을 적분 회로 CR2에 의하여 지연하고, 그 게이트 제어 신호 SG_{N3}를 트랜지스터 TN3의 게이트에 공급할 수 있고, 트랜지스터 TN3를 오프→지연해서 오프 동작으로 천이시킬 수 있다. 이 때에 출력 OUT1의 전위 레벨은 정상 온 저항 RN6과 트랜지스터 TP1의 온 저항의 비로 결정된다.

이것에 의하여 제14의 실시예와 같이 입력 신호 SIN가 「L」에서 「H」레벨로 천이할때나,「H」에서 「L」레벨로 천이할 때에 출력 OUT가 고속으로 「H」에서 「L」레벨로 천이 하는 일 및 출력 OUT2을 고속으로 「H」에서 「L」레벨로 천이시킬 수 있다.

이것에 의하여 제24, 제29의 실시예와 같이 구동 전원 시스템 VDD, GND2에 접속된 트랜지스터 TP1, TN1 사이의 관통 전류나 트랜지스터 TP2, TN2 사이의 관통 전류를 없앨 수 있게 된다. 이로 인하여 회로 소비 전력의 저감화 및 회로 동작의 고속화를 도모할 수 있게 된다.

이상 설명한 제1~제30의 실시예에 관한 레벨 컨버터에서는 본 발명의 관련 기술에 비하여 트랜지스터 TP1, TP2를 다른 트랜지스터 사이즈와 동등하게 해도 접지선 GND 기준의 경우에는 「L」→「H」레벨로 상승하는 시간을 고속으로 하는일 또는 전원선 VDD 기준의 경우에는 「H」→「L」레벨로 하강하는 시간을 고속으로 하는 것이 가능하게 된다.

[실시예 31]

[제31의 적합한 실시예의 설명]

제31의 실시예에서는 제1~제30의 실시예의 레벨 컨버터와 달리 제67도에 보이는 바와 같이 인버터(23A), 원숏 타이머 회로(24), 파형 정형 회로(23B) 및 출력 래치 회로(25)로 구성된다.

즉, 인버터(23A)는 제1 구동 전원 시스템이 되는 전원선 VDD1(구동 전압 VD2=3[V] 정도), 접지선 GND(0[V])의 사이에 접속되고 입력 신호 Sin을 반전 출력하는 것이다.

원숏 타이머 회로(24)는 펄스 발생 회로(14)의 일예이고 제1 구동 전원 시스템 VDD1, GND에 접속된다. 원숏 타이머 회로(24)는 인버터 INV10~INV13, INV21~INV23 및 2-입력 NAND 회로 NA1, NA2로 이루어진다. 4개의 인버터 INV10~INV13는 종속 접속되어 인버터(23A)의 출력과 2-입력 NAND 회로 NA1의 제2의 입력 in2에 접속되고 인버터 INV10의 출력이 2-입력 NAND 회로 NA1의 제1의 입력 in1에 접속된다.

또 인버터 INV21~INV23는 종속 접속되어서 인버터(23A)의 출력과 2-입력 NAND 회로 NA1의 제2의 입력 in2에 접속되고 인버터(23A)의 출력이 2-입력 NAND 회로 NA2의 제1의 입력 in1에 접속된다. 원숏 타이머 회로(24)의 기능은 입력 신호 Sin에 의거하여 원숏 펄스 신호를 발생하고 그것을 파형 정형 회로(23B)에

출력한다.

파형 정형 회로(23B)는 인버터 INV14, INV24로 이루어지고, 제1 구동 전원 시스템 VDD1, GND에 접속된다. 인버터 INV14는 2-입력 NAND회로 NA1에서 출력된 NAND 논리 신호(이하 원숏 펄스 신호라 한다)를 출력 래치 회로(25)에 반전 출력한다. 동일하게 인버터 INV24는 2-입력 NAND 회로 NA2에서 출력된 원숏 펄스 신호를 출력 래치 회로(25)에 반전 출력한다.

출력 래치 회로(25)는 신호 출력 회로(15)의 일예이고 제2 구동 전원 시스템이 되는 전원선 VDD2(구동 전압 VD2 = 5[V] 정도), 접지선 GND(0[V])의 사이에 접속된다. 출력 래치 회로(25)는 2-입력 NOR 회로 NR1, NR2로 구성된다. 2-입력 NOR 회로 NR1의 제1의 입력 in1이 인버터 INV14에 접속되고 그 제2의 입력 in2이 2-입력 NOR 회로 NR1의 출력에 접속된다. 또 2-입력 NOR 회로 NR2의 제1의 입력 in1이 인버터 INV24에 접속되고 그 제2의 입력 in2이 2-입력 NOR회로 NR2의 출력에 접속된다. 이것에 의하여 출력 래치 회로(25)에서 변환된 출력 신호가 래치 출력된다.

이와 같이 하여 본 발명의 제31의 실시예에 관한 레벨 컨버터에 의하면 제67도에 보이튼 바와 같이 인버터(23A), 원숏 타이머 회로(24), 파형 정형 회로(23B) 및 출력 래치 회로(25)가 구비된다. 타이머 회로(24)는 제1 구동 전원 시스템에 접속되고 출력 래치 회로(25)는 제2 구동 전원 시스템에 각각 접속된다.

예컨대 제68도에 보이는 바와 같이 제1 구동 전원 시스템의 회로에서 공급된 입력 신호 Sin가 「H」레벨에서「L」레벨로 천이할 경우 그 신호 하강으로 지연되어 출력 신호 S1가 인버터 INV10에서 2-입력 NOR 회로 NR1에 출력된다. 또 2-입력 NAND 회로 NA1의 출력 신호 S2는 「H」레벨을 유지하고 종속 접속된 인버터 INV11～INV13의 지연 시간에 의하여 변화를 한다. 이 변화에 의하여 인버터 INV14에서 출력 신호 S3이 하강하고 그 신호 S3가 출력 래치 회로(25)로 출력된다.

한편, 2-입력 NAND 회로 NA2의 출력 신호 S4는 입력 신호 Sin의 하강에 의거하여 「H」→「L」→「H」레벨로 변화를 하고 그것이 원숏 펄스 신호가 되어 인버터 INV24에 의하여 반전 출력되고, 그 출력 신호 S5가 출력 래치 회로(25)에 출력된다.

이 때문에 2-입력 NOR회로 NR2의 출력 신호 S5와 출력에서 귀환하는 신호 Sout의 NOR 논리가 채용되고 그 출력 신호 S6가 「H」레벨에서「L」레벨로 하강한다. 이로 말미암아 2-입력 NOR 회로 NR2에서는 출력 신호 S3와 출력 신호 S6의 NOR 논리가 채용되고 그 결과를 제2 구동 전원 시스템에서 신호 처리 가능한 출력 신호 Sout 로서 출력 래치 회로(25)에서 출력할 수 있다.

이로 인하여 제1 구동 전원 시스템과 제2 구동 전원 시스템의 전압 절환을 원숏 펄스 신호에 의거하여 순간적으로 행할 수 있고, 전류 소비를 수반하는 전류 미러 회로를 주요부로 하는 레벨 컨버터에 비교하여 회로 소비 전력의 저감화를 도모할 수 있게 된다.

[실시예 32]

[제32의 적합한 실시예의 설명]

제69도는 본 발명의 제32의 실시예에 관한 반도체 집적 회로의 구성도이고, 제59도는 2 D/A 컨버터 회로의 내부 구성도를 각각 도시하고 있다.

예컨대 정보 처리 장치와 아날로그 처리 기기의 사이에서 신호 변환을 하는 반도체 집적 회는 제69도에 있어서 동일 반도체 칩(100)안에, 3[V]구동 회로 시스템(26), 레벨 컨버터(27A)(27B) 및 5[V] 구동 회로 시스템(28)를 구비한다.

즉 3[V] 구동 회로 시스템(26)는 제1 회로 시스템(16)의 1 실시예이고 제1의 전압 레벨, 예컨대 전원선 VDD1 = 3[V], 접지선 GND(0[V])에 의거하여 구동을 하는 신호 처리 회로이다. 또, 3[V] 구동 회로 시스템(26)의 예로서는 어드레스 디코더(26A), 디지털 처리부(26B) 및 I/O 포트부(26C)로 구성되고, 중앙 연산 장치(이하 CPU라 한다)에서 출력되는 데이터 Sout에 의거하여 디지털/아날로그 변환을 한다든지, 5[V] 구동 회로 시스템(28)에 제어 신호를 출력한다. 또 5[V] 구동 시스템(28)에서 처리된 아날로그/디지탈 변환 신호는 출력 데이터 SOUT로서 CPU에 출력된다.

레벨 컨버터(27A, 27B)는 레벨 변환 회로(17)의 1실시예이고, 3[V] 구동 회로 시스템(26)의 출력 신호를 5[V] 구동 회로 시스템(28)에서 처리 가능한 신호로 레벨 변환을 하는 것이다. 예컨대 레벨 컨버터(27A)는 회로 시스템(26)에서 디지털/아날로그 처리된 입력 데이터 SIN회로 시스템(28)에서 처리 가능한 신호로 변환을 한다.

또 레벨 컨버터(27B)는 회로 시스템(26)의 I/O 포트 회로(26C)에서 출력되는 제어 신호를 회로 시스템(28)에서 처리 가능한 제어 신호로 변환을 한다. 또 레벨 컨버터(27A, 27B)가 본 발명의 제1～제30의 실시예의 레벨 컨버터로 구성되는 것을 특징으로 한다.

5[V] 구동 회로 시스템(28)는 제2 회로 시스템(18)의 1 실시예이고 레벨 변환된 각종 신호를 제2의 전압 레별, 예컨대 전원선 VDD2 = 5[V], 접지선 GND(0[V])에 의거하여 구동을 하는 신호 처리 회로이다. 또, 5[V] 구동 회로 시스템(28)의 예로서는 I/O 셀부(28)A, 아날로그 스위치부(28B) 및 아날로그 처리부(28C)로 구성되고 각종 아날로그 처리 기기의 출력되는 아날로그 입력 신호 ASin를 샘플링 처리하든가, 그 결과를 회로 시스템(26)에 출력한다.

또, 제70도는 본 발명의 제32의 실시예에 관한 반도체 집적 회로의 일부를 구성하는 D/A 컨버터의 내주 구성예이고, 입력 데이터 SIN가 8 비터(D1～D8)의 경우르 도시하고 있다.

D/A 컨버터 회로는 제70도에 보이는 바와 같이 디지털 신호 3[V]계에 접속되는 9개의 레지스터 RE1～RE9와 레벨 컨버터 27A 나 27B를 구성하는 10개의 레벨 변환부 L1～L10와 아날로그 신호 5[V]계를 처리하는 D/A 아날로그 셀(28D)과 기타 출력 버퍼부(28E), 인버터 INV 및 NOR 회로 NR를 구비한다.

당해 D/A 컨버터 회로의 기능은 디지털 신호 3[V]계에서 신호 처리된 디지털 입력 데이터 D1～D8가 레지스터 RE1～RE9에 유지되고, 그것이 레벨 변환부 L1～L8에 의하여 아날로그 신호 5[V]계에서 처리 가능한

신호로 레벨 변환되고 이 신호가 D/A 아날로그 셀(28D)에 의하여 디지털/아날로그 변환된다.

이 때에 디지털 신호 3[V]계에서 출력되는 디지털 제어 데이터 DO1가 레지스터 RE9에 유지되고 인버터 INV나 NOR 회로 NR를 통하여 2개의 fp벨 변환부 L9, L10으로 출력되고 이 레벨 변환부 L9,L10에서는 아날로그 신호 5[V]계에서 처리 가능한 제어 신호로 레벨 변환되고 이 신호가 D/A 아날로그 셀(28D)과 I/O 셀부(28A)에 출력된다. 이로 인하여 출력 버퍼(28E)에서 아날로그 출력 신호 ASout 가 출력된다.

이와 같이 하여 본 발명의 제32의 실시예에 관한 반도체 집적 회로에 의하면 제69도에 보이는 바와 같이 동일 반도체 칩(100)안에, 3[V] 구동 회로 시스템(26), 레벨 컨버터(27A,27B) 및 5[V] 구동 회로 시스템(28)가 구비되고, 본 발명의 제1～제30의 실시예에 관한 레벨 컨버터가 적용된다.

이 때문에 정보 처리 장치와 아날로그 처리 기기의 사이에서 신호 변환 처리를 하는 반도체 집적 회로의 저 소비 전력화 및 신호 동작의 고속화를 도모할 수 있다. 또 동일 반도체 칩(100)내에 각 신호 처리 회로가 혼재되므로써 본 발명의 관련 기술과 같이 개개의 IC를 프린트 기판에 개별로 실장할 필요가 없어진다. 또 2～3[V]의 저 전압 구동 집적 회로와 기존의 5[V] 구동 시스템 집적 회로를 사용하여 하이브리드(복합) 집적 회로를 용이하게 구성할 수 있게 된다.

이로 말미암아 전자 기기의 IC 실장 면적을 작게 억제할 수 있게 되고 또 전지 구동 전원에 의존하는 휴대용 전자 기기의 컴팩트화 및 사용 계속 시간의 개선을 도모할 수 있게 된다.

[실시예 33]

[제33의 적합한 실시예의 설명]

예컨대, 3[V] 구동 회로 시스템의 입출력 인터페이스부에 적용한 반도체 집적 회로는 제71도에 보이는 바와 같이 동일한 반도체 칩내의 양방향성 레벨 컨버터(30), 내부 회로(29) 및 타이밍 발생 회로(32)가 설치되어 있다.

즉, 내부 회로(29)는 제1 회로 시스템(19)의 1 실시예이고 제1 구동 전원 시스템이 되는 전원선 VDD1(구동 전압 VD2 = 3[V]정도), 접지선 GND(0[V])의 사이에 접속되는 회로이다. 예컨대 내부 회로(29)는 I/O 포트부(29A), ROM(독출 전요 메모리)(29B), CPU(29C) 및 RAM(수시 기록/독출 가능한 메모리)(29D)등으로 구성된다.

양방향성 레벨 컨버터(30)는 양방향성의 레벨 변환 회(20)의 1 실시예이고, 출력 레벨 컨버터(30A) 및 입력 레벨 컨버터(30B)로 구성된다. 출력 레벨 컨버터(30A)는 레벨 컨버터(301) 및 출력 버퍼(302)로 구성되고, 제어 신호 CTL에 의거하여 3[V]구동 시스템의 내부 회로(29)의 출력 신호를 5[V] 구동 회로 시스템에서 처리 가능한 신호로 레벨 변환을 한다. 또 양방향성 레벨 컨버터(30)는 입출력 단자(33)마다 설치된다.

예컨대 레벨 컨버터(301)에는 본 발명의 제1～제30의 실시예에 관한 레벨 컨버터를 적용하고 출력 버퍼(302)는 제72도에 보이는 바와 같이 P형 전계효과 트랜지스터 TP11, TP12 및 n 형 전계효과 트랜지스터 TN11, TN12로 구성된다. 또 트랜지스터 TP12, TP11, TN11, TN12가 직렬로 접속되어서 전원선 VDD2와 접지선 GND의 사이에 접속되고 트랜지스터 TP11, TN11의 공통 게이트가 레벨 컨버터(301)에 접속되고 그 공통 드레인이 입출력 단자(33)에 접속된다. 또 트랜지스터 TP12의 게이트에 반전 제어 신호 $\overline{CTL}$ 가 공급되고 트랜지스터 TN12의 게이트에 제어 신호 CTL가 공급된다.

입력 레벨 컨버터(30B)는 레벨 컨버터(303) 및 입력 버퍼(304)로 이루어지고, 제어 신호 CTL에 의거하여 5[V] 구동 회로 시스템에서 처리된 신호를 3[V]구동 시스템의 내부 회로(29)에서 처리 가능한 출력으로 레벨 변환한다. 예컨대 레벨 컨버터(303)에는 본 발명의 제1～제30의 실시예에 관한 레벨 컨버터를 적용하고 출력 버퍼(304)는 제72도에 보이는 바와 같이 P형 전계효과 트랜지스터 TP13, TP14, 및 n 형 전계효과 트랜지스터 TN13, TN14로 구성된다.

또 트랜지스터 TP14, TP13, TN13, TN14가 직렬로 접속되어서 전원선 VDD1과 접지선 GND의 사이에 접속되고 트랜지스터 TP13, TN13의 공통 게이트가 레벨 컨버터(303)에 접속되고 그 공통 드레인이 I/O 포트부(29A)와 레벨 컨버터(301)의 접속점 P에 접속된다. 또 트랜지스터 TP14의 게이트에 제어 신호 CTL가 공급되고 트랜지스터 TN14의 게이트에 제어 신호 CTL가 공급되고 트랜지스터 TN14의 게이트에 반전 제어 신호 $\overline{CTL}$ (상선을 생략한다)가 공급된다.

타이밍 발생 회로(32)는 신호 제어 수단(22)의 1 실시예이고, 전원선 VDD1, VDD2의 투입 순서에 의거하여 제어 신호 CTL를 발생하는 회로이다. 예컨대 타이밍 발생 회로(32)는 제73A도에 보이는 바와 같이 인버터 INV1～INV3, P 형 전계효과 트랜지스터 TP21～TP24 및 n 형 전계효과 트랜지스터 TN21, TN24로 구성된다.

그리고 인버터 INV1과 전원선 VDD1, 접지선 GND의 사이에 접속되고 그 입력이 전원선 VDD1에 접속된다. 트랜지스터 TP22, TP21, TN21는 직렬로 접속되어, 전원선 VDD2과 접지선 GND의 사이에 접속된다. 트랜지스터 TP21, TN21의 공통 게이트는 인버터 INV1에 접속되고 그 공통 드레인이 트랜지스터 TN22의 드레인과, 트랜지스터 TP24, TN24의 게이트에 접속되어서 출력 OUT1에 접속된다.

또 인버터 INV2과 전원선 VDD2, 접지선 GND의 사이에 접속되고 그 입력이 전원선 VDD2에 접속된다. 트랜지스터 TP24, TP23, TN23는 직렬로 접속되어, 전원선 VDD1과 접지선 GND의 사이에 접속된다. 트랜지스터 TP23, TN23의 공통 게이트는 인버터 INV2에 접속되고 그 공통 드레인이 트랜지스터 TN22의 드레인과, 트랜지스터 TP22, TN22의 게이트에 접속된다. 인버터 INV2는 출력 OUT1과 출력 OUT2의 사이에 접속된다.

이로 인하여 타이밍 발생 회로(32)의 출력 OUT1에서 출력 버퍼(302)의 트랜지스터 TN12의 게이트 및 버퍼(304)의 트랜지스터 TP14의 게이트에 비반전 제어 신호 CTL가 공급되고, 그 출력 OUT2에서 출력 버퍼(302)의 트랜지스터 TP12의 게이트 및 입력 버퍼(304)의 트랜지스터 TN14 게이트에 반전 제어 신호

$\overline{CTL}$ 가 공급된다.

이와 같이 하여 본 발명의 제33의 실시예에 관한 반도체 집적 회로에 의하면, 제74A도에 보이는 바와 같이 동일한 반도체 칩내에 양방향성 레벨 컨버터(30), 내부 회로(29) 및 타이밍 발생 회로(32)가 구비되고, 이 양방향성 레벨 컨버터(30)가 입출력 단자마다 설치되고, 그 레벨 컨버터(301),(303)에 본 발명의 제1～제30의 실시예에 관한 레벨 컨버터가 적용된다.

이 때문에 전원선 VDD1, VDD2의 투입 순서에 의거하여 타이밍 발생 회로(32)에 의하여 제어 신호 CTL를 발생하고 그 신호 CTL를 각 양방향성 레벨 컨버터(30)에 출력함으로써 그 동작 방향을 결정할 수 있다.

예컨대 제73B도에 보이는 바와 같이 전원선 VDD1의 투입이 앞이고, 전원선 VDD2의 투입이 뒤의 경우에는 출력 레벨 컨버터(30A)의 트랜지스터 TN12의 게이트에 비반전 제어 신호 CTL = 「H」레벨이 공급되고 그 트랜지스터 TP12의 게이트에 반전 제어 신호 $\overline{CTL}$ = 「L」레벨이 공급된다. 또 입력 레벨 컨버터(30B)의 트랜지스터 TP14의 게이트에 비반전 제어 신호 CTL =「L」레벨이 공급되고 트랜지스터 TP14의 게이트에 반전 제어 신호 $\overline{CTL}$ = 「H」레벨이 공급된다.

이로 인하여 출력 레벨 컨버터(30A)가 동작 상태로 되고 입력 레벨 컨버터(30B)가 비동작 상태로 되며, 제73B도에 보이는 바와 같은 3[V] 구동 회로 시스템의 IC에서 5[V] 구동시스템의 IC에서 출력 방향을 자동 결정할 수 있게 된다.

반대로 전원선 VDD2의 투입이 먼저고, 전원선 VDD1의 투입이 뒤의 경우에는 출력 레벨 컨버터(30A)의 트랜지스터 TN12의 게이트에 비반전 제어 신호 CTL = 「L」레벨이 공급되고 그 트랜지스터 TP12의 게이트에 반전 제어 신호 $\overline{CTL}$ = 「H」레벨이 공급된다. 또 입력 레벨 컨버터(30B)의 트랜지스터 TP14의 게이트에 비반전 제어 신호 CTL =「H」레벨이 공급되고 트랜지스터 TP14의 게이트에 반전 제어 신호 $\overline{CTL}$ = 「L」레벨이 공급된다.

이로 인하여 출력 레벨 컨버터(30A)가 비동작 상태로 되고, 입력 레벨 컨버터(30B)가 비동작 상태로 되고, 5[V] 구동 시스템(200)의 IC에서 3[V] 구동회로시스템(201)의 IC에서 입력 방향을 자동 결정할 수 있게 된다.

이로써 신호 입출력 방향을 제어 신호로하여 외부 공급에 의존하는 일없이 전원 투입 순서로 결정할 수 있고, 쓸데없는 입출력 단자가 삭감된다. 또 원칩 마이크로 컴퓨터 등의 입출력 단자수를 극력 삼감할 수 있게 된다.

또, 제74B도에 보이는 바와 같이 양방향성 레벨 컨버터(30), 타이밍 발생 회로(32) 및 제2 회로 시스템(19)의 일예가 되는 5[V] 구동 회로 시스템(201)를 동일한 반도체 칩내에 설치하고 그것을 집적화해도 된다. 이것에 의하여 자기 자신의 구동 전원 전압과 외부 접속되어 있는 다른 IC 구동 전압의 고저를 특히 판별하는 일없이 자유로이 사용할 수 있게 된다.

예컨대 양방향성 레벨 컨버터(30)를, 3,4[V] 구동 시스템 또는 5[V] 구동 시스템의 어느 IC에 거두어 들임으로써 그에 접속되느 IC가 3,4[V] 구동 시스템 5[V] 구동 시스템이고, 외부에 접속된 IC가 4[V] 구동 시스템의 경우 및 당해 IC 자신이 3[V] 구동 시스템이고, 외부에 접속된 IC가 5[V] 구동 시스템의 경우에 있어서도 동일 IC를 공용할 수 있게 된다.

또 본 발명의 제33의 실시예에 관한 반도체 집적 회로에 의하면 양방향성 레벨 컨버터(30), 타이밍 발생 회로(32)가 3[V] 구동 회로 시스템(200)나 5[V] 구동 회로 시스템(201)과 동일한 반도체 칩내에 설치되므로, 본 발명의 관련 기술에 비하여 IC의 실장 효율을 개선할 수 있다.

[실시예 34]

[제34의 적합한 실시예의 설명]

예컨대 본 발명의 제33의 실시예에 관한 반도체 집적 회로를 CMOS 회로에 의하여 집적화하고 그 전원 배선을 할 경우, 제75도에 있어서 먼저 반도체 칩(34)에 I/O 셀부(35), 셀 어레이부(36)를 배치한다. 여기서 셀어레이부(36)에는 본 발명의 제1 ～제30의 실시예에 관한 레벨 컨버터를 포함하는 제32의 실시예의 3[V]구동 회로 시스템 또는 5[V] 구동 회로 시스템(20)가 배치된다.

또 I/O 셀부(35)나 셀어레이부(36)에 공급하는 전원선 격자 모양으로 배선한다. 예컨대 5[V] 전원 배선 LDD2 나 3[V] 전원 배선 LDD1은 주변의 I/O 셀부(35)와 셀어레이부(36)의 사이에 있어서 링모양으로 배치되고 그 링 모양 배선에서 셀어레이부(36)에 대하여 격자 몽양으로 배치한다.

그리고 제76도에 셀어레이부내에 배치하는 레벨 컨버터 셀의 구성도를 도시하고 있다. 예컨대 m×n 개의 레벨 컨버터 셀은 제76도에 보이는 바와 같이 셀어레이부(36)의 X 방향으로 m[m=1～m]개의 레벨 컨버터 셀 L11～Lm1가 배치되고, 그것이 Y 방향으로 n 개 [n=1～n] 병설된다. 또 m×n 개의 레벨 컨버터 셀에 대하여 5[V] 전원 배선 LDD2나 3[V] 전원 배선 LDD1 이 링 모양 배선에서 격자 형상으로 배선된다.

구체적으로 제77도에 도시한 바와 같이 반도체 칩내에 배치된 I/O 셀부(35)에 5[V] 전원 배선 LDD나 3[V] 전원 배선 LDD1을 배선한다. 전원 배선 LDD1은 셀어레이부(36)의 3[V] 구동 셀(36A)에 접속되고, 5[V] 구동셀 (36B)은 전원 배선 LDD2에 접속된다. 이로 말미암아 레벨 컨버터의 배치에 자유도를 가지게 할 수 있다.

이와 같이 하여 본 발명의 제34의 실시예에 관한 반도체 집적 회로에 의하면 제75도～제77도에 도시한 바와 같이 5[V] 전원 배선 LDD2 나 3[V] 전원 배선 LDD1이 반도체 칩(34)내에서 격자상으로 배선된다.

이 때문에 본 발명의 관련 기술과 같이 셀 열에 의하여 저전압원과 고전압원을 분리하는 일없이 예컨대 제78도에 도시한 바와 같이 반도체 침(37)위의 전원 배선 LDD2, LDD1을 종·횡 방향으로 각각의 셀열로 링 모양으로 필요에 따라서 배선함으로써 종·횡방향에서 각 셀에 자유로이 고·저 전압을 공급할 수 있

다.

이로 말미암아 제78도에 도시한 바와 같이 동일 셀 내에 I/O 포트부(38), RAM, ROM, 곱셈 셀부(39) 및 기타의 매크로셀부(41)가 배치되고, 3[V] 구동 회로 시스템(26), 레벨 컨버터(27A,27B) 및 5[V] 구동 회로 시스템(28)를 포함하는 원침 마이크로 프로세서등의 쓸데 없는 전력 소비의 삭감화를 도모할 수 있게 된다.

또 레벨 컨버터의 배치가 자유로와져서 본 발명의 관련(종래) 기술에 비하여 입출력 신호의 우회 배선을 저감할 수 있고 회로 동작의 고속화를 도모할 수 있다. 이로 인하여 구동 전원이 다른 회로 시스템 사이에서 신호 레벨을 고속 변환하는 반도체 집적회로 장치의 제공 및 그 응용 회로 장치의 제공에 기여하는 바가 크다. 따라서, 본 발명의 기술 사상과 범위내에 존재하는 변형예는 모두 특허청구의 범위에 포함되는 것이다.

(57) 청구의 범위

청구항 1

제1 전원(VDD1), 제2 전원(VDD2) 및 제3 전원(GND)에 연결되어 입력 신호를 수신하느 레벨 컨버터에 있어서, 상기 제1 전원에 연결되고 이 제1 전원으로부터 전력이 공급되며, 상기 입력 신호에 기초하여 반전 신호($\overline{IN_D}$)와 비반전 신호(IN_D)를 발생시키는 입력 트랜지스터 회로(11)와, 상기 제2 전원에 연결된 제1 소오스, 제1 드레인 및 제1 게이트를 갖는 제1 트랜지스터(T1)와, 상기 제3 전원에 연결된 제2 소오스, 상기 제1 드레인에 연결된 제2 드레인, 및 상기 비반전 신호에 연결된 제2 게이트를 갖는 제2 트랜지스터(T2)와, 상기 제2 전원에 연결된 제3 소오스와, 상기 제1 게이트에 연결된 제3 드레인 및 상기 제1 드레인, 제2 드레인 및 제1 출력(OUT1)에 연결된 제3 게이트를 갖는 제3 트랜지스터(T3)와, 상기 제3 전원에 연결된 제4 소오스, 상기 제3 드레인에 연결된 제4 드레인, 및 상기 반전 신호에 연결된 제4 게이트를 갖는 제4 트랜지스터(T4)를 구비하며, 상기 입력 트랜지스터 회로로부터 발생된 비반전 신호에 의해 상기 제2 트랜지스터(T2)가 온으로 되는 시간 주기는 상기 제4 트랜지스터(T4)가 반전 신호에 의해 오프로 되는 시간 주기에 포함되고, 상기 입력 트랜스터 회로로부터 발생된 반전 신호에 의해 상기 제4 트랜지스터(T4)가 온으로 되는 시간 주기는 상기 제2 트랜지스터(T2)가 비반전 신호에 의해 오프로 되는 시간 주기에 포함되도록 하는 출력 트랜지스터 회로를 포함하는 것을 특징으로 하는 레벨 컨버터.

청구항 2

제1 전원(VDD1), 제2 전원(VDD2) 및 제3 전원(GND)에 연결되어 입력 신호를 수신하는 레벨 컨버터에 있어서, 상기 제1 전원에 연결되고 이 제1 전원으로부터 전력이 공급되며, 상기 입력 신호에 기초하여 반전 신호($\overline{IN_D}$)와 비반전 신호(IN_D)를 발생시키는 입력 트랜지스터 회로(11)와; 제1 및 제2단자를 갖는 제1 부하 소자(R1)와, 제1 및 제2 단자를 갖는 제2 부하 소자(R2)와, 상기 제2 전원에 연결된 제1 소오스, 제1 출력(OUT1)과 제1 부하 소자(R1)에 연결된 제1 드레인 및 제1 게이트를 갖는 제1 트랜지스터(T1)와, 상기 제3 전원에 연결된 제2 소오스, 상기 제1 드레인에 연결된 제2 드레인 및 상기 비반전 신호에 연결된 제2 게이트를 갖는 제2 트랜지스터IT2)와, 상기 제2 전원에 연결된 제3 소오스, 제2 출력(OUT2)에 연결된 제3 드레인 및 상기 제1 부하 소자(R1)를 통해 제1 드레인에 연결된 제3게이트를 갖는 제3 트랜지스터(T3)와, 상기 제3 전원에 연결된 제4 소오스, 상기 제2 부하 소자(R2)를 통해 제1 게이트에 그리고 제2 출력(OUT2)과 제3 드레인에 연결된 제4 드레인 및 반전 신호에 연결된 제4 게이트를 갖는 제4 트랜지스터(T4)와, 상기 제3 전원에 연결된 제5 소오스, 제1 부하 소자(R1)의 제1 단자에 그리고 제3 게이트와 연결된 제5 드레인 및 제2 게이트 및 입력 신호에 연결된 제5 게이트를 갖는 제5 트랜지스터(T5)와, 상기 제3 전원에 연결된 제6 소오스, 제2 부하 소자(R2)의 제1 단자 및 제1 게이트에 연결된 제6 드레인, 및 제4 게이트와 반전 신호에 연결된 제6 게이트를 갖는 제6 트랜지스터(T6)를 구비하는 출력 트랜지스터 회로를 포함하는 것을 특징으로 하는 레벨 컨버터.

청구항 3

제2항에 있어서, 상기 입력 트랜지스터 회로(11)는 상기 제2 트랜지스터(T2)의 게이트와 제5 트랜지스터(T5)의 게이트에 비반전 입력 신호를 각각 공급하고, 상기 제4 트랜지스터(T4)의 게이트와 제6 트랜지스터(T6)의 게이트에 지연된 반전 입력 신호를 각각 공급하는 것을 특징으로 하는 레벨 컨버터.

청구항 4

제1 전원(VDD1), 제2 전원(VDD2) 및 제3 전원(GND)에 연결되어 입력 신호를 수신하는 레벨 컨버터에 있어서, 상기 제1 전원에 연결되고 이 제1 전원으로부터 전력이 공급되며, 입력 신호의 반전 신호 ($\overline{IN_D}$)및 비반전 신호(IND)를 발생시키는 입력 트랜지스터 회로(11)와; 게이트, 소오스 및 드레인을 각각 구비한 제1 내지 제8 트랜지스터(T1~T8)를 포함하는 출력 트랜지스터 회로를 구비하며, 상기 제1 트랜지스터(T1)의 드레인은 상기 제2 트랜지스터(T2)의 드레인에 연결되고, 상기 제1 및 제3 트랜지스터(T1,T3)의 소오스는 제2 전원에 연결되고, 상기 제1 트랜지스터 (T1)의 소오스는 상기 제4 트랜지스터(T4)의 드레인에 연결되고, 상기 제2 트랜지스터(T2)의 소오스, 상기 제4 트랜지스터(T4)의 소오스, 상기 제5 트랜지스터(T5)의 소오스 및 제6 트랜지스터(T6)의 소오스는 상기 제3 전원에 연결되고, 상기 제1 트랜지스터(T1)의 게이트는 제8 트랜지스터(T8)를 통해 상기 제3 트랜지스터(T3)의 드레인, 제4 트랜지스터(T4)의 드레인 및 제2 출력(OUT2)에 연결되고, 상기 제3 트랜지스터(T3)의 게이트는 제7 트랜지스터(T7)를 통해 상기 제1 트랜지스터(T1)의 드레인, 제2 트랜지스터(T2)의 드레인에 그리고 제7 트랜지스터(T7)를 통해 출력(OUT1)에 연결되고, 상기 제5 트랜지스터(T5)의 드레인과 제7 트랜지스터(T7)의 드레인은 제3 트랜지스터(T3)의 게이트에 연결되고, 상기 제7 트랜지스터(T7)의 소오스는 제1 트랜지스터(T1)의 드레인, 제2 트랜지스터(T2)의 드레인 및 제1 출력(OUT1)에 연결되고, 상기 제5 트랜지스터(T5)의 게이트와

제7 트랜지스터(T7)의 게이트는 제2 트랜지스터(T2)의 게이트에 연결되고, 상기 제6 트랜지스터(T6)의 드레인과 제8 트랜지스터(T8)의 드레인은 제1 트랜지스터(T1)의 게이트에 연결되고, 상기 제8 트랜지스터(T8)의 소오스는 제3 트랜지스터(T3)의 드레인, 제4 트랜지스터(T4)의 드레인 및 제2 출력(OUT2)에 연결되고, 상기 제6 트랜지스터(T5)의 게이트와 제8 트랜지스터(T8)의 게이트는 제4 트랜지스터(T4)의 게이트에 연결되고, 상기 제2 트랜지스터(T2)의 게이트, 제5 트랜지스터(T5)의 게이트 및 제7 트랜지스터(T7)의 게이트는 비반전 신호(IN_D)에 연결되며, 상기 제6 트랜지스터(T6)의 게이트, 제8 트랜지스터(T8)의 게이트는 반전 신호($\overline{IN_D}$)에 연결되는 것을 특징으로 하는 레벨 컨버터.

청구항 5

제 4항에 있어서 상기 입력 트랜지스터 회로(11)는 상기 제2 트랜지스터(T2)의 게이트에, 상기 제5 트랜지스터(T5)의 게이트 및 제7 트랜지스터(T7)의 게이트에 비반전 입력 신호(IN_D)를 각각 공급하고, 제4 트랜지스터(T4)의 게이트, 제6 트랜지스터(T6)의 게이트 및 제8 트랜지스터(T8)의 게이트에 지연된 반전 입력 신호($\overline{IN_D}$)를 각각 공급하는 것을 특징으로 하는 레벨 컨버터.

청구항 6

제1 전원(VDD1), 제2 전원(VDD2) 및 제3 전원(GND)에 연결되어 입력 신호를 수신하는 레벨 컨버터에 있어서, 상기 제1 전원에 결합되고, 이 제1 전원으로부터 전력이 공급되며, 입력 신호의 반전 및 비반전 신호($\overline{IN_D}$, IN_D)를 발생시키는 입력 트랜지스터 회로(12)와; 게이트, 소오스 및 드레인을 각각 구비한 제1 내지 제6 트랜지스터(T1~T6), 제1 부하 소자(R1) 및 제2 부하 소자(R2)를 포함하는 출력 트랜지스터 회로를 구비하며, 상기 제1 트랜지스터(T1)의 드레인은 제2 트랜지스터(T2)의 드레인에 연결되고, 상기 제1 트랜지스터(T1)의 소오스와 제3 트랜지스터(T3)의 소오스는 제2 전원에 연결되고, 상기 제3 트랜지스터(T3)의 드레인은 제4 트랜지스터(T4)의 드레인에 연결되고, 상기 제2 트랜지스터(T2)의 소오스와 제4 트랜지스터(T4)의 소오스는 제3 전원에 연결되고, 상기 제1 트랜지스터(T1)의 게이트는 제5 트랜지스터(T5)를 통해 제3 트랜지스터(T3)의 드레인, 제4 트랜지스터(T4)의 드레인 및 제2 출력(OUT2)에 연결되고, 상기 제3 트랜지스터(T3)의 게이트는 제6 트랜지스터(T6)를 통해 제1 트랜지스터(T1)의 드레인, 제2 트랜지스터(T2)의 드레인 및 제1 출력(OUT1)에 연결되고, 상기 제1 부하 소자(R1)의 일단은 제1 트랜지스터(T1)의 게이트와 제5 트랜지스터(T5)의 드레인에 연결되고, 상기 제2 부하 소자(R2)의 일단은 제3 트랜지스터(T3)의 게이트와 제6 트랜지스터(T6)의 드레인에 연결되고, 상기 제5 트랜지스터(T5)의 소오스는 제6 트랜지스터(T6)의 게이트, 제3 트랜지스터(T3)의 드레인, 제4 트랜지스터(T4)의 드레인 및 제2 출력(OUT2)에 연결되고, 상기 제6 트랜지스터(T6)의 소오스는 제5 트랜지스터(T5)의 게이트, 제1 트랜지스터(T1)의 드레인, 제2 트랜지스터(T2)의 드레인 및 제1 출력(OUT1)에 연결되고, 상기 제1 부하 소자(R1)와 제2 부하 소자(R2) 각각의 타단은 상기제2 전원에 연결되고, 상기 제2 트랜지스터(T2)의 게이트는 비반전 신호(IN_D)에 연결되고, 제4 트랜지스터(T4)의 게이트는 반전 신호($\overline{IN_D}$)에 연결되는 것을 특징으로 하는 레벨 컨버터.

청구항 7

제1 전원(VDD1), 제2 전원(VDD2) 및 제3 전원(GND)에 결합되어 입력 신호를 수신하는 레벨 컨버터에 있어서, 상기 제1 전원에 결합되고 이 제1 전원으로부터 전력이 공급되며, 입력 신호의 반전 신호($\overline{IN_D}$) 및 비반전 신호(IN_D)를 발생시키는 입력 트랜지스터 회로(13)와; 게이트, 소오스 및 드레인을 각각 구비한 제1 내지 제8 트랜지스터(T1~T8)를 포함하는 출력 트랜지스터 회로를 구비하며, 상기 제1 트랜지스터(T1)의 드레인은 제2 트랜지스터(T2)의 드레인에 연결되고, 상기 제1 트랜지스터(T1)의 소오스, 제3 트랜지스터(T3)의 소오스, 및 제7 트랜지스터(T7)의 소오스는 제2 전원에 연결되고, 상기 제3 트랜지스터(T3)의 드레인은 제4 트랜지스터(T4)의 드레인에 연결되고, 상기 제2 트랜지스터(T2)의 소오스와 제4 트랜지스터(T4)의 소오스는 제3 전원에 연결되고, 상기 제1 트랜지스터(T1)의 게이트는 제5 트랜지스터(T5)를 통해 제3 트랜지스터(T3)의 드레인, 제4 트랜지스터(T4)의 드레인 및 제2 출력(OUT2)에 연결되고, 상기 제3 트랜지스터(T3)의 게이트는 제6 트랜지스터(T6)를 통해 제1 트랜지스터(T1)의 드레인, 제2 트랜지스터(T2)의 드레인 및 제1 출력(OUT1)에 연결되고, 상기 제5 트랜지스터(T5)의 드레인은 제1 트랜지스터(T1)의 게이트와 제7 트랜지스터(T7)의 드레인에 연결되고, 상기 제6 트랜지스터(T6)의 드레인과 제8 트랜지스터(T8)의 드레인은 제3 트랜지스터(T3)의 게이트에 연결되고, 상기 제5 트랜지스터(T5)의 소오스는 제6 트랜지스터(T6)의 게이트, 제3 트랜지스터(T3)의 드레인, 제4 트랜지스터(T4)의 드레인 및 제1 출력(OUT2)에 연결되고, 상기 제6 트랜지스터(T6)의 소오스는 제5 트랜지스터(T5)의 게이트, 제1 트랜지스터(T1)의 드레인, 제2 트랜지스터(T2)의 드레인 및 제1 출력(OUT1)에 연결되고, 상기 제2 트랜지스터(T2)의 게이트는 비반전 신호(IN_D)에 연결되고, 상기 제4 트랜지스터(T4)의 게이트는 반전 신호($\overline{IN_D}$)에 연결되는 것을 특징으로 하는 레벨 컨버터.

청구항 8

제1 전원(VDD1), 제2 전원(VDD2) 및 제3 전원(GND)에 연결되어 입력 신호를 수신하는 레벨 컨버터에 있어서, 상기 제1 전원으로부터 전력이 공급되며, 상기 입력 신호의 반전 신호($\overline{IN_D}$) 및 비반전 신호(IN_D)를 발생시키는 입력 트랜지스터 회로(12)와; 제1 단자 및 상기 제2 전원에 연결된 제2 단자를 갖는

제1 부하 소자(R1)와, 제1 단자 및 상기 제2 전원에 연결된 제2 단자를 갖는 제2 부하 소자(R2)와, 홀수 개의 제2 인버터(INV1)와, 상기 제2 전원에 연결된 제1 소오스, 제1 드레인 및 제 1 게이트를 갖는 제1 트랜지스터(T1)와, 상기 제3 전원에 연결된 제2 소오스, 제1 드레인에 연결된 제2 드레인 및 비반전 신호에 연결된 제2 게이트를 갖는 제2 트랜지스터(T2)와, 상기 제2 전원에 연결된 제3 소오스, 제3 드레인 및 제3 게이트를 갖는 제3 트랜지스터(T3)와, 상기 제3 전원에 연결된 제4 소오스, 상기 제5 트랜지스터(T5)를 통해 제1 게이트와 제2 출력에 연결된 제4 드레인 및 상기 반전 신호에 연결된 제4 게이트를 갖는 제4 트랜지스터(T4)와, 상기 제3 드레인, 제4 드레인 및 제2 출력(OUT2)에 연결된 제5 소오스, 제1 부하 소자(R1)의 제1 단자와 제1 게이트에 연결된 제5 드레인 및 상기 홀수 개의 제2 인버터(INV2)에 연결된 제5 게이트를 갖는 제5 트랜지스터(T5)와, 상기 제1 드레인, 제2 드레인 및 제1 출력(OUT1)에 연결된 제6 소오스, 상기 제2 부하 소자(R2)의 제1 단자와 제3 게이트에 연결된 제6 드레인 및 상기 홀수 개의 제1 인버터(INV1)에 연결된 제6 게이트를 갖는 제6 트랜지스터(T6)를 포함하는 출력 트랜지스터 회로를 구비하며, 상기 홀수 개의 제1 인버터(INV1)는 제1 출력(OUT1)에 연결되고, 상기 홀수개의 제2 인버터(INV2)는 제2 출력(OUT2)에 연결되는 것을 특징으로 하는 레벨 컨버터.

청구항 9

제1 전원(VDD1), 제2 전원(VDD2) 및 제3 전원(GND)에 결합되어 입력 신호를 수신하는 레벨 컨버터에 있어서, 상기 제1 전원에 연결되고 제1 전원으로부터 전력이 공급되며, 입력 신호의 반전 신호($\overline{IN_D}$) 및 비반전 신호(IN_D)를 발생시키는 입력 트랜지스터 회로(13)와; 게이트, 소오스 및 드레인을 각각 구비한 제1 내지 제8 트랜지스터(T1~T8)를 포함하는 출력 트랜지스터 회로와; 홀수 개의 제1 인버터(INV1)와; 홀수 개의 제2 인버터(INV2)를 포함하며, 상기 제1 트랜지스터(T1)의 드레인은 제2 트랜지스터(T2)의 드레인에 연결 되고, 상기 제1 트랜지스터(T1)의 소오스, 제3 트랜지스터(T3)의 소오스, 제7 트랜지스터(T7)의 소오스 및 제8 트랜지스터(T8)의 소오스는 제2 전원에 연결되고, 상기 제3 트랜지스터(T3)의 드레인은 제4 트랜지스터(T4)의 드레인에 연결 되고, 상기 제2 트랜지스터(T2)의 소오스와 제4 트랜지스터(T4)의 소오스는 제3전원에 연결 되고, 상기 제1 트랜지스터(T1)의 게이트는 제5 트랜지스터(T5)를 통해 상기 제3 트랜지스터(T3)의 드레인, 제4 트랜지스터(T4)의 드레인 및 제2 출력(OUT2)에 연결 되고, 상기 제3 트랜지스터(T3)의 게이트는 제6 트랜지스터(T6)를 통해 상기 제1 트랜지스터(T1)의 드레인, 제2 트랜지스터(T2)의 드레인 및 제1 출력(OUT1)에 연결 되고, 상기 제5 트랜지스터(T5)의 드레인과 제7 트랜지스터(T7)의 드레인은 제1 트랜지스터(T1)의 게이트에 연결 되고, 상기 제6 트랜지스터(T6)의 드레인과 제8 트랜지스터(T8)의 드레인은 제3 트랜지스터(T3)의 게이트에 연결 되고, 상기 제5 트랜지스터(T5)의 소오스는 제3 트랜지스터(T3)의 드레인, 제4 트랜지스터(T4)의 드레인 및 제2 출력(OUT2)에 연결되고, 상기 제6 트랜지스터(T6)의 소오스는 제1 트랜지스터(T1)의 드레인, 제2 트랜지스터(T2)의 드레인 및 제1 출력(OUT1)에 연결되고, 상기 제2 인버터(INV2)는 상기 제5 트랜지스터(T5)의 게이트와 제2 출력(OUT2)에 사이에 연결 되고, 상기 제1 인버터(INV1)는 상기 제6 트랜지스터(T6)의 게이트와 제1 출력(OUT1)에 사이에연결 되고, 상기 제2 트랜지스터(T2)의 게이트는 비반전 신호(IN_D)에 연결되며, 상기 제4 트랜지스터(T4)의 게이트는 반전 신호($\overline{IN_D}$)에 연결되는 것을 특징으로 하는 레벨 컨버터.

청구항 10

제1 전원(VDD1), 제2 전원(VDD2) 및 제3 전원(GND)에 결합되어 입력 신호를 수신하는 레벨 컨버터에 있어서, 상기 제1 전원에 연결되고 이 제1 전원으로부터 전력이 공급되며, 입력 신호의 반전 신호($\overline{IN_D}$) 및 비반전 신호(IN_D)를 발생시키는 입력 트랜지스터 회로(12)와; 게이트, 소오스 및 드레인을 각각 구비한 제1 내지 제6 트랜지스터(T1~T6)를 포함하는 출력 트랜지스터 회로와; 짝수 개의 제1 인버터(INV1)와; 짝수 개의 제2 인버터(INV2)와; 제1 부하 소자(R1)와; 제2부하 소자(R2)를 포함하며, 상기 제1 트랜지스터(T1)의 드레인은 제2 트랜지스터(T2)에 연결되고, 상기 제1 트랜지스터(T1)의 소오스와 제3 트랜지스터(T3)의 소오스는 제2 전원에 각각 연결되고, 상기 제3 트랜지스터(T3)의 드레인은 제4 트랜지스터(T4)의 드레인에 연결되고, 상기 제2 트랜지스터(T2)의 소오스와 제4 트랜지스터(T4)의 소오스는 제3 전원에 연결되고, 상기 제1 트랜지스터(T1)의 게이트는 제5 트랜지스터(T5)를 통해 상기 제3 트랜지스터(T3)의 드레인, 제4 트랜지스터(T4)의 드레인 및 제2 출력(OUT2)에 연결 되고, 상기 제3 트랜지스터(T3)의 게이트는 제6 트랜지스터(T6)를 통해 상기 제1 트랜지스터(T1)의 드레인, 제2 트랜지스터(T2)의 드레인 및 제1 출력(OUT1)에 연결 되고, 상기 제1 부하 소자(R1)의 일단은 제1 트랜지스터(T1)의 게이트와 제5 트랜지스터(T5)의 드레인에 연결되고, 상기 제2 부하 소자(R2)의 일단은 제3 트랜지스터(T3)의 게이트와 제6 트랜지스터(T6)의 드레인에 연결되고, 상기 제5 트랜지스터(T5)의 소오스는 제3 트랜지스터(T3)의 드레인, 제4 트랜지스터(T4)의 드레인, 및 제2 출력(OUT2)에 연결 되고, 상기 제6 트랜지스터(T6)의 소오스는 제1 트랜지스터(T1)의 드레인, 제2 트랜지스터(T2)의 드레인, 및 제1 출력(OUT1)에 연결 되고, 상기 제1 부하 소자(R1)의 타단과 제2 부하 소자(R2)의 타단은 상기 제2 전원에 각각 연결 되고, 상기 제1 인버터(INV1)는 제5 트랜지스터(T5)의 게이트와 제1 출력(OUT1)에 사이에 연결 되고, 상기 제2 인버터(INV2)는 제6 트랜지스터(T6)의 게이트와 제2 출력(OUT2)에 사이에 연결되고, 상기 제2 트랜지스터(T2)의 게이트는 비반전 신호(IN_D)에 연결되며, 상기 제4 트랜지스터(T4)의 게이트는 반전 신호($\overline{IN_D}$)에 연결되는 것을 특징으로 하는 레벨 컨버터.

청구항 11

제1 전원(VDD1), 제2 전원(VDD2) 및 제3 전원(GND)에 결합되어 입력 신호를 수신하는 레벨 컨버터에 있어서, 상기 제1 전원에 연결되고 이 제1 전원으로부터 전력이 공급되며, 입력 신호의 반전 신호($\overline{IN_D}$) 및 비반전 신호(IN_D)를 발생시키는 입력 트랜지스터 회로(13)와; 게이트, 소오스 및 드레인을 각각 구비한

제1 내지 제6 트랜지스터(T1~T6)를 포함하는 출력 트랜지스터 회로와; 짝수 개의 제1 인버터(INV1)와; 짝수 개의 제2 인버터(INV2)를 포함하며, 상기 제1 트랜지스터(T1)의 드레인은 제2 트랜지스터(T2)에 연결되고, 상기 제1 트랜지스터(T1)의 소오스, 제3 트랜지스터(T3)의 소오스, 제7 트랜지스터(T7)의 소오스 및 제8 트랜지스터(T8)의 소오스는 제2 전원에 연결되고, 상기 제3 트랜지스터(T3)의 드레인은 제4 트랜지스터(T4)의 드레인에 연결되고, 상기 제2 트랜지스터(T2)의 소오스와 제4 트랜지스터(T4)의 소오스는 제3 전원에 연결되고, 상기 제1 트랜지스터(T1)의 게이트는 제5 트랜지스터(T5)를 통해 상기 제3 트랜지스터(T3)의 드레인, 제4 트랜지스터(T4)의 드레인 및 제2 출력(OUT2)에 연결 되고, 상기 제3 트랜지스터(T3)의 게이트는 제6 트랜지스터(T6)를 통해 상기 제1 트랜지스터(T1)의 드레인, 제2 트랜지스터(T2)의 드레인 및 제1 출력(OUT1)에 연결 되고, 상기 제5 트랜지스터(T5)의 드레인과 제7 트랜지스터(T7)의 드레인은 제1 트랜지스터(T1)의 게이트에 연결되고, 상기 제6 트랜지스터(T6)의 드레인과 제8 트랜지스터(T8)의 드레인은 제3 트랜지스터(T3)의 게이트에 연결되고, 상기 제5 트랜지스터(T5)의 소오스는 제3 트랜지스터(T3)의 드레인, 제4 트랜지스터(T4)의 드레인, 및 제2 출력(OUT2)에 연결 되고, 상기 제6 트랜지스터(T6)의 소오스는 제1 트랜지스터(T1)의 드레인, 제2 트랜지스터(T2)의 드레인, 및 제1 출력(OUT1)에 연결 되고, 상기 제1 인버터(INV1)는 상기 제5 트랜지스터(T5)의 게이트와 제1 출력(OUT1)에 사이에 연결되고, 상기 제2 인버터(INV2)는 상기 제6 트랜지스터(T6)의 게이트와 제2 출력(OUT2)에 사이에 연결되고, 상기 제2 트랜지스터(T2)의 게이트는 비반전 신호에 연결되며, 상기 제4 트랜지스터(T4)의 게이트는 반전 신호에 연결되는 것을 특징으로 하는 레벨 컨버터.

청구항 12

제1 전원(VDD1), 제2 전원 및 제3 전원에 결합되어 입력 신호를 수신하는 레벨 컨버터에 있어서, 상기 제1 전원에 연결되고 이 제1 전원으로부터 전력이 공급되며, 입력 신호의 반전 신호($\overline{IN_D}$) 및 비반전 신호(IN_D)를 발생시키는 입력 트랜지스터 회로(13)와; 게이트, 소오스 및 드레인을 각각 구비한 제1 내지 제6 트랜지스터(T1~T6)를 포함하는 출력 트랜지스터 회로와; 제1 부하 소자(R1)와; 제2 부하 소자(R2)와; 제3 부하 소자(R3)와; 제4 부하 소자(R4)와; 제1 커패시터(C1)와; 제2 커패시터(C2)를 포함하며, 상기 제1 트랜지스터(T1)의 드레인은 제2 트랜지스터(T2)에 연결되고, 상기 제1 트랜지스터(T1)의 소오스와 제3 트랜지스터(T3)의 소오스는 제2전원에 각각 연결되고, 상기 제3 트랜지스터(T3)의 드레인은 제4 트랜지스터(T4)의 드레인에 연결되고, 상기 제2 트랜지스터(T2)의 소오스와 제4 트랜지스터(T4)의 소오스는 제3 전원에 각각 연결되고, 상기 제1 트랜지스터(T1)의 게이트는 제5 트랜지스터(T5)를 통해 제3 트랜지스터(T3)의 드레인, 제4 트랜지스터(T4)의 드레인 및 제2 출력(OUT2)에 연결 되고, 상기 제3 트랜지스터(T3)의 게이트는 제6 트랜지스터(T6)를 통해 제1 트랜지스터(T1)의 드레인, 제2 트랜지스터(T2)의 드레인 및 제1 출력(OUT1)에 연결 되고, 상기 제1 부하 소자(R1)의 일단은 제1 트랜지스터(T1)의 게이트와 제5 트랜지스터(T5)의 드레인에 연결되고, 상기 제2 부하 소자(R2)의 일단은 제3 트랜지스터(T3)의 게이트와 제6 트랜지스터(T6)의 드레인에 연결되고, 상기 제5 트랜지스터(T5)의 소오스는 제4 부하 소자(R4)의 일단 제2 커패시터(C2)의 일단, 제3 트랜지스터(T3)의 드레인, 제4 트랜지스터(T4)의 드레인 및 제2 출력(OUT2)에 연결되고, 상기 제6 트랜지스터(T6)의 소오스는 제3 부하 소자(R3)의 일단 제1 커패시터(C1)의 일단, 제1 트랜지스터(T1)의 드레인, 제2 트랜지스터(T2)의 드레인 및 제1 출력(OUT1)에 연결되고, 상기 제5 트랜지스터(T5)의 게이트는 제3 부하 소자(R3)의 타단에 연결되고, 상기 제6 트랜지스터(T6)의 게이트는 제4 부하 소자(R4)의 타단에 연결되고, 상기 제1 부하 소자(R1)의 타단과 제2 부하 소자(R2)의 타단은 제2 전원에 연결되고, 상기 제1 커패시터(C1)의 타단과 제2 커패시터(C2)의 타단은 제3 전원에 연결되고, 상기 제2 트랜지스터(T2)의 게이트는 비반전 신호(IN_D)에 연결되며, 상기 제4 트랜지스터(T4)의 게이트는 반전 신호($\overline{IN_D}$)에 연결되는 것을 특징으로 하는 레벨 컨버터.

청구항 13

제1 전원(VDD1), 제2 전원(VDD2) 및 제3 전원(GND)에 결합되어 입력 신호를 수신하는 레벨 컨버터에 있어서, 상기 제1 전원에 연결되고 이 제1 전원으로부터 전력이 공급되며, 입력 신호의 반전 신호($\overline{IN_D}$) 및 비반전 신호(IN_D)를 발생시키는 입력 트랜지스터 회로와; 게이트, 소오스 및 드레인을 각각 구비한 제1 내지 제8 트랜지스터(T1~T8)를 포함하는 출력 트랜지스터 회로와; 제1 부하 소자(R1)와; 제2 부하 소자(R2)와; 제1 커패시터(C1)와; 제2 커패시터(C2)를 포함하며, 상기 제1 트랜지스터(T1)의 드레인은 제2 트랜지스터(T2)의 드레인에 연결되고, 상기 제1 트랜지스터(T1)의 소오스, 제3 트랜지스터(T3)의 소오스, 제7 트랜지스터(T7)의 소오스 및 제8 트랜지스터(T8)의 소오스는 제2 전원에 연결되고, 상기 제3 트랜지스터(T3)의 드레인은 제4 트랜지스터(T4)의 드레인에 연결되고, 상기 제2 트랜지스터(T2)의 소오스와 제4 트랜지스터(T4)의 소오스는 제3 전원에 각각 연결되고, 상기 제1 트랜지스터(T1)의 게이트는 제5 트랜지스터(T5)를 통해 제3 트랜지스터(T3)의 드레인, 제4 트랜지스터(T4)의 드레인 및 제2 출력(OUT2)에 연결되고, 상기 제3 트랜지스터(T3)의 게이트는 제6 트랜지스터(T6)를 통해 상기 제1 트랜지스터(T1)의 드레인, 제2 트랜지스터(T2)의 드레인 및 제1 출력(OUT1)에 연결 되고, 상기 제5 트랜지스터(T5)의 드레인과 제7 트랜지스터(T7)의 드레인은 제1 트랜지스터(T1)의 게이트에 연결되고, 상기 제6 트랜지스터(T6)의 드레인과 제8 트랜지스터(T8)의 드레인은 제3 트랜지스터(T1)의 게이트에 연결되고, 제5 트랜지스터(T5)의 소오스는 제2 부하 소자(R2)의 일단, 제2 커패시터(C2)의 일단, 제3 트랜지스터(T3)의 드레인, 제4 트랜지스터(T4)의 드레인 및 제2 출력(OUT2)에 연결된다. 상기 제6 트랜지스터(T6)의 소오스는 제1 부하 소자(R1)의 일단, 제1 커패시터(C1)의 일단, 제1 트랜지스터(T1)의 드레인, 제2 트랜지스터(T2)의 드레인 및 제1 출력(OUT1)에 연결되고, 상기 제5 트랜지스터(T5)의 게이트는 제1 부하 소자(R1)의 타단에 연결되고, 상기 제6 트랜지스터(T6)의 게이트는 제2 부하 소자(R2)의 타단에 연결되고, 상기 제1 커패시터(C1)의 타단과 제2 커패시터(C2)의 타단은 제3 전원에 연결되고, 상기 제2 트랜지스터(T2)의 게이트는 비반전 신호(IN_D)에 연결되며, 상기 제4 트랜지스터(T4)의 게이트는 반전 신호($\overline{IN_D}$)에 연결되는 것을 특징으로

하는 레벨 컨버터.

청구항 14

제1 전원(VDD1), 제2 전원 및 제3 전원(GND)에 결합되어 입력 신호를 수신하는 레벨 컨버터에 있어서, 상기 제1 전원에 연결되고 이 제1 전원으로부터 전력이 공급되며, 입력 신호의 반전 신호($\overline{IN_D}$) 및 비반전 신호(IN_D)를 발생시키는 입력 트랜지스터 회로()와; 게이트, 소오스 및 드레인을 각각 구비한 제1 내지 제6 트랜지스터(T1~T8)를 포함하는 출력 트랜지스터 회로와; 제1 인버터(INV1)와; 제2 인버터(INV2)와; 제1 적분 회로(CR1)와; 제2 적분 회로(CR2)와; 제1 부하 소자(R1)와; 제2 부하 소자(R2)를 포함하며, 상기 제1 트랜지스터(T1)의 드레인은 제2 트랜지스터(T2)에 연결되고, 상기 제1 트랜지스터(T1)의 소오스와 제3 트랜지스터(T3)의 소오스는 제2 전원에 각각 연결되고, 상기 제3 트랜지스터(T3)의 드레인은 제4 트랜지스터(T4)의 드레인에 연결되고, 상기 제2 트랜지스터(T2)의 소오스와 제4 트랜지스터(T4)의 소오스는 제3 전원에 각각 연결되고, 상기 제1 트랜지스터(T1)의 게이트는 제5 트랜지스터(T5)를 통해 상기 제3 트랜지스터(T3)의 드레인, 제4 트랜지스터(T4)의 드레인 및 제2 출력(OUT2)에 연결 되고, 상기 제3 트랜지스터(T3)의 게이트는 제6 트랜지스터(T6)를 통해 제1 트랜지스터(T1)의 드레인, 제2 트랜지스터(T2)의 드레인 및 제1 출력(OUT1)에 연결 되고, 상기 제2 부하 소자(R2)의 일단은 제3 트랜지스터(T3)의 게이트와 제6 트랜지스터(T6)의 드레인에 연결되고, 상기 제1 부하 소자(R1)의 일단은 제1 트랜지스터의 게이트와 제5 트랜지스터(T5)의 드레인에 연결되고, 상기 제5 트랜지스터(T5)의 소오스는 제3 트랜지스터(T3)의 드레인, 제4 트랜지스터의 드레인 및 제2 출력(OUT2)에 연결되고, 상기 제6 트랜지스터(T6)의 소오스는 제1 트랜지스터(T1)의 드레인, 제2 트랜지스터(T2)의 트랜지스터의 드레인 및 제1 출력(OUT1)에 연결되고, 상기 제1 부하 소자(R1)의 타단과 제2 부하 소자(R2)의 타단은 제2 전원에 연결되고, 상기 제2 인버터(INV2)와 제2 적분 회로(CR2)는 상기 제5 트랜지스터(T5)의 게이트와 제2 출력(OUT2) 사이에 직렬로 연결되고, 상기 제1 인버터(INV1)와 제1 직접 회로는 상기 제6 트랜지스터(T6)와 제1 출력(OUT1) 사이에 직렬로 연결되고, 상기 제2 트랜지스터(T2)의 게이트는 비반전 신호(IN_D)에 연결되고, 제4 트랜지스터(T4)의 게이트는 반전 신호($\overline{IN_D}$)에 연결되는 것을 특징으로 하는 레벨 컨버터.

청구항 15

제1 전원(VDD1), 제2 전원 및 제3 전원에 결합되어 입력 신호를 수신하는 레벨 컨버터에 있어서, 상기 제1 전원에 연결되고 이 제1 전원으로부터 전력이 공급되며, 입력 신호의 반전 신호($\overline{IN_D}$) 및 비반전 신호(IN_D)를 발생시키는 입력 트랜지스터 회로와; 게이트, 소오스 및 드레인을 각각 구비한 제1 내지 제8 트랜지스터(T1~T8)를 포함하는 출력 트랜지스터 회로와; 제1 인버터(INV1)와; 제2 인버터(INV2)와; 제1 적분 회로(CR1)와; 제2 적분 회로(CR2)와; 제1 부하 회로(R1)와; 제2 부하 회로(R2)를 포함하며, 상기 제1 트랜지스터(T1)의 드레인은 제2 트랜지스터(T2)에 연결되고, 상기 제1 트랜지스터(T1)의 소오스, 제3 트랜지스터(T3)의 소오스, 제7 트랜지스터(T7)의 소오스 및 제8 트랜지스터(T8)의 소오스는 제2 전원에 연결되고, 상기 제3 트랜지스터(T3)의 드레인은 제4 트랜지스터(T4)의 드레인에 연결되고, 상기 제2 트랜지스터(T2)의 소오스와 제4 트랜지스터(T4)의 소오스는 제3 전원에 각각 연결되고, 상기 제1 트랜지스터(T1)의 게이트는 제5 트랜지스터(T5)를 통해 제3 트랜지스터(T3)의 드레인, 제4 트랜지스터(T4)의 드레인 및 제2 출력(OUT2)에 연결 되고, 상기 제3 트랜지스터(T3)의 게이트는 제6 트랜지스터(T6)를 통해 상기 제1 트랜지스터(T1)의 드레인, 제2 트랜지스터(T2)의 드레인 및 제1 출력(OUT1)에 연결 되고, 상기 제5 트랜지스터(T5)의 드레인과 제7 트랜지스터(T7)의 드레인은 제1 트랜지스터(T1)의 게이트에 연결되고, 상기 제6 트랜지스터(T6)의 드레인과 제8 트랜지스터(T8)의 드레인은 제3 트랜지스터(T3)의 게이트에 연결되고, 상기 제5 트랜지스터(T5)의 소오스는 제3 트랜지스터(T3)의 드레인, 제4 트랜지스터의 드레인 및 제2 출력(OUT2)에 연결되고, 상기 제6 트랜지스터(T6)의 소오스는 제1 트랜지스터(T1)의 드레인, 제2 트랜지스터(T2)의 트랜지스터의 드레인 및 제1 출력(OUT1)에 연결되고, 상기 제2 인버터(INV2)와 제2 적분 회로(CR2)는 상기 제5 트랜지스터(T5)의 게이트와 제2 출력(OUT2) 사이에 직렬로 연결되고, 상기 제1 인버터(INV1)와 제1 직접 회로는 상기 제6 트랜지스터(T6)와 제1 출력(OUT1) 사이에 직렬로 연결되고, 상기 제2 트랜지스터(T2)의 게이트는 비반전 신호(IN_D)에 연결되고, 제4 트랜지스터(T4)의 게이트는 반전 신호($\overline{IN_D}$)에 연결되는 것을 특징으로 하는 레벨 컨버터.

청구항 16

제1 전원(VDD1), 제2 전원 및 제3 전원에 결합되어 입력 신호를 수신하는 레벨 컨버터에 있어서, 상기 제1 전원에 연결되고 이 제1 전원으로부터 전력이 공급되며, 입력 신호에 기초한 상보 신호($\overline{IN_D}$, IN_D)를 출력하는 입력 트랜지스터 회로(11A)와; 상기 제2 전원에 연결된 제1 소오스, 제1 드레인 및 제1 게이트를 갖는 제1 트랜지스터(T1)와, 제3 전원에 결합된 제2 소오스, 제1 드레인에 결합된 제2 드레인 및 상기 상보 신호에 결합된 제2 게이트를 갖는 제2 트랜지스터(T2)와, 제2 전원에 결합된 제3 소오스, 제1 게이트에 결합된 제3 드레인 및 제1 드레인, 제2 드레인 및 제1 출력(OUT1)에 결합된 제3 게이트를 갖는 제3 트랜지스터(T3)와, 제3 전원에 결합된 제4 소오스, 제3 드레인 및 제2 출력(OUT2)에 결합된 제4 드레인 및 상보 신호에 결합된 제4 게이트를 갖는 제4 트랜지스터(T4)를 구비하는 출력 트랜지스터 회로와; 제1 입력, 제2 입력 및 출력을 갖는 제1의 2-입력 NOR 회로(NOR1)와; 제1 입력, 제2 입력 및 출력을 갖는 제2의 2-입력 NOR 회로(NOR2)를 포함하며, 상기 입력 트랜지스터 회로는 상기 제1 전원(VDD1)에 결합되며 입력 및 출력을 갖는 인버터(INV)를 포함하고, 상기 인버터의 입력은 제2의 2-입력 NOR회로의 제1 입력에 결합되고, 상기 인버터의 출력은 제1의 2-입력 NOR회로의 제1 입력에 결합되고, 상기 제1의 2-입력 NOR 회로는 상기 제2의 2-입력 NOR 회로의 출력에 결합되고, 상기 제2의 2-입력 NOR 회로의 제2 입력은 상기 제1의 2-입력 NOR 회로의 출력에 결합되고, 상기 제1의 2-입력 NOR 회로의 출력과 제2의 2-

입력 NOR 회로의 출력은 상기 출력 트랜지스터 회로에 결합되는 것을 특징으로 하는 레벨 컨버터 회로.

청구항 17

제1 전원(VDD1), 제2 전원 및 제3 전원에 결합되어 입력 신호를 수신하는 레벨 컨버터에 있어서, 상기 제1 전원에 연결되고 이 제1 전원으로부터 전력이 공급되며, 입력 신호에 기초하여 제1 상보 신호(IN1, $\overline{IN1}$) 및 제2 상보 신호(IN2, $\overline{IN2}$)를 출력하는 입력 트랜지스터 회로(11)와; 게이트, 소오스 및 드레인을 각각 구비한 제1 내지 제6 트랜지스터(T1~T6)를 포함하는 출력 트랜지스터 회로와; 제1 부하 소자(R1)와; 제2 부하 소자(R2)를 포함하며, 상기 제1 트랜지스터(T1)의 드레인은 제2 트랜지스터(T2)의 드레인에 연결되고, 상기 제3 트랜지스터(T3)의 드레인은 제4 트랜지스터(T4)의 드레인에 연결되고, 상기 제2 트랜지스터(T2)의 소오스, 제4 트랜지스터(T4)의 소오스, 제5 트랜지스터(T5)의 소오스 및 제6 트랜지스터(T6)의 소오스는 제3 전원의 저전위측에 연결되고, 상기 제1 부하 소자(R1)의 일단은 제3 트랜지스터(T3)의 드레인과 제5 트랜지스터(T5)의 드레인에 연결되고, 상기 제1 부하 소자(R1)의 타단은 제1 트랜지스터(T1)의 드레인, 제2 트랜지스터(T2)의 드레인에 및 제1 출력(OUT1)에 연결되고, 상기 제2 부하 소자(R2)의 일단은 제1 트랜지스터(T1)의 게이트와 제6 트랜지스터(T6)의 드레인에 연결되고, 상기 제2 부하 소자(R2)의 타단은 제1 트랜지스터(T1)의 드레인, 제4 트랜지스터(T4)의 드레인에 및 제2 출력(OUT2)에 연결되고, 상기 제2 트랜지스터(T2)의 게이트, 제4 트랜지스터(T4)의 게이트, 제5 트랜지스터(T5)의 게이트 및 제6 트랜지스터(T6)의 게이트는 입력 트랜지스터 회로의 출력에 연결되는 것을 특징으로 하는 레벨 컨버터.

청구항 18

제17항에 있어서, 상기 입력 트랜지스터 회로는 상기 제5 트랜지스터(T5)의 게이트에 제1 비반전 입력 신호를 공급하며, 상기 제2 트랜지스터(T2)의 게이트에 제2 비반전 입력 신호를 공급하고, 상기 제6 트랜지스터(T6)의 게이트에 제1 지연-반전 입력 신호를 공급하며, 상기 제4 트랜지스터(T4)의 게이트에 제2 지연-반전 입력 신호를 공급하는 것을 특징으로 하는 레벨 컨버터.

청구항 19

제17항에 있어서, 상기 입력 트랜지스터 회로는 입력 및 출력을 가지며 상기 제1 전원(VDD1)에 결합된 인버터와, 제1 입력, 제2 입력 및 출력을 갖는 제1의 2-입력 NOR 회로(NOR1)와, 제1 입력, 제2 입력 및 출력을 갖는 제2의 2-입력 NOR 회로(NOR2)를 구비하며, 상기 인버터의 입력은 상기 제2의 2-입력 NOR 회로의 제1 입력에 결합되고, 상기 인버터의 출력은 상기 제1의 2-입력 NOR 회로의 제1 입력에 결합되고, 상기 제1의 2-입력 NOR 회로의 제2 입력에 결합되고, 상기 제2-입력 NOR 회로의 출력에 결합되며, 상기 제2의 2-입력 NOR 회로의 제2 입력은 상기 제1의 2-입력 NOR 회로의 출력에 결합되고, 상기 제1의 2-입력 NOR 회로의 출력과 상기 제2의 2-입력 NOR 회로의 출력은 상기 출력 트랜지스터 회로에 각각 결합되는 것을 특징으로 하는 레벨 컨버터.

청구항 20

제17항에 있어서, 상기 입력 트랜지스터 회로는 상기 제1 전원(VDD1)에 결합된 인버터와, 제1 입력, 제2 입력 및 출력을 갖는 제1의 2-입력 NAND 회로와, 제1 입력, 제2 입력 및 출력을 갖는 제2의 2-입력 NAND 회로를 구비하며, 상기 인버터의 입력은 상기 제2의 2-입력 NAND 회로의 제1 입력에 결합되고, 상기 인버터의 출력은 상기 제1의 2-입력 NAND 회로의 제1 입력에 결합되고, 상기 제1의 2-입력 NAND 회로의 제2 입력은 제2-입력 NAND 회로의 출력에 결합되며, 상기 제2의 2-입력 NAND 회로의 제2 입력은 상기 제1의 2-입력 NAND 회로의 출력에 결합되고, 상기 제1의 2-입력 NAND 회로의 출력과 상기 제2의 2-입력 NAND 회로의 출력은 상기 출력 트랜지스터 회로에 각각 결합되는 것을 특징으로 하는 레벨 컨버터.

청구항 21

제1 전원(VDD1), 제2 전원(VDD2) 및 제3 전원(GND)에 결합되어 입력 신호를 수신하는 레벨 컨버터에 있어서, 상기 제1 전원에 연결되고 이 제1 전원으로부터 전력이 공급되며, 입력 신호에 기초하여 제1 상보 신호(IN1, $\overline{IN1}$) 및 제2 상보 신호(IN2, $\overline{IN2}$)를 출력하는 입력 트랜지스터 회로와, 게이트, 소오스 및 드레인을 각각 구비한 제1 내지 제8 트랜지스터(T1~T8)를 포함하는 출력 트랜지스터 회로와; 제1부하 소자(R1)와; 제2 부하 소자(R2)를 포함하며, 상기 제1 트랜지스터(T1)의 드레인은 제2 트랜지스터(T2)의 드레인은 서로 연결되고, 상기 제1 트랜지스터(T1)의 소오스와 제3 트랜지스터(T3)의 소오스는 제2 전원에 각각 연결되고, 상기 제3 트랜지스터(T3)의 드레인은 제4 트랜지스터(T4)의 드레인에 연결되고, 상기 제5 트랜지스터(T5)의 소오스, 제6 트랜지스터(T6)의 소오스, 제7 트랜지스터(T7)의 소오스 및 제8 트랜지스터(T8)의 소오스는 제3 전원의 저전위측에 연결되고, 상기 제1 부하 소자(R1)의 일단은 제3 트랜지스터의 게이트와, 제5 트랜지스터(T5)의 드레인에 연결되고, 상기 제1 부하 소자(R1)의 타단은 제1 트랜지스터(T1)의 드레인, 제2 트랜지스터(T2)의 드레인 및 제1 출력(OUT1)에 연결되고, 상기 제2 트랜지스터(T2)의 게이트와 제5 트랜지스터(T5)의 게이트는 서로 연결되고, 상기 제2 부하 소자(R2)의 일단은 제1 트랜지스터(T1)의 게이트와 제6 트랜지스터(T6)의 드레인에 연결되고, 상기 제2 부하 소자(R2)의 타단은 제3 트랜지스터(T3)의 드레인, 제4 트랜지스터(T4)의 드레인 및 제2 출력(OUT2)에 연결되고, 상기 제4 트랜지스터(T4)의 게이트와 제6 트랜지스터(T6)의 게이트는 서로 연결되고, 상기 제2 트랜지스터(T2)의 소오스는 제8 트랜지스터(T8)의 드레인에 연결되고, 상기 제2 트랜지스터(T2)의 게이트, 제4 트랜지스터(T4)의 게이트, 제5 트랜지스터(T5)의 게이트, 제6 트랜지스터(T6)의 게이트, 제7 트랜지스터(T7)의 게이트 및 제8 트랜지스터(T8)의 게이트는 입력 트랜지스터 회로에 연결되는 것을 특징으로 하는 레벨 컨버터.

청구항 22

제21항에 있어서, 상기 입력 트랜지스터 회로는 상기 제2 트랜지스터(T2)의 게이트 및 제5 트랜지스터

(T5)의 게이트에 제1 비반전 입력 신호(IN1)를 공급하며, 상기 제7 트랜지스터(T7)의 제2 비반전 입력 신호(IN2)를 공급하고, 상기 제4 트랜지스터(T4)의 게이트 및 제6 트랜지스터(T6)의 게이트에 제1 지연-반전 입력 신호($\overline{IN1}$)를 공급하며, 상기 제8 트랜지스터(T8)의 게이트에 제2 지연-반전 신호($\overline{IN2}$)를 공급하는 것을 특징으로 하는 레벨 컨버터.

청구항 23

제1 구동 전원(VDD1)에 접속된 제1 회로 시스템(16,19)의 출력 신호를 제2 구동 전원에 접속된 제2 회로 시스템(18,21)의 출력 신호로 변환하고, 상기 제2 구동 전원에 접속된 제2 회로 시스템의 출력 신호를 상기 제1 구동 전원에 접속된 제1 회로 시스템의 입력 신호로 변환하는 양방향 레벨 변환 회로(20)와; 상기 제1 구동 전원과 제2 구동 전원에 의한 일련의 변환에 따라 상기 양방향 레벨 변환 회로(20)의 신호 방향을 결정하는 신호 제어 회로(22)를 구비하는 것을 특징으로 하는 반도체 집적 회로.

청구항 24

반도체 칩 내의 격자 배선된 제1 구동 전원으로부터 전력이 공급됨으로써 구동되는 제1 회로 시스템(16)과, 반도체 칩 내의 격자 배선된 제2 구동 전원으로부터 전력이 공급됨으로써 구동되는 제2 회로 시스템(18)을 구비하는 것을 특징으로 하는 반도체 집적 회로.

청구항 25

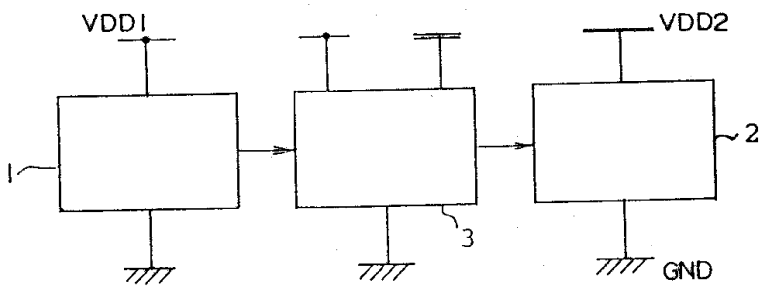
제24항에 있어서, 상기 제1 회로 시스템(16)의 출력 신호를 상기 제1 구동 전원으로부터 제공된 전력에 의해서 제2 회로 시스템(18)의 입력 신호로 변환하는 레벨 변환 회로(17)를 추가로 구비하는 것을 특징으로 하는 반도체 집적 회로.

청구항 26

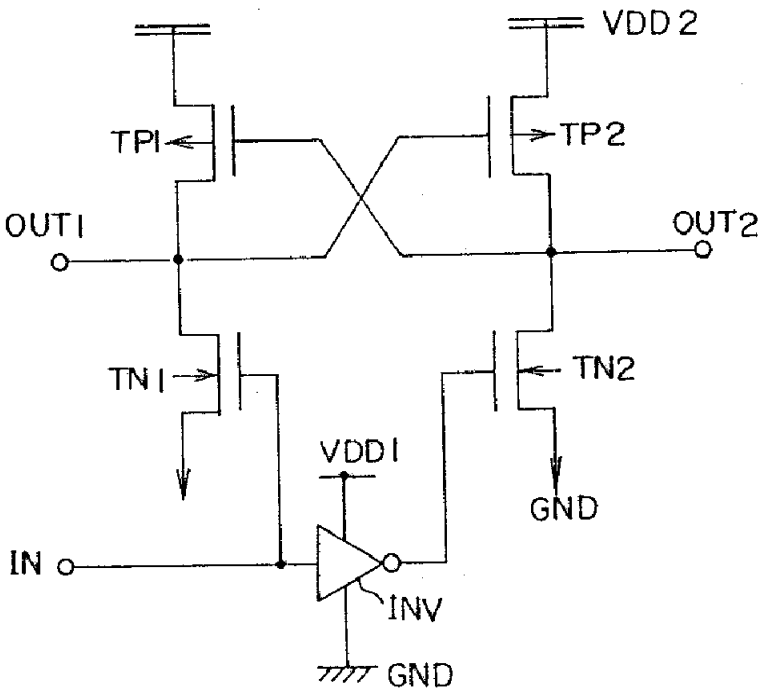
반도체 칩 내에 격자 형태로 배선된 제1 구동 전원으로부터 전력이 공급됨으로써 구동되는 제1 회로 시스템(16)과; 상기 제1 회로 시스템(16)의 출력 신호를 상기 제1 구동 전원으로부터 공급된 전력에 의 해 제2 회로 시스템(18)의 입력 신호로 변환하는 레벨 변환 회로(17)와; 반도체 칩 내에 격자 형태로 배선된 제2 구동 전원으로부터 전력이 공급되고 상기 변환된 신호 레벨에 따라 구동되는 제2 회로 시스템(18)을 구비하며, 상기 레벨 변환 회로(17)는, 제1전원(VDD1)에 결합되고 이 제1 전원(VDD1)으로부터 전력이 공급되며 입력신호에 기초하여 상보 신호를 출력하는 입력 트랜지스터 회로와; 제2 전원에 접속된 제1 소오스, 제1 드레인 및 제1 게이트를 갖는 제1 트랜지스터(T1)와, 제3 전원에 접속된 제2 소오스, 제1 드레인에 접속된 제2 드레인 및 상보 신호에 접속된 제2 게이트를 갖는 제2 트랜지스터(T2)와, 제2전원에 접속된 제3 소오스, 제1 게이트에 접속된 제3 드레인 및 제1 드렌, 제2 드레인 및 제1 출력(OUT1)에 접속된 제4 소오스, 제3 드레인 및 제2 출력(OUT2)에 접속된 제4 드레인 및 상보 신호에 접속된 제4 게이트를 갖는 제4 트랜지스터(T4)를 포함하는 출력 트랜지스터를 구비하는 것을 특징으로 하는 반도체 집적 회로.

도면

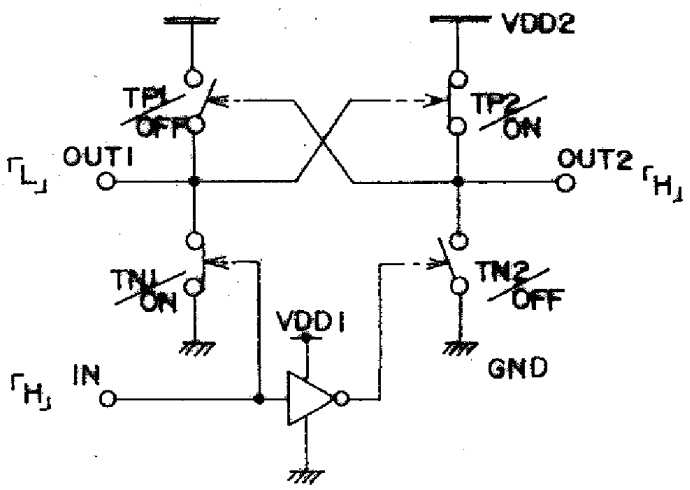
도면1



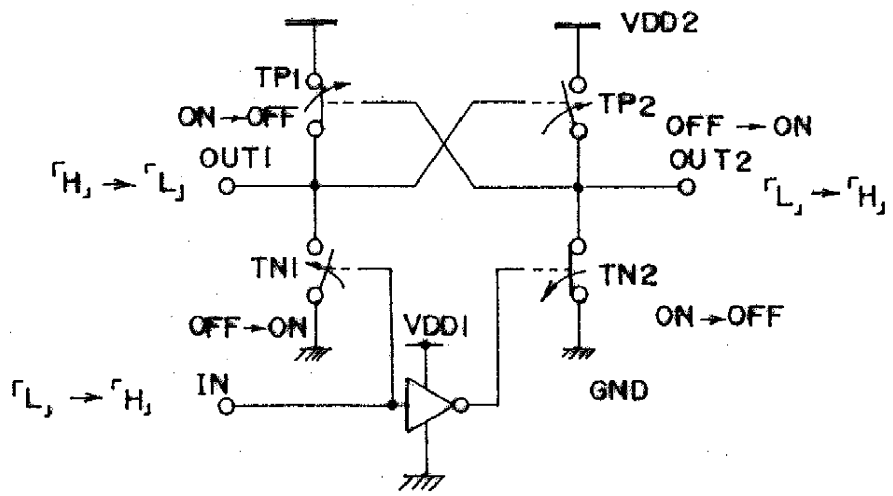
도면2


VDD 2
TP1
TP2
OUT1
OUT2
TN1
TN2
VDD1
GND
IN
INV
GND

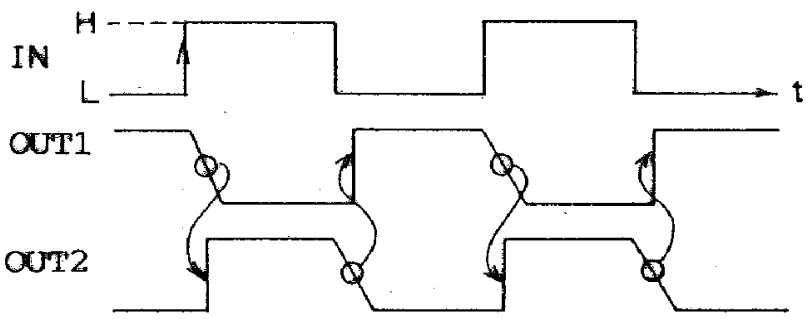
도면3a


VDD2
TP1
OFF
TP2
ON
OUT1
OUT2
TN1
ON
TN2
OFF
VDD1
GND
IN

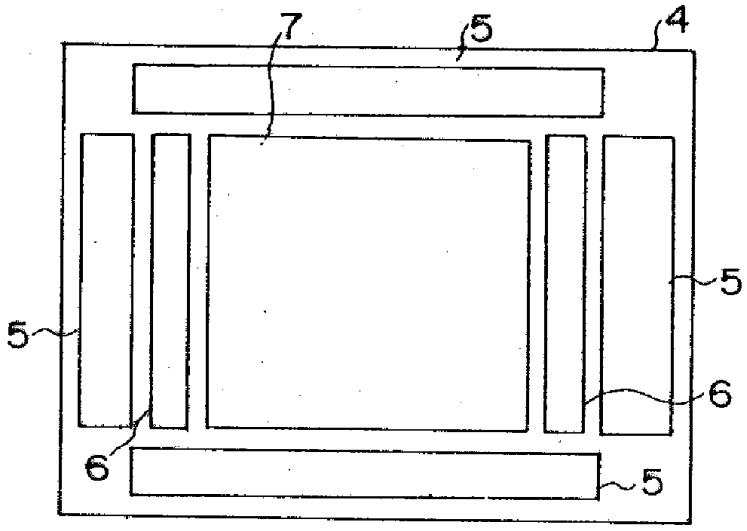
도면3b



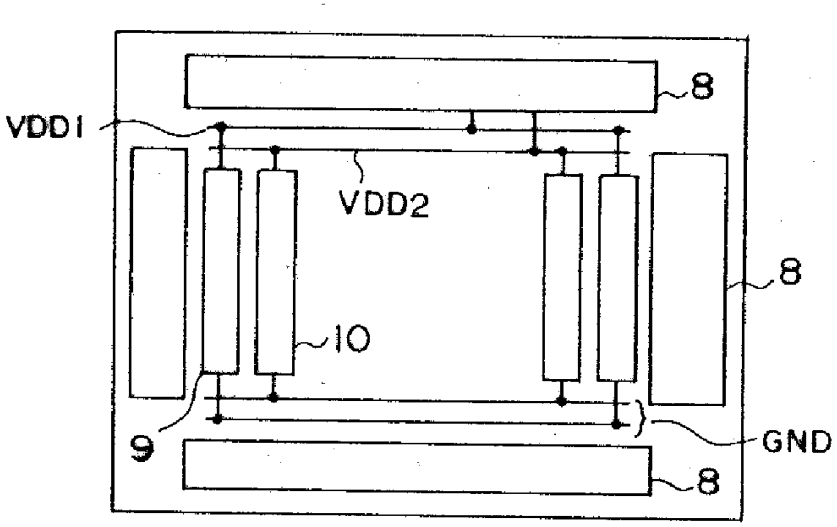
도면3c



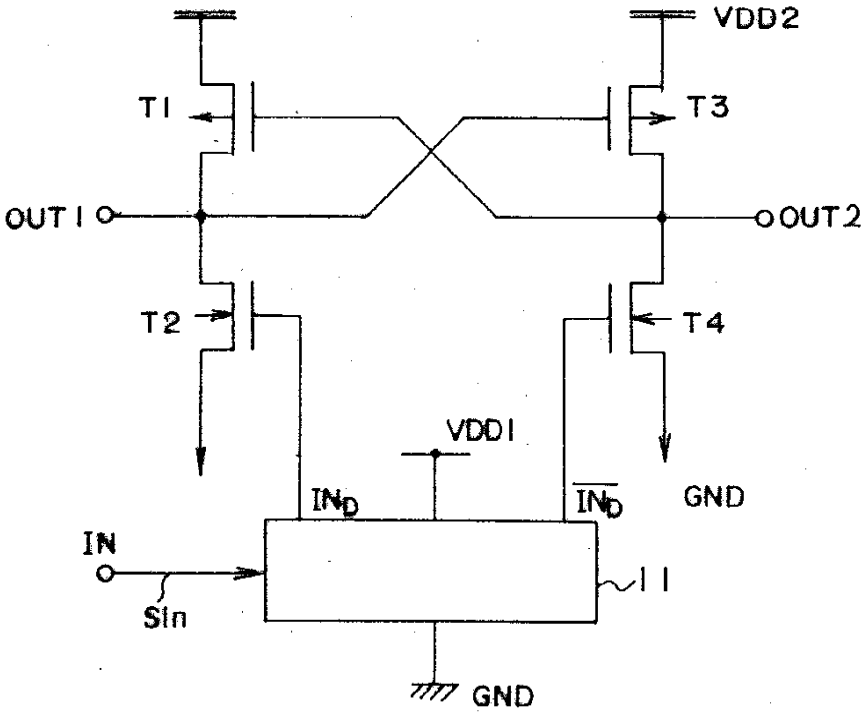
도면4



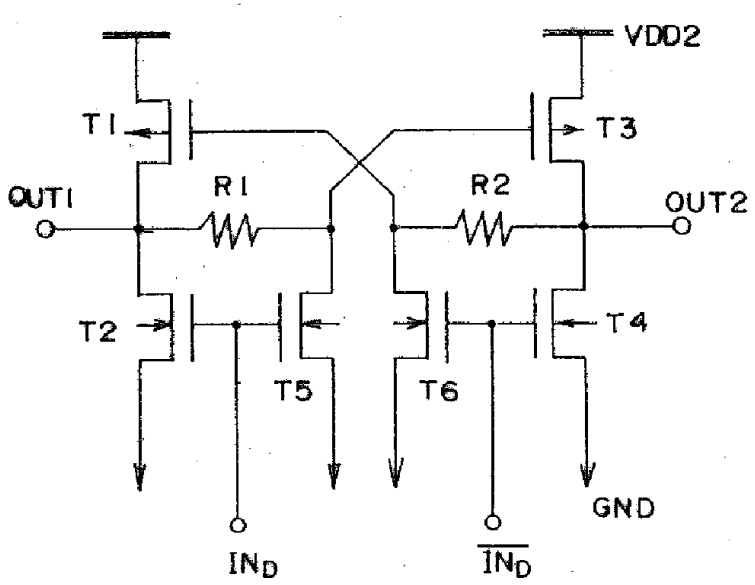
도면5


VDD1
8
VDD2
8
10
9
GND
8

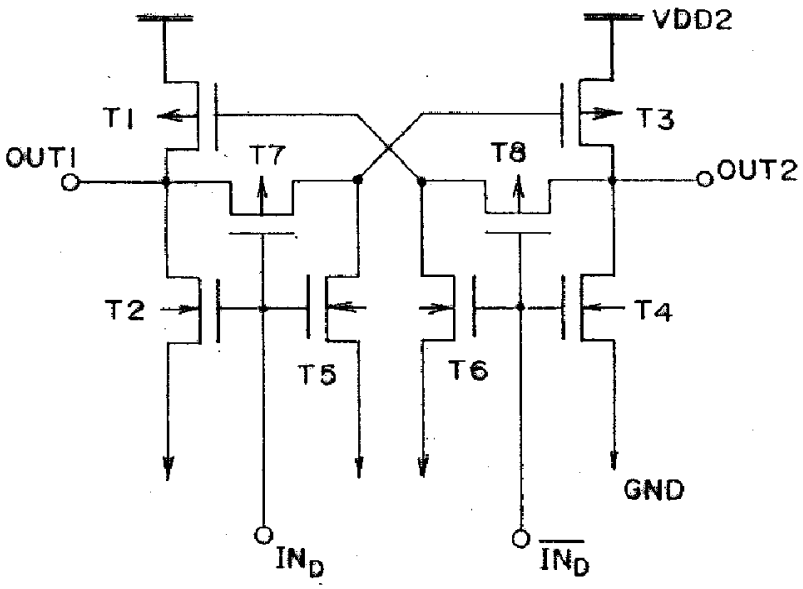
도면6


VDD2
T1
T3
OUT1
OUT2
T2
T4
VDD1
IND
IND
GND
IN
SIn
11
GND

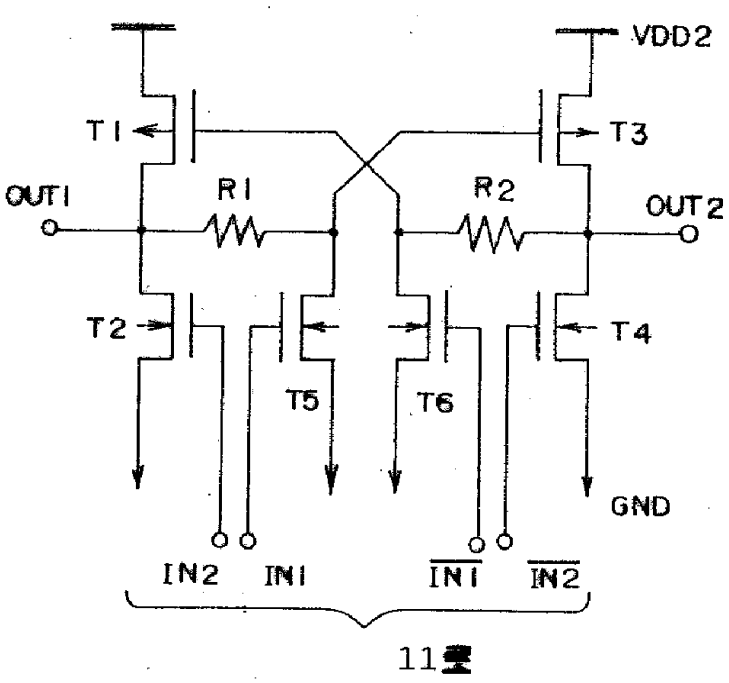
도면7


VDD2
T1
T3
OUT1
R1
R2
OUT2
T2
T4
T5
T6
GND
IND
IND

도면8

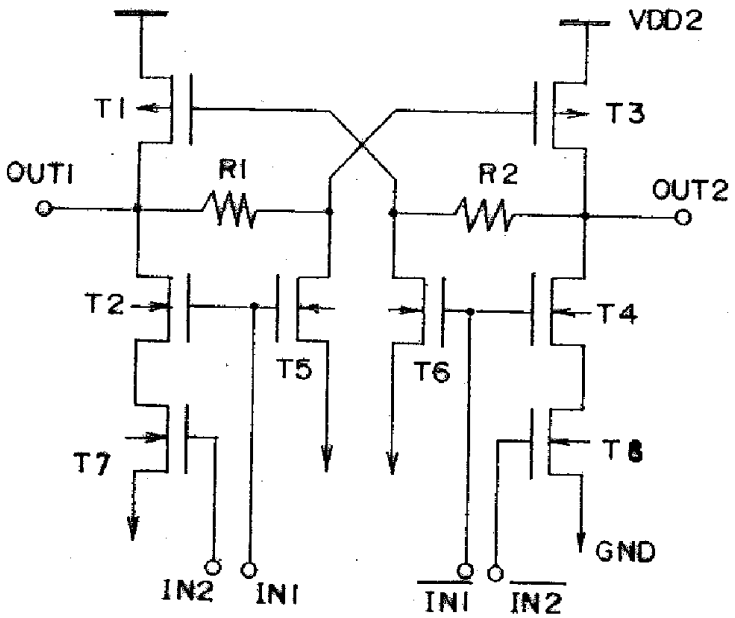

VDD2
T1
T3
OUT1
T7
T8
OUT2
T2
T4
T5
T6
GND
IND
IND

도면9

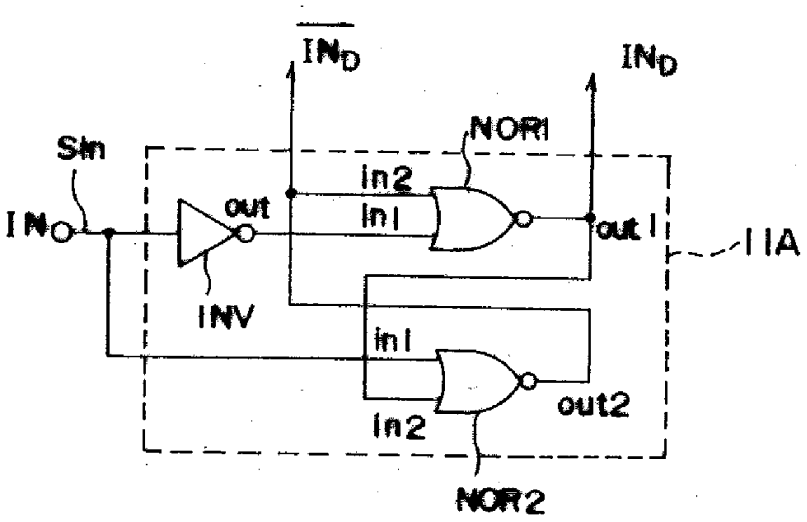

VDD2
T1
T3
OUT1
R1
R2
OUT2
T2
T4
T5
T6
GND
IN2
IN1
IN1
IN2

11

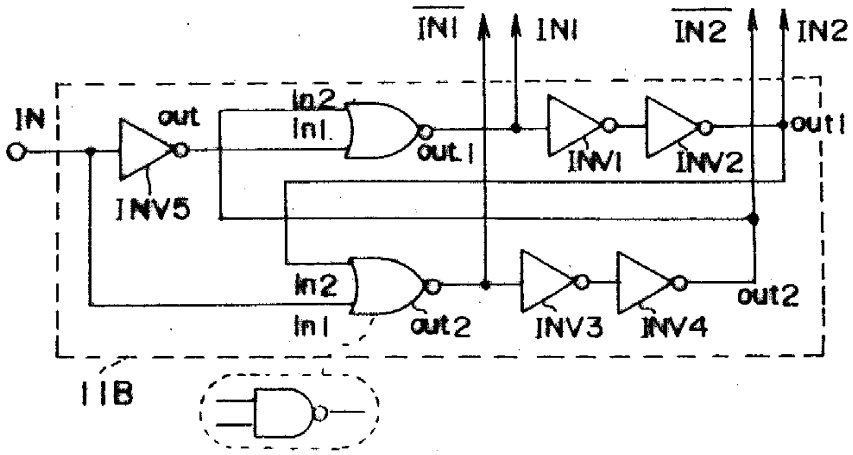
도면10


VDD2
T1
T3
OUT1
R1
R2
OUT2
T2
T4
T5
T6
T7
T8
GND
IN2
IN1
IN1
IN2

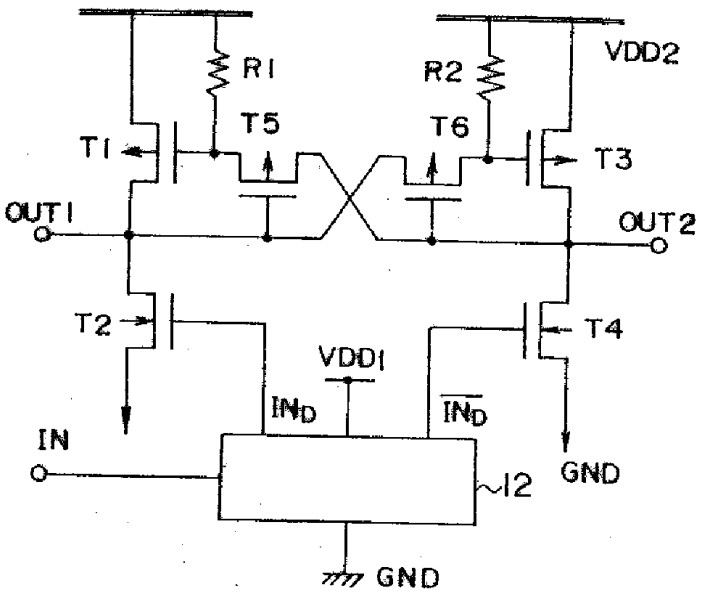
도면11



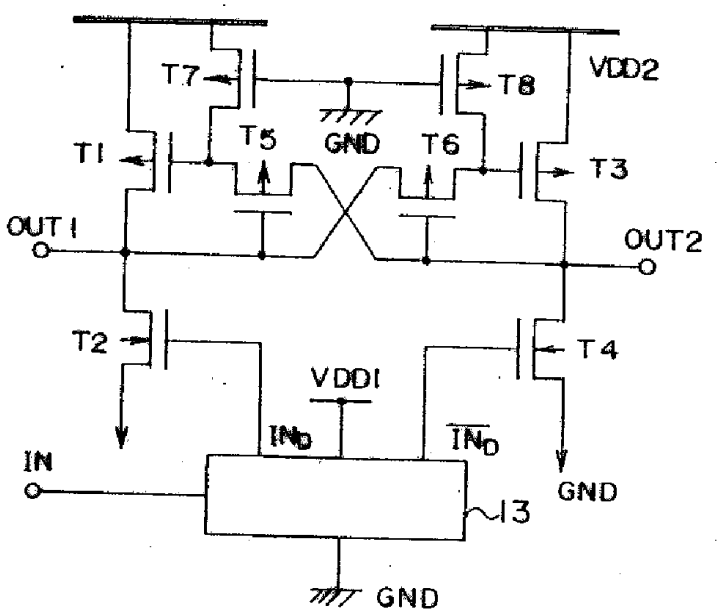
도면12



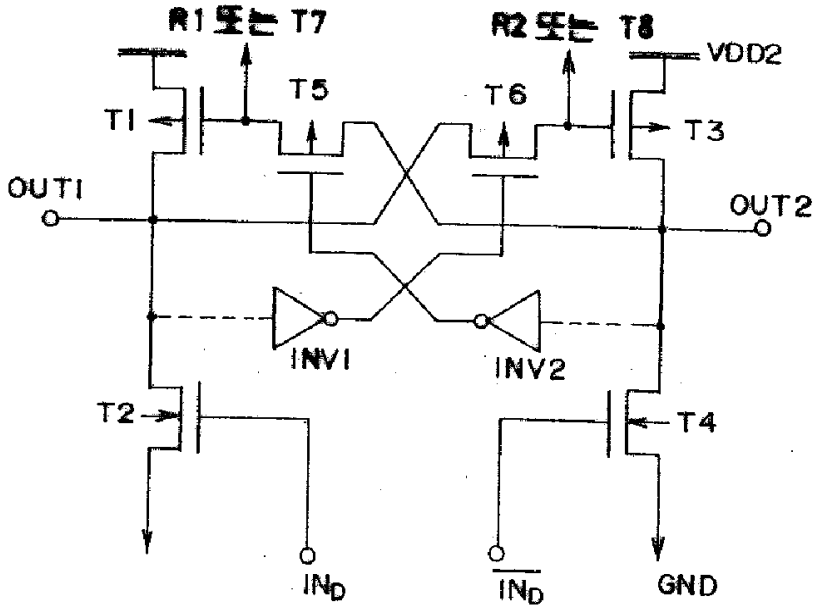
도면13



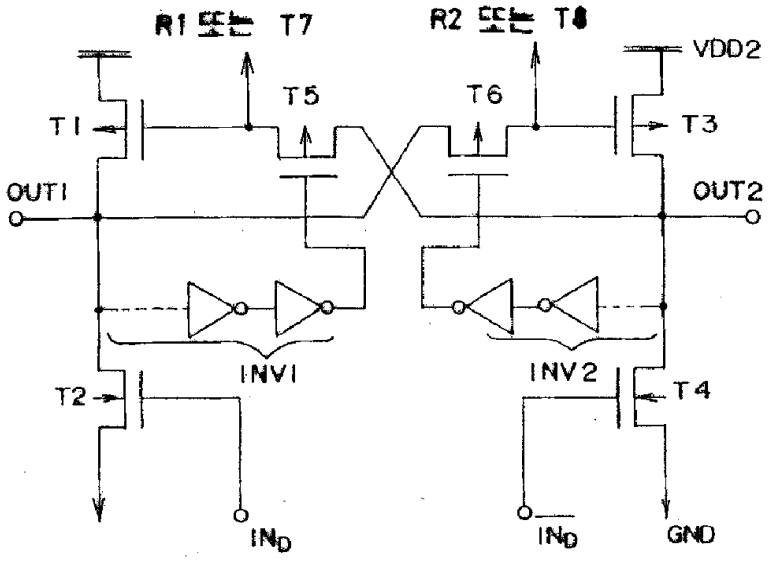
도면14


T7
T8
VDD2
T5
GND
T6
T1
T3
OUT1
OUT2
T2
T4
VDD1
IND
IND
IN
GND
I3
GND

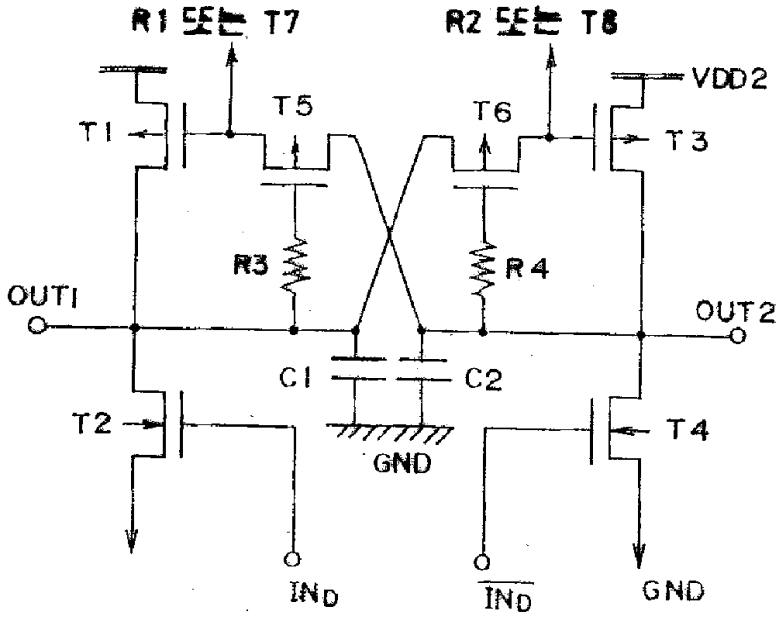
도면15


R1 또는 T7
R2 또는 T8
VDD2
T5
T6
T1
T3
OUT1
OUT2
INV1
INV2
T2
T4
IND
IND
GND

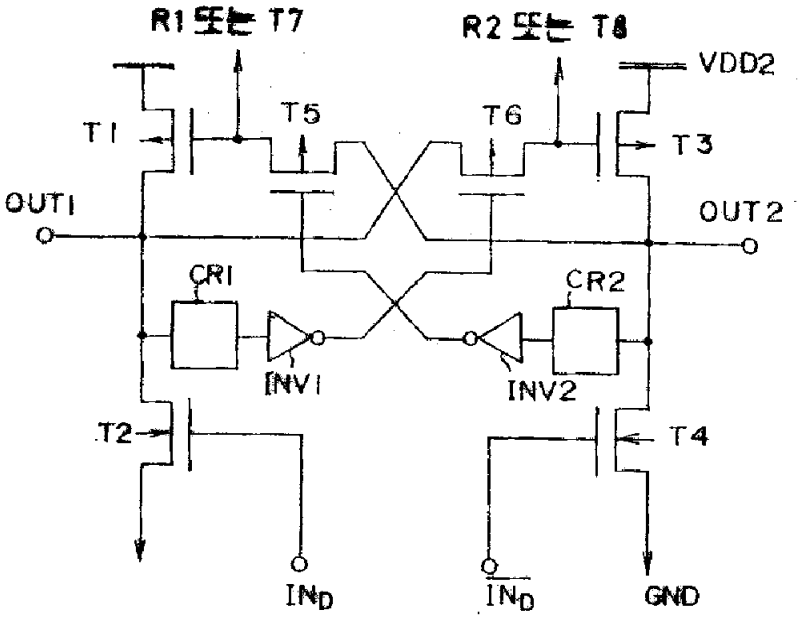
도면16


R1 또는 T7
R2 또는 T8
VDD2
T5
T6
T1
T3
OUT1
OUT2
INV1
INV2
T2
T4
IND
IND
GND

도면17

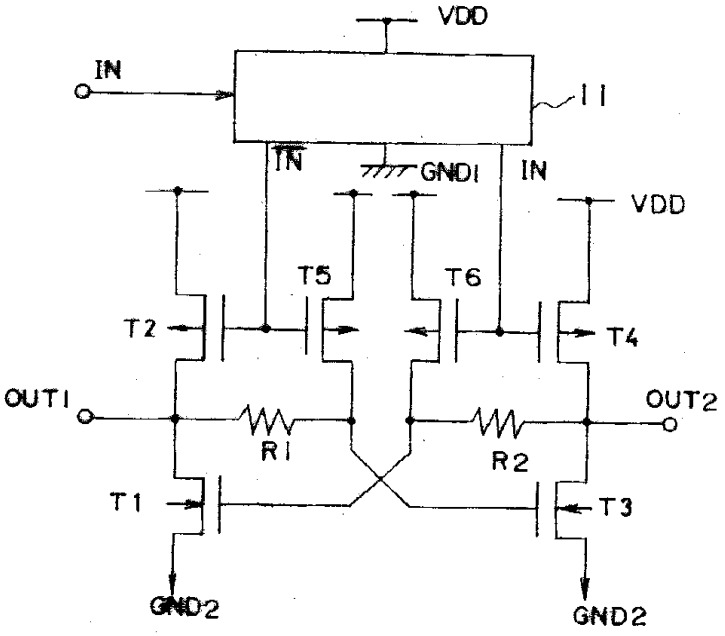

R1 또는 T7
R2 또는 T8
VDD2
T5
T6
T1
T3
R3
R4
OUT1
OUT2
C1
C2
T2
T4
GND
IND
IND
GND

도면18

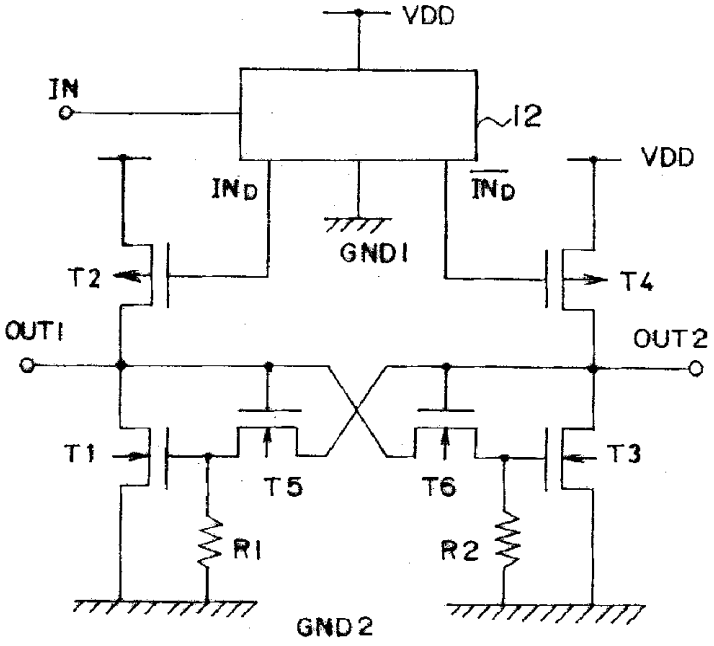

R1 또는 T7
R2 또는 T8
VDD2
T1
T5
T6
T3
OUT1
OUT2
CR1
CR2
INV1
INV2
T2
T4
IND
IND
GND

도면19

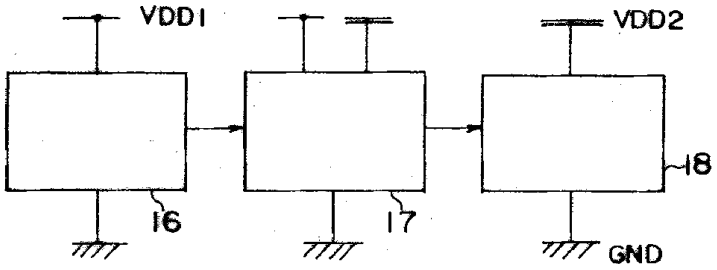
도면20



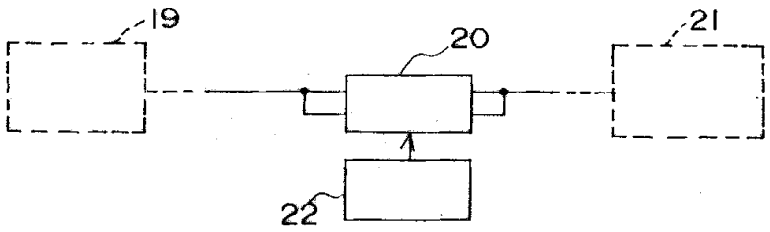
도면21



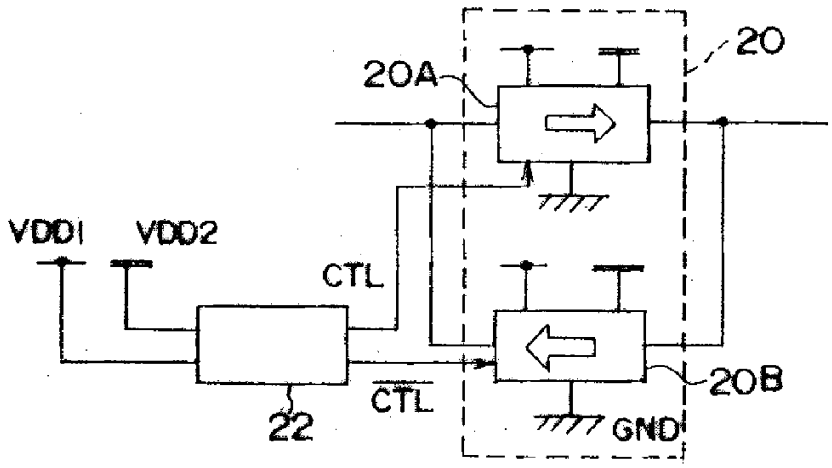
도면22



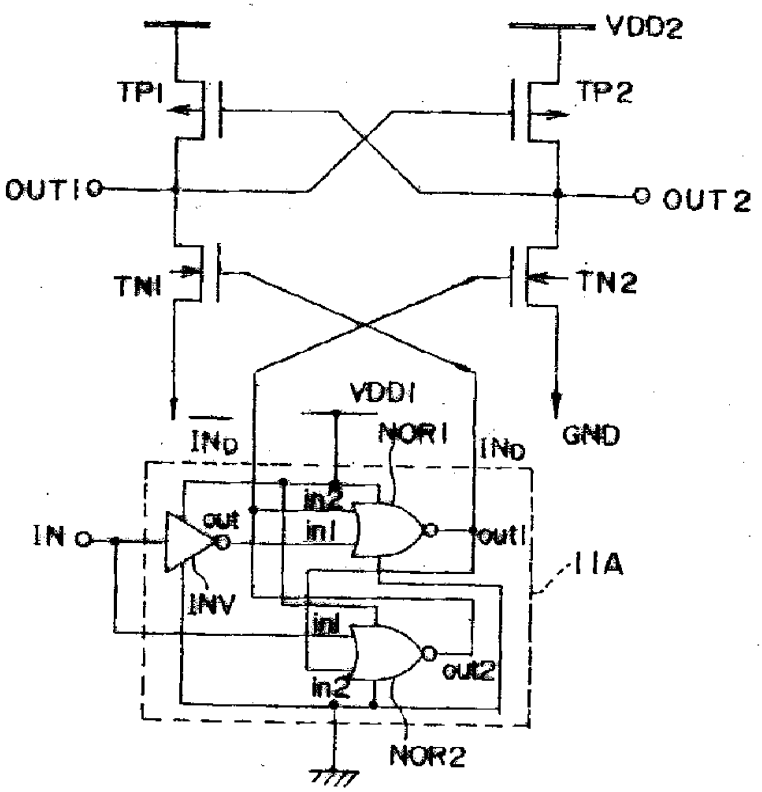
도면23



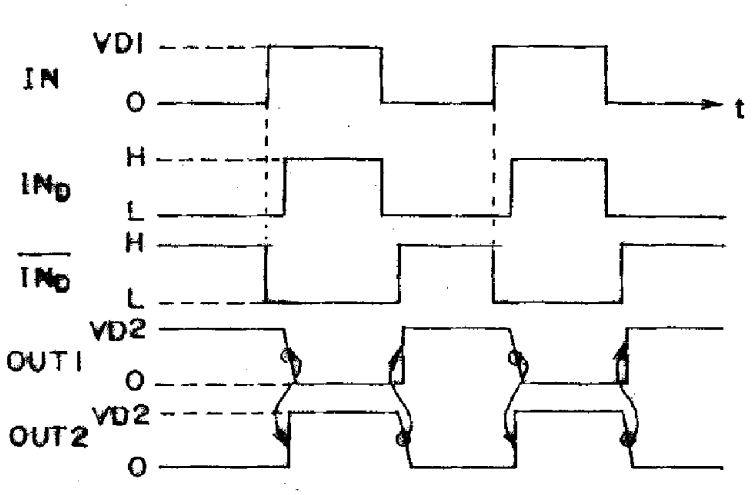
도면24



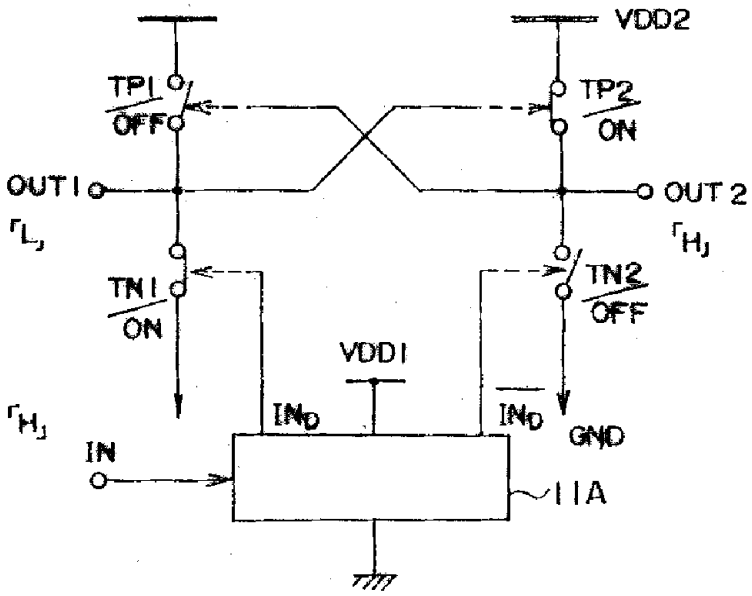
도면25a



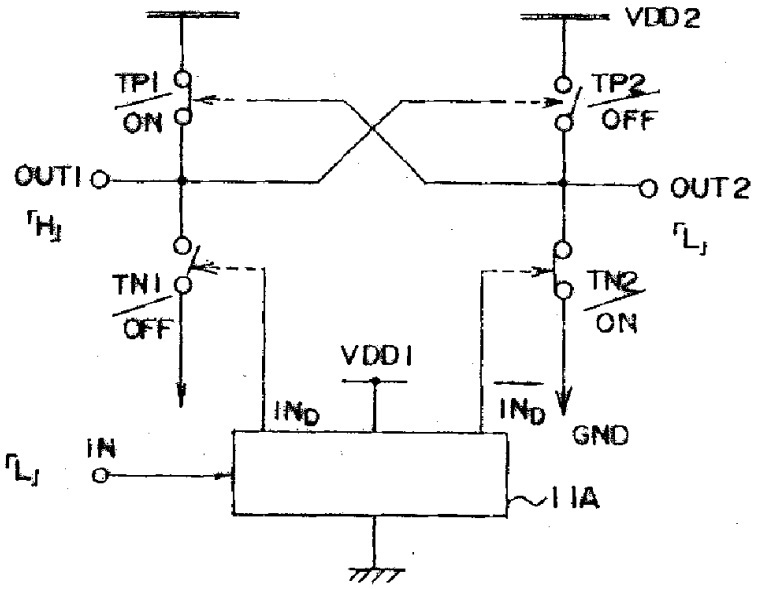
도면25b


VD1
IN
0
t
H
IND
L
H
IND
L
VD2
OUT1
0
VD2
OUT2
0

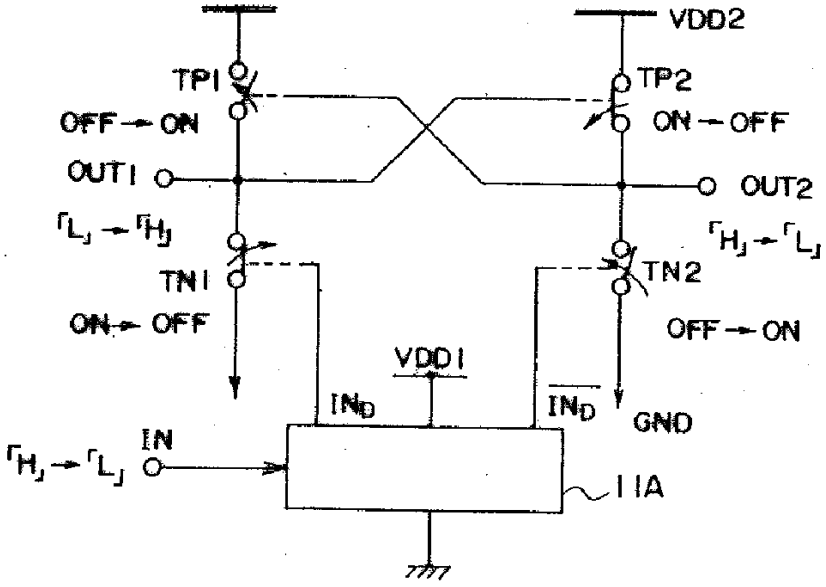
도면26a


VDD2
TP1
OFF
TP2
ON
OUT1
OUT2
「L」
「H」
TN1
ON
TN2
OFF
VDD1
「H」
IND
IND
GND
IN
11A

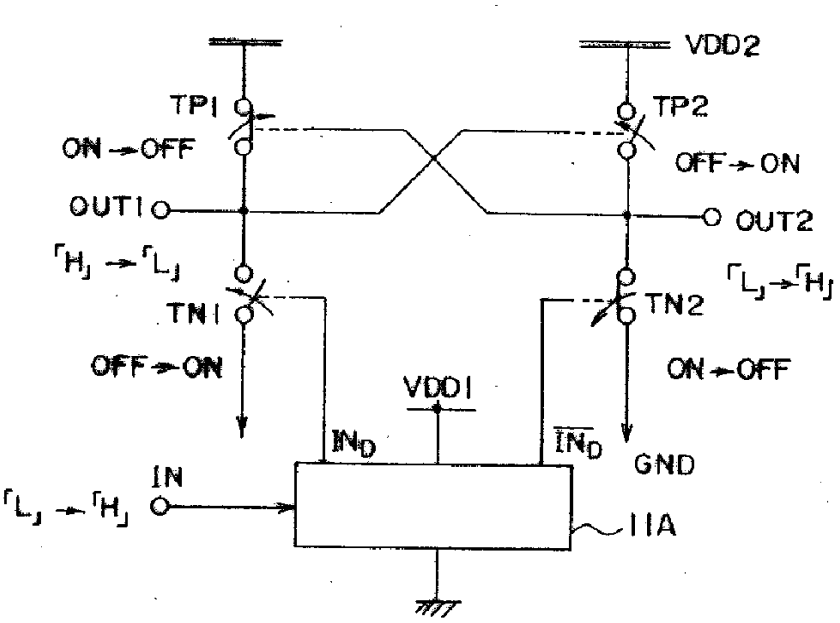
도면26b


VDD2
TP1
ON
TP2
OFF
OUT1
OUT2
「H」
「L」
TN1
OFF
TN2
ON
VDD1
IND
IND
GND
IN
「L」
IIA

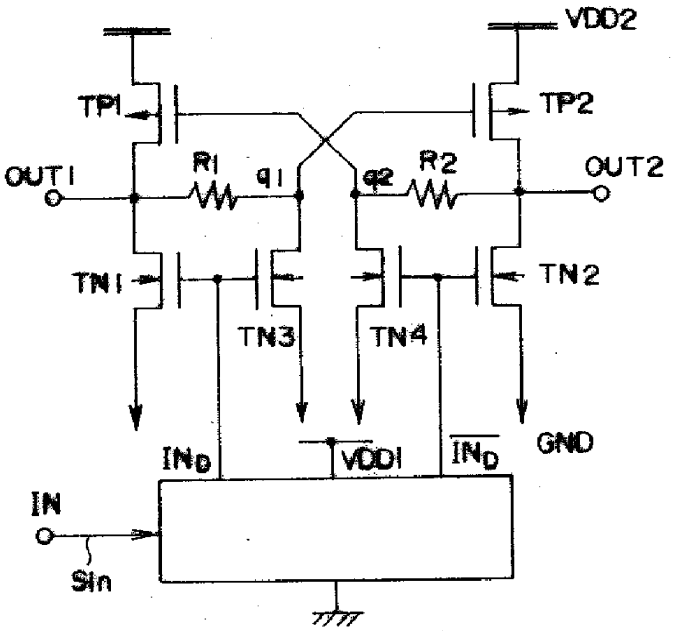
도면26c


VDD2
TP1
OFF → ON
TP2
ON → OFF
OUT1
OUT2
「L」 → 「H」
「H」 → 「L」
TN1
ON → OFF
TN2
OFF → ON
VDD1
IND
IND
GND
IN
「H」 → 「L」
IIA

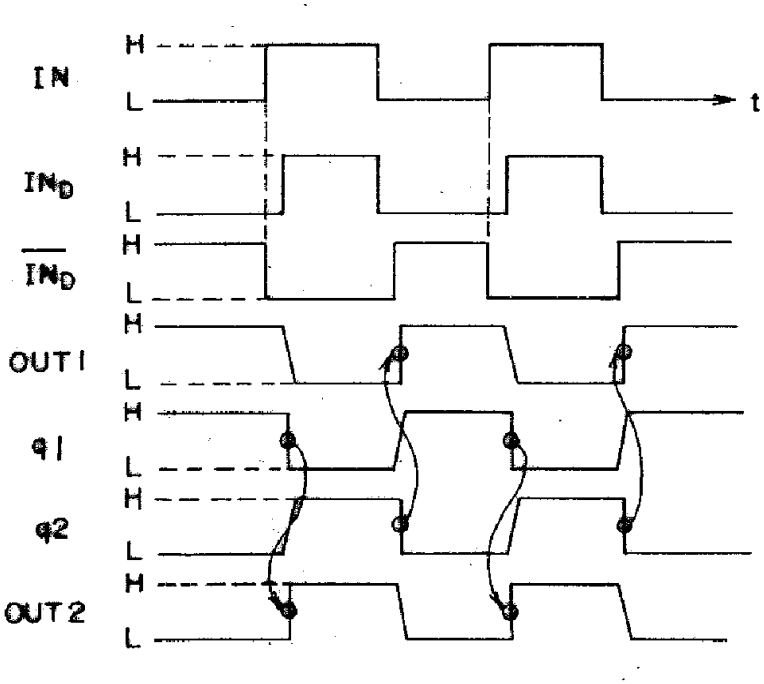
도면26d


VDD2
TP1
TP2
ON→OFF
OFF→ON
OUT1
OUT2
「H」→「L」
「L」→「H」
TN1
TN2
OFF→ON
ON→OFF
VDD1
IND
IND
GND
IN
「L」→「H」
11A

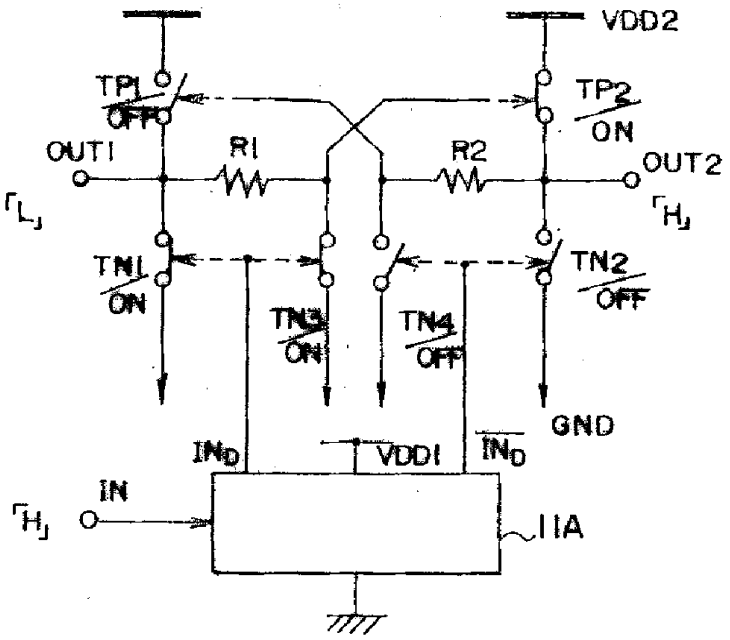
도면27a


VDD2
TP1
TP2
OUT1
R1
q1
q2
R2
OUT2
TN1
TN2
TN3
TN4
IND
VDD1
IND
GND
IN
Sin

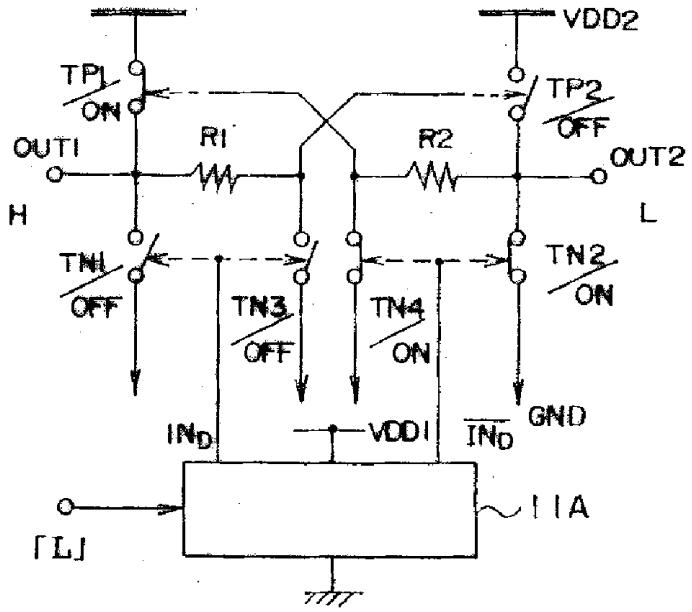
도면27b


IN
H
L
t
IND
H
L
IND
H
L
OUT1
H
L
q1
H
L
q2
H
L
OUT2
H
L

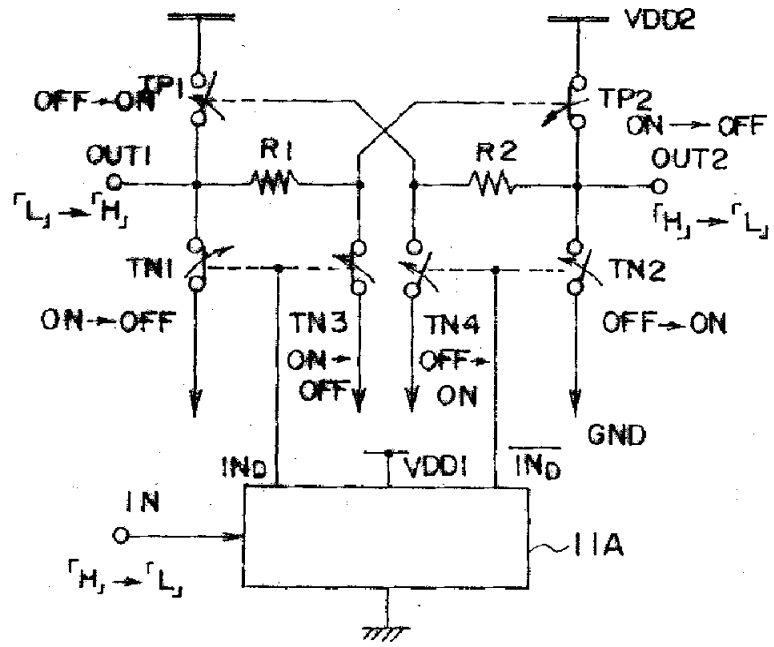
도면28a


VDD2
TP1
OFF
TP2
ON
OUT1
R1
R2
OUT2
「L」
「H」
TN1
ON
TN3
ON
TN4
OFF
TN2
OFF
GND
IND
VDD1
IND
IN
「H」
IIA

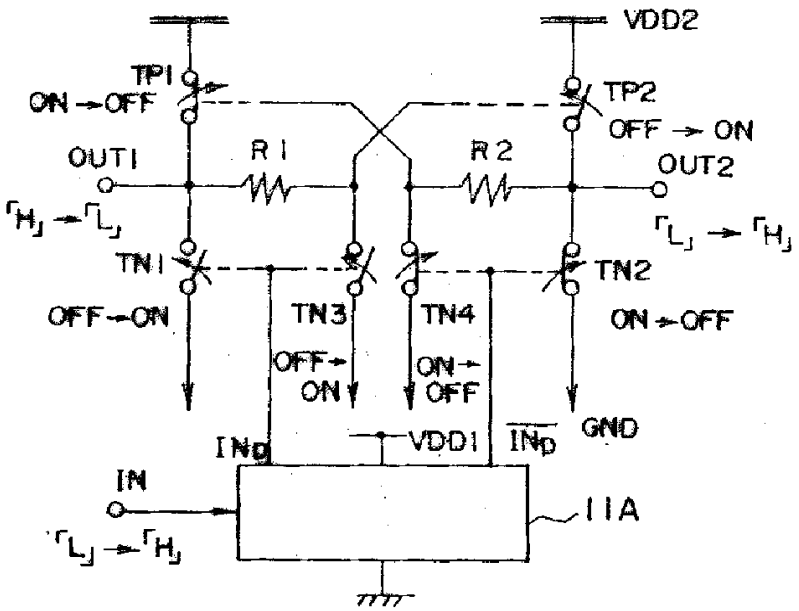
도면28b


VDD2
TP1
ON
TP2
OFF
OUT1
R1
R2
OUT2
H
L
TN1
OFF
TN3
OFF
TN4
ON
TN2
ON
IND
VDD1
IND
GND
11A
「L」

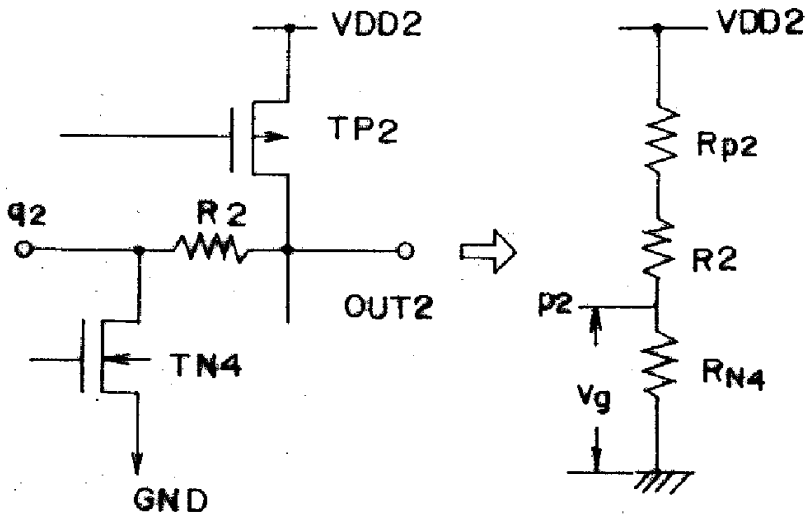
도면28c


VDD2
OFF→ON
TP1
TP2
ON→OFF
OUT1
R1
R2
OUT2
「L」→「H」
「H」→「L」
TN1
TN2
ON→OFF
TN3
ON→OFF
TN4
OFF→ON
OFF→ON
GND
IND
VDD1
IND
IN
11A
「H」→「L」

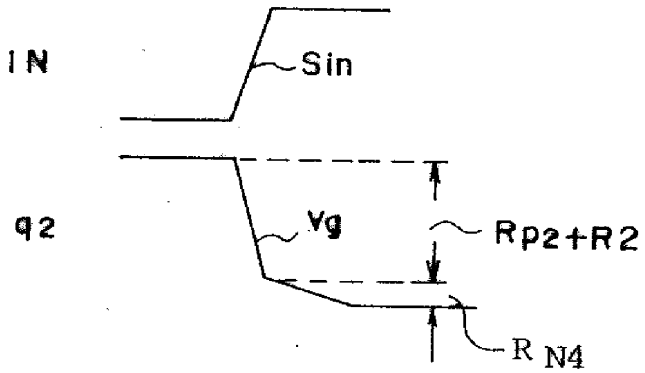
도면28d



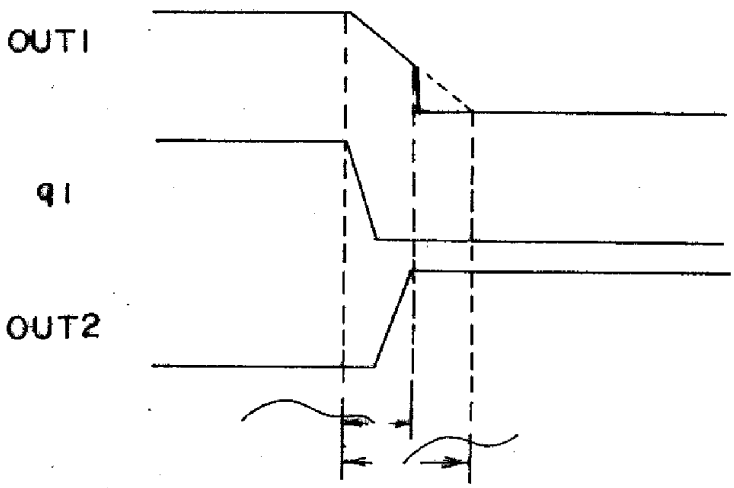
도면29a



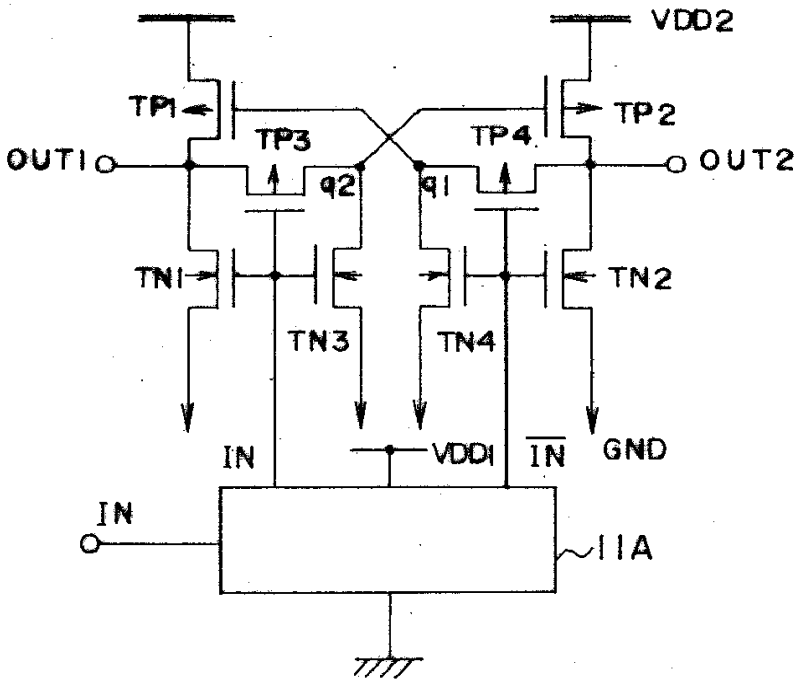
도면29b



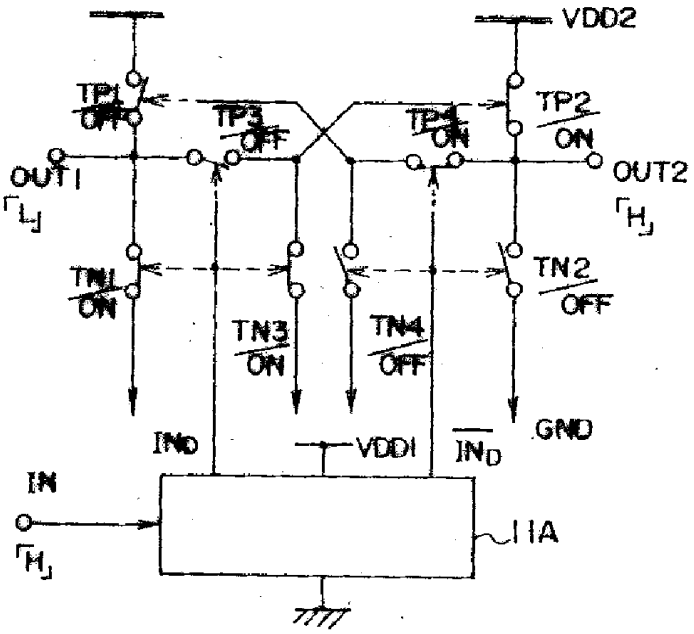
도면29c


OUT1
q1
OUT2

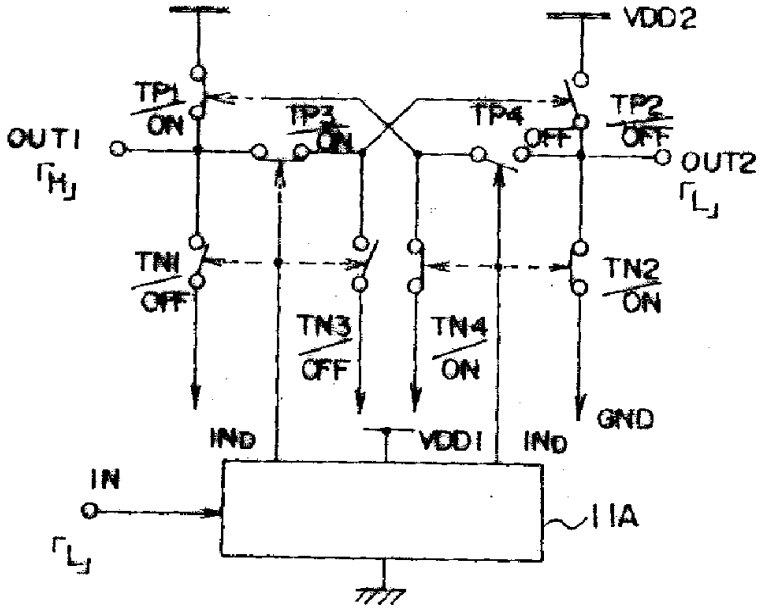
도면30


VDD2
TP1
TP2
TP3
TP4
OUT1
OUT2
q2
q1
TN1
TN2
TN3
TN4
IN
VDD1
IN
GND
IN
11A

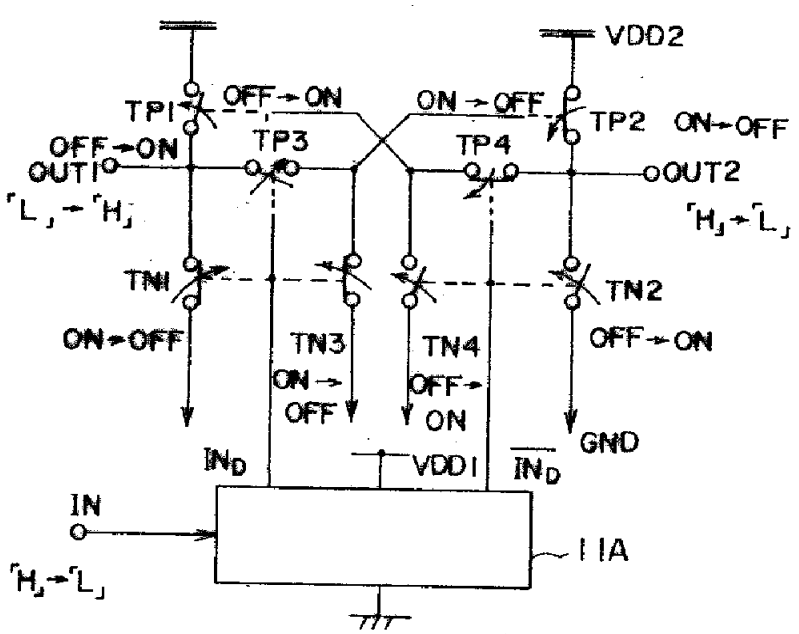
도면31a


VDD2
TP1 OFF
TP3 OFF
TP4 ON
TP2 ON
OUT1 「L」
OUT2 「H」
TN1 ON
TN3 ON
TN4 OFF
TN2 OFF
IND
VDD1
IND
GND
IN 「H」
IIA

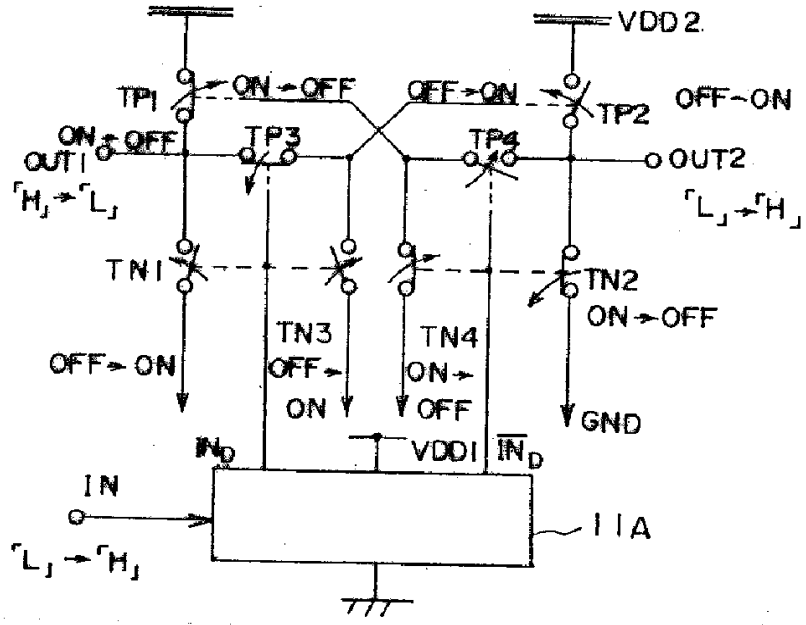
도면31b


VDD2
TP1 ON
TP3 ON
TP4 OFF
TP2 OFF
OUT1 「H」
OUT2 「L」
TN1 OFF
TN3 OFF
TN4 ON
TN2 ON
IND
VDD1
IND
GND
IN 「L」
IIA

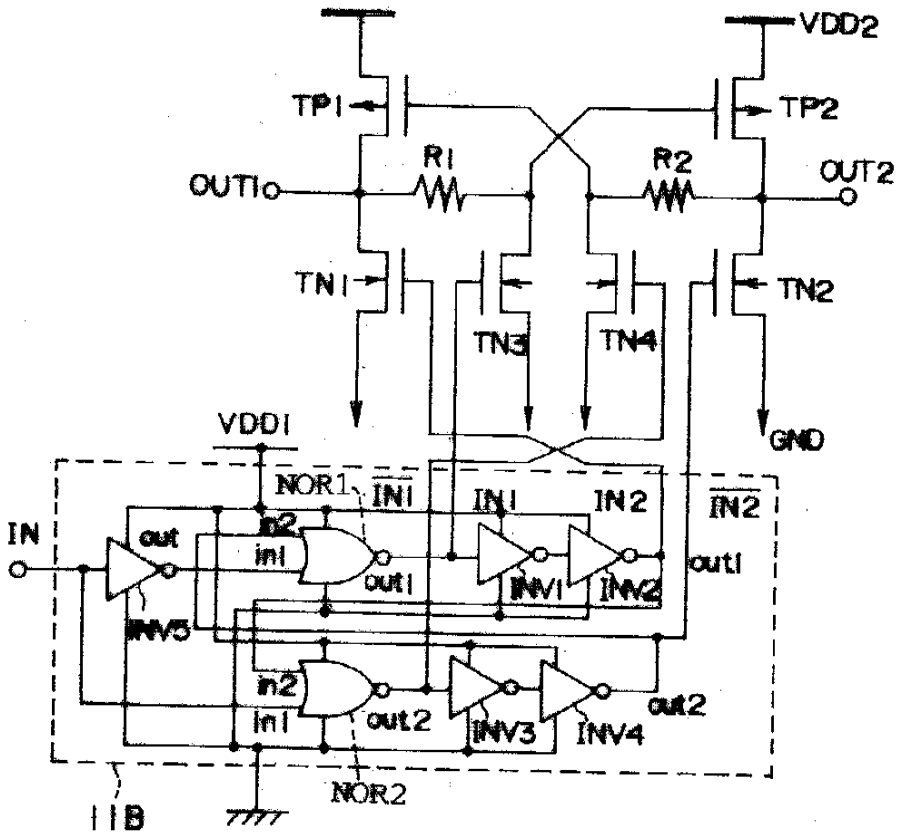
도면31c


VDD2
TP1
OFF→ON
ON→OFF
TP2
ON→OFF
OFF→ON
OUT1
TP3
TP4
OUT2
「L」→「H」
「H」→「L」
TN1
TN2
ON→OFF
TN3
TN4
OFF→ON
ON→OFF
OFF→ON
GND
IND
VDD1
IND
IN
「H」→「L」
11A

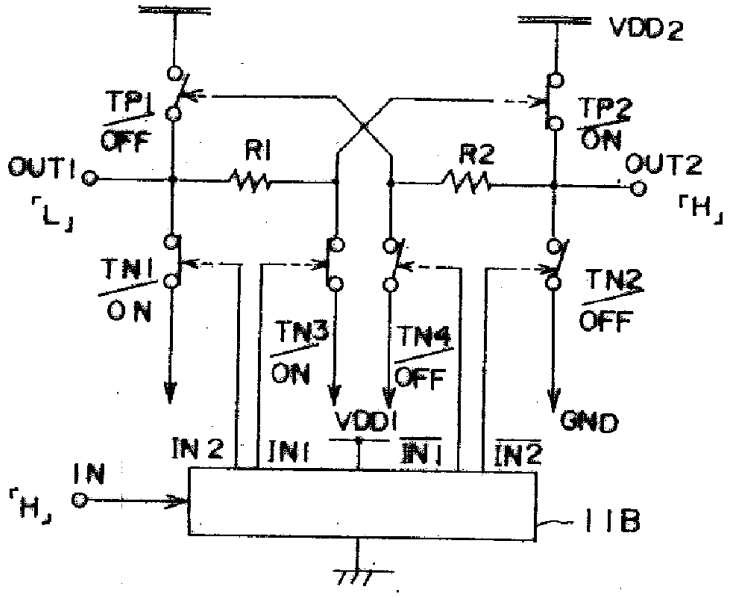
도면31d


VDD2
TP1
ON→OFF
OFF→ON
TP2
OFF→ON
ON→OFF
OUT1
TP3
TP4
OUT2
「H」→「L」
「L」→「H」
TN1
TN2
ON→OFF
TN3
TN4
OFF→ON
OFF→ON
ON→OFF
GND
IND
VDD1
IND
IN
「L」→「H」
11A

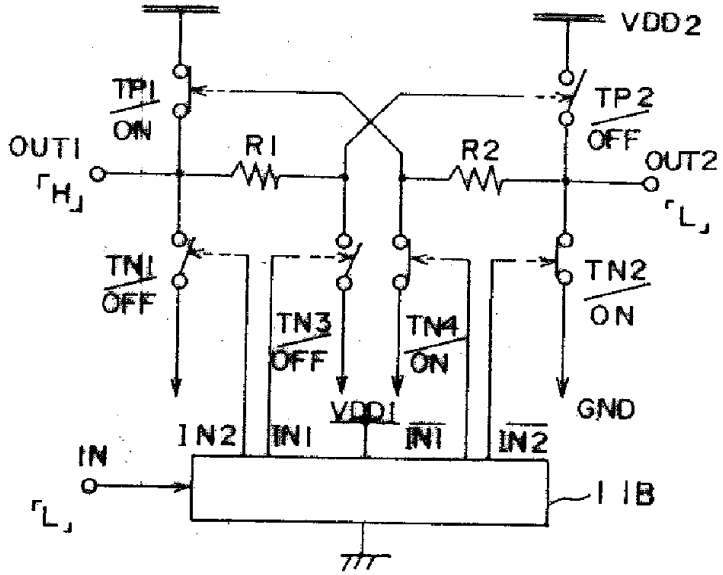
도면32


VDD2
TP1
TP2
R1
R2
OUT1
OUT2
TN1
TN2
TN3
TN4
GND
VDD1
NOR1
IN1
IN2
IN
out
in2
in1
out1
INV1
INV2
INV5
out2
INV3
INV4
NOR2
IIB

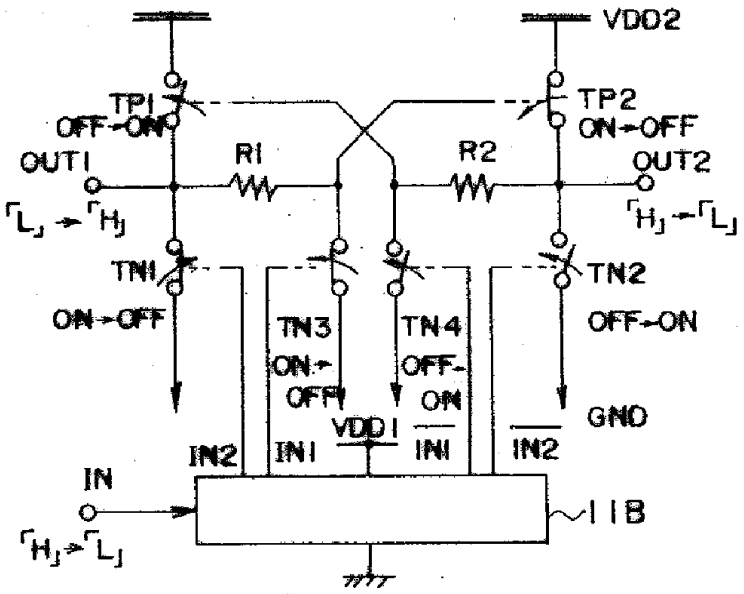
도면33a


VDD2
TP1
OFF
TP2
ON
R1
R2
OUT1
OUT2
「L」
「H」
TN1
ON
TN3
ON
TN4
OFF
TN2
OFF
VDD1
GND
IN2
IN1
IN
「H」
IIB

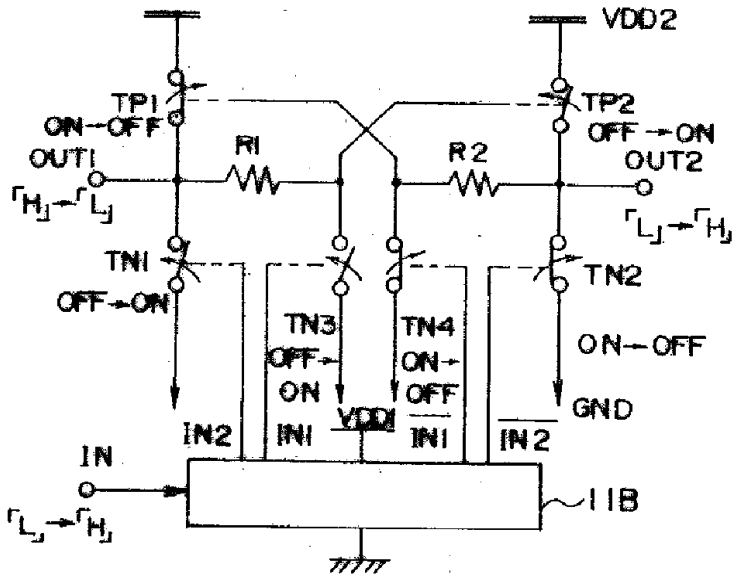
도면33b


VDD2
TP1
ON
TP2
OFF
OUT1
「H」
R1
R2
OUT2
「L」
TN1
OFF
TN3
OFF
TN4
ON
TN2
ON
VDD1
GND
IN2
IN1
IN1
IN2
IN
「L」
IIB

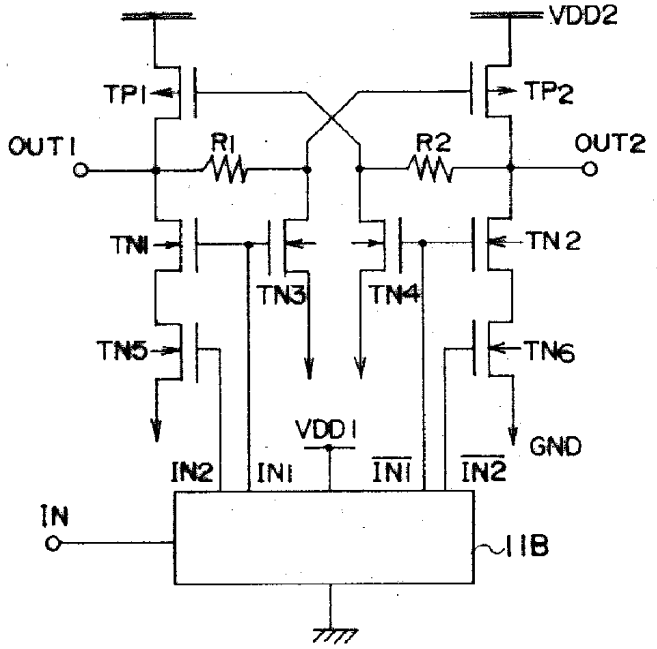
도면33c


VDD2
TP1
OFF→ON
TP2
ON→OFF
OUT1
「L」→「H」
R1
R2
OUT2
「H」→「L」
TN1
ON→OFF
TN3
ON→OFF
TN4
OFF→ON
TN2
OFF→ON
VDD1
GND
IN2
IN1
IN1
IN2
IN
「H」→「L」
IIB

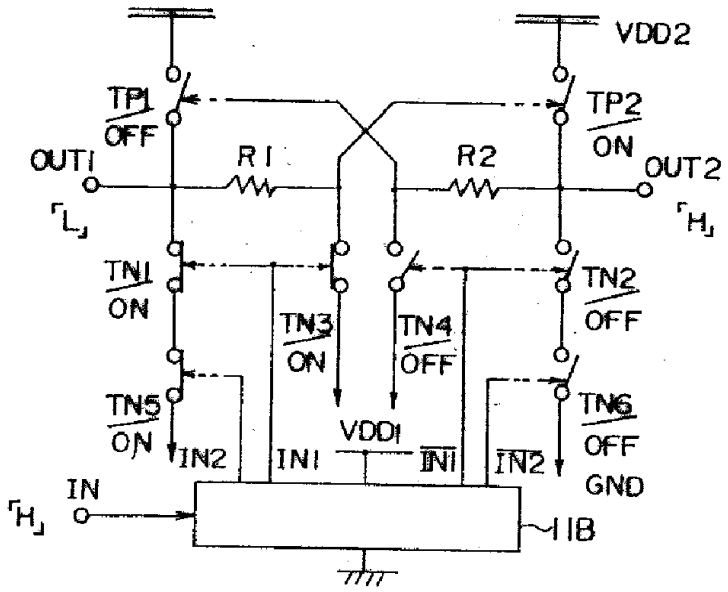
도면33d


VDD2
TP1
ON→OFF
TP2
OFF→ON
OUT1
R1
R2
OUT2
「H」→「L」
「L」→「H」
TN1
OFF→ON
TN2
TN3
OFF→ON
TN4
ON→OFF
ON→OFF
GND
IN2
IN1
VDD1
IN1
IN2
IN
「L」→「H」
IIB

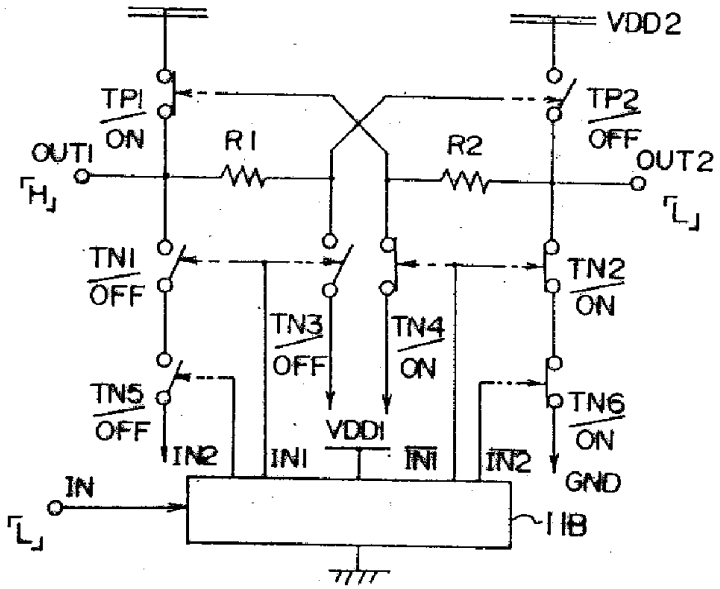
도면34


VDD2
TP1
TP2
OUT1
R1
R2
OUT2
TN1
TN2
TN3
TN4
TN5
TN6
VDD1
GND
IN2
IN1
IN1
IN2
IN
IIB

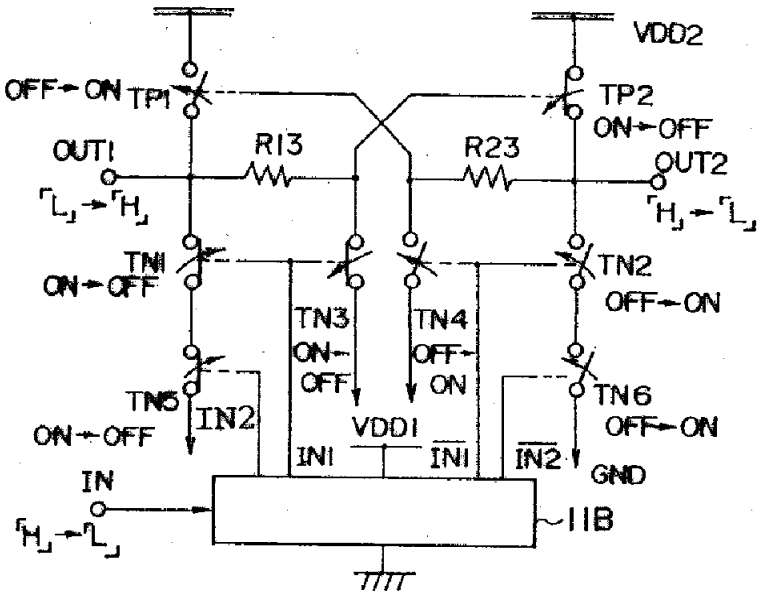
도면35a


VDD2
TP1
OFF
TP2
ON
OUT1
R1
R2
OUT2
「L」
「H」
TN1
ON
TN2
OFF
TN3
ON
TN4
OFF
TN5
ON
TN6
OFF
VDD1
IN2
IN1
IN1
IN2
GND
IN
「H」
IIB

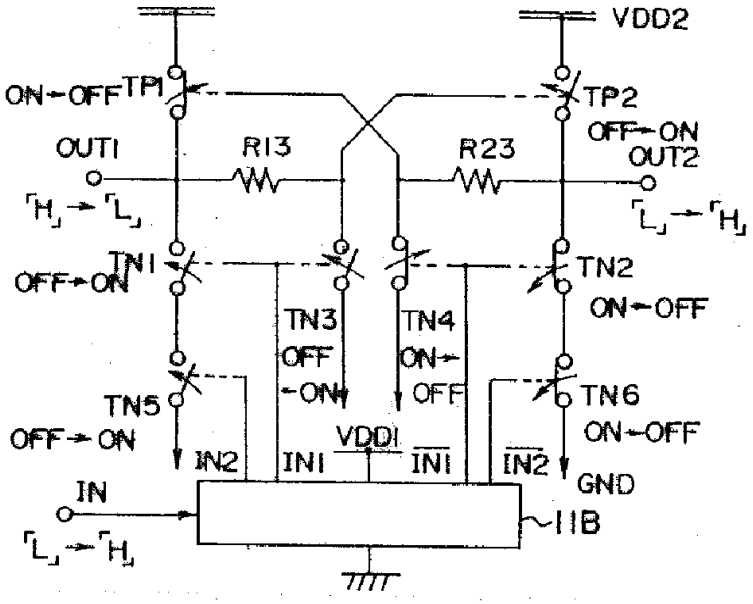
도면35b


VDD2
TP1
ON
TP2
OFF
OUT1
R1
R2
OUT2
「H」
「L」
TN1
OFF
TN2
ON
TN3
OFF
TN4
ON
TN5
OFF
TN6
ON
VDD1
IN2
IN1
IN1
IN2
GND
IN
「L」
IIB

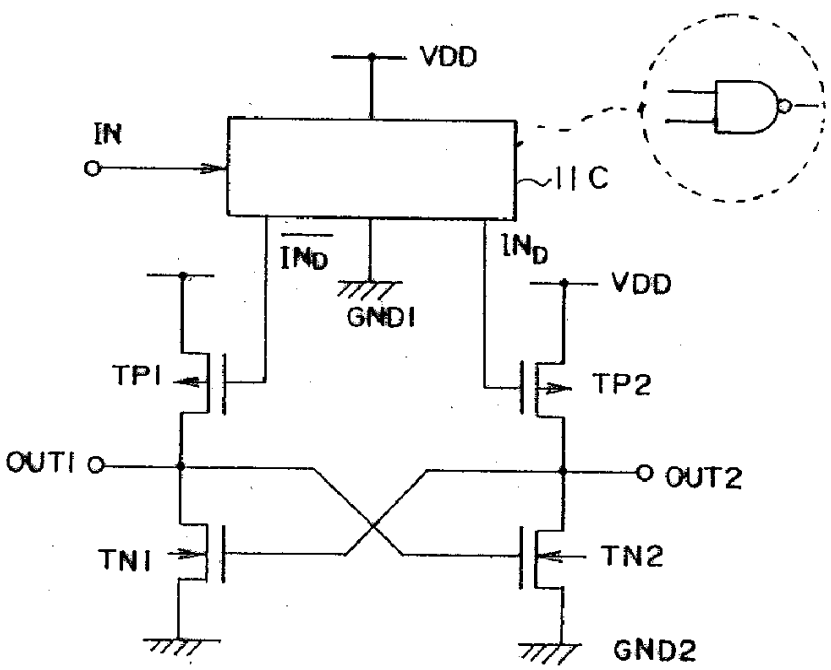
도면35c


VDD2
OFF→ON TP1
TP2
ON→OFF
OUT1
R13
R23
OUT2
「L」→「H」
「H」→「L」
TN1
ON→OFF
TN2
OFF→ON
TN3
ON→OFF
TN4
OFF→ON
TN5
IN2
ON→OFF
VDD1
IN1
IN1
IN2
TN6
OFF→ON
GND
IN
「H」→「L」
11B

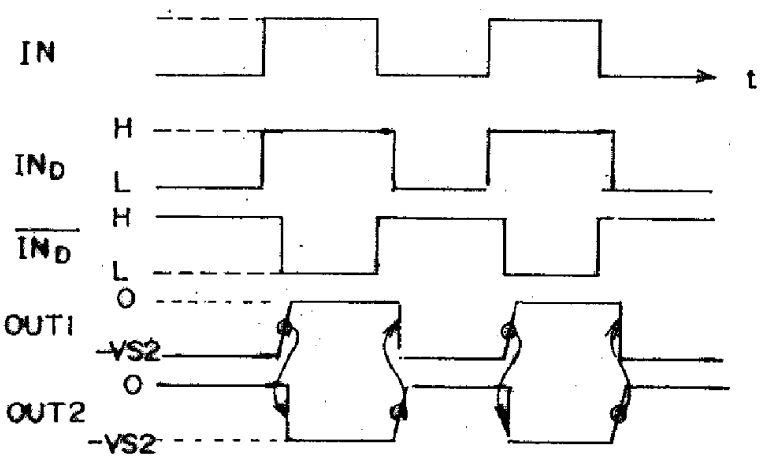
도면35d


VDD2
ON→OFF TP1
TP2
OFF→ON
OUT1
R13
R23
OUT2
「H」→「L」
「L」→「H」
TN1
OFF→ON
TN2
ON→OFF
TN3
OFF→ON
TN4
ON→OFF
TN5
OFF→ON
IN2
VDD1
IN1
IN1
IN2
TN6
ON→OFF
GND
IN
「L」→「H」
11B

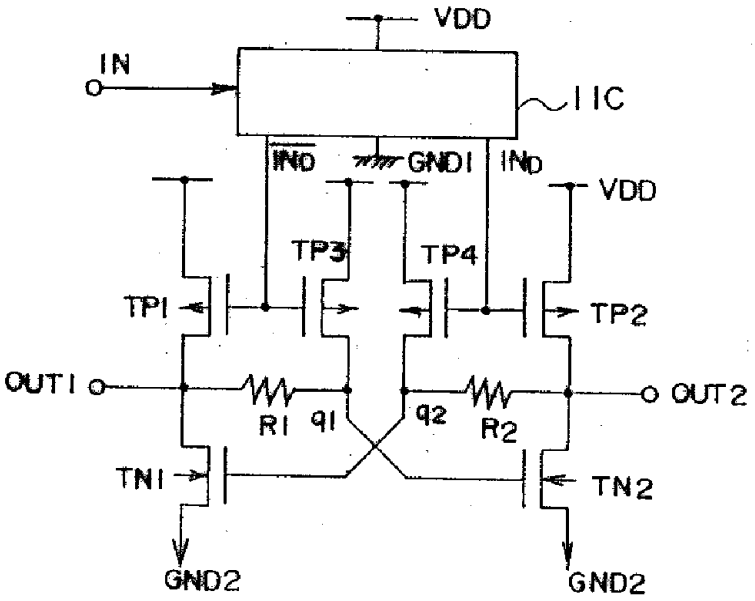
도면36a


VDD
IN
IIC
$\overline{IN_D}$
IN_D
VDD
GND1
TP1
TP2
OUT1
OUT2
TN1
TN2
GND2

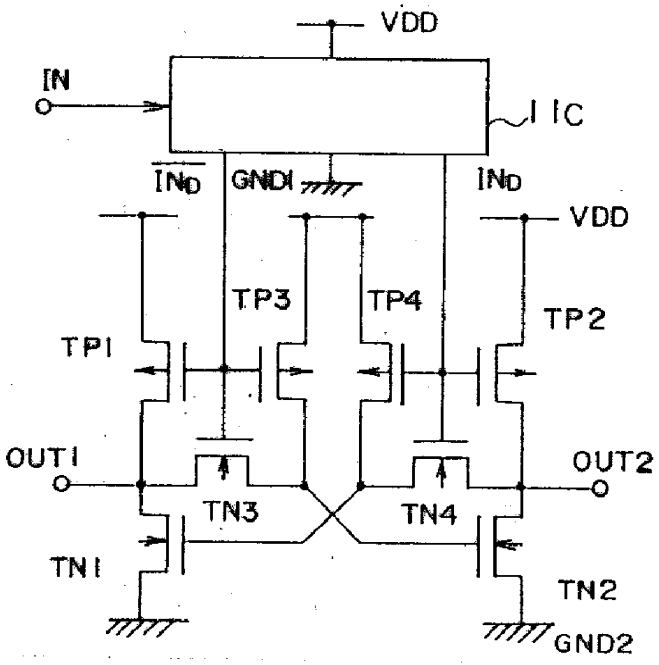
도면36b


IN
t
IN_D
H
L
$\overline{IN_D}$
H
L
OUT1
O
-VS2
OUT2
O
-VS2

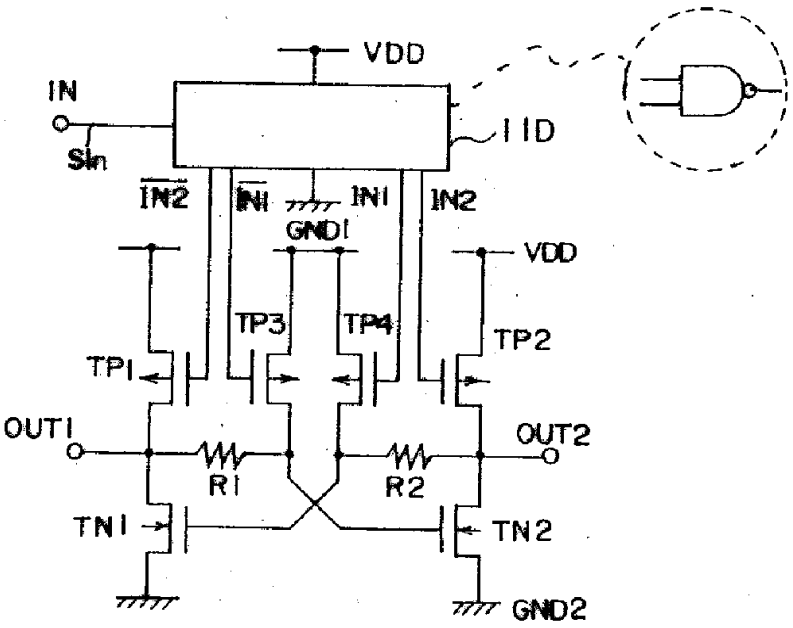
도면37


VDD
IN
IIC
IND
GNDI
IND
VDD
TP3
TP4
TP1
TP2
OUT1
R1
q1
q2
R2
OUT2
TN1
TN2
GND2
GND2

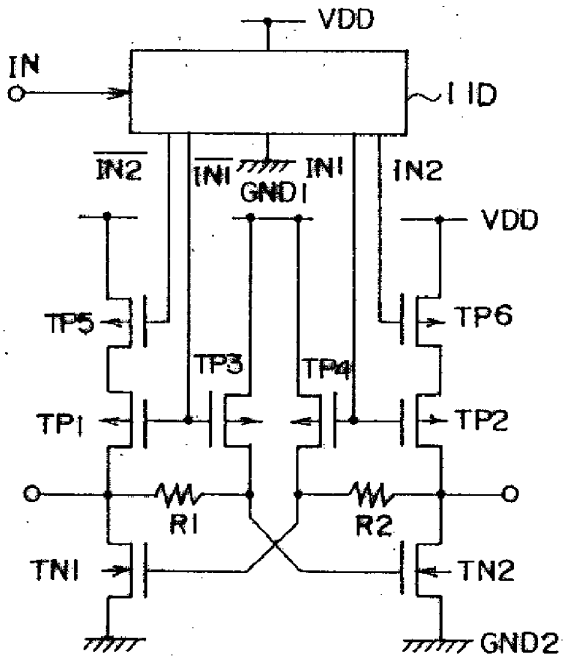
도면38


VDD
IN
IIC
IND
GNDI
IND
VDD
TP3
TP4
TP2
TP1
OUT1
OUT2
TN3
TN4
TN1
TN2
GND2

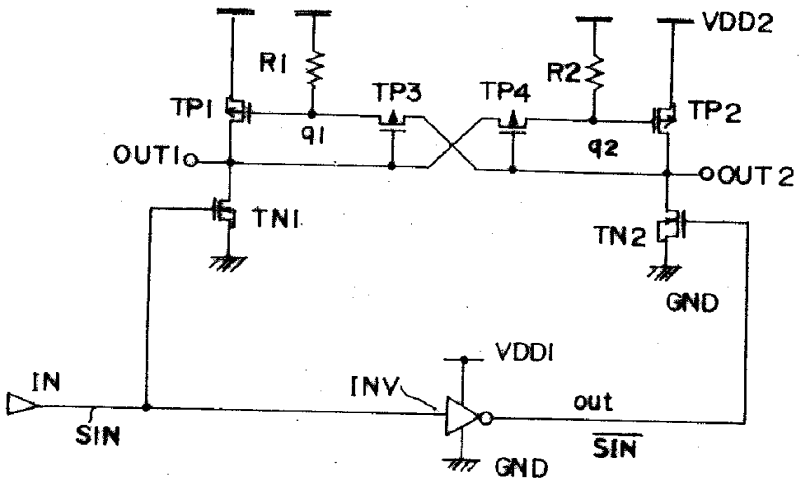
도면39


VDD
IN
Sin
IID
IN2
IN1
IN1
IN2
GND1
VDD
TP3
TP4
TP2
TP1
OUT1
OUT2
R1
R2
TN1
TN2
GND2

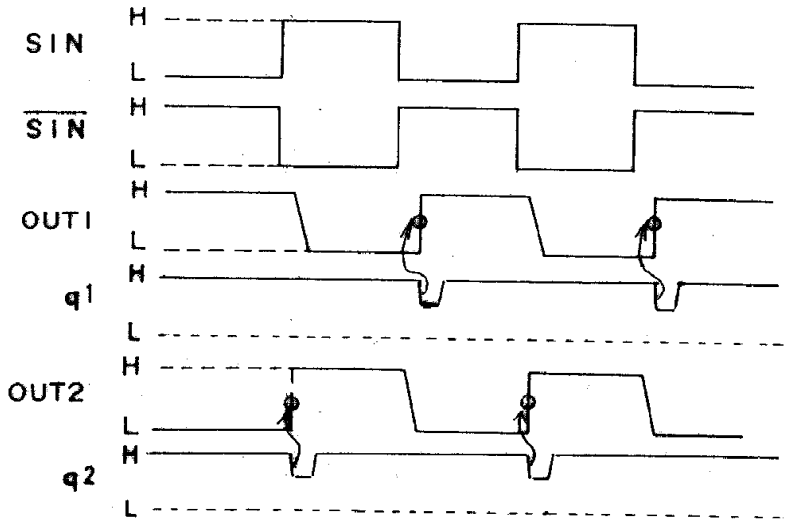
도면40


VDD
IN
IID
IN2
IN1
IN1
GND1
IN2
VDD
TP5
TP6
TP3
TP4
TP1
TP2
R1
R2
TN1
TN2
GND2

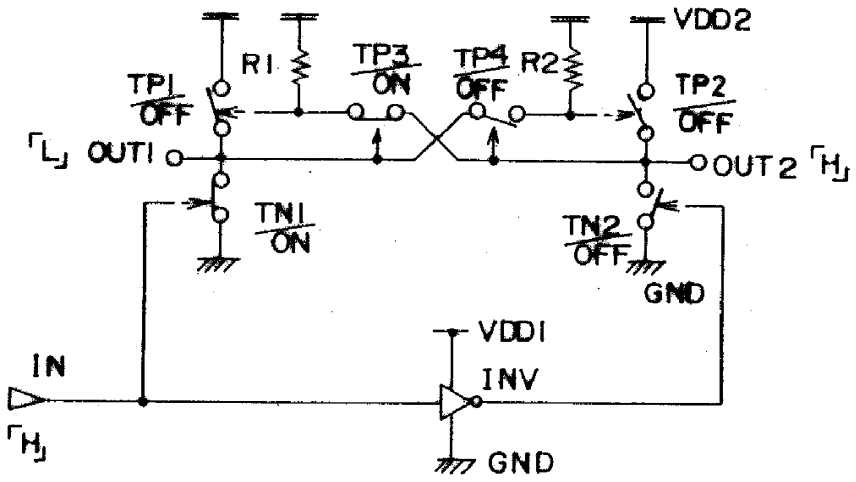
도면41a



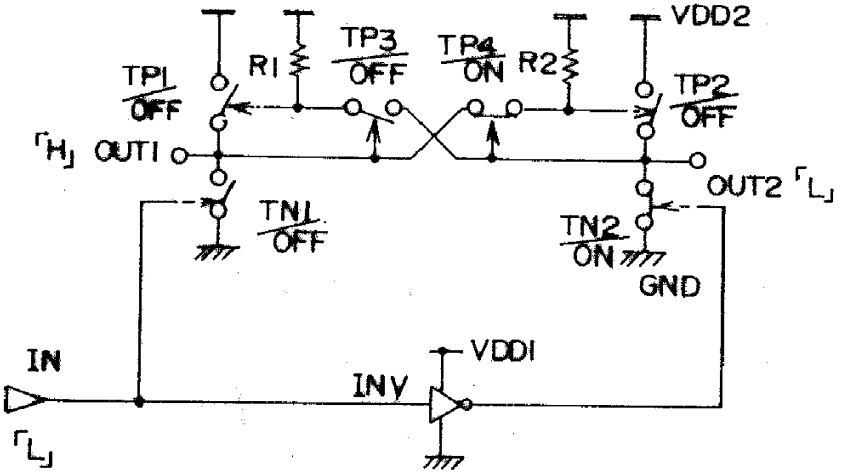
도면41b



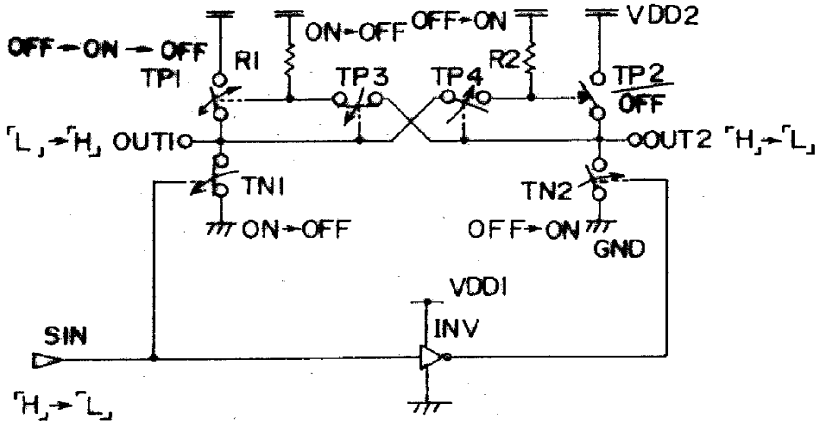
도면42a



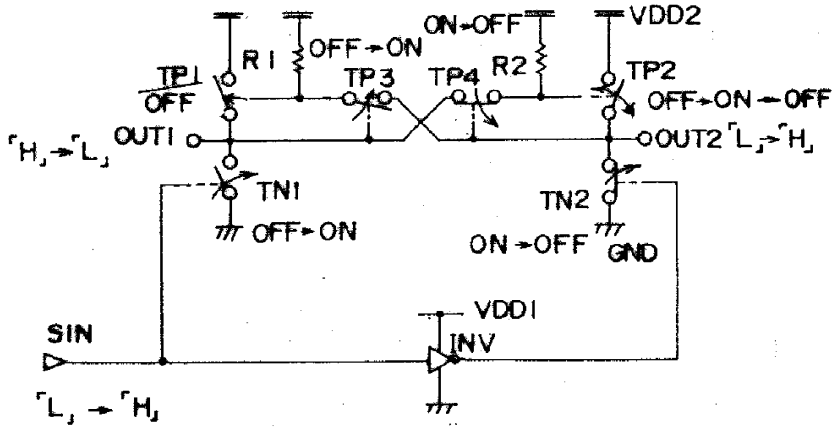
도면42b



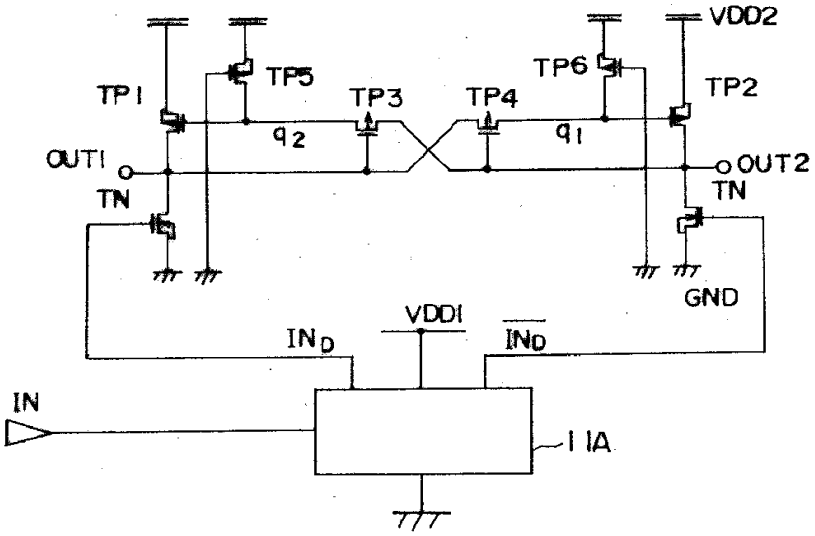
도면42c



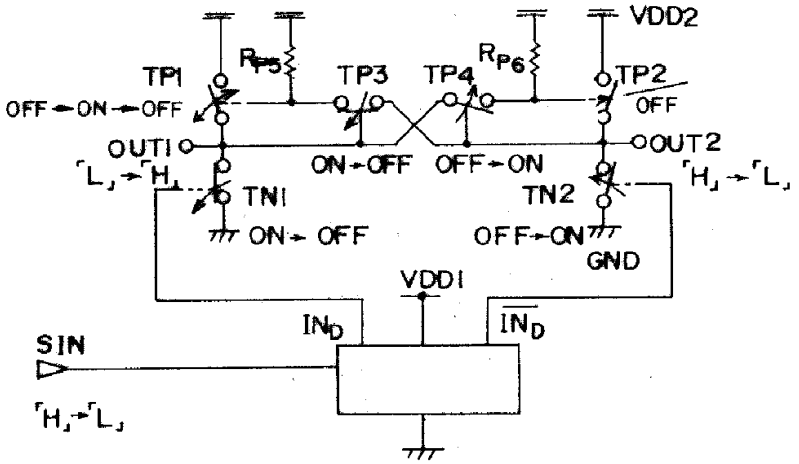
도면42d



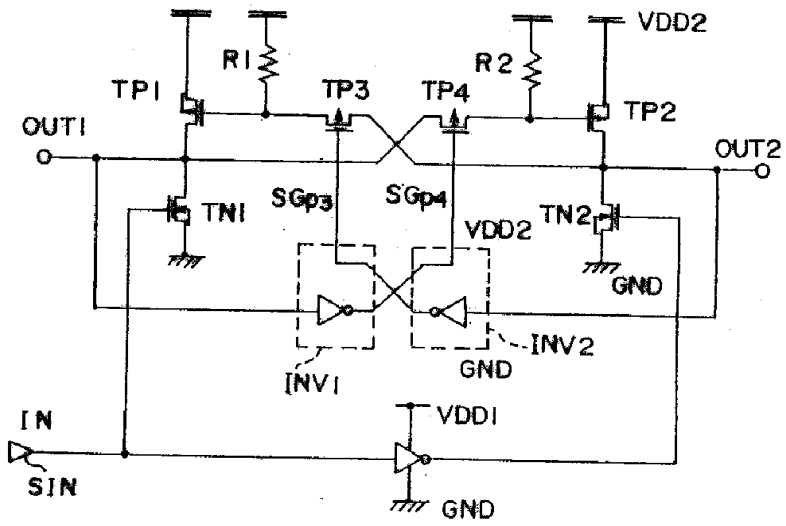
도면43a



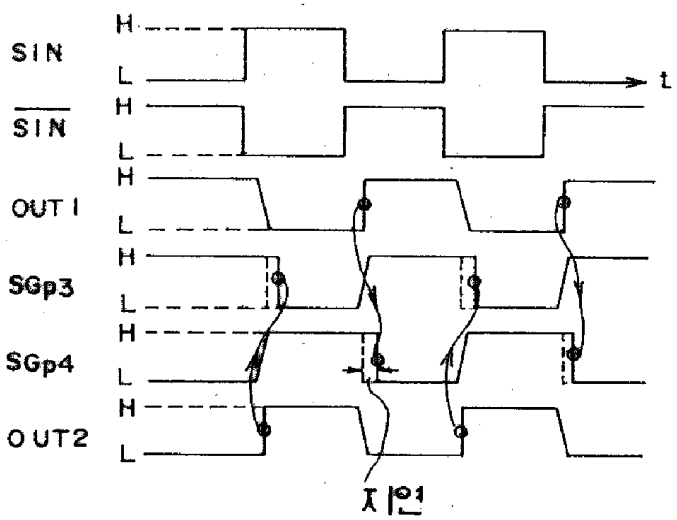
도면43b



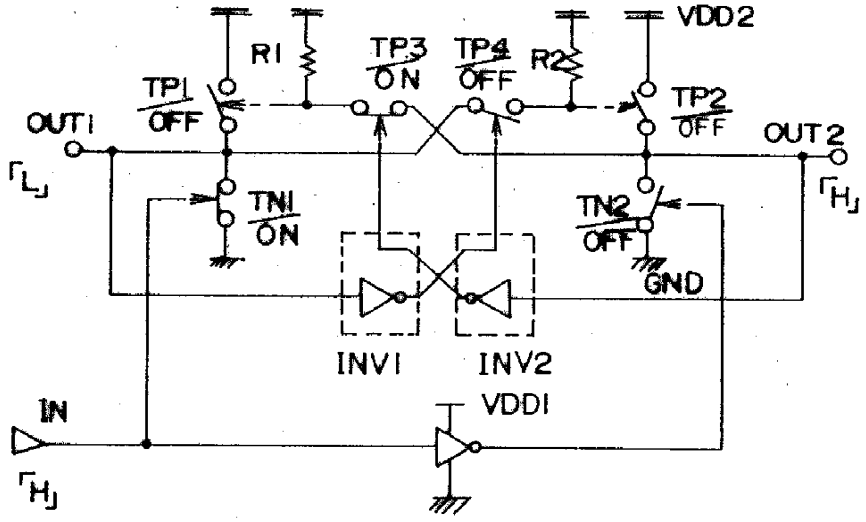
도면44a



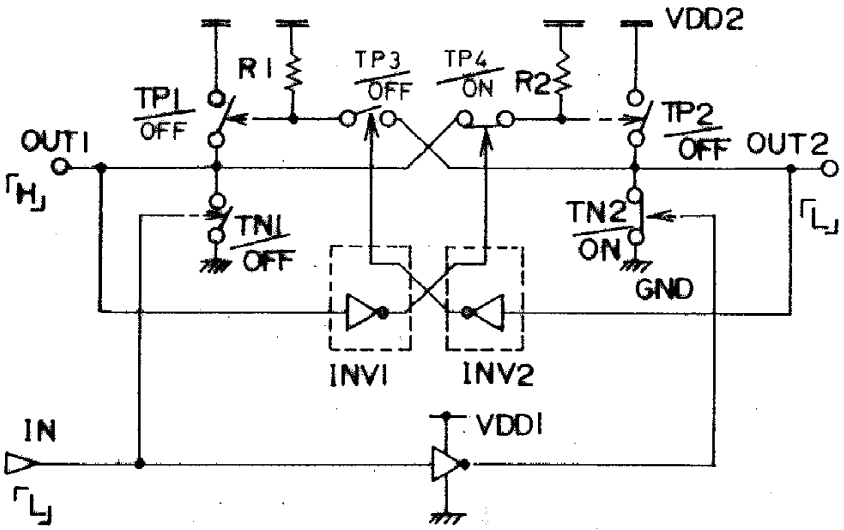
도면44b



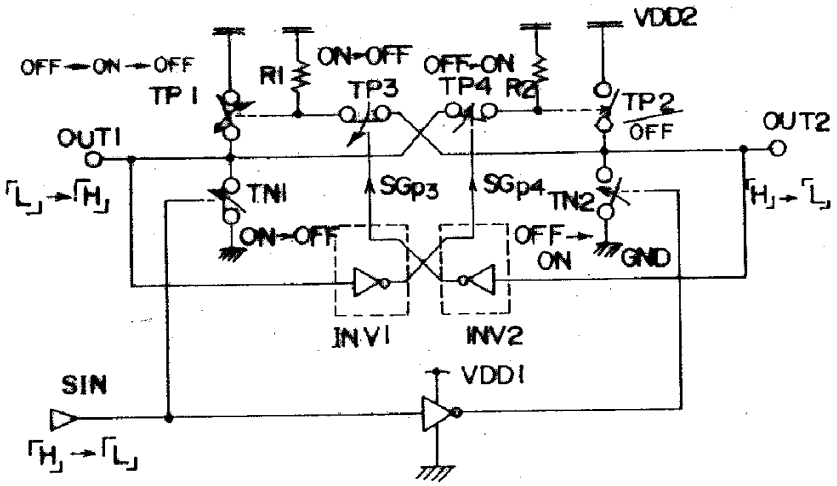
도면45a



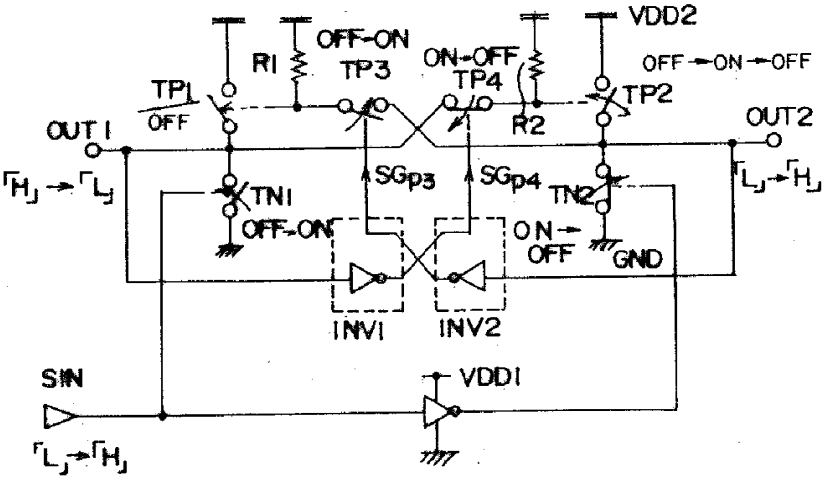
도면45b



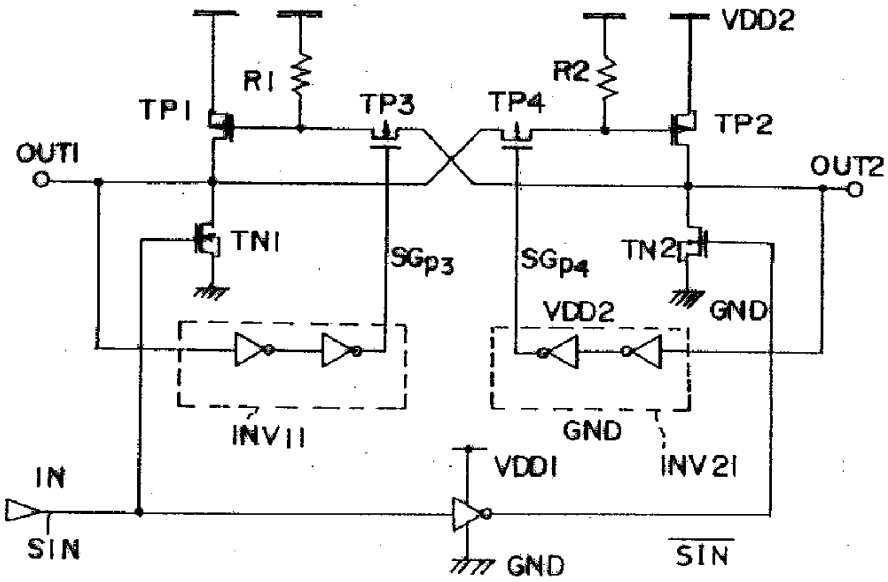
도면45c



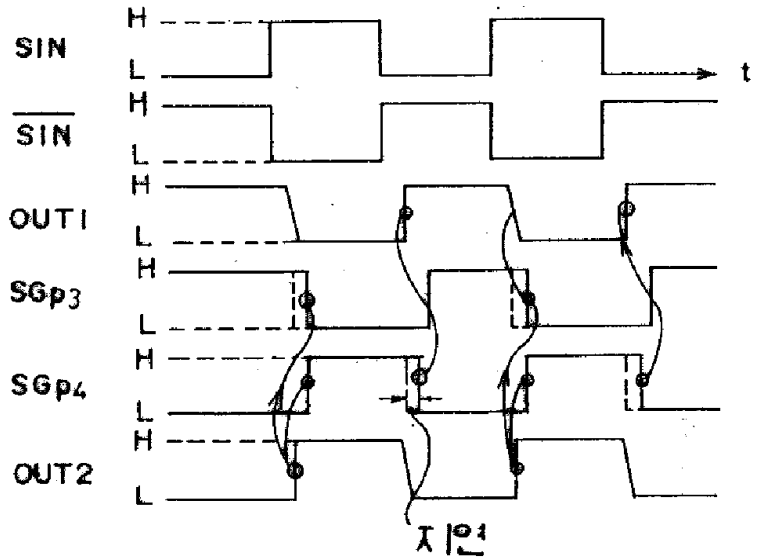
도면45d



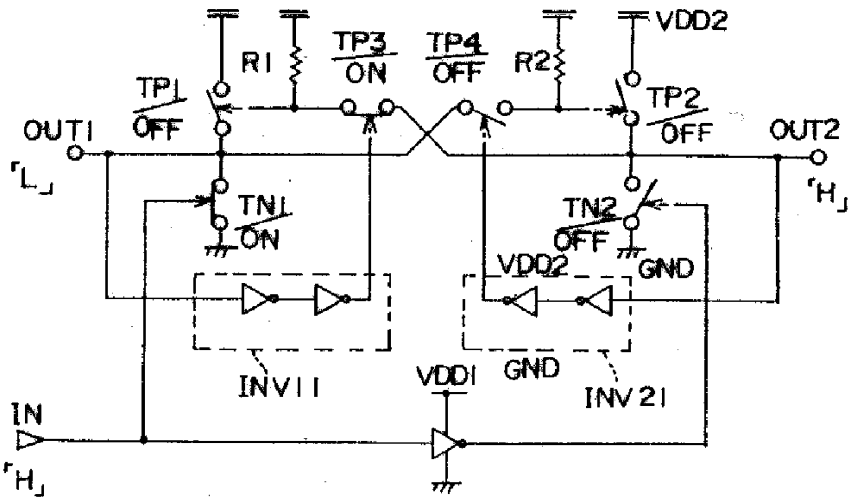
도면46a



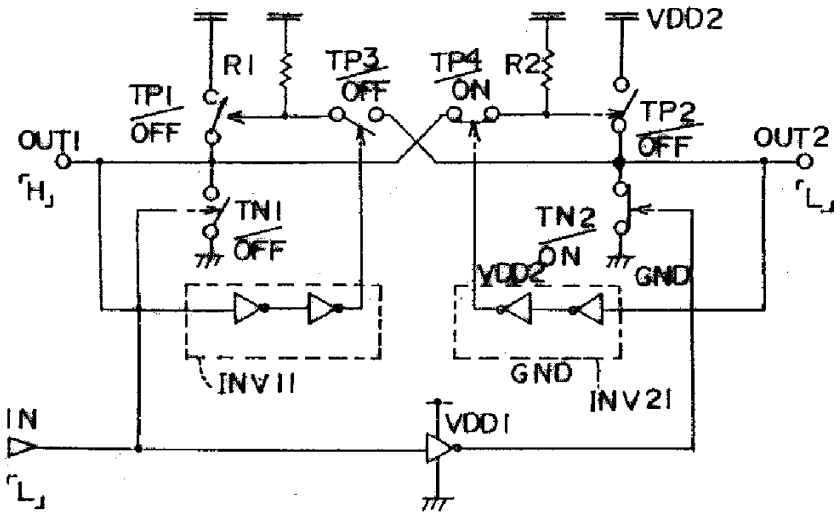
도면46b


SIN
SIN
OUT1
SGp3
SGp4
OUT2
H
L
t

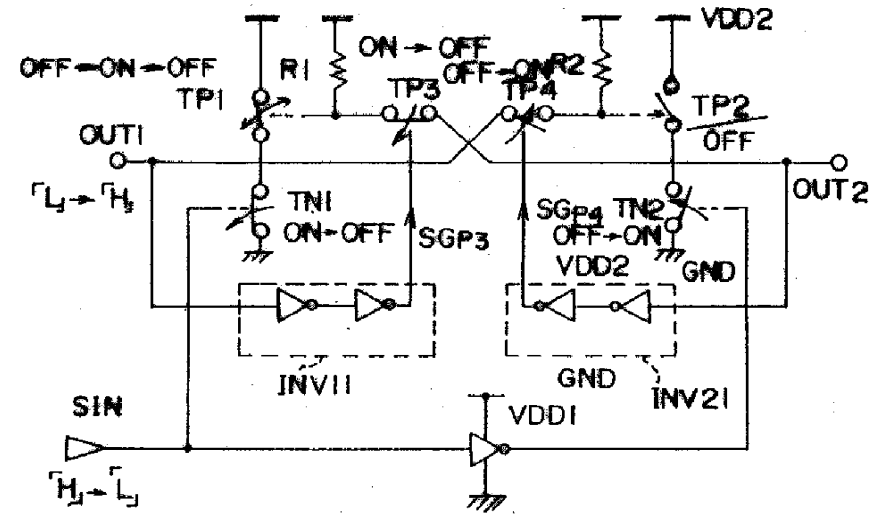
도면47a


VDD2
R1
TP3
ON
TP4
OFF
R2
TP1
OFF
TP2
OFF
OUT1
OUT2
TN1
ON
TN2
OFF
VDD2
GND
INV11
VDD1
GND
INV21
IN

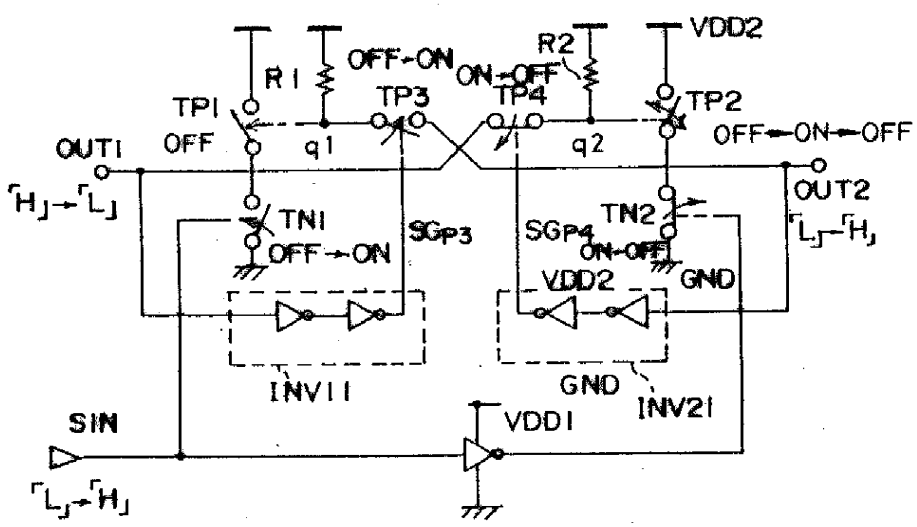
도면47b


VDD2
R1
R2
TP3
OFF
TP4
ON
TP1
OFF
TP2
OFF
OUT1
OUT2
「H」
「L」
TN1
OFF
TN2
ON
VDD2
GND
INV11
GND
INV21
IN
「L」
VDD1

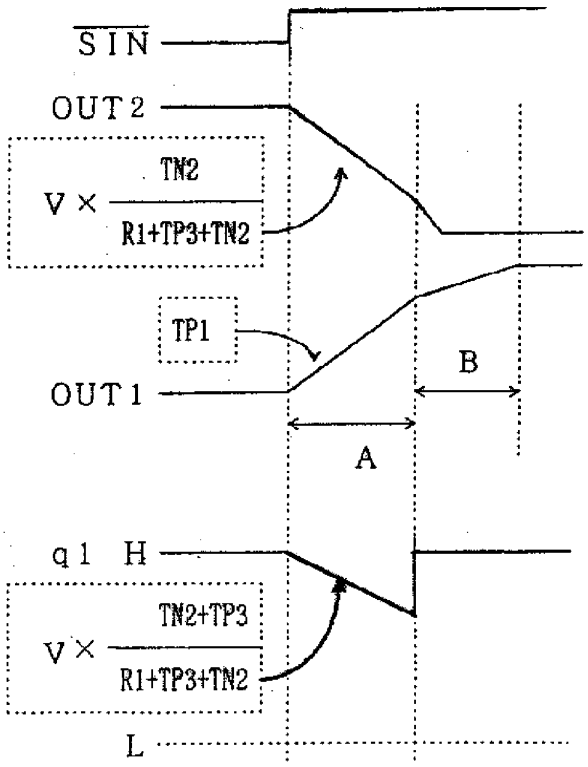
도면47c


VDD2
OFF→ON→OFF
R1
ON→OFF
OFF→ON
R2
TP1
TP3
TP4
TP2
OFF
OUT1
OUT2
「L」→「H」
TN1
ON→OFF
SGP3
SGP4
TN2
OFF→ON
VDD2
GND
INV11
GND
INV21
SIN
VDD1
「H」→「L」

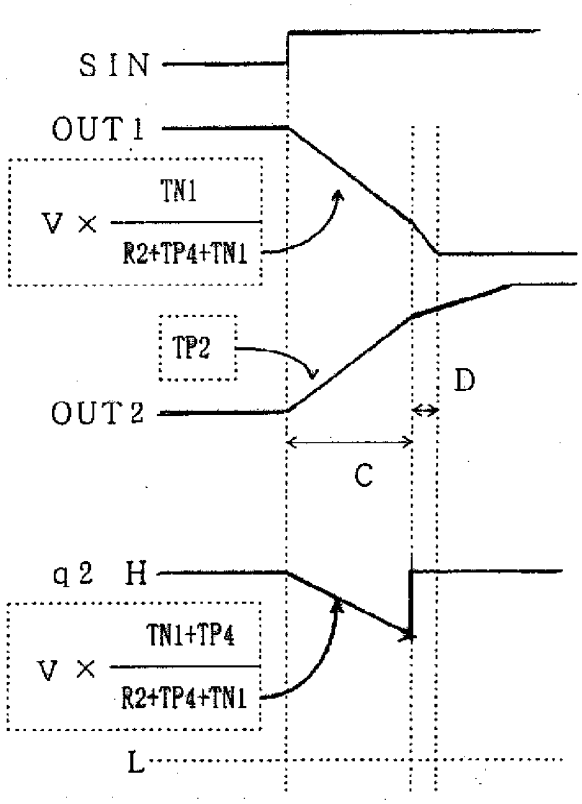
도면47d


R1
OFF→ON
ON→OFF
R2
VDD2
TP1
TP3
TP4
TP2
OUT1
OFF
q1
q2
OFF→ON→OFF
OUT2
「H」→「L」
「L」→「H」
TN1
OFF→ON
SGP3
SGP4
TN2
ON→OFF
VDD2
GND
INV11
GND
INV21
SIN
VDD1
「L」→「H」

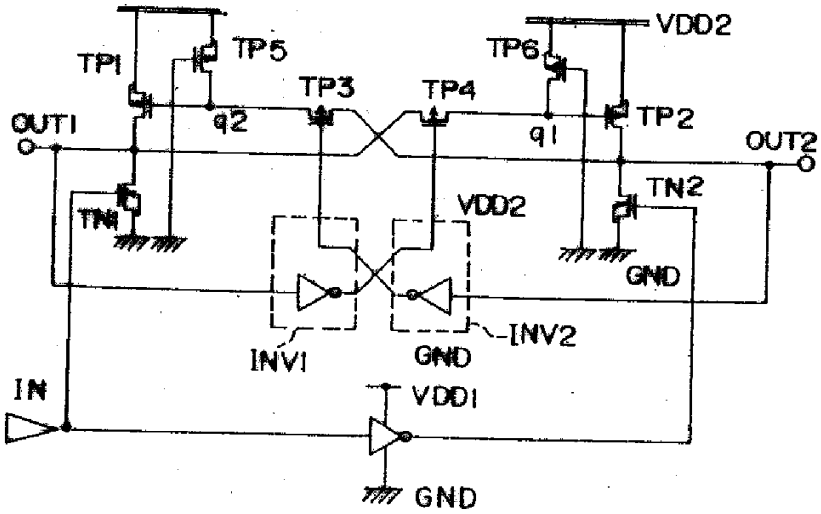
도면48a


SIN
OUT2
V × TN2 / R1+TP3+TN2
TP1
OUT1
B
A
q1 H
V × TN2+TP3 / R1+TP3+TN2
L

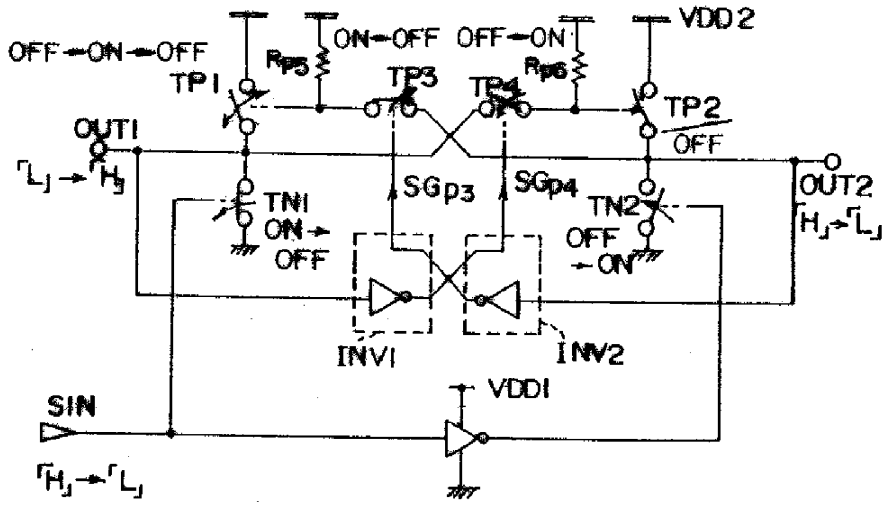
도면48b


SIN
OUT1
V × TN1 / R2+TP4+TN1
TP2
D
OUT2
C
q2 H
V × TN1+TP4 / R2+TP4+TN1
L

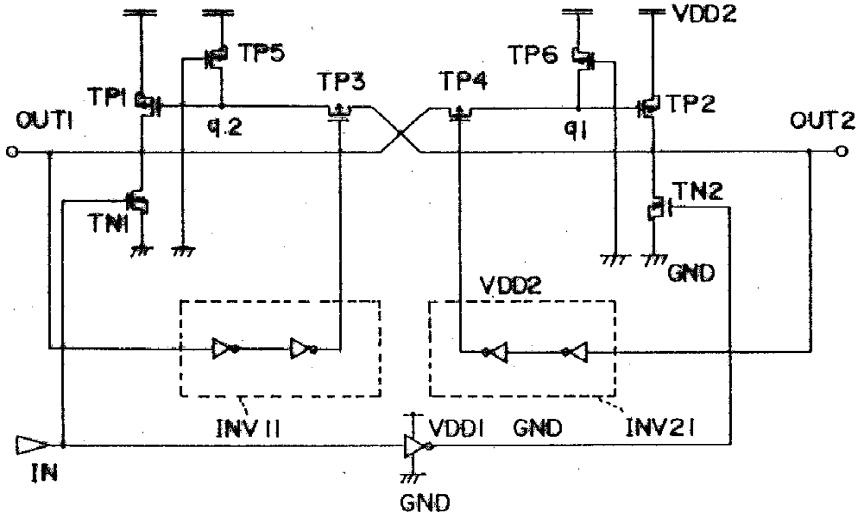
도면49a


TP1
TP5
TP3
TP4
TP6
VDD2
OUT1
q2
q1
TP2
OUT2
TN1
VDD2
TN2
GND
INV1
GND
INV2
IN
VDD1
GND

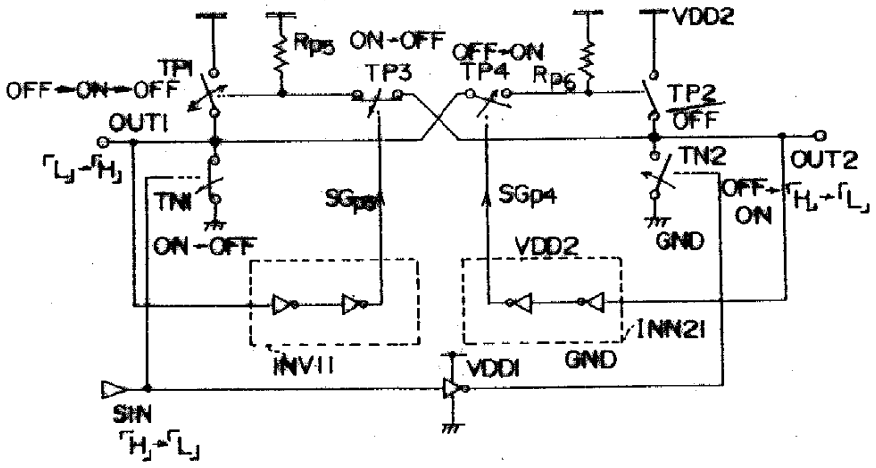
도면49b



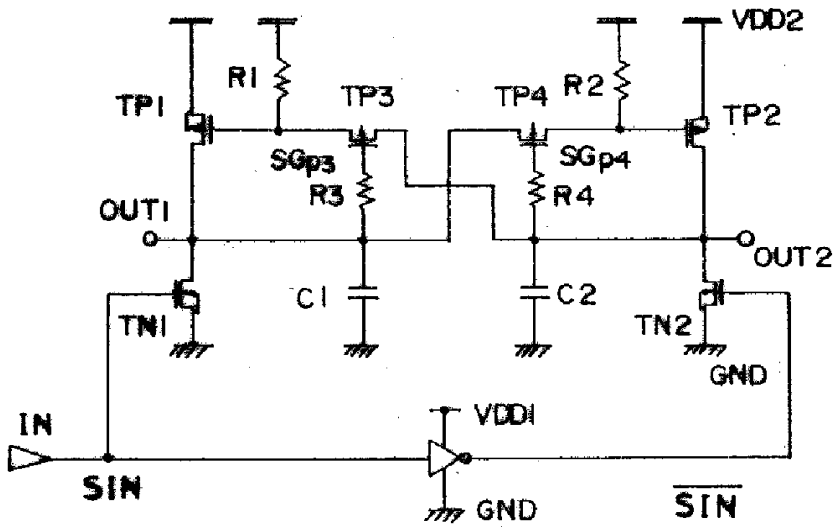
도면50a



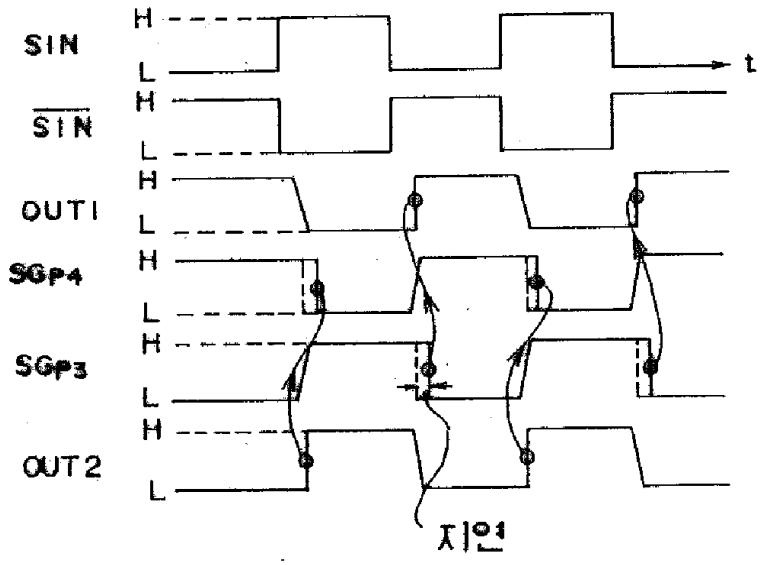
도면50b



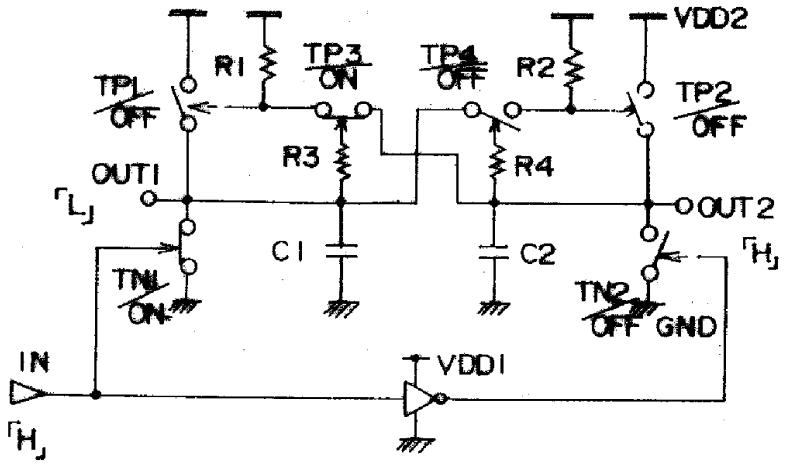
도면51a



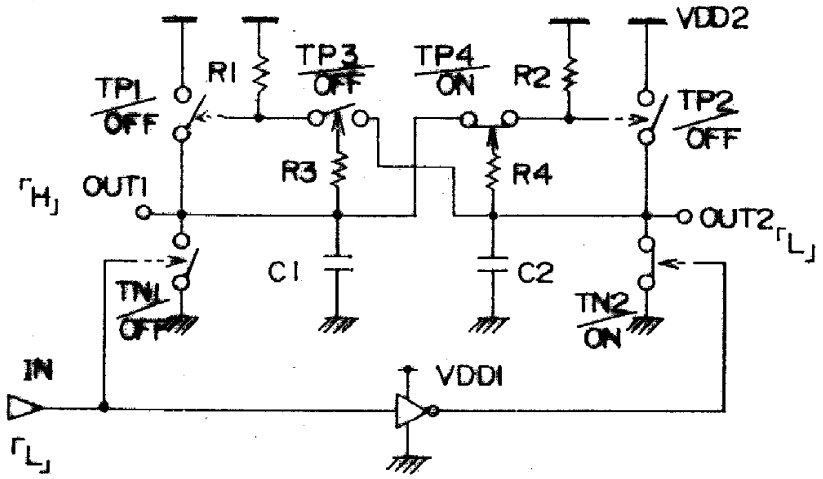
도면51b



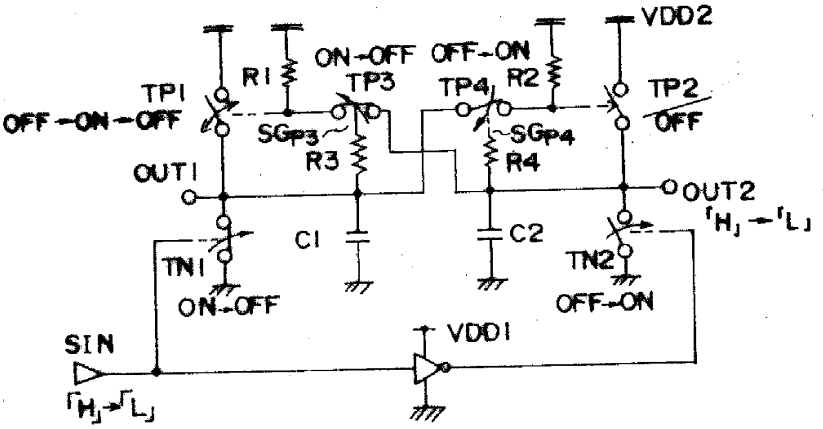
도면52a



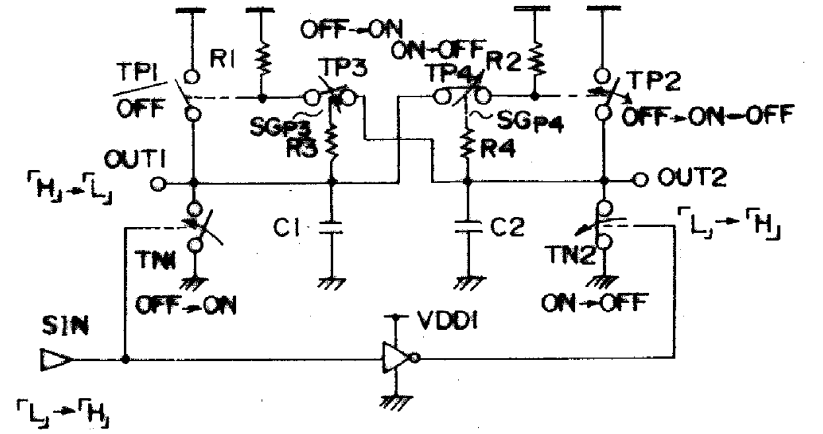
도면52b



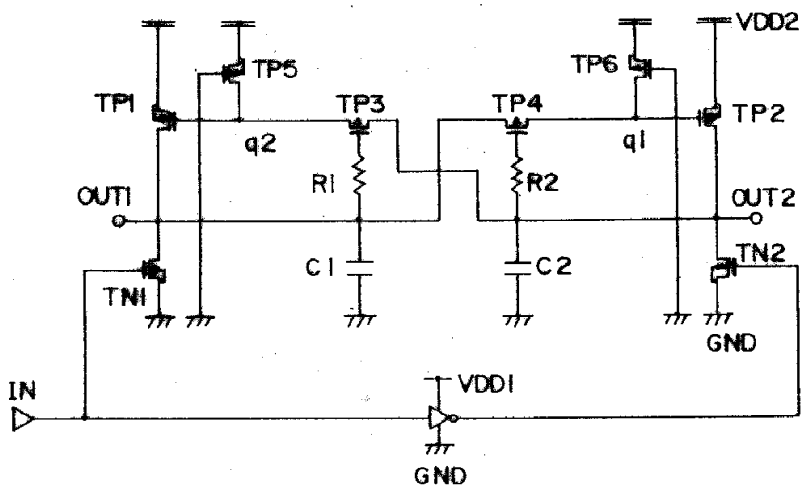
도면52c



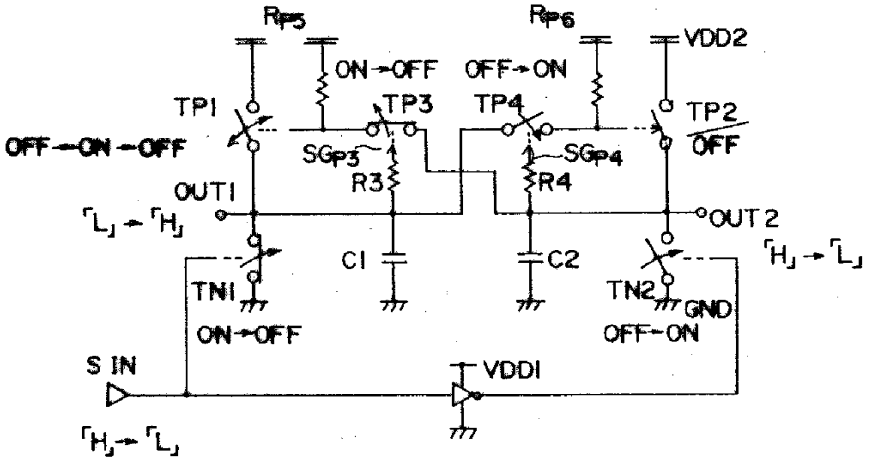
도면52d



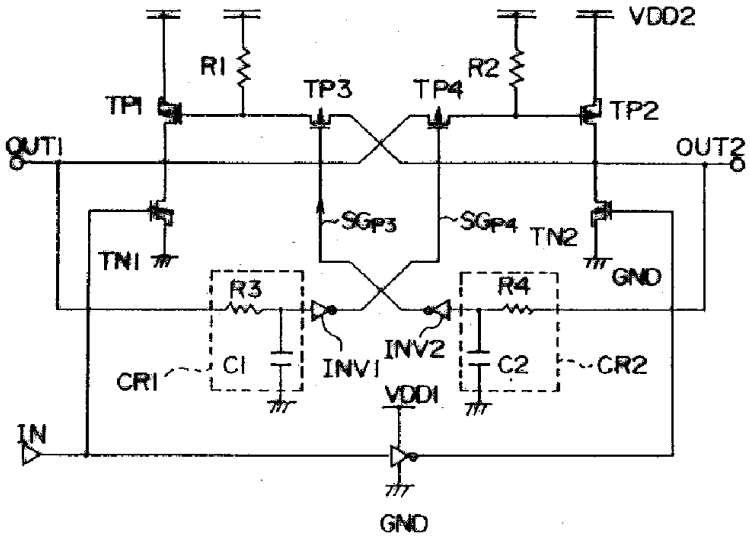
도면53a



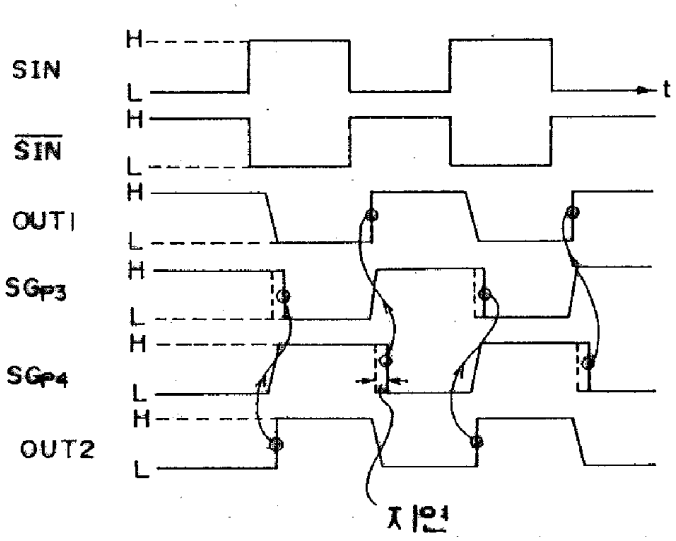
도면53b



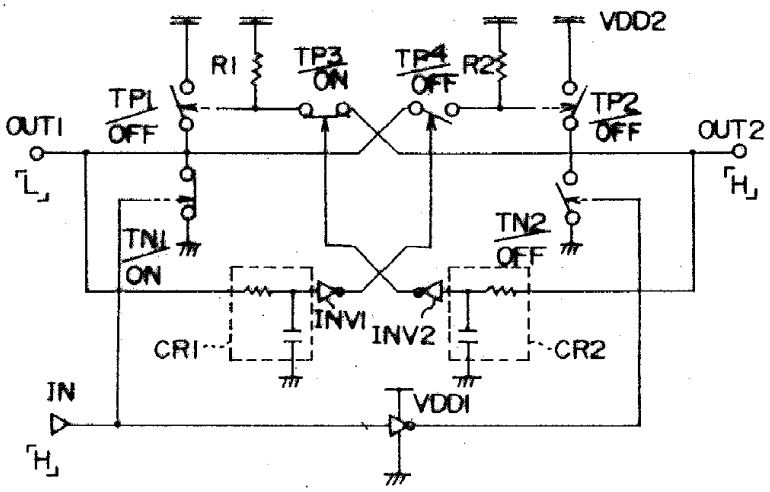
도면54a



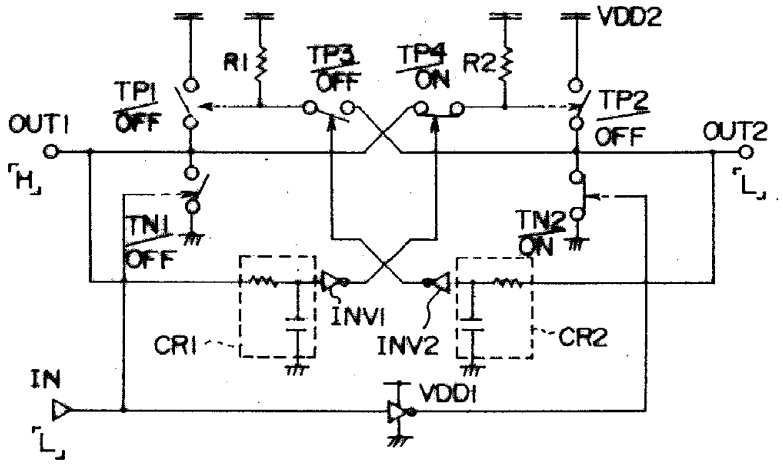
도면54b



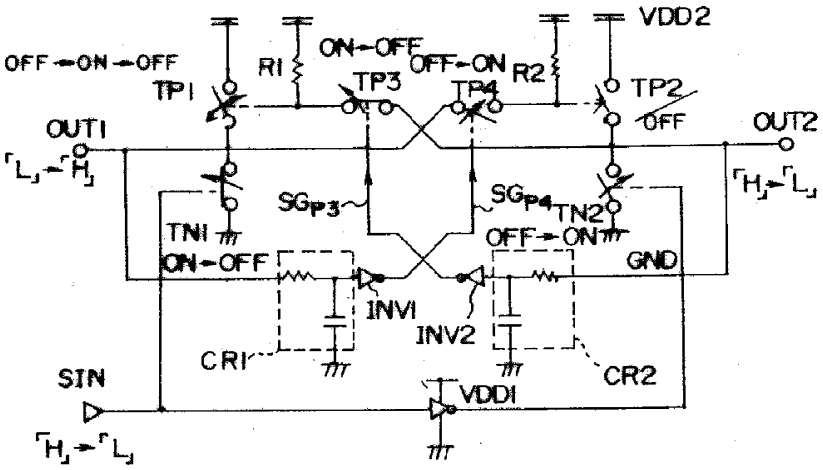
도면55a



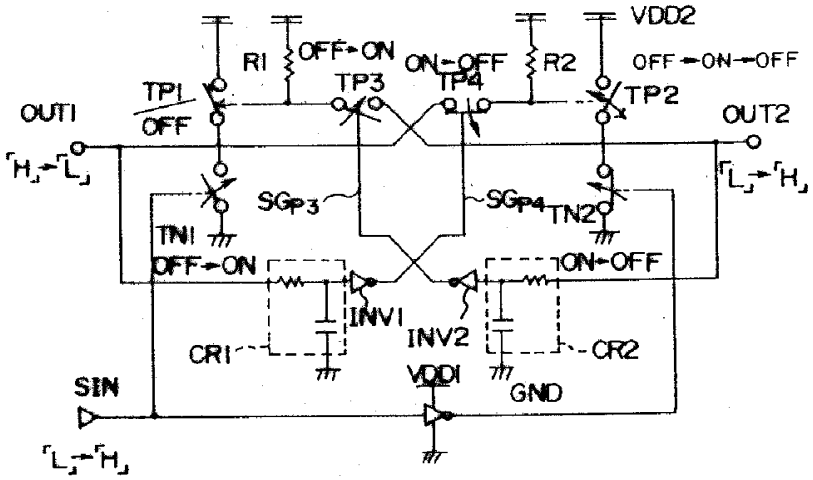
도면55b



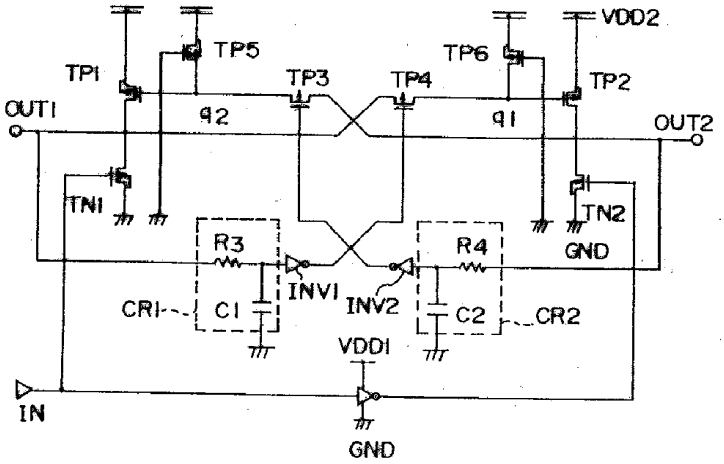
도면55c



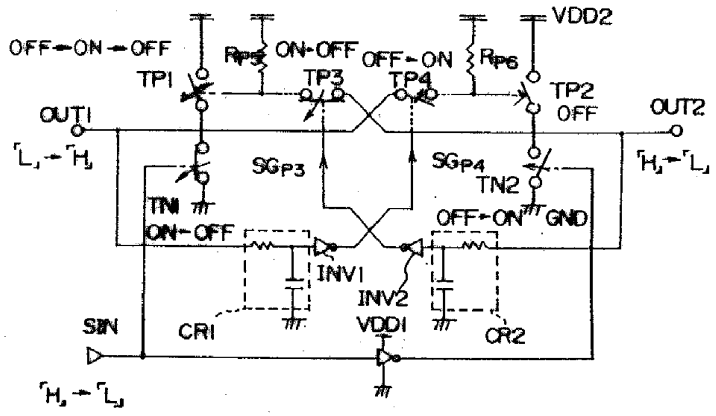
도면55d



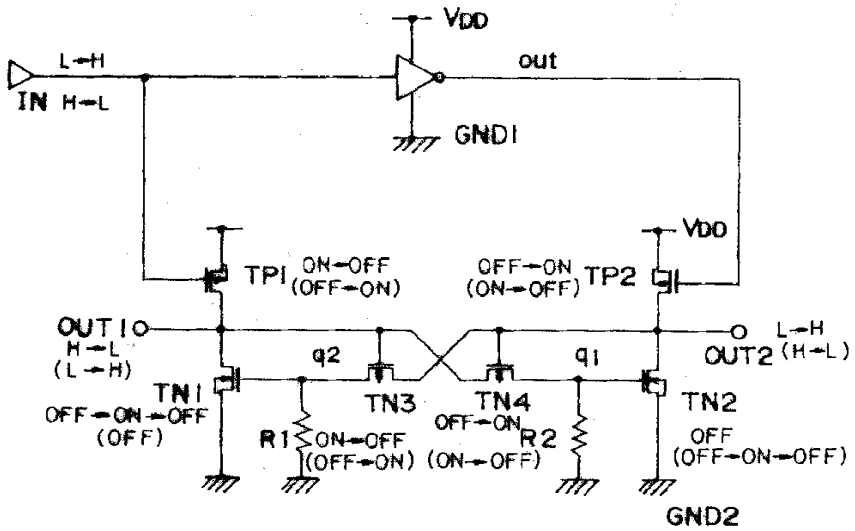
도면56a



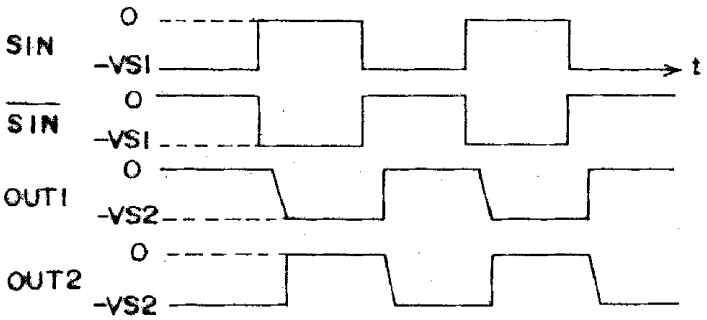
도면56b



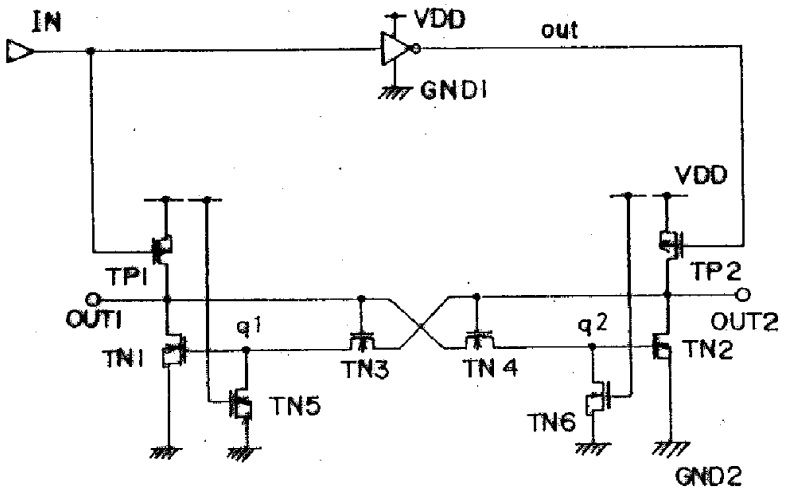
도면57a



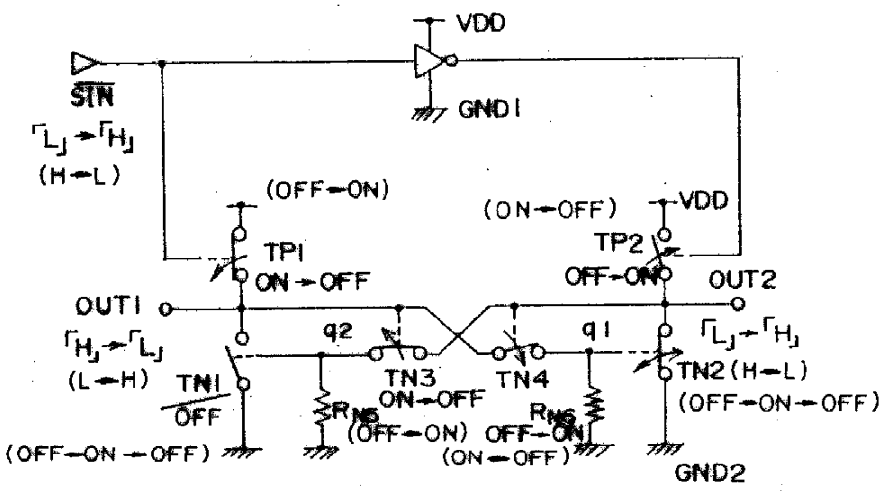
도면57b



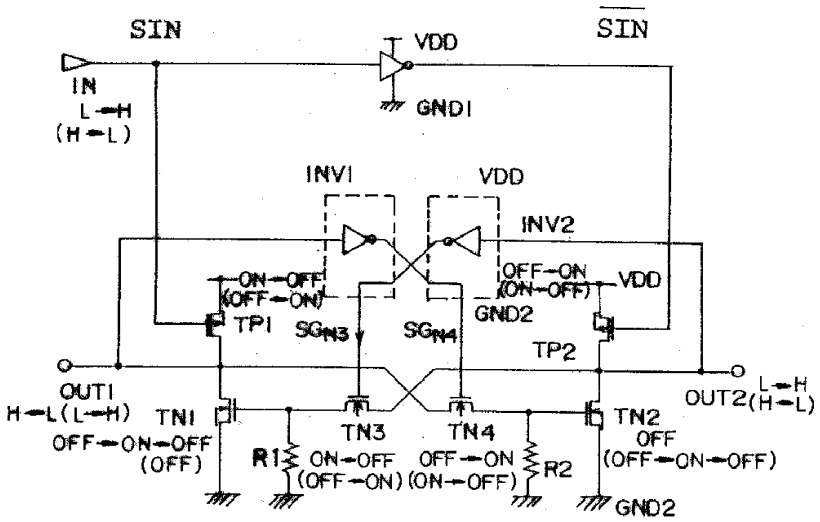
도면58a



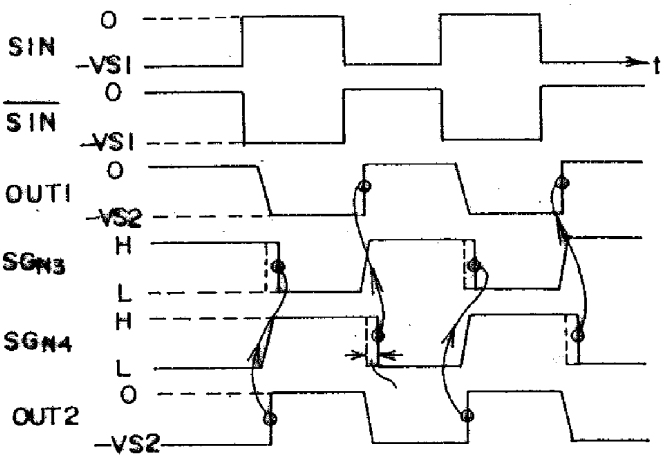
도면58b



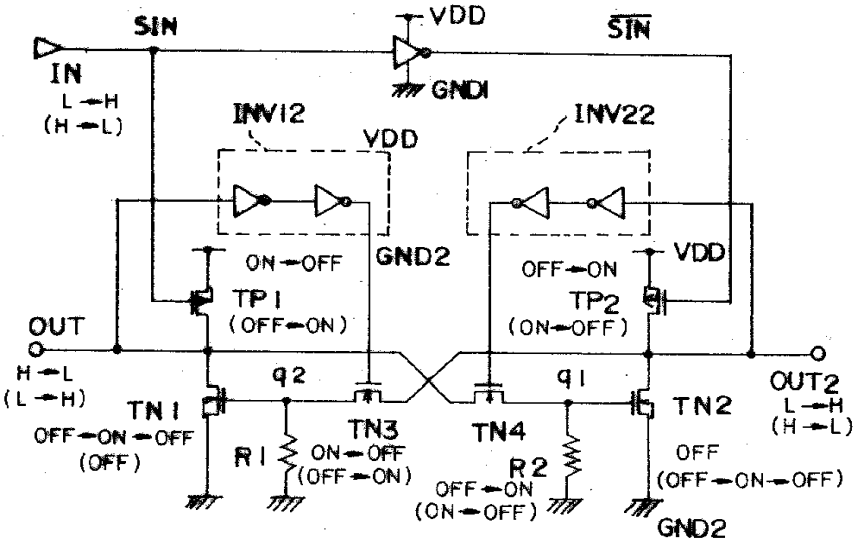
도면59a



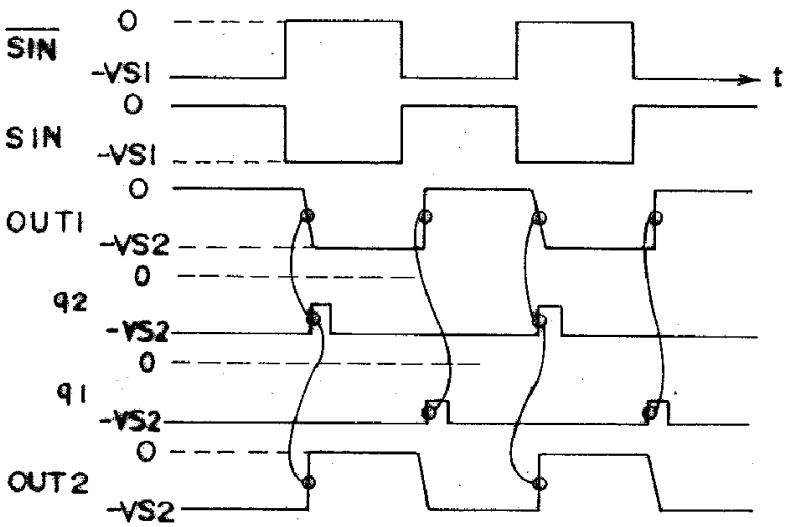
도면59b



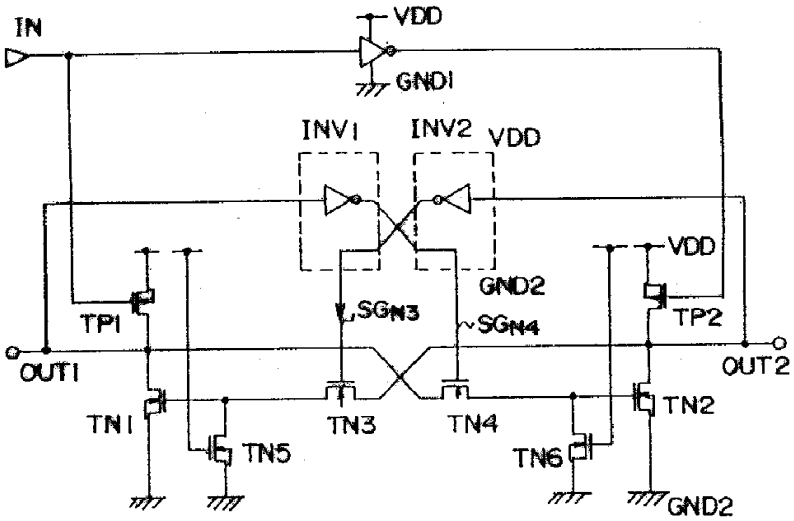
도면60a



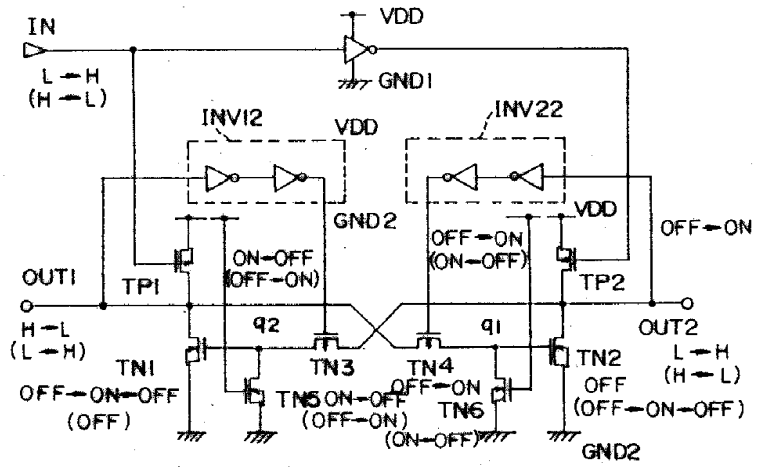
도면60b



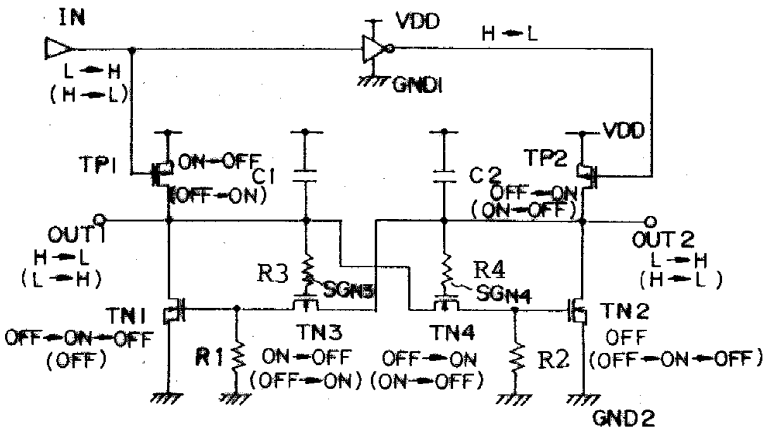
도면61



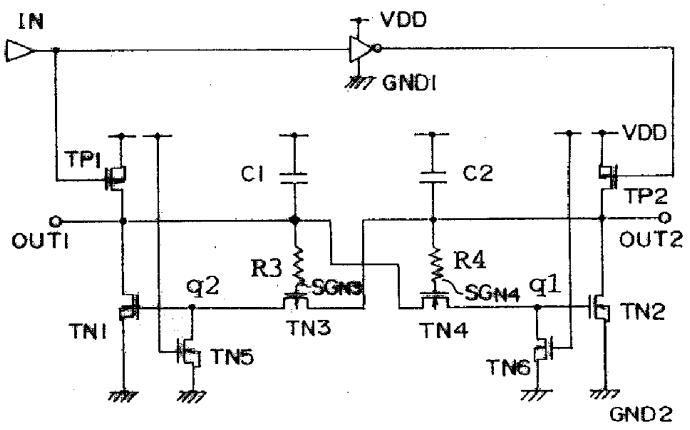
도면62



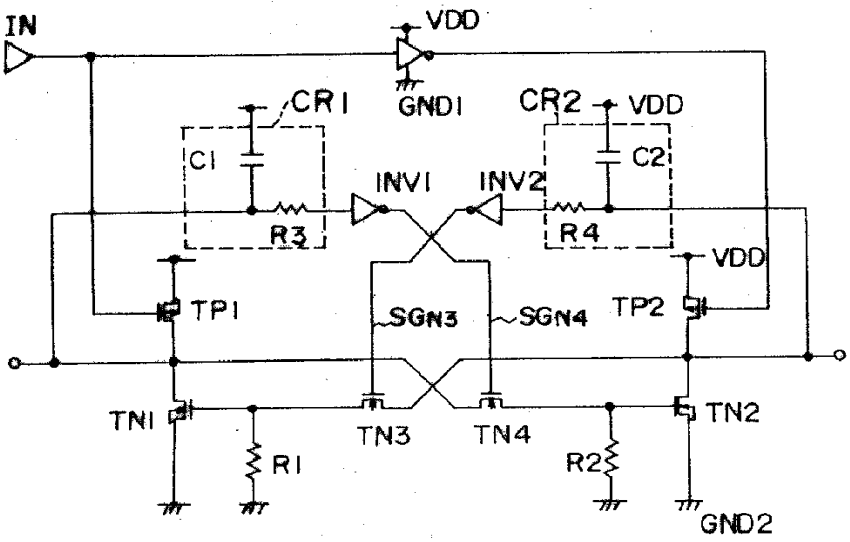
도면63



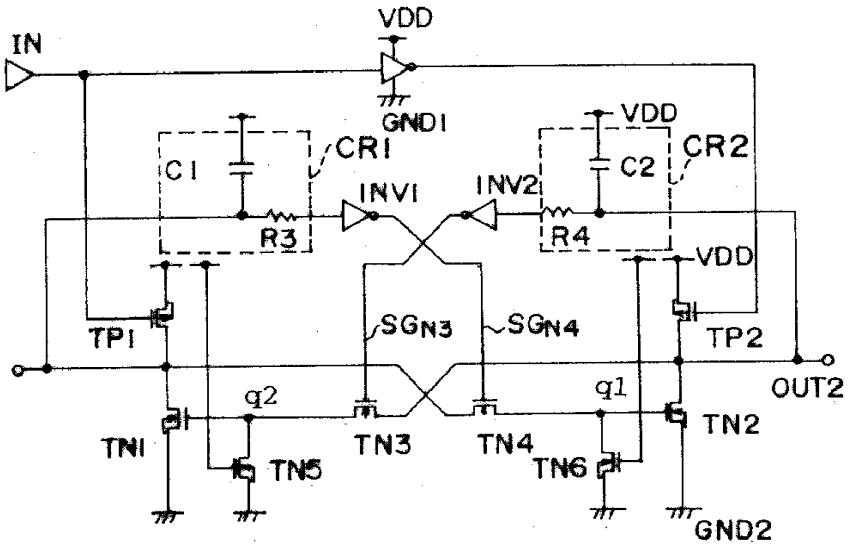
도면64



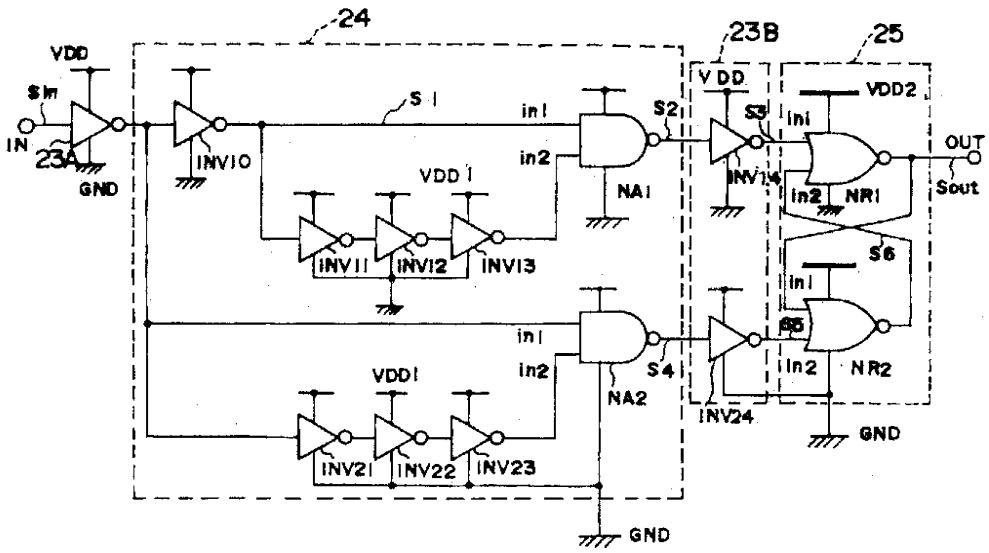
도면65



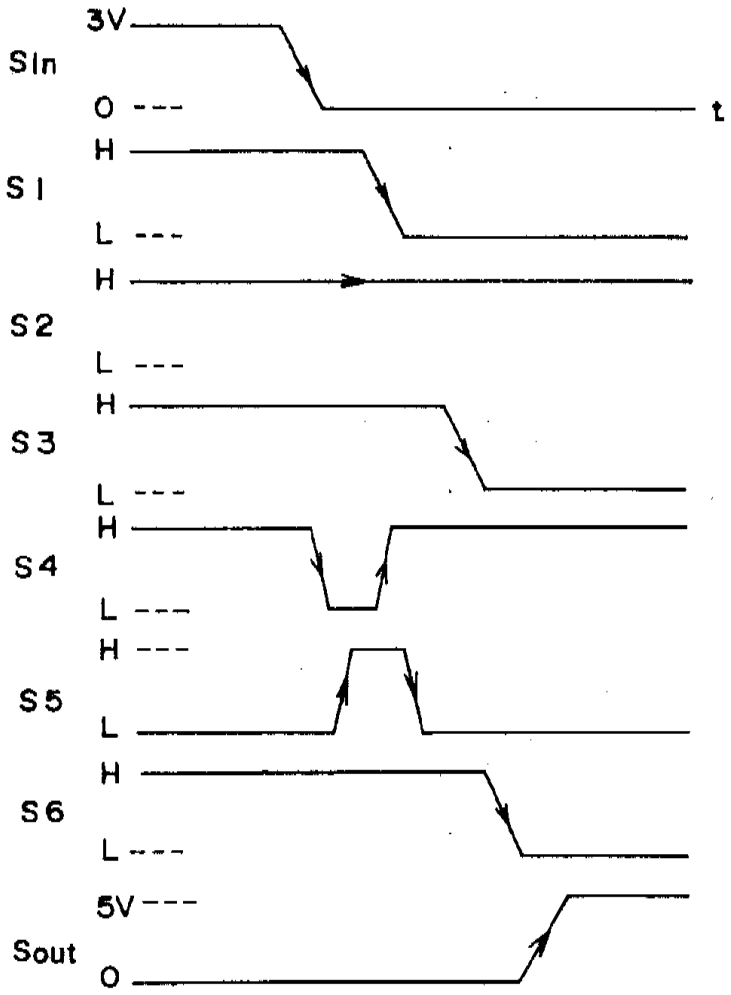
도면66



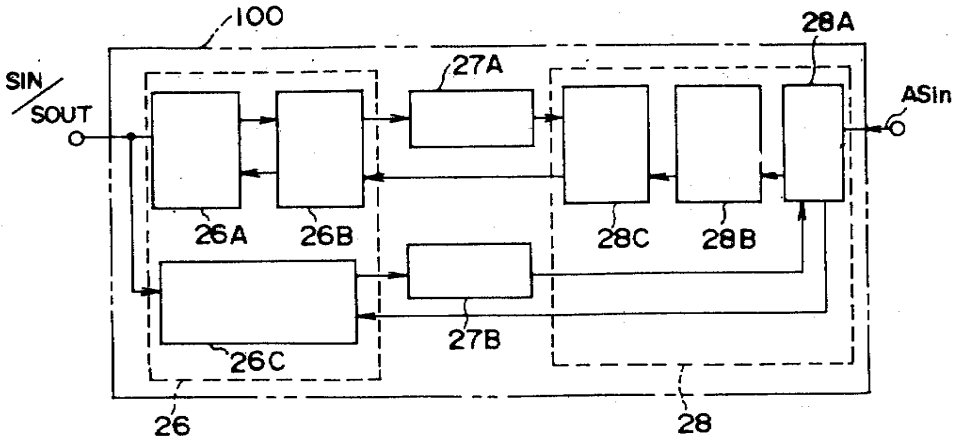
도면67


24
23B
25
VDD
SIn
IN
23A
GND
INV10
S1
in1
in2
VDD1
INV11
INV12
INV13
NA1
S2
VDD
INV14
S3
VDD2
ini
in2
NR1
OUT
Sout
S6
S4
NA2
INV21
INV22
INV23
INV24

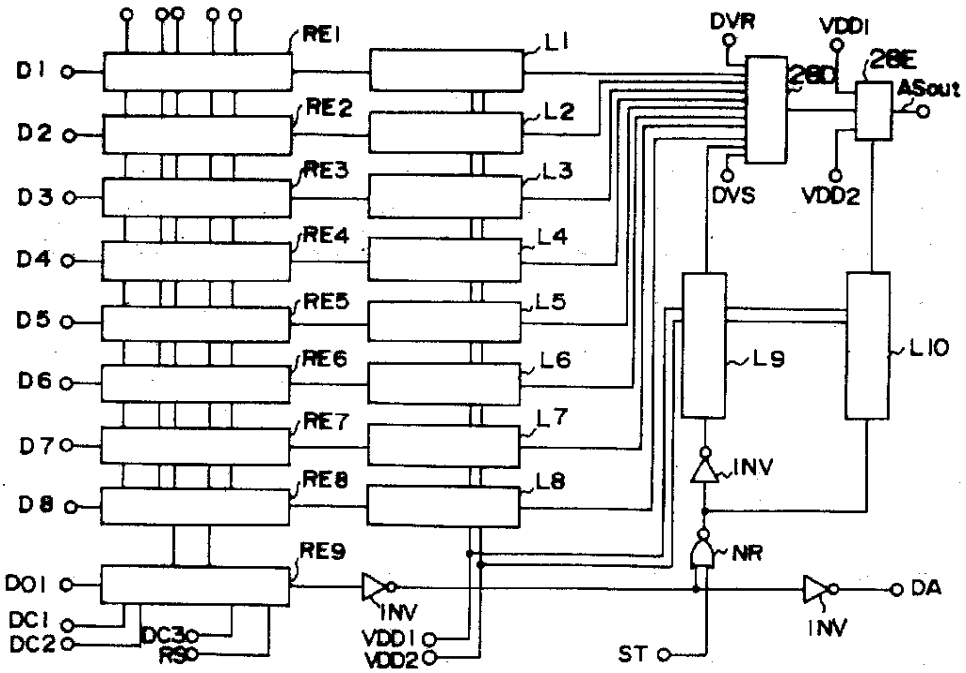
도면68


SIn
3V
0
t
S1
H
L
S2
S3
S4
S5
S6
5V
Sout

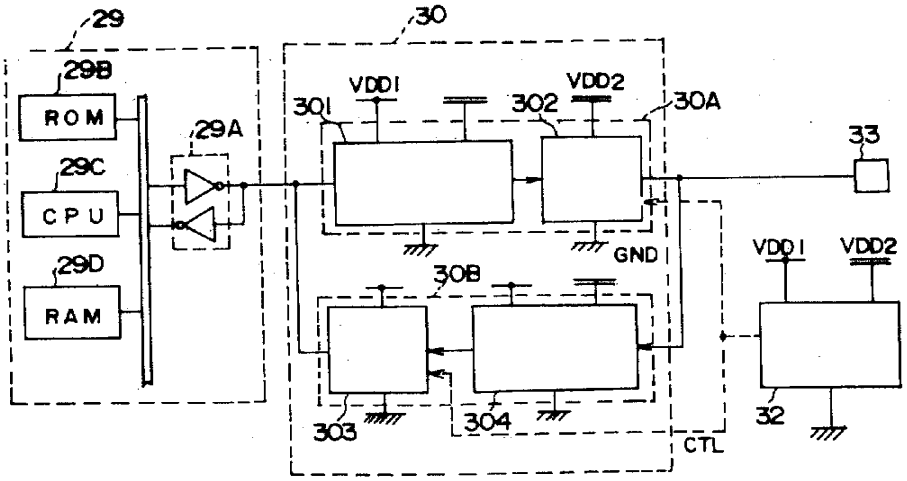
도면69



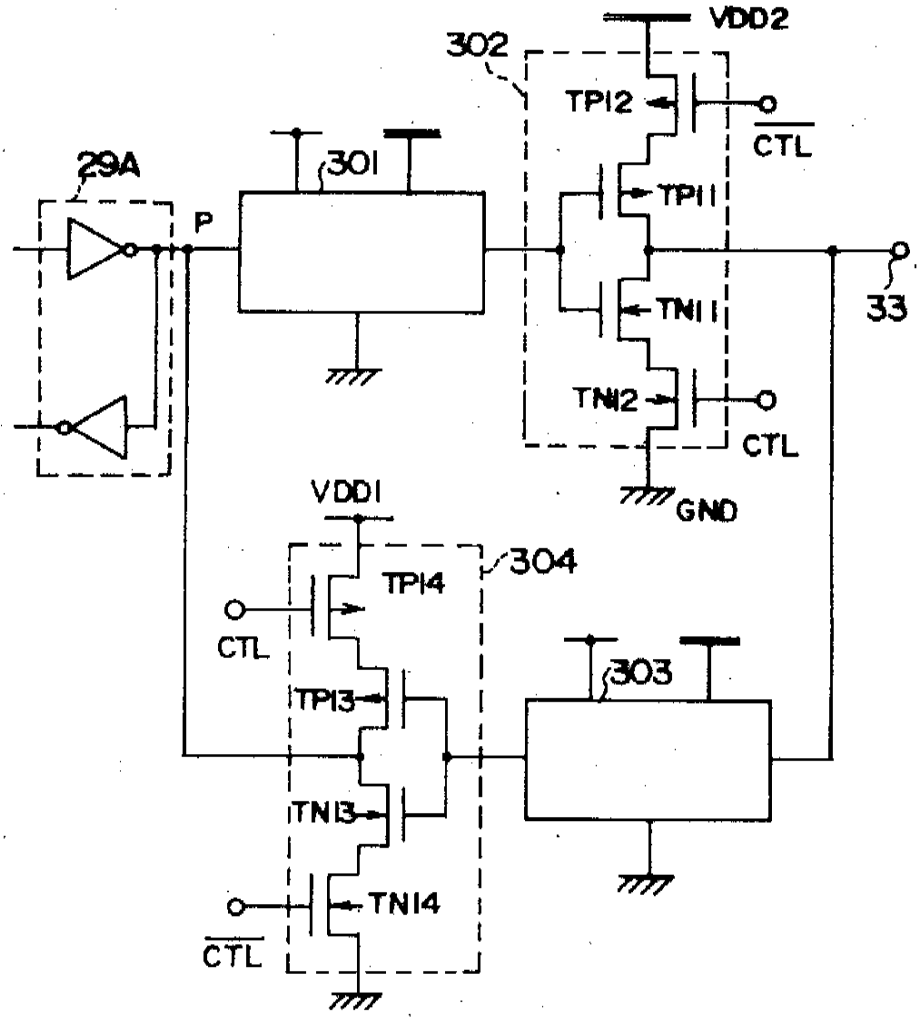
도면70



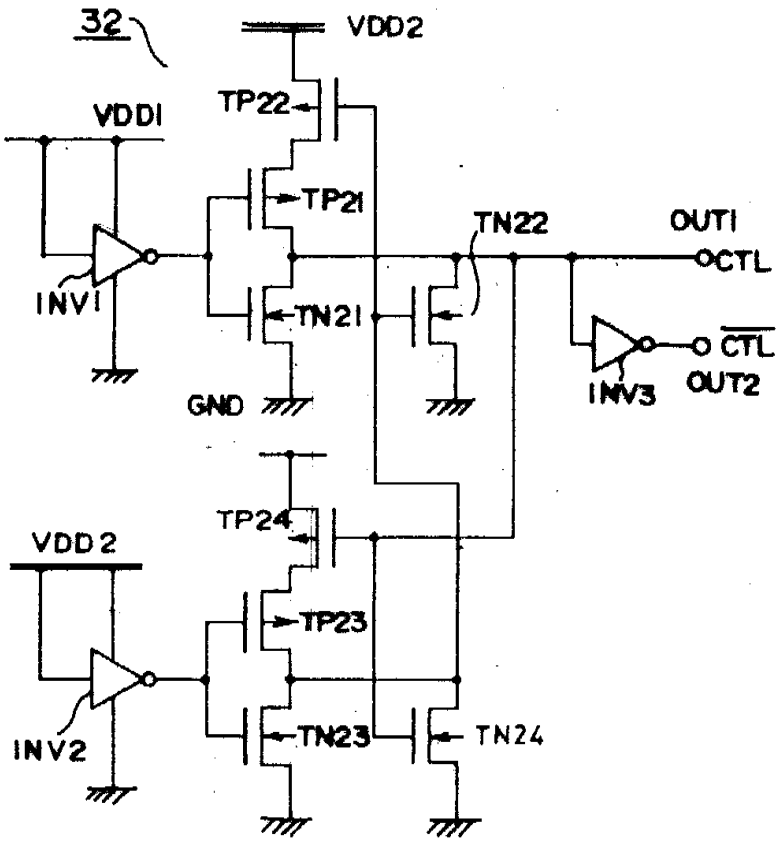
도면71



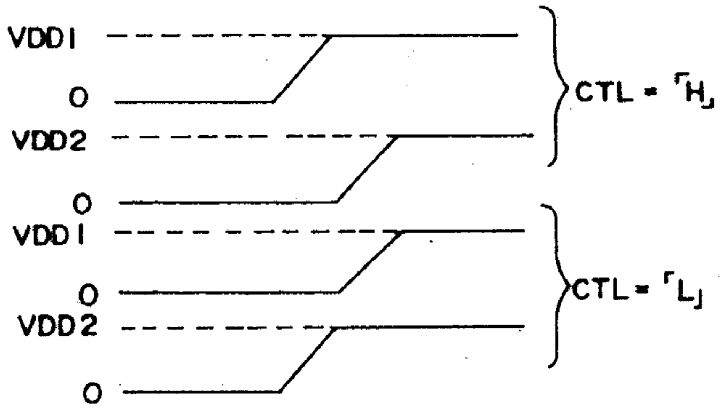
도면72


VDD2
302
TPI2
CTL
29A
301
TPI1
P
33
TNI1
TNI2
CTL
GND
VDDI
304
TPI4
CTL
303
TPI3
TNI3
TNI4
CTL

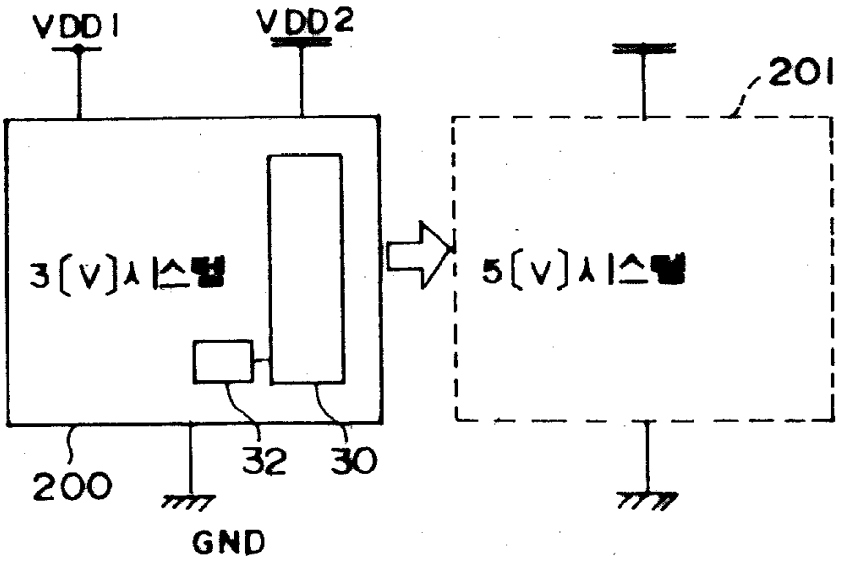
도면73a


32
VDD2
VDD1
TP22
TP21
TN22
OUT1
CTL
INV1
TN21
GND
CTL
OUT2
INV3
TP24
VDD2
TP23
INV2
TN23
TN24

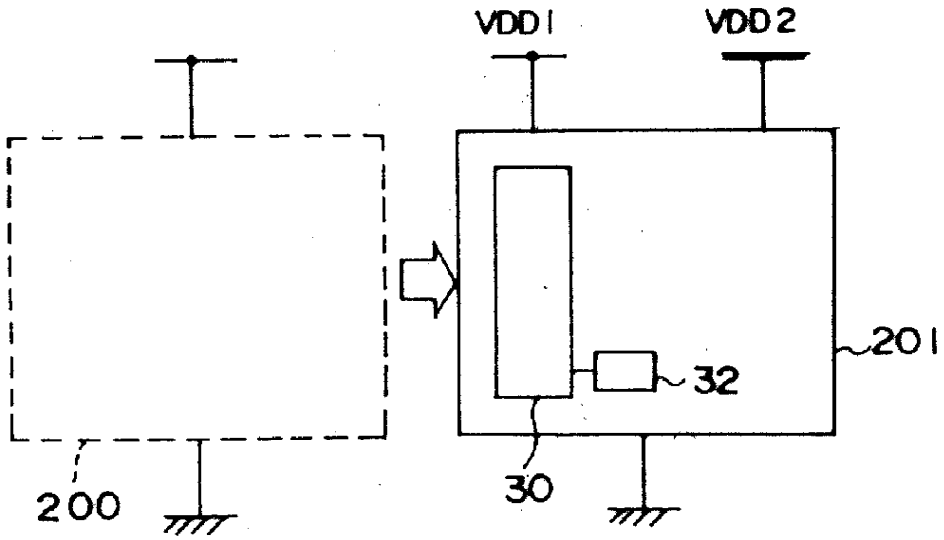
도면73b


VDD1
0
VDD2
0
CTL = 「H」
VDD1
0
VDD2
0
CTL = 「L」

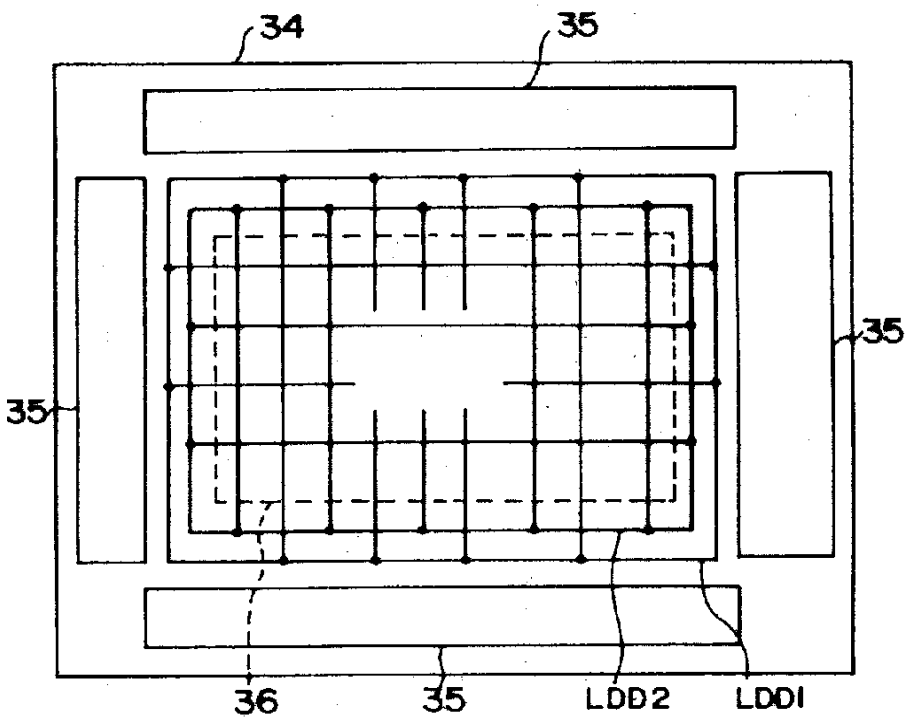
도면74a



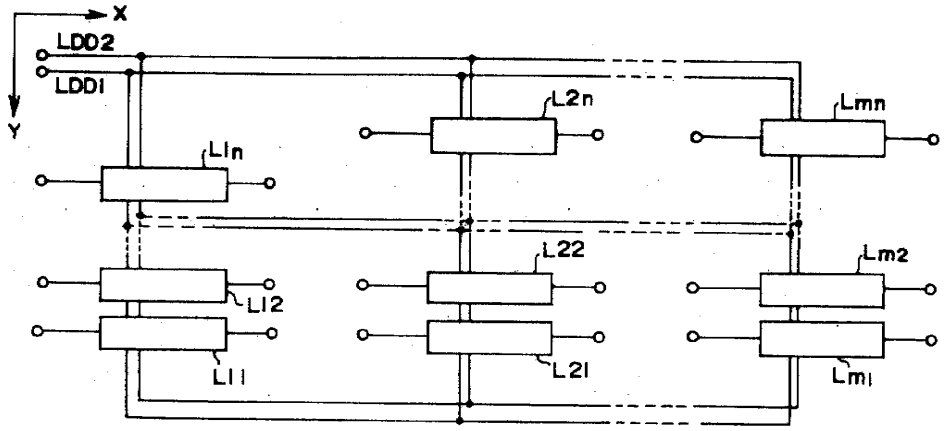
도면74b



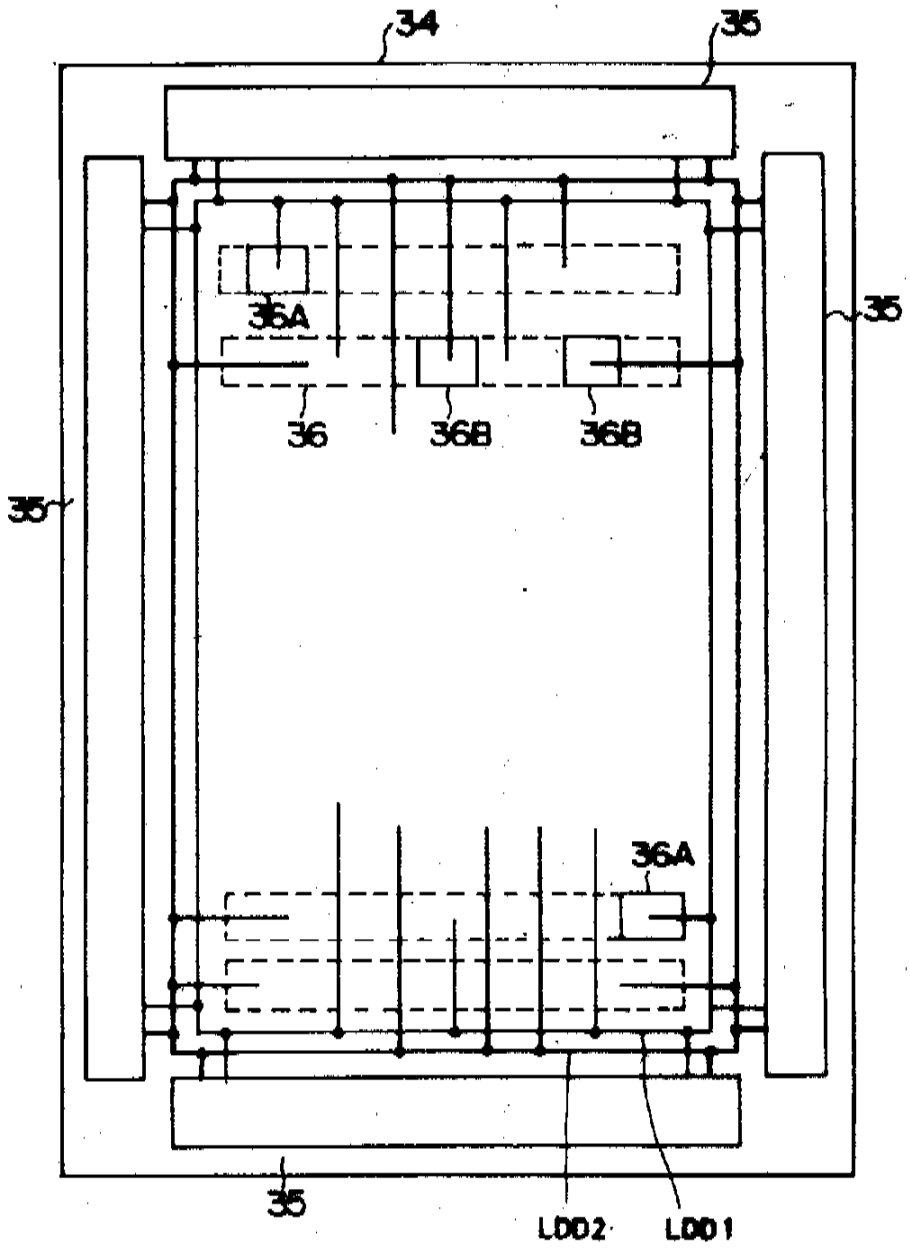
도면75


34
35
35
35
36
35
LDD2
LDD1

도면76


X
Y
LDD2
LDD1
LIn
L2n
Lmn
LI2
L22
Lm2
LI1
L21
Lm1

도면77



도면78

