



(12) 发明专利

(10) 授权公告号 CN 101325162 B

(45) 授权公告日 2013. 05. 08

(21) 申请号 200810125110. 5

(22) 申请日 2008. 06. 11

(30) 优先权数据

2007-155620 2007. 06. 12 JP

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 冈本悟

(74) 专利代理机构 上海专利商标事务所有限公司
31100

代理人 李玲

(56) 对比文件

CN 1507057 A, 2004. 06. 23, 说明书第 6 页第 2 行 - 第 7 页第 20 行、附图 1B-1D.

US 6521510 B1, 2003. 02. 18, 说明书第 9 栏第 16-53 行、附图 5.

CN 1855396 A, 2006. 11. 01, 说明书第 8 页第 11 行 - 第 12 页第 11 行、附图 1A-1D.

CN 1855396 A, 2006. 11. 01, 说明书第 8 页第 11 行 - 第 12 页第 11 行、附图 1A-1D.

审查员 闫立刚

(51) Int. Cl.

H01L 21/336 (2006. 01)

H01L 21/84 (2006. 01)

H01L 29/786 (2006. 01)

H01L 29/06 (2006. 01)

H01L 27/12 (2006. 01)

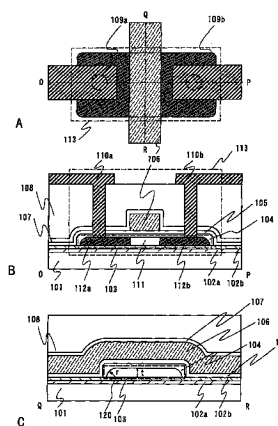
权利要求书 4 页 说明书 20 页 附图 15 页

(54) 发明名称

半导体装置及半导体装置的制造方法

(57) 摘要

本发明的目的在于提供一种半导体装置以及其制造方法,在该半导体装置中,防止起因于设置为岛状的半导体层的端部的缺陷,而提高可靠性。本发明的半导体装置的制造方法包括如下步骤:在具有绝缘表面的衬底上形成岛状半导体层;进行第一变质处理,在所述岛状半导体层的表面形成第一绝缘膜;去掉所述第一绝缘膜;对去掉了所述第一绝缘膜的所述岛状半导体层进行第二变质处理,在该岛状半导体层的表面形成第二绝缘膜;在所述第二绝缘膜上形成导电层,其中通过所述第一变质处理和所述第二变质处理,使所述岛状半导体层的上端部具有圆度。



1. 一种半导体装置的制造方法,包括如下步骤:

在玻璃衬底上形成第一绝缘膜;

在所述第一绝缘膜上形成岛状半导体层;

通过进行第一变质处理,在所述岛状半导体层的表面形成第二绝缘膜;

去掉所述第二绝缘膜以及所述第一绝缘膜的一部分,使得经蚀刻的第一绝缘膜的端部处在所述岛状半导体层的下方;

通过对去掉了所述第二绝缘膜的所述岛状半导体层进行第二变质处理,在该岛状半导体层的表面形成第三绝缘膜;

在所述第三绝缘膜上形成第四绝缘膜,使得所述第四绝缘膜覆盖所述岛状半导体层的下端部;

在所述第四绝缘膜上形成第一导电层;

在所述第一导电层上形成第五绝缘膜;

在所述第三绝缘膜、所述第四绝缘膜和所述第五绝缘膜中形成接触孔;以及

形成电连接到所述岛状半导体层的第二导电层,

其中,通过所述第一变质处理和所述第二变质处理,使所述岛状半导体层的上端部和所述下端部具有圆度。

2. 一种半导体装置的制造方法,包括如下步骤:

在玻璃衬底上形成第一绝缘膜;

在所述第一绝缘膜上形成第二绝缘膜;

在所述第二绝缘膜上形成岛状半导体层;

通过进行第一变质处理,在所述岛状半导体层的表面形成第三绝缘膜;

去掉所述第三绝缘膜以及所述第二绝缘膜的一部分,使得经蚀刻的第二绝缘膜的端部处在所述岛状半导体层的下方;

通过对去掉了所述第三绝缘膜的所述岛状半导体层进行第二变质处理,在该岛状半导体层的表面形成第四绝缘膜;

在所述第四绝缘膜上形成第五绝缘膜,使得所述第五绝缘膜覆盖所述岛状半导体层的下端部;

在所述第五绝缘膜上形成第一导电层;

在所述第一导电层上形成第六绝缘膜;

在所述第四绝缘膜、所述第五绝缘膜和所述第六绝缘膜中形成接触孔;以及

形成电连接到所述岛状半导体层的第二导电层,

其中,通过所述第一变质处理和所述第二变质处理,使所述岛状半导体层的上端部以及所述下端部具有圆度。

3. 根据权利要求1所述的半导体装置的制造方法,其中所述第一变质处理是等离子体处理。

4. 根据权利要求1所述的半导体装置的制造方法,其中所述第二变质处理是等离子体处理。

5. 根据权利要求1所述的半导体装置的制造方法,其中所述第三绝缘膜的厚度为1nm至10nm。

6. 根据权利要求 2 所述的半导体装置的制造方法,其中所述第一变质处理是等离子体处理。

7. 根据权利要求 2 所述的半导体装置的制造方法,其中所述第二变质处理是等离子体处理。

8. 根据权利要求 2 所述的半导体装置的制造方法,其中被进行了所述第二变质处理的所述岛状半导体层的厚度为 10nm 至 30nm。

9. 根据权利要求 2 所述的半导体装置的制造方法,其中所述第四绝缘膜的厚度为 1nm 至 10nm。

10. 一种半导体装置的制造方法,包括如下步骤:

在玻璃衬底上形成第一绝缘膜;

在所述第一绝缘膜上形成岛状半导体层;

通过进行第一变质处理,在所述岛状半导体层的表面形成第二绝缘膜;

去掉所述第二绝缘膜以及所述第一绝缘膜的一部分,使得经蚀刻的第一绝缘膜的端部处在所述岛状半导体层的下方;

通过对去掉了所述第二绝缘膜的所述岛状半导体层进行第二变质处理,在该岛状半导体层的表面形成第三绝缘膜;

去掉所述第三绝缘膜;

通过对去掉了所述第三绝缘膜的所述岛状半导体层进行第三变质处理,在该岛状半导体层的表面形成第四绝缘膜;

在所述第四绝缘膜上形成第五绝缘膜,使得所述第五绝缘膜覆盖所述岛状半导体层的下端部;

在所述第五绝缘膜上形成第一导电层;

在所述第一导电层上形成第六绝缘膜;

在所述第四绝缘膜、所述第五绝缘膜和所述第六绝缘膜中形成接触孔;以及

形成电连接到所述岛状半导体层的第二导电层,

其中,通过所述第一变质处理、所述第二变质处理以及所述第三变质处理,使所述岛状半导体层的上端部以及所述下端部具有圆度。

11. 根据权利要求 10 所述的半导体装置的制造方法,其中所述第三变质处理是等离子体处理。

12. 根据权利要求 10 所述的半导体装置的制造方法,其中被进行了所述第三变质处理的所述岛状半导体层的厚度为 10nm 至 30nm。

13. 根据权利要求 10 所述的半导体装置的制造方法,其中所述第四绝缘膜的厚度为 1nm 至 10nm。

14. 一种半导体装置,包括:

玻璃衬底;

设置在所述玻璃衬底上的第一绝缘膜;

设置在所述第一绝缘膜上的岛状半导体层;

覆盖所述岛状半导体层地形成的第二绝缘膜;

设置在所述第二绝缘膜上的第三绝缘膜;

中间夹着所述第二绝缘膜和所述第三绝缘膜而设置在所述岛状半导体层上的第一导电层；

设置在所述第一导电层上的第四绝缘膜；以及

设置在所述第四绝缘膜上的第二导电层，

其中所述第二导电层通过设置在所述第二绝缘膜、所述第三绝缘膜和所述第四绝缘膜中的接触孔而电连接到所述岛状半导体层，

其中，所述岛状半导体层的截面的上端部和下端部具有圆度，

所述岛状半导体层的厚度为 10nm 至 30nm，并且

所述岛状半导体层的所述截面的所述下端部被所述第三绝缘膜覆盖。

15. 一种半导体装置，包括：

玻璃衬底；

设置在所述玻璃衬底上的第一绝缘膜；

设置在所述第一绝缘膜上的第二绝缘膜；

设置在所述第二绝缘膜上的岛状半导体层；

覆盖所述岛状半导体层地形成的第三绝缘膜；

在所述第三绝缘膜上的第四绝缘膜；

中间夹着所述第三绝缘膜和所述第四绝缘膜而设置在所述岛状半导体层上的第一导电层；

设置在所述第一导电层上的第五绝缘膜；以及

设置在所述第五绝缘膜上的第二导电层，

其中所述第二导电层通过设置在所述第三绝缘膜、所述第四绝缘膜和所述第五绝缘膜中的接触孔而电连接到所述岛状半导体层，

其中，所述岛状半导体层的截面的上端部以及下端部具有圆度，

所述岛状半导体层的厚度为 10nm 至 30nm，并且

所述岛状半导体层的所述截面的所述下端部被所述第四绝缘膜覆盖。

16. 根据权利要求 14 所述的半导体装置，其中所述第二绝缘膜的厚度为 1nm 至 10nm。

17. 根据权利要求 14 所述的半导体装置，其中当所述岛状半导体层的厚度为 t ($t > 0$)，而所述岛状半导体层的截面的端部的曲率半径为 r ($r > 0$) 时， t 和 r 的关系满足 $(t/2) \leq r \leq 2t$ 的条件式。

18. 根据权利要求 14 所述的半导体装置，其中当所述岛状半导体层的厚度为 t ($t > 0$)，而所述岛状半导体层的截面的端部的曲率半径为 r ($r > 0$) 时， t 和 r 的关系满足 $(t/4) \leq r \leq t$ 的条件式。

19. 根据权利要求 14 所述的半导体装置，其中所述第二绝缘膜包括所述岛状半导体层的材料。

20. 根据权利要求 15 所述的半导体装置，其中所述第三绝缘膜的厚度为 1nm 至 10nm。

21. 根据权利要求 15 所述的半导体装置，其中当所述岛状半导体层的厚度为 t ($t > 0$)，而所述岛状半导体层的截面的端部的曲率半径为 r ($r > 0$) 时， t 和 r 的关系满足 $(t/2) \leq r \leq 2t$ 的条件式。

22. 根据权利要求 15 所述的半导体装置，其中当所述岛状半导体层的厚度为 t (t

> 0), 而所述岛状半导体层的截面的端部的曲率半径为 r ($r > 0$) 时, t 和 r 的关系满足 $(t/4) \leq r \leq t$ 的条件式。

23. 根据权利要求 15 所述的半导体装置, 其中所述第三绝缘膜包括所述岛状半导体层的材料。

24. 一种半导体装置的制造方法, 包括如下步骤:

在玻璃衬底上形成第一绝缘膜;

在所述第一绝缘膜上形成岛状半导体层;

通过进行第一变质处理, 在所述岛状半导体层的表面形成第二绝缘膜;

去掉所述第二绝缘膜以及所述第一绝缘膜的一部分, 使得经蚀刻的第一绝缘膜的端部处在所述岛状半导体层的下方;

通过对去掉了所述第二绝缘膜的所述岛状半导体层进行第二变质处理, 在该岛状半导体层的表面形成第三绝缘膜;

在所述第三绝缘膜上形成第四绝缘膜, 使得所述第四绝缘膜覆盖所述岛状半导体层的下端部;

在所述第四绝缘膜上形成第一导电层;

在所述第一导电层上形成第五绝缘膜;

在所述第三绝缘膜、所述第四绝缘膜和所述第五绝缘膜中形成接触孔; 以及

形成电连接到所述岛状半导体层的第二导电层,

其中, 通过所述第一变质处理和所述第二变质处理, 使所述岛状半导体层的上端部和下端部具有圆度,

其中被进行了所述第二变质处理的所述岛状半导体层的厚度为 10nm 至 30nm; 且

其中当所述岛状半导体层的厚度为 t ($t > 0$), 而所述岛状半导体层的截面的端部的曲率半径为 r ($r > 0$) 时, t 和 r 的关系满足 $(t/2) \leq r \leq 2t$ 的条件式。

半导体装置及半导体装置的制造方法

技术领域

[0001] 本发明涉及一种半导体装置及半导体装置的制造方法。注意,在本说明书中,半导体装置是指通过利用半导体特性能够工作的所有装置。

背景技术

[0002] 近年来,积极地制造如下半导体装置:在玻璃等具有绝缘表面的衬底上形成薄膜晶体管(以下也写为 TFT),并且将该薄膜晶体管用作开关元件。在该薄膜晶体管中,在具有绝缘表面的衬底上形成岛状半导体层,并且将该岛状半导体层的一部分用作晶体管的沟道形成区。

[0003] [专利文件 1] 专利申请公开 Hei8-335702

[0004] [专利文件 2] 专利申请公开 Hei3-22567

[0005] 然而,具有岛状半导体层的薄膜晶体管有可能发生起因于半导体层的端部的各种各样的缺陷。例如,当将半导体层形成为岛状时,在半导体层的端部发生台阶(step),因此在半导体层的端部栅绝缘膜的覆盖性容易不好。例如,有在岛状半导体层的端部栅绝缘膜局部性地变薄的情况。当岛状半导体层的端部不能十分由栅绝缘膜覆盖时,有可能发生用作栅电极的导电层和半导体层之间的短路、漏电流。特别是近年来,为了实现薄膜晶体管的低耗电量化且提高工作速度,要求栅绝缘膜的薄膜化,并且,当提供薄的栅绝缘膜时,半导体层的端部的覆盖缺陷成为更显著的问题。

[0006] 此外,在岛状半导体层的端部,特别在用作栅电极的导电层和半导体层重叠的区域中,电场容易集中在端部(角部)。当电场集中时,有如下问题:由于形成在用作栅电极的导电层和半导体层之间的栅绝缘膜的绝缘击穿等,发生漏电流。此外,栅绝缘膜的覆盖缺陷引起元件、栅绝缘膜的静电放电(ESD; Electro Static Discharge)等,也成为在半导体装置的制造中降低成品率的主要原因。

发明内容

[0007] 当发生起因于半导体层的端部的上述问题时,薄膜晶体管的工作特性退化,可靠性也降低。此外,在半导体装置的制造中,成品率也降低。鉴于这种问题,本发明的目的在于提供一种可靠性提高了且具有新结构的半导体装置及其制造方法。

[0008] 本发明的制造方法之一的特征在于:在具有绝缘表面的衬底上形成岛状半导体层;进行第一变质处理来在所述岛状半导体层的表面形成第一绝缘膜;去掉所述第一绝缘膜;对去掉了所述第一绝缘膜的所述岛状半导体层进行第二变质处理来在该岛状半导体层的表面形成第二绝缘膜;在所述第二绝缘膜上形成导电层,其中通过所述第一变质处理和所述第二变质处理,使所述岛状半导体层的上端部具有圆度。

[0009] 本发明的制造方法之一的特征在于:在具有绝缘表面的衬底上形成岛状半导体层;进行第一变质处理来在所述岛状半导体层的表面形成第一绝缘膜;去掉所述第一绝缘膜;对去掉了所述第一绝缘膜的所述岛状半导体层进行第二变质处理来在该岛状半导体层

的表面形成第二绝缘膜；在所述第二绝缘膜上形成导电层，其中通过所述第一变质处理和所述第二变质处理，使所述岛状半导体层的上端部以及下端部具有圆度。

[0010] 本发明的制造方法之一的特征在于：在具有绝缘表面的衬底上形成岛状半导体层；进行第一变质处理来在所述岛状半导体层的表面形成第一绝缘膜；去掉所述第一绝缘膜；对去掉了所述第一绝缘膜的所述岛状半导体层进行第二变质处理来在该岛状半导体层的表面形成第二绝缘膜；去掉所述第二绝缘膜；对去掉了所述第二绝缘膜的所述岛状半导体层进行第三变质处理来在该岛状半导体层的表面形成第三绝缘膜；在所述第三绝缘膜上形成导电层，其中通过所述第一变质处理、所述第二变质处理以及所述第三变质处理，使所述岛状半导体层的上端部以及下端部具有圆度。

[0011] 注意，在本说明书中，变质处理是指对衬底、半导体层、绝缘膜、导电层进行的氧化处理、氮化处理、氧氮化处理、表面改性处理等。

[0012] 在本发明的制造方法之一中，第一变质处理、第二变质处理以及第三变质处理通过等离子体处理进行。注意，在本说明书中，等离子体处理在其范畴内包括对衬底、半导体层、绝缘膜、导电层进行的利用等离子体的氧化处理、氮化处理、氧氮化处理、表面改性处理。

[0013] 在本发明的制造方法之一中，岛状半导体层的厚度为 10nm 至 30nm。

[0014] 在本发明的制造方法之一中，绝缘膜的厚度为 1nm 至 10nm。

[0015] 此外，本发明的结构之一包括：具有绝缘表面的衬底；设置在衬底上的半导体层；覆盖半导体层地形成的绝缘膜；中间夹着绝缘膜设置在半导体层上的导电层，其中半导体层的截面的上端部具有圆形形状。

[0016] 此外，本发明的结构之一包括：具有绝缘表面的衬底；设置在衬底上的半导体层；覆盖半导体层地形成的绝缘膜；中间夹着绝缘膜设置在半导体层上的导电层，其中半导体层的截面的上端部以及下端部具有圆形形状。

[0017] 注意，在本说明书中，端部是指形成为岛状的半导体层的边部分（边缘部分）。

[0018] 在本发明的结构之一中，半导体层的厚度为 10nm 至 30nm。

[0019] 在本发明的结构之一中，绝缘膜的厚度为 1nm 至 10nm。

[0020] 在本发明的结构之一中，当将半导体层的厚度设定为 t ($t > 0$)，而将半导体层的截面的端部的曲率半径设定为 r ($r > 0$) 时， t 和 r 的关系满足 $(t/2) \leq r \leq 2t$ 的条件式。

[0021] 在本发明的结构之一中，当将半导体层的厚度设定为 t ($t > 0$)，而将半导体层的截面的端部的曲率半径设定为 r ($r > 0$) 时， t 和 r 的关系满足 $(t/4) \leq r \leq t$ 的条件式。

[0022] 在本发明的结构之一中，绝缘膜包括半导体层的材料。

[0023] 通过应用本发明，可以实现半导体层的薄膜化。此外，通过半导体层的端部具有圆度，可以降低起因于半导体层的端部的缺陷。因此，可以降低半导体装置由半导体层的端部的特性而受到的影响，而可以提供可靠性提高的半导体装置。此外，可以在半导体装置的制造中提高成品率。

附图说明

[0024] 图 1A 至 1C 是表示根据本发明的半导体装置的主要结构的例子的图；

[0025] 图 2A 至 2E 是表示根据本发明的半导体装置的制造方法的例子的图；

- [0026] 图 3A 至 3C 是表示根据本发明的半导体装置的制造方法的例子的图；
- [0027] 图 4A 和 4B 是表示能够通过等离子体处理实现氧化并通过等离子体处理氮化的装置的图；
- [0028] 图 5A 至 5E 是表示根据本发明的半导体装置的制造方法的例子的图；
- [0029] 图 6A 至 6C 是表示根据本发明的半导体装置的制造方法的例子的图；
- [0030] 图 7A 至 7F 是表示根据本发明的半导体装置的制造方法的例子的图；
- [0031] 图 8A 至 8D 是表示根据本发明的半导体装置的制造方法的例子的图；
- [0032] 图 9 是表示根据本发明的半导体装置的一个例子的框图；
- [0033] 图 10 是表示根据本发明的半导体装置的一个例子的立体图；
- [0034] 图 11A 至 11C 是表示根据本发明的半导体装置的顶面结构及截面结构的图；
- [0035] 图 12A 至 12D 是说明可以应用于根据本发明的半导体装置的天线的图；
- [0036] 图 13A 至 13C 是表示根据本发明的半导体装置的一个例子的框图以及表示使用方式的例子的图；
- [0037] 图 14A 至 14H 是表示根据本发明的半导体装置的使用方式的例子的图。
- [0038] 本发明的选择图是图 1A 至 1C。

具体实施方式

[0039] 以下参照附图来说明本发明的实施方式。但是，本发明不局限于以下说明，所属技术领域的普通人员可以很容易地理解一个事实，就是其方式及详细内容可以被变换为各种各样的形式而不脱离本发明的宗旨及其范围。因此，本发明不应该被解释为仅限定在以下所示的实施方式所记载的内容中。注意，在以下说明的本发明的结构中，有时在不同附图中共同使用表示相同部分的附图标记。

[0040] 实施方式 1

[0041] 图 1A 至 1C 是用来说明根据本发明的半导体装置的主要结构的俯视图及截面图。图 1A 至 1C 特别表示薄膜晶体管的结构，其中图 1A 表示俯视图，图 1B 表示沿图 1A 中的虚线 O-P 的截面图，图 1C 表示沿图 1A 中的虚线 Q-R 的截面图。注意，在图 1A 中部分地省略薄膜等。

[0042] 图 1A 至 1C 所示的薄膜晶体管 113 包括：在衬底 101 上中间夹着绝缘膜 102a、绝缘膜 102b 而设置为岛状的半导体层 103；形成在该半导体层 103 上的绝缘膜 104、绝缘膜 105；中间夹着绝缘膜 104、绝缘膜 105 而设置的用作栅电极的导电层 106；在该导电层 106 上中间夹着绝缘膜 107、绝缘膜 108 而设置的形成源电极或漏电极的导电层 110a、110b。

[0043] 如图 1B、1C 所示，半导体层 103 的截面的上端部被形成为具有圆度。此外，设置在半导体层 103 上的绝缘膜 104、105 的上端部也被形成为具有圆度。通过将半导体层 103 的截面的上端部形成为具有圆度，可以使半导体层 103 的上端部的绝缘膜 104、105 的覆盖性良好。因此，可以防止起因于半导体层 103 的端部的绝缘膜 104、105 的覆盖缺陷的缺陷，例如，半导体层和栅绝缘膜之间的短路、漏电流的发生、静电破坏等。

[0044] 作为衬底 101，可以使用玻璃衬底、石英衬底、蓝宝石衬底、陶瓷衬底、其表面上形成有绝缘膜的金属衬底等。

[0045] 在衬底 101 上形成有半导体层 103。也可以在衬底 101 和半导体层 103 之间设置

用作基底绝缘膜的绝缘膜 102a、绝缘膜 102b。绝缘膜 102a 及 102b 是防止碱金属等杂质从衬底 101 扩散而半导体层 103 被污染的,作为阻挡层适当地设置即可。此外,当在衬底 101 的表面上有凹凸时,也可以作为平坦化膜设置基底绝缘膜。

[0046] 通过使用氧化硅、氮化硅、氧氮化硅、氮氧化硅等形成绝缘膜 102a、绝缘膜 102b。此外,在本实施方式中,基底绝缘膜具有由绝缘膜 102a、102b 构成的两层的叠层结构,但是也可以具有单层结构或三层以上的叠层结构。例如,在如本实施方式所示地采用两层的叠层结构的情况下,可以形成氮氧化硅层作为第一层,并且形成氧氮化硅层作为第二层。另外,也可以形成氮化硅层作为第一层,并且形成氧化硅层作为第二层。

[0047] 半导体层 103 被形成为岛状。作为半导体层 103,可以使用各种各样的半导体诸如非晶半导体、结晶半导体、多晶半导体、微晶半导体等。具体地说,可以通过使用各种半导体材料诸如硅、锗、硅锗等来形成。在半导体层 103 的厚度为 10nm 至 150nm、优选为 10nm 至 100nm、更优选为 10nm 至 30nm 的范围下形成。

[0048] 通过以 50nm 以下左右的薄膜形成半导体层 103,可以使 TFT 更小型化。此外,也在为了使 TFT 的阈值电压变小而增加对沟道形成区的杂质元素的掺杂量的情况下,通过以薄膜的方式形成半导体层 103,容易制造完全耗尽型的 TFT,所以可以制造 S 值小且阈值电压小的 TFT。

[0049] 半导体层 103 具有沟道形成区 111、用作源区或漏区的杂质区 112a、112b。在杂质区 112a、112b 中添加有赋予一种导电类型的杂质元素。此外,也可以在沟道形成区 111 中添加有用来控制晶体管的阈值电压的赋予一种导电类型的杂质元素。沟道形成区 111 形成在隔着绝缘膜 104、绝缘膜 105 与导电层 106 大体一致的区域中,并且位于杂质区 112a 和 112b 之间。

[0050] 此外,也可以在半导体层 103 中形成用作 LDD(Lightly Doped Drain;轻掺杂漏)区的低浓度杂质区。低浓度杂质区可以形成在沟道形成区 111 和用作源区或漏区的杂质区 112a、112b 之间。此外,低浓度杂质区的杂质浓度低于用作源区或漏区的杂质区 112a、112b。

[0051] 与半导体层 103 接触地形成有绝缘膜 104,并且在绝缘膜 104 上形成有绝缘膜 105。此外,在绝缘膜 104 以及绝缘膜 105 上形成有导电层 106。绝缘膜 104 以及绝缘膜 105 用作薄膜晶体管 113 的栅绝缘膜。换言之,根据本发明的栅绝缘膜既可以以单层结构形成,又可以以两层以上的叠层结构形成。注意,多个绝缘膜的境界也可以不明确。

[0052] 如上所述,在将半导体层 103 形成为岛状的情况下,容易发生起因于半导体层 103 的端部的各种各样的缺陷。例如,在重叠于栅电极的半导体层 103 的端部、以及在形成在重叠于栅电极的半导体层 103 中的沟道形成区 111 的端部(沟道形成区 111 和用作源区或漏区的杂质区 112a、112b 的境界附近)容易发生缺陷,且容易受到静电破坏等影响。

[0053] 作为这主要原因,可以举出:在沟道形成区 111 的端部以及栅电极两者重叠的区域中,通过接触于沟道形成区 111 的端部(半导体层的端部)的侧面的栅绝缘膜而容易形成寄生沟道;与沟道形成区 111 的端部的中央附近相比,对沟道形成区 111 的端部的与用作源区或漏区的杂质区 112a、112b 的境界附近的区域施加高电压;当加工形成在上层的栅电极(导电层)时受到蚀刻等的影响;在半导体层 103 的端部栅绝缘膜局部性地变薄;等等。

[0054] 从而,通过将半导体层 103 的端部形成为具有圆度,使半导体层 103 的端部的用作

栅绝缘膜的绝缘膜 104、105 的覆盖性良好,可以防止起因于半导体层 103 的端部的绝缘膜 104、105 的覆盖缺陷的缺陷,例如,半导体层和栅电极之间的短路、漏电流的发生、静电破坏等。

[0055] 在本说明书中,半导体层的“端部”是指形成为岛状的半导体层的边部分(边缘部分)。

[0056] 当将岛状半导体层 103 的厚度设定为 $t(t > 0)$,而将岛状半导体层 103 的端部的曲率半径设定为 $r(r > 0)$ 时, t 和 r 的关系满足 $(t/2) \leq r \leq 2t$ 的条件式。此外,当将端部的曲率半径设定为 r 时,曲率中心位置 120 存在于衬底一侧。

[0057] 绝缘膜 104、绝缘膜 105 可以分别通过使用氧化硅、氮化硅、氧氮化硅、氮氧化硅、氮化铝、含氟氧化硅(SiOF)、含碳氧化硅(SiOC)、类金刚石碳(DLC)、多孔二氧化硅等材料形成。

[0058] 中间夹着绝缘膜 104、绝缘膜 105 在半导体层 103 上形成有用作栅电极的导电层 106。导电层 106 可以通过使用钽、钨、钛、钼、铬、铝、铜、铌等金属元素、或者包含该金属元素的合金材料或化合物材料形成。作为化合物材料,可以使用氮化合物、氧化合物、碳化化合物、卤化合物等,具体地可以举出氮化钨、氮化钛、氮化铝等。导电层 106 通过使用这些材料中的一种或多种以单层结构或叠层结构形成。此外,导电层 106 也可以通过使用添加有磷等赋予一种导电类型的杂质元素的多晶硅等来形成。

[0059] 覆盖导电层 106 地形成有用作层间绝缘膜的绝缘膜 107、绝缘膜 108。在本实施方式中,层间绝缘膜由绝缘膜 107 和绝缘膜 108 所构成的叠层结构形成。绝缘膜 107 以及绝缘膜 108 可以通过使用氮化硅膜、氮氧化硅膜、氧氮化硅膜、氧化硅膜、或者其他包含硅的绝缘膜来形成。此外,层间绝缘膜既可以以单层结构形成,又可以以三层以上的叠层结构形成。

[0060] 此外,在绝缘膜 104、105、107、108 中形成有到达半导体层 103 的接触孔 109a、109b(开口部)。再者,覆盖接触孔 109a、109b 地形成有导电层 110a、110b。导电层 110a、110b 用作源电极或漏电极,分别与源区或漏区的一部分电连接。导电层 110a、110b 通过使用银、金、铜、镍、铂、铅、铋、铯、钨、铝、钽、钼、钨、锌、铁、钛、锆、钡等金属、以及 Si、Ge 或者其合金或其氮化物来形成。此外,也可以采用它们的叠层结构。

[0061] 对根据本实施方式的半导体装置来说,通过将半导体层形成为 50nm 以下左右的厚度,可以实现半导体装置的更小型化。此外,通过将半导体层的端部形成为具有圆度,可以降低起因于半导体层的端部的缺陷。因此,可以制造可靠性高的半导体装置。此外,也可以成品率好地制造半导体装置。

[0062] 接着,参照图 2A 至 2E 以及图 3A 至 3C 具体地说明图 1A 至 1C 所示的半导体装置的制造方法的一个例子。

[0063] 首先,在衬底 101 上形成用作基底绝缘膜的绝缘膜 102a、102b,并且在该绝缘膜 102a、102b 上形成岛状半导体层 103(参照图 2A)。作为衬底 101,可以使用玻璃衬底、石英衬底、蓝宝石衬底、陶瓷衬底、其表面上形成有绝缘膜的金属衬底等。

[0064] 绝缘膜 102a、102b 通过 CVD 法、溅射法、原子层堆积法(ALD 法;Atomic Layer Deposition)等利用氧化硅、氮化硅、氧氮化硅、氮氧化硅等材料来形成。绝缘膜 102a、102b 用作防止碱金属等从衬底 101 扩散到半导体层 103,而半导体层 103 被污染的阻挡层。此外,

当在衬底 101 的表面上有凹凸时,绝缘膜 102a、102b 用作使衬底的表面平坦化的膜。注意,当从衬底 101 的杂质扩散和衬底的表面上的凹凸不成问题时,也可以不形成绝缘膜 102a、102b。此外,在本实施方式中,基底绝缘膜具有两层的叠层结构,但是也可以具有单层结构或三层以上的叠层结构。

[0065] 半导体层 103 可以通过使用如下材料形成:通过使用以硅烷或锗烷为代表的半导体材料气体的气相成长法或溅射法制造的非晶半导体(以下称为“非晶半导体:AS”);通过利用光能或热能将非晶半导体晶化而成的多晶半导体;半非晶(也称为微晶。以下也称为“SAS”)半导体;等等。例如,岛状半导体层 103 可以将通过气相成长法或溅射法形成在衬底 101 的整个表面上的半导体层晶化之后,选择性地蚀刻来形成。

[0066] 作为用来形成半导体层 103 的材料,优选使用以硅为主要成分的材料,具体地说,可以使用硅、硅锗等来形成半导体层 103。另外,还可以使用锗来形成半导体层 103。

[0067] 作为半导体层的晶化法,可以采用激光晶化法、利用快速热退火(RTA)或退火炉的热晶化法、使用促进晶化的金属元素的晶化法、或者组合了这些方法的方法等。

[0068] 在应用激光晶化法的情况下,可以使用从连续振荡型激光器(以下也称为 CW 激光器)或脉冲振荡型激光器(以下也称为脉冲激光器)振荡出来的激光束。作为这里可以使用的激光器,可以举出气体激光器如 Ar 激光器、Kr 激光器、受激准分子激光器、铜蒸汽激光器或金蒸汽激光器等;以及固体激光器如以将 Nd、Yb、Cr、Ti、Ho、Er、Tm 和 Ta 中的一种或多种作为掺杂剂添加的单晶的 YAG、YVO₄、镁橄榄石(Mg₂SiO₄)、YAlO₃、GdVO₄、或者多晶(陶瓷)的 YAG、Y₂O₃、YVO₄、YAlO₃、GdVO₄ 作为媒质的激光器、玻璃激光器、变石激光器、红宝石激光器、或 Ti:蓝宝石激光器等。当使用固体激光器时,可以适当地选择振荡的激光束的基波至四次谐波来照射。例如,可以使用 Nd:YVO₄ 激光器(基波为 1064nm)的二次谐波(532nm)或三次谐波(355nm)。在作为 CW 激光器使用 Nd:YVO₄ 激光器的情况下,激光器的功率密度需要 0.01MW/cm² 至 100MW/cm² 左右(优选为 0.1MW/cm² 至 10MW/cm²)。并且,以大约 10cm/sec 至 2000cm/sec 的扫描速度进行照射。另外,这里优选使用二次谐波(532nm)。这是因为二次谐波在能效方面比更高次的高次谐波优越的缘故。

[0069] 因为当使用 CW 激光器进行激光晶化时,可以对半导体层连续供给能量,所以一旦使半导体层成为熔化状态,就可以使该熔化状态继续下去。因此,可以通过扫描 CW 激光器使半导体层的固液界面移动,而形成沿着该移动方向的朝向一个方向的长的晶粒,所以是优选的。此外,此时优选使用固体激光器,这是因为与气体激光器等相比,其输出的稳定性高,而可以期待稳定的处理的缘故。另外,不局限于 CW 激光器,当使用重复频率为 10MHz 以上的脉冲激光器时,也可以获得同样效果。当使用重复频率高的脉冲激光器时,如果激光器的脉冲振荡的间隔比半导体层从熔化直到固化的时间短,则可以将半导体层一直保留为熔化状态,并且可以通过固液界面的移动形成由朝向一个方向的长的晶粒构成的半导体层。另外,当将激光束以 TEM₀₀(单一横模)振荡来发射时,可以提高在被照射面上获得的线状射束点的能量均匀性,所以是优选的。

[0070] 半导体层 103 通过如下工序而可以形成岛状:利用由抗蚀剂构成的掩模选择性地覆盖形成在衬底的整个表面上的半导体层,并且蚀刻不被该由抗蚀剂构成的掩模覆盖的半导体层。作为蚀刻半导体层的方法,可以使用干蚀刻法、湿蚀刻法。当进行干蚀刻时,使用对于基底绝缘膜的蚀刻选择比十分高的气体作为蚀刻气体。换句话说,这里使用对于绝

缘膜 102a、102b 的蚀刻速度低且对于半导体层 103 的蚀刻速度高的气体即可。作为蚀刻气体,例如可以使用氯类气体如 Cl_2 、 BCl_3 或 SiCl_4 等;氟类气体如 CF_4 、 NF_3 或 SF_6 等;或者溴类气体如 HBr 气体等。此外,也可以适当地添加惰性气体如 He 、 Ar 、 Ne 、 Kr 、 Xe 等。另外,也可以在氟类气体中适当地添加 O_2 气体。在加工为所希望的形状之后,去掉掩模。

[0071] 注意,也可以将岛状半导体层 103 形成为其端部的截面具有近于垂直的锥形形状或平缓锥形形状。例如,半导体层 103 既可以形成为其锥形角为 45 度以上且小于 95 度,优选为 60 度以上且小于 95 度的形状,又可以形成为其锥形角小于 45 度的平缓形状。通过改变蚀刻条件而适当地选择半导体层 103 的端部的形状。

[0072] 注意,关于半导体层 103,也可以使用在绝缘表面上设置有单晶半导体层的 SOI 衬底而代替利用各种各样的晶化法的薄膜工序。在此情况下,可以通过利用设置在绝缘表面上的单晶半导体,来形成半导体层 103。

[0073] 接着,如图 2B 所示,通过对半导体层 103 进行变质处理在半导体层 103 的表面形成绝缘膜 115。在此,变质处理是指对衬底、半导体层、绝缘膜、导电层进行的氧化处理、氮化处理、氧氮化处理、表面改性处理等。对半导体层 103 中的要形成绝缘膜 115 的区域进行所希望的处理即可。具体地说,对半导体层 103 的表面进行热氧化处理、利用臭氧水等氧化力强的溶液的处理、等离子体处理等,在半导体层 103 的表面形成该半导体层 103 的氧化物。这是与形成上述半导体层 103 的氮化物、氧氮化物、以及氮氧化物的情况同样的。通过形成绝缘膜 115,可以使半导体层 103 薄膜化。注意,通过对半导体层 103 进行等离子体处理,容易控制绝缘膜 115 的厚度。

[0074] 接着,如图 2C 所示,通过蚀刻去掉绝缘膜 115。作为去掉绝缘膜 115 的方法,可以使用干蚀刻或湿蚀刻。例如,在进行干蚀刻的情况下,作为蚀刻气体,可以使用氯类气体如 Cl_2 、 BCl_3 或 SiCl_4 等;氟类气体如 CF_4 、 NF_3 或 SF_6 等;碳氟化物气体如 CHF_3 、 C_2F_6 、 C_4F_8 等;或者 HBr 气体。此外,也可以适当地添加惰性气体如 He 、 Ar 、 Xe 等。此外,也可以对氟类气体添加 O_2 气体或 H_2 气体。在本实施方式中,通过使用 C_4F_8 和 He 的混合气体,进行干蚀刻。可以通过对半导体层 103 进行变质处理而在半导体层 103 的表面形成绝缘膜 115,去掉该绝缘膜 115,来使半导体层 103 薄膜化。在蚀刻之后,半导体层 103 被薄膜化,而半导体层 103 的端部具有圆度。

[0075] 接着,如图 2D 所示,对去掉了绝缘膜 115 的半导体层 103 还进行变质处理,在半导体层 103 的表面形成绝缘膜 104。对半导体层 103 进行变质处理来形成绝缘膜 104 的方法与当形成绝缘膜 115 时同样。通过对半导体层 103 进行变质处理来形成绝缘膜 104,可以使半导体层 103 进一步薄膜化,并且将半导体层 103 的端部形成为更具有圆度。

[0076] 注意,当将岛状半导体层 103 的厚度设定为 $t(t > 0)$,而将岛状半导体层 103 的截面的端部的曲率半径设定为 $r(r > 0)$ 时, t 和 r 的关系满足 $(t/2) \leq r \leq 2t$ 的条件式。此外,当将端部的曲率半径设定为 r 时,曲率中心位置 120 存在于衬底一侧。

[0077] 半导体层 103 在薄膜化了的半导体层 103 的厚度为 0.5nm 至 200nm、优选为 1nm 至 50nm、更优选为 1nm 至 10nm 的范围内形成。

[0078] 接着,如图 2E 所示,在绝缘膜 102b 以及绝缘膜 104 上形成绝缘膜 105。绝缘膜 105 通过 CVD 法、溅射法、ALD 法等利用氧化硅、氮化硅、氧氮化硅、氮氧化硅、氮化铝等材料来形成。绝缘膜 105 在其厚度为 1nm 至 50nm、优选为 1nm 至 20nm、更优选为 1nm 至 10nm 的范围

内形成。

[0079] 如此形成的绝缘膜 104 以及绝缘膜 105 可以用作栅绝缘膜。注意,绝缘膜 104 也可以用作单层栅绝缘膜。还可以通过在去掉绝缘膜 104 之后形成绝缘膜 105,将绝缘膜 105 用作单层栅绝缘膜。在本实施方式中,栅绝缘膜具有由绝缘膜 104 以及绝缘膜 105 构成的叠层结构。通过对半导体层 103 进行变质处理,在半导体层 103 的表面形成绝缘膜 104,可以使用栅绝缘膜的绝缘膜 104 的覆盖性良好。此外,即使在如下情况下,也可以十分覆盖半导体层:因为与当将半导体层加工为岛状时的蚀刻或各种各样的工序一起进行的使用氢氟酸(HF)等的清洗工序的影响,而半导体层的下端部以及其附近的绝缘膜(基底绝缘膜)被去掉。因此,可以防止起因于半导体层的端部的栅绝缘膜的覆盖缺陷的半导体层和栅绝缘膜之间的短路、漏电流的发生、静电破坏等。

[0080] 接着,如图 3A 所示,中间夹着绝缘膜 104 以及绝缘膜 105 在半导体层 103 上形成用作栅电极的导电层 106。用作栅电极的导电层 106 通过在利用 CVD 法或溅射法且使用导电材料在整个衬底上形成导电层之后,选择性地蚀刻该导电层,而加工为所希望的形状来形成。作为导电材料,可以使用钽、钨、钛、钼、铬、铝、铜、铌等金属元素、或者包含该金属元素的合金材料或化合物材料。此外,也可以使用以添加有磷等赋予一种导电类型的杂质元素的多晶硅为代表的半导体材料。导电层 106 通过使用这些导电材料以单层结构或叠层结构形成。用作栅电极的导电层 106 在其厚度为 50nm 至 1000nm、优选为 100nm 至 800nm、更优选为 200nm 至 500nm 的范围形成。

[0081] 在本实施方式中,用作栅电极的导电层 106 通过利用由其厚度为 30nm 的氮化钽层、其厚度为 370nm 的钨层构成的叠层结构来形成。可以通过利用 ICP(Inductively Coupled Plasma;电感耦合型等离子体)蚀刻法,适当地调节蚀刻条件(施加到线圈形电极层的电力量、施加到衬底一侧的电极层的电力量、衬底一侧的电极温度等)将导电层 106 蚀刻以具有所希望的锥形形状。在本实施方式中,利用由 CF_4 、 Cl_2 、 O_2 构成的蚀刻气体对钨层进行蚀刻,并且利用由 SF_6 、 Cl_2 、 O_2 构成的蚀刻气体对氮化钽层进行 ICP 蚀刻。既可以使各层的导电层的宽度大体一致,又可以将导电层的侧面形成为锥形形状。此外,在本发明中使用的干蚀刻装置不局限于 ICP 蚀刻装置,也可以使用平行平板型蚀刻装置、微波蚀刻装置、ECR(Electron Cyclotron Resonance;电子回旋共振)蚀刻装置。注意,也可以以下层的导电层(氮化钽层)的宽度大于上层的导电层(钨层)的方式形成。此外,也可以接触于栅电极的侧面地形成侧壁。

[0082] 接着,如图 3B 所示,通过以导电层 106 为掩模添加赋予一种导电类型的杂质元素,来形成用作源区或漏区的具有一种导电类型的杂质区 112a、112b。此外,在半导体层 103 中形成沟道形成区 111。赋予一种导电类型的杂质元素可以为赋予 n 型的杂质元素(例如磷或砷等)或赋予 p 型的杂质元素(例如硼、铝或镓等)。在本实施方式中,作为赋予一种导电类型的杂质元素,使用赋予 n 型的杂质元素的磷。在此,以用作源区或漏区的具有一种导电类型的杂质区包括 $5 \times 10^{19}/\text{cm}^3$ 至 $5 \times 10^{20}/\text{cm}^3$ 左右的浓度的赋予一种导电类型的杂质元素的方式添加杂质元素。

[0083] 此外,在杂质区 112a、112b 中,除了源区及漏区以外,还可以包括 LDD 区。此外,LDD 区也可以与栅电极重叠地形成。

[0084] 另外,也可以对沟道形成区 111 添加用于控制晶体管的阈值电压的赋予一种导电

类型的杂质元素。通过对沟道形成区 111 添加预定浓度的杂质元素,可以强制使晶体管的阈值电压迁移而获得所希望的阈值电压。作为赋予一种导电类型的杂质元素,可以使用赋予 p 型的元素如硼、铝、镓等;或者赋予 n 型的元素如磷、砷等。在本实施方式中,可以使用赋予 p 型的元素,例如可以以大约 $1 \times 10^{16} \text{cm}^{-3}$ 以上且 $1 \times 10^{18} \text{cm}^{-3}$ 以下的浓度添加硼。注意,在形成导电层 106 之前

[0085] 进行对沟道形成区 111 的杂质元素的添加即可。

[0086] 注意,优选在对半导体层 103 添加赋予一种导电类型的杂质元素之后进行热处理,来使添加了的杂质元素激活。热处理可以通过激光束的照射或者使用 RTA 或退火炉来进行。具体而言,在 400°C 至 700°C 、优选在 500°C 至 650°C 的温度下进行热处理即可。另外,热处理优选在氮气气氛中进行。例如,通过在 550°C 的温度下进行 4 小时的热处理,而可以使杂质元素激活。

[0087] 接着,覆盖设置在衬底 101 上的绝缘膜、导电层地形成层间绝缘膜。在本实施方式中,层间绝缘膜具有由绝缘膜 107、绝缘膜 108 构成的叠层结构(图 3B)。绝缘膜 107 和绝缘膜 108 通过 CVD 法、溅射法、ALD 法、涂布法、或者组合了这些方法的方法等利用氧化硅、氮化硅、氧氮化硅、氮氧化硅等无机绝缘材料;DLC(类金刚石碳)等包含碳的绝缘材料;环氧、聚酰亚胺、聚酰胺、聚乙烯基苯酚、苯并环丁烯、丙烯等有机绝缘材料;硅氧烷树脂等硅氧烷材料来形成。注意,硅氧烷材料相当于包括 Si-O-Si 键的材料。硅氧烷的骨架结构由硅和氧的键构成。作为取代基,使用至少包含氢的有机基团(例如烷基、芳香烃)。作为取代基,也可以至少使用氟基团。此外,绝缘膜 107 也可以通过在利用 CVD 法、溅射法、ALD 法等形成绝缘膜之后,在氧气气氛或氮气气氛中对该绝缘膜进行高密度等离子体处理来形成。注意,在此,作为层间绝缘膜,在栅电极的上层形成具有两层的叠层结构的绝缘膜 107、绝缘膜 108。但是,层间绝缘膜可以具有单层结构或三层以上的叠层结构。在层间绝缘膜具有叠层结构的情况下,优选使用无机绝缘材料来形成下层的绝缘膜(接触于栅电极的一侧)。在本实施方式中,通过 CVD 法利用氮化硅来形成绝缘膜 107,并且在绝缘膜 107 上涂布硅氧烷来形成绝缘膜 108。

[0088] 接着,通过使用由抗蚀剂构成的掩模在绝缘膜 104、绝缘膜 105、绝缘膜 107、绝缘膜 108 中形成到达半导体层 103 的接触孔(开口部)。用来形成接触孔的蚀刻,根据用于绝缘膜的材料的选择比,可以进行一次或多次。可以通过蚀刻去掉绝缘膜 104、绝缘膜 105、绝缘膜 107、绝缘膜 108,来形成达到源区或漏区的接触孔。蚀刻可以为湿蚀刻或干蚀刻,也可以采用双方。作为湿蚀刻的蚀刻剂,使用氢氟酸类溶液诸如包括氢氟铵及氟化铵的混合溶液,既可。作为蚀刻气体,可以适当地使用以 CHF_3 、 C_5F_8 、 C_4F_8 等为代表的碳氟化物气体;以 Cl_2 、 BCl_3 、 SiCl_4 或 CCl_4 等为代表的氯类气体;以 CF_4 、 SF_6 、 NF_3 为代表的氟类气体;或者 O_2 。此外,也可以对使用的蚀刻气体添加惰性气体。作为添加的惰性气体,可以使用选自 He、Ne、Ar、Kr、Xe 中的一种或多种元素。在本实施方式中,通过利用 CF_4 、 O_2 、He 蚀刻绝缘膜 107、绝缘膜 108,并且利用 C_4F_8 、He 对绝缘膜 104、绝缘膜 105 进行 ICP 蚀刻,来形成接触孔。

[0089] 接着,如图 3C 所示,覆盖接触孔地形成导电层,并且蚀刻导电层来形成分别电连接到各源区或漏区的一部分的用作源电极或漏电极的导电层 110a、110b。导电层 110a、110b 可以通过 PVD 法、CVD 法、气相沉积法等形成导电层之后,将该导电层蚀刻为所希望的形状来形成。此外,可以通过液滴喷射法、印刷法、电镀法等预定地方选择性地形成导电

层 110a、110b。还可以使用回流法、镶嵌法。

[0090] 用作源电极或漏电极的导电层 110a、110b 通过 CVD 法、溅射法利用选自铝、钨、钛、钽、钼、镍、铂、铜、金、银、锰、钽中的金属元素、或者包含该金属元素的合金材料或化合物材料以单层结构或两层以上的叠层结构形成。作为包含铝的合金材料,例如可以举出:以铝为主要成分且包含镍的材料;或者,以铝为主要成分且包含镍以及碳和硅中的一方或双方的合金材料。作为导电层 110a、110b,例如可以采用:阻挡层、铝硅层、阻挡层的叠层结构;阻挡层、铝硅层、氮化钛层、阻挡层的叠层结构。注意,阻挡层相当于由钛、钛的氮化物、钼、或者钼的氮化物构成的薄膜。由于铝、铝硅的电阻值低且廉价,所以最适合为形成导电层 110a、110b 的材料。此外,当设置上层和下层的阻挡层时,可以防止铝或铝硅扩散到半导体层、或者小丘的发生。

[0091] 在本实施方式中,作为导电层 110a、110b,形成由厚度为 60nm 的钛层、厚度为 40nm 的氮化钛层、厚度为 300nm 的铝层、厚度为 100nm 的钛层构成的叠层结构,然后利用 Cl_2 、 BCl_3 进行 ICP 蚀刻,来形成源电极或漏电极。

[0092] 通过上述,可以形成应用本发明的薄膜晶体管 113。注意,本实施方式所示的晶体管的结构只是一个例子,而不局限于图示的结构。

[0093] 在应用本发明而制造的半导体装置中,使半导体层薄膜化,并且在该薄膜化了的区域形成有沟道形成区。因此,由于可以降低亚阈值且降低晶体管的阈值电压,所以可以提高半导体装置的工作特性。另外,通过伴随半导体层的薄膜化处理,使半导体层的端部具有圆度,可以提高形成在该半导体层上的绝缘膜的覆盖性。因此,可以降低起因于半导体层的端部的缺陷,所以可以制造可靠性高的半导体装置。从而,可以实现半导体装置的高性能化。

[0094] 实施方式 2

[0095] 在本实施方式中,参照图 4A 至图 6C 说明当对半导体层进行变质处理来形成绝缘膜时,利用等离子体处理在半导体层的表面形成绝缘膜,来制造半导体装置的例子。注意,对于与上述实施方式 1 重复的结构,简化且部分省略而说明。

[0096] 直到在衬底 101 上中间夹着绝缘膜 102a、绝缘膜 102b 来形成岛状半导体层 103 的工序与上述实施方式 1 所示的对于衬底 101、绝缘膜 102a、绝缘膜 102b、半导体层 103 等的说明相同,所以在此省略(图 5A)。

[0097] 接着,如图 5B 所示,对半导体层 103 进行变质处理,在半导体层 103 的表面形成绝缘膜 115。绝缘膜 115 通过对半导体层 103 进行利用图 4A 和 4B 所示的高密度等离子体处理装置的等离子体处理来形成。图 4A 及 4B 表示高密度等离子体处理装置的一个例子,而不局限于这些附图所示的结构。

[0098] 以下说明本实施方式所使用的高密度等离子体处理装置。高密度等离子体处理装置如图 4A 所示地至少具有第一等离子体处理室 201、第二等离子体处理室 202、装载闭锁室 203、以及公共室 204。在第一等离子体处理室 201 中进行利用等离子体处理的氧化,而在第二等离子体处理室 202 中进行利用等离子体处理的氮化。图 4A 所示的各反应室分别可以进行真空排气,并且可以连续进行利用等离子体处理的氧化以及利用等离子体处理的氮化而不暴露于大气。高密度等离子体处理装置除了图 4A 所示的结构以外还可以具有 CVD 用反应室、溅射用反应室、热退火用反应室中的至少一种,并且可以利用这些反应室连续进

行成膜和等离子体处理、等离子体处理和热退火而不暴露于大气。在第一等离子体处理室 201 及第二等离子体处理室 202 的周围不设置磁石、线圈等发生磁场的单元,所以可以实现装置的简化。

[0099] 在公共室 204 中设置有机机械手臂 205。在装载闭锁室 203 中设置有收纳多个图 5A 所示的衬底 101 的盒子 206。可以通过利用机械手臂 205 将收纳在盒子 206 中的多个衬底 101 中的一个经过公共室 204 搬运到第一等离子体处理室 201 或第二等离子体处理室 202。此外,也可以通过利用机械手臂 205 将衬底 101 从第一等离子体处理室 201 经过公共室 204 搬运到第二等离子体处理室 202,与此相反,将衬底 101 从第二等离子体处理室 202 经过公共室 204 搬运到第一等离子体处理室 201。

[0100] 图 4B 表示第一等离子体处理室 201 及第二等离子体处理室 202 共同具有的结构。第一等离子体处理室 201 及第二等离子体处理室 202 连接有能够减压到预定压力的真空泵(未图示),并且从排气口 210 排除排出气体。此外,在第一等离子体处理室 201 及第二等离子体处理室 202 中设置有衬底固定器 211,并且被进行利用等离子体处理的氧化或利用等离子体处理的氮化的衬底 101 保持在衬底固定器 211 上。该衬底固定器 211 也称为载物台,并且具有用来加热衬底 101 的加热器。如箭头 212 所示,氧、氮、氢、稀有气体、氩等气体从气体引入口引入到等离子体处理室内。用来激发等离子体的微波 213 通过设置在天线 214 上的波导管 215 引入。等离子体以引入上述气体后的等离子体处理室内的压力为 5Pa 以上且 500Pa 以下的条件在电介质板 216 的正下面的斜线所示的区域 217 生成,且供应于与斜线所示的区域 217 相离而配置的衬底 101 上。也可以如图 4A 和 4B 所示地设置穿开了多个孔的喷射板 218。该等离子体处理室内获得的等离子体的电子温度为 1.5eV 以下并且其电子密度为 $1 \times 10^{11} \text{cm}^{-3}$ 以上,换言之,实现低电子温度且高电子密度的等离子体,其等离子体电位为 0V 以上且 5V 以下。关于电子温度、电子密度、以及等离子体电位的等离子体计器可以通过利用已知的方法例如双探针方法(double probe method)等探针测量方法(probe measuring method)测量。

[0101] 在本实施方式中,对第一等离子体处理室 201 以 $\text{O}_2 : \text{H}_2 : \text{Ar} = 1 : 1 : 100$ 的流量比引入氧、氢及氩,并且利用频率为 2.45GHz 的微波来产生等离子体。即使不引入氢,也可以进行利用等离子体处理的氧化,但是优选将相对于氧的流量的氢的流量的比例(H_2/O_2)设定为 0 以上且 1.5 以下的范围。将氧的流量例如设定为 0.1sccm 以上且 100sccm 以下的范围内,且将氩的流量例如设定为 100sccm 以上且 5000sccm 以下的范围内,并且将当引入氢时的氢的流量例如设定为 0.1sccm 以上且 100sccm 以下的范围内。也可以引入其他稀有气体而代替氩。将第一等离子体处理室 201 内的压力设定为在 5Pa 以上且 500Pa 以下的范围中的恰当的值。将衬底 101 设置在第一等离子体处理室 201 中的衬底固定器 211 上,并且将衬底固定器 211 具有的加热器的温度保持为 400°C。然后,对在衬底 101 上的半导体层 103 进行利用等离子体处理的氧化。在本实施方式中,如图 5B 所示,不被半导体层 103 覆盖的部分的基底绝缘膜也由等离子体处理氧化。但是,在基底绝缘膜由氧化物构成的情况下,即使进行利用等离子体处理的氧化,也在基底绝缘膜的表面不形成氧化膜。

[0102] 通过上述利用等离子体处理的氧化,如图 5B 所示,在半导体层 103 的表面形成其厚度为 20nm 以下的由氧化膜构成的绝缘膜 115。在绝缘膜 115 中以预定浓度例如 $1 \times 10^{15} \text{atoms/cm}^3$ 以上且 $1 \times 10^{16} \text{atoms/cm}^3$ 以下包含有引入在第一等离子体处理室 201 中

的氩。当形成绝缘膜 115 时,形成在半导体层 103 的端部的绝缘膜的厚度不薄于其他部分。此外,在该端部,在绝缘膜 115 中不发生裂缝。在使用耐热性的塑料衬底而代替玻璃衬底的情况下,将衬底固定器 211 具有的加热器的温度例如保持为 250℃。

[0103] 半导体层 103 上的等离子体的电子温度为 1.5eV 以下且其电子密度为 $1 \times 10^{11} \text{cm}^{-3}$ 以上,并且半导体层和生成等离子体的区域相离,所以通过利用等离子体处理的氧化而获得的绝缘膜的等离子体损伤被抑制。通过为了产生等离子体而使用 2.45GHz 的微波,与当使用 13.56MHz 的频率时相比,可以容易实现低电子温度及高电子密度。此外,只要可以获得低电子温度及高电子密度,就可以利用使用 2.45GHz 的微波的方法以外的方法。

[0104] 接着,如图 5C 所示,去掉通过等离子体处理而形成的绝缘膜 115。作为去掉绝缘膜 115 的方法,可以使用干蚀刻或湿蚀刻。例如,在进行干蚀刻的情况下,作为蚀刻气体,可以使用碳氟化物类气体如 CHF_3 、 C_5F_8 、 C_4F_8 等;氯类气体如 Cl_2 、 BCl_3 或 SiCl_4 等;氟类气体如 CF_4 、 NF_3 或 SF_6 等;或者 HBr 气体。此外,也可以适当地添加惰性气体如 He 、 Ar 、 Xe 等。此外,也可以对氟类气体添加 O_2 气体。通过去掉对半导体层 103 进行等离子体处理而形成的绝缘膜 115,可以使半导体层 103 薄膜化。在蚀刻之后,半导体层 103 被薄膜化,而半导体层的端部具有圆度。在本实施方式中,进行使用 C_4F_8 、 He 的 ICP 蚀刻。

[0105] 接着,如图 5D 所示,对半导体层 103 进行等离子体处理,来在半导体层 103 的表面形成绝缘膜 116。对半导体层 103 进行的利用等离子体处理的氧化的方法与当形成绝缘膜 115 时同样。通过对半导体层 103 进行等离子体处理,形成绝缘膜 116,可以使半导体层 103 进一步薄膜化。绝缘膜 116 可以用作栅绝缘膜。

[0106] 也可以在第二等离子体处理室 202 中,对绝缘膜 116 进行利用等离子体处理的氮化,将该绝缘膜 116 成为氧氮化硅薄膜,而使它用作栅绝缘膜。当进行利用等离子体处理的氮化时,使用氮及氩作为引入在第二等离子体处理室 202 中的气体,并且将玻璃衬底的温度设定为相同于上述的利用等离子体处理的氧化时的温度。也可以对氮及氩还添加氢,并且也可以使用其他稀有气体而代替氩。也可以使用如氨、 N_2O 的利用在高温下的热处理进行氮化时使用的气体而代替氮。在绝缘膜 116 中以预定浓度包含有引入在第二等离子体处理室 202 中的稀有气体。

[0107] 也可以最初在第二等离子体处理室 202 中对半导体层 103 进行利用等离子体处理的氮化,来形成氮化膜。再者,也可以在第一等离子体处理室 201 中对该氮化膜进行利用等离子体处理的氧化。

[0108] 作为通过进行使用图 4A 和 4B 所示的装置的高密度等离子体处理来形成的绝缘膜的一个例子,通过进行在包含氧的气氛中的等离子体处理,在半导体层 103 的一个表面上形成其厚度为 3nm 至 6nm 的氧化硅层,然后形成在包含氮的气氛中对该氧化硅层的表面进行氮化等离子体处理而成的氮等离子体处理层。具体而言,首先,在包含氧的气氛中进行等离子体处理而在半导体层 103 的一个表面上以 3nm 至 6nm 的厚度形成氧化硅层。然后,接着在包含氮的气氛中进行等离子体处理,在氧化硅层的表面或表面附近设置氮浓度高的氮等离子体处理层。另外,表面附近是指离氧化硅层的表面有 0.5nm 至 1.5nm 的范围的深度。例如,通过在包含氮的气氛中进行等离子体处理,获得在离氧化硅层的表面在垂直方向上大约有 1nm 的深度处以 20 原子%至 50 原子%的比例包含氮的结构。另外,通过高密度等离子体处理,也可以使绝缘膜的表面氧化或氮化。

[0109] 例如,通过形成硅层作为半导体层 103,并且利用等离子体处理使该硅层的表面氧化,可以形成在与半导体层 103 的界面没有歪斜的细致的氧化膜。此外,通过等离子体处理使该氧化膜氮化,以氮取代表层部分的氧形成氮化膜,而可以进一步实现细致化。通过如此形成,可以形成绝缘耐压高的绝缘膜。

[0110] 不管怎样,通过采用上述那样的利用等离子体处理的固相氧化处理或固相氮化处理,即使使用耐热温度为 700℃ 以下的玻璃衬底,也可以获得与当在 950℃ 至 1050℃ 的范围内进行热氧化处理时形成的氧化膜相同的绝缘膜。换言之,可以形成可靠性高的绝缘膜作为用作半导体元件、特别是薄膜晶体管或非易失性存储元件的栅绝缘膜的绝缘膜。

[0111] 如此,通过利用等离子体处理使半导体层 103 氧化、氮化等,来形成绝缘膜 116。半导体层 103 的厚度根据形成了的绝缘膜 116 的厚度而变薄,所以可以使半导体层 103 薄膜化。此外,形成了的绝缘膜 116 可以用作栅绝缘膜。

[0112] 如图 5E 所示,也可以在形成绝缘膜 116 之后,利用 CVD 法等形成氮化硅膜或包括氧的氮化硅膜作为绝缘膜 117,来使它与绝缘膜 116 一起构成栅绝缘膜。由此,可以抑制以后形成的栅电极及从栅电极延伸的布线与由氧化膜构成的绝缘膜接触而氧化。再者,也可以对上述氮化硅膜或包括氧的氮化硅膜进行以细致化等为目的的利用低电子温度且高电子密度的等离子体处理的氮化。

[0113] 注意,绝缘膜 116 可以用作单层栅绝缘膜。还可以通过在去掉绝缘膜 116 之后形成绝缘膜 117,将绝缘膜 117 用作单层栅绝缘膜。在本实施方式中,采用由绝缘膜 116 以及绝缘膜 117 构成的叠层结构。

[0114] 接着,在绝缘膜 116 及绝缘膜 117 上形成用作栅电极的导电层。将导电层的厚度设定为 100nm 至 500nm。导电层可以通过利用溅射法、气相沉积法、CVD 等方法形成。导电层通过利用选自钽、钨、钛、钼、铝、铜、铬、钽中的元素;或者以上述元素为主要成分的合金材料或化合物材料形成,即可。此外,也可以使用以掺杂有磷等杂质元素的多晶硅膜为代表的半导体层、AgPdCu 合金层作为导电层。此外,也可以采用单层结构或两层以上的叠层结构。例如,在利用三层结构形成导电层的情况下,也可以依次层叠其厚度为 50nm 的钨膜、其厚度为 500nm 的铝和硅的合金 (Al-Si) 膜、其厚度为 30nm 的氮化钛膜,分别作为第一导电层、第二导电层、第三导电层。此外,可以使用氮化钨膜而代替第一导电层的钨膜,且可以使用铝和钛的合金 (Al-Ti) 膜而代替第二导电层的铝和硅的合金 (Al-Si) 膜,并且可以使用钛膜而代替第三导电层的氮化钛膜。

[0115] 接着,如图 6A 所示,形成由抗蚀剂构成的掩模,将导电层加工为所希望的形状,来形成用作栅电极的导电层 106。注意,作为蚀刻气体,可以适当地使用以 Cl_2 、 BCl_3 、 SiCl_4 或 CCl_4 等为代表的氯类气体;以 CF_4 、 SF_6 、 NF_3 等为代表的氟类气体;或者 O_2 。

[0116] 在本实施方式中,示出以具有相对于衬底垂直的侧面的方式形成栅电极的例子,但是本发明不局限于此。例如,既可以使第一导电层和第二导电层从截面来看都具有锥形形状,又可以使第一导电层和第二导电层中的任一个通过各向异性蚀刻具有相对于衬底垂直的侧面。锥形角度既可以在层叠的导电层之间不同,又可以相同。通过具有锥形形状,提高在其上层叠的膜的覆盖性,且减轻缺陷,因此提高可靠性。

[0117] 接着,如图 6B 所示,以导电层为掩模,添加赋予一种导电类型的杂质元素,来形成源区或漏区的具有一种导电类型的杂质区 112a、112b。此外,在半导体层 103 中形成沟道形

成区 111。具体地说,可以应用实施方式 1 所示的杂质区 112a、112b 的形成方法。

[0118] 接着,覆盖设置在衬底 101 上的绝缘膜和导电层地形成层间绝缘膜。在本实施方式中,采用由绝缘膜 107 和绝缘膜 108 构成的层叠结构。具体地说,可以应用实施方式 1 所示的层间绝缘膜的形成方法。

[0119] 接着,通过利用由抗蚀剂构成的掩模在绝缘膜 107、绝缘膜 108、绝缘膜 116、绝缘膜 117 中形成到达半导体层 103 的接触孔(开口部)。具体地说,可以应用实施方式 1 所示的接触孔的形成方法。

[0120] 接着,如图 6C 所示,覆盖接触孔地形成导电层,并且蚀刻导电层,来形成与各源区或漏区的一部分分别电连接的用作源电极或漏电极的导电层 110a、110b。具体地说,可以应用实施方式 1 所示的导电层 110a、110b 的形成方法。

[0121] 通过上述,可以形成应用了本发明的薄膜晶体管。注意,本实施方式所示的晶体管的结构只是一个例子,而不局限于图示的结构。

[0122] 在本实施方式中,如上述说明,为了形成薄膜晶体管的栅绝缘膜,对半导体层进行利用低电子温度且高电子密度的等离子体的等离子体处理。根据本实施方式的栅绝缘膜是抑制了等离子体损伤及裂缝的发生的,并且它可以通过利用不影响到玻璃衬底的温度形成。

[0123] 在根据本实施方式的半导体装置中,使半导体层薄膜化,并且在该薄膜化了的区域形成有沟道形成区。因此,由于可以降低亚阈值且降低晶体管的阈值电压,所以可以提高半导体装置的工作特性。另外,通过伴随半导体层的薄膜化处理,使半导体层的端部具有圆度,可以提高形成在该半导体层上的绝缘膜的覆盖性。因此,可以降低起因于半导体层的端部的缺陷,所以可以制造可靠性高的半导体装置。从而,可以实现半导体装置的高性能化。

[0124] 注意,本实施方式可以与实施方式 1 组合。

[0125] 实施方式 3

[0126] 在本实施方式中,参照图 7A 至 7F 及图 8A 至 8D 说明利用与上述实施方式 1 及 2 不同的制造方法制造半导体装置的例子。以下,对与实施方式 1 及实施方式 2 同样的结构附加相同附图标记,而省略说明。

[0127] 如图 7A 所示,直到在衬底 101 上中间夹着绝缘膜 102a 和 102b 来形成岛状半导体层 103 的工序与上述实施方式 1 及 2 所示的对于衬底 101、绝缘膜 102a 和 102b、半导体层 103 等的说明相同,所以在此省略。

[0128] 接着,如图 7B 所示,通过对半导体层 103 进行变质处理在半导体层 103 的表面形成绝缘膜 115。对半导体层 103 中的要形成绝缘膜 115 的区域进行所希望的处理即可。具体地说,对半导体层 103 的表面进行热氧化处理、利用臭氧水等氧化力强的溶液的处理、等离子体处理等,可以在半导体层 103 的表面形成该半导体层 103 的氧化物。这是与形成上述半导体层 103 的氮化物、氧氮化物、以及氮氧化物的情况是同样的。注意,通过对半导体层进行等离子体处理,容易控制绝缘膜 115 的厚度。

[0129] 接着,如图 7C 所示,通过蚀刻去掉绝缘膜 115。作为去掉绝缘膜 115 的方法,可以使用干蚀刻或湿蚀刻。例如,在进行干蚀刻的情况下,作为蚀刻气体,可以使用氯类气体如 Cl_2 、 BCl_3 或 SiCl_4 等;氟类气体如 CF_4 、 NF_3 或 SF_6 等;或者 HBr 气体。此外,也可以适当地添加惰性气体如 He 、 Ar 、 Xe 等。此外,也可以对氟类气体添加 O_2 气体。当蚀刻绝缘膜 115 时,

以侵入在半导体层 103 的下部的方式去掉绝缘膜 102b。

[0130] 接着,如图 7D 所示,对去掉了绝缘膜 115 的半导体层 103 还进行变质处理,在半导体层 103 的表面形成绝缘膜 118。对半导体层 103 进行变质处理来形成绝缘膜 118 的方法与当形成绝缘膜 115 时同样。通过对半导体层 103 进行变质处理来形成绝缘膜 118,可以使半导体层 103 进一步薄膜化,并且将半导体层 103 的上端部以及下端部形成为更具有圆度。

[0131] 接着,如图 7E 所示,通过蚀刻去掉绝缘膜 118。去掉绝缘膜 118 的方法与去掉绝缘膜 115 的方法相同。

[0132] 接着,如图 7F 所示,通过对半导体层 103 进行变质处理,在半导体层 103 的表面形成绝缘膜 119。对半导体层 103 进行变质处理来形成绝缘膜 119 的方法与当形成绝缘膜 115 及绝缘膜 118 时同样。如此形成的绝缘膜 119 可以用作栅绝缘膜。

[0133] 注意,当将半导体层 103 的厚度设定为 $t(t > 0)$,而将半导体层 103 的截面的端部的曲率半径设定为 $r(r > 0)$ 时, t 和 r 的关系满足 $(t/4) \leq r \leq t$ 的条件式。

[0134] 此外,如图 8A 所示,也可以在衬底的整个表面上形成绝缘膜 105。绝缘膜 105 通过利用 CVD 法、溅射法且使用氧化硅、氮化硅、氧氮化硅、氮氧化硅、 SiOF 、 SiOC 、DLC、多孔二氧化硅等材料形成。注意,也可以在半导体层 103 上形成绝缘膜 105,而不形成绝缘膜 119。此外,也可以去掉绝缘膜 119 而形成绝缘膜 105。通过形成绝缘膜 105,半导体层 103 的下端周边部由绝缘膜 105 覆盖,而缓和该部分中的电场集中。此外,半导体层的上端部也具有圆度。通过对半导体层进行变质处理,在半导体层的表面形成绝缘膜,可以使绝缘膜的覆盖性良好。

[0135] 接着,中间夹着绝缘膜 119、绝缘膜 105 在半导体层 103 上形成用作栅电极的导电层 106。以导电层 106 为掩模对半导体层 103 添加赋予一种导电类型的杂质,来形成沟道形成区 111、用作源区或漏区的杂质区 112a、112b(图 8B)。

[0136] 导电层 106 可以通过使用钽、钨、钛、钼、铬、铝、铜、铌等金属元素、或者包含该金属元素的合金材料或化合物材料形成。此外,导电层 106 也可以通过使用以添加有磷等赋予一种导电类型的杂质元素的多晶硅为代表的半导体材料来形成。用作栅电极的导电层 106 可以通过使用这些材料中的一种或多种以单层结构或叠层结构形成。在其厚度为 100nm 至 1000nm、优选为 200nm 至 800nm、更优选为 300nm 至 500nm 的范围下形成导电层 106,即可。此外,用作栅电极的导电层 106 通过使用上述材料且利用 CVD 法、溅射法在衬底的整个表面上形成,然后选择性地蚀刻而加工为所希望的形状,即可。

[0137] 接着,以导电层 106 为掩模,添加赋予一种导电类型的杂质元素,来形成源区或漏区的具有一种导电类型的杂质区 112a、112b。此外,在半导体层 103 中形成沟道形成区 111。具体地说,可以应用实施方式 1 所示的杂质区 112a、112b 的形成方法。

[0138] 接着,如图 8C 所示,覆盖设置在衬底 101 上的绝缘膜和导电层地形成层间绝缘膜。在本实施方式中,采用由绝缘膜 107 和绝缘膜 108 构成的层叠结构。具体地说,可以应用实施方式 1 所示的层间绝缘膜的形成方法。

[0139] 接着,如图 8D 所示,通过利用由抗蚀剂构成的掩模在绝缘膜 119、绝缘膜 105、绝缘膜 107、绝缘膜 108 中形成到达半导体层 103 的接触孔(开口部)。具体地说,可以应用实施方式 1 所示的接触孔的形成方法。

[0140] 接着,覆盖接触孔地形成导电层,并且蚀刻导电层,来形成与各源区或漏区的一部

分分别电连接的用作源电极或漏电极的导电层 110a、110b。具体地说,可以应用实施方式 1 所示的导电层 110a、110b 的形成方法。

[0141] 通过上述工序,可以形成包括薄膜晶体管的半导体装置(参照图 8D。)

[0142] 在根据本实施方式的半导体装置中,使半导体层薄膜化,并且在该薄膜化了的区域形成有沟道形成区。因此,由于可以降低亚阈值且降低晶体管的阈值电压,所以可以提高半导体装置的工作特性。另外,通过伴随半导体层的薄膜化处理,使半导体层的端部具有圆度,可以提高形成在该半导体层上的绝缘膜的覆盖性。因此,可以降低起因于半导体层的端部的缺陷,所以可以制造可靠性高的半导体装置。从而,可以实现半导体装置的高性能化。

[0143] 实施方式 4

[0144] 根据本发明的半导体装置可以应用于 CPU(中央计算电路:Central Processing Unit) 等的集成电路。在本实施方式中,以下参照附图对于应用上述实施方式 1 至 3 所示的半导体装置的 CPU 的例子进行说明。

[0145] 图 9 所示的 CPU3660 在衬底 3600 上主要包括计算电路 3601(ALU:Arithmetic Logic Unit)、计算电路用控制部 3602(ALU Controller)、指令译码部 3603(Instruction Decoder)、中断控制部 3604(Interrupt Controller)、时序控制部 3605(Timing Controller)、寄存器 3606(Register)、寄存器控制部 3607(Register Controller)、总线接口 3608(Bus I/F)、能够重写的 ROM3609、以及 ROM 接口 3620(ROM I/F)。此外,还可以在另外的芯片上设置 ROM3609 及 ROM 接口 3620。可以通过使用上述实施方式 1 至 3 所示的薄膜晶体管、组合了该薄膜晶体管的 CMOS 晶体管、nMOS 晶体管、pMOS 晶体管等来构成这些构成 CPU3660 的各种电路。

[0146] 注意,图 9 所示的 CPU3660 只是简化其结构而表示的一个例子,而实际上的 CPU 根据其用途具有多种多样的结构。因此,应用本发明的 CPU 的结构不局限于图 9 所示的结构。

[0147] 将通过总线接口 3608 输入到 CPU3660 的指令输入到指令译码部 3603,并且对其进行译码后,将其输入到计算电路用控制部 3602、中断控制部 3604、寄存器控制部 3607、时序控制部 3605。

[0148] 计算电路用控制部 3602、中断控制部 3604、寄存器控制部 3607、时序控制部 3605 基于被译码的指令而进行各种控制。具体地说,计算电路用控制部 3602 产生用来控制计算电路 3601 的驱动的信号。此外,中断控制部 3604 当正在实行 CPU3660 的程序时根据其优先度或屏蔽状态判断来自外部输入输出装置或外围电路的中断要求来进行处理。寄存器控制部 3607 产生寄存器 3606 的地址,并且根据 CPU 的状态进行对于寄存器 3606 的读出或写入。

[0149] 此外,时序控制部 3605 产生用来控制计算电路 3601、计算电路用控制部 3602、指令译码部 3603、中断控制部 3604、寄存器控制部 3607 的驱动时序的信号。例如,时序控制部 3605 具有内部时钟产生部,并且将内部时钟信号 CLK2 供应给上述各种电路。所述内部时钟产生部根据基准时钟信号 CLK1(3621) 产生内部时钟信号 CLK2(3622)。

[0150] 另外,图 10 表示一种在相同衬底上形成有像素部、CPU 以及其它电路的显示装置,即所谓的系统型面板(system-on-panel)。在衬底 3700 上设置有像素部 3701、用来选择该像素部 3701 所包括的像素的扫描线驱动电路 3702、以及用来将视频信号供应给被选择的像素的信号线驱动电路 3703。CPU3704 和其它电路如控制电路 3705 由引自扫描线驱动电

路 3702 及信号线驱动电路 3703 的布线连接。注意,控制电路 3705 包括接口。并且,在衬底 3700 的端部设置与 FPC 端子的连接部,以进行外部信号的交换。

[0151] 作为其它电路,除了控制电路 3705 以外,还可以设置图像信号处理电路、电源电路、灰度电源电路、视频 RAM、存储器 (DRAM、SRAM、PROM) 等。此外,这些电路可以由 IC 芯片形成并安装在衬底上。而且,扫描线驱动电路 3702 及信号线驱动电路 3703 并不一定需要形成在相同衬底上,例如,也可以在相同衬底上只形成扫描线驱动电路 3702,而信号线驱动电路 3703 由 IC 芯片形成并安装。

[0152] 注意,虽然在本实施方式中说明了将根据本发明的半导体装置应用于 CPU 的例子,但是本发明不局限于此。例如,根据本发明的半导体装置可以应用于包括有机发光元件、无机发光元件或液晶元件等的显示装置的像素部以及驱动电路部等。另外,还可以通过应用根据本发明的半导体装置,来制造诸如数码相机、汽车音响等声音再现装置、笔记本个人计算机、游戏机、便携式信息终端 (手机、便携式游戏机等)、家用游戏机等具有记录媒体的图像再现装置等。

[0153] 应用本发明的半导体装置可以使导电层及半导体层的电气特性良好。因此,可以提高半导体装置的可靠性。

[0154] 实施方式 5

[0155] 在本实施方式中,将说明上述实施方式所示的半导体装置的使用方式的一个例子。具体地说,参照附图以下说明能够以无接触的方式输入 / 输出数据的半导体装置的应用例子。根据其利用方式,能够以无接触的方式输入 / 输出数据的半导体装置也称为 RFID 标签、ID 标签、IC 标签、IC 芯片、RF 标签、无线标签、电子标签或无线芯片。

[0156] 参照图 11A 对本实施方式所示的半导体装置的俯视结构的一个例子进行说明。图 11A 所示的半导体装置 2180 包括薄膜集成电路 2131 和用作天线的导电层 2132,在所述薄膜集成电路 2131 中设置有构成存储部和逻辑部的多个薄膜晶体管等元件。用作天线的导电层 2132 电连接到薄膜集成电路 2131。可以将上述实施方式 1 至 4 所示的根据本发明的半导体装置应用于薄膜集成电路 2131。

[0157] 另外,图 11B 和 11C 表示图 11A 的截面的模式图。用作天线的导电层 2132 设置在构成存储部及逻辑部的元件的上方即可。例如,可以在薄膜集成电路 2131 的上方中间夹着绝缘膜 2130 而设置用作天线的导电层 2132 (参照图 11B)。另外,可以在将用作天线的导电层 2132 另行设置于衬底 2133 上之后,将该衬底 2133 及薄膜集成电路 2131 贴在一起而设置以使导电层 2132 位于它们之间 (参照图 11C)。图 11C 示出设置在绝缘膜 2130 上的导电层 2136 和用作天线的导电层 2132 通过包含在具有粘结性的树脂 2135 中的导电粒子 2134 彼此电连接的例子。

[0158] 注意,虽然在本实施方式中示出了将用作天线的导电层 2132 设置为线圈状并且应用电磁感应方式或电磁耦合方式的例子,但是本发明的半导体装置不局限于此,也可以应用微波方式。在采用微波方式的情况下,根据使用的电磁波的波长而适当地决定用作天线的导电层 2132 的形状即可。

[0159] 例如,在应用微波方式 (例如, UHF 带 (860MHz 带至 960MHz 带)、2.45GHz 带等) 作为半导体装置 2180 的信号传输方式的情况下,考虑到用于信号的传输的电磁波的波长来适当地设定用作天线的导电层 2132 的长度等形状即可。例如,可以将用作天线的导电层

2132 形成为线状（例如，偶极天线（参照图 12A））、平坦的形状（例如，平板天线（参照图 12B））或者蝴蝶型的形状（参照图 12C 和 12D）等。另外，用作天线的导电层 2132 的形状不局限于直线状，还可以考虑到电磁波的波长以曲线状、蜿蜒形状或者组合这些形状的形状来设置。

[0160] 通过使用 CVD 法、溅射法、丝网印刷或凹版印刷等印刷法、液滴喷射法、分配器法、电镀法等并且使用导电材料来形成用作天线的导电层 2132。通过使用铝、钛、银、铜、金、铂、镍、钯、钼、钨等金属元素；包含该金属元素的合金材料；或包含该金属元素的化合物材料作为导电材料以单层结构或叠层结构形成用作天线的导电层 2132。

[0161] 例如，在使用丝网印刷法形成用作天线的导电层 2132 的情况下，可以通过选择性地印刷将其粒径为几 nm 至几十 μm 的导电体粒子溶解或分散在有机树脂中的导电膏来设置。作为导电粒子，可以使用银、金、铜、镍、铂、钯、钼、钨以及钛等中的任一种以上的金属粒子、卤化银的微粒子、或者分散性纳米粒子。另外，作为包含在导电膏中的有机树脂，可以使用选自用作金属粒子的粘合剂、溶剂、分散剂以及覆盖材料的有机树脂中的一种或多种。可以典型地举出环氧树脂、硅树脂等有机树脂。此外，当形成导电层 2132 时，优选在挤出导电膏之后进行焙烧。例如，在使用以银为主要成分的微粒子（例如其粒径为 1nm 以上且 100nm 以下的微粒子）作为导电膏的材料的情况下，可以通过在 150℃至 300℃的温度范围内进行焙烧来使它硬化，而形成导电层 2132。另外，也可以使用以焊料或无铅焊料为主要成分的微粒子，在此情况下，优选使用其粒径为 20 μm 以下的微粒子。焊料或无铅焊料具有成本低的优点。

[0162] 接着，参照图 13A 对根据本实施方式的半导体装置的工作例子进行说明。

[0163] 图 13A 所示的半导体装置 2180 具有以无接触的方式进行数据通讯的功能，并且包括高频电路 81、电源电路 82、复位电路 83、时钟产生电路 84、数据解调电路 85、数据调制电路 86、控制其它电路的控制电路 87、存储电路 88 以及天线 89。高频电路 81 是接收来自天线 89 的信号并且将从数据调制电路 86 接收的信号从天线 89 输出的电路。电源电路 82 是根据接收信号产生电源电位的电路。复位电路 83 是产生复位信号的电路。时钟产生电路 84 是基于从天线 89 输入的接收信号产生各种时钟信号的电路。数据调制电路 86 是调制从控制电路 87 接收的信号的电路。此外，作为控制电路 87，例如设置有代码抽出电路 91、代码判定电路 92、CRC 判定电路 93 以及输出单元电路 94。此外，代码抽出电路 91 抽出传送到控制电路 87 的指令所包括的多个代码的电路。代码判定电路 92 是对被抽出的代码与相当于参考值的代码进行比较而判定指令内容的电路。CRC 判定电路 93 是基于被判定的代码检测出是否存在发送错误等的电路。在图 13A 中，除了控制电路 87 以外，还包括为模拟电路的高频电路 81、电源电路 82。

[0164] 接着，对上述半导体装置的工作的一个例子进行说明。首先，天线 89 接收无线信号。无线信号经由高频电路 81 传送到电源电路 82，并且产生高电源电位（以下，称为 VDD）。VDD 被供应给半导体装置 2180 所具有的各电路。另外，经由高频电路 81 传送到数据解调电路 85 的信号被解调（以下，称为解调信号）。而且，经由高频电路 81 并且经过复位电路 83 及时钟产生电路 84 的信号以及解调信号被传送到控制电路 87。传送到控制电路 87 的信号被代码抽出电路 91、代码判定电路 92 以及 CRC 判定电路 93 等分析。然后，根据被分析的信号输出存储在存储电路 88 内的半导体装置的信息。被输出的半导体装置的信息经

过输出单元电路 94 而编码化。再者,编码化的半导体装置 2180 的信息经过数据调制电路 86 并从天线 89 作为无线信号发送。另外,低电源电位(以下,称为 VSS)在构成半导体装置 2180 的多个电路中是通用的,并且可以将 VSS 用作 GND。

[0165] 像这样,通过将信号从通讯装置(例如,读取/写入器、或者具有读取器及写入器中的任一种功能的装置)传送到半导体装置 2180 并且从该半导体装置 2180 传送来的信号由读取/写入器接收,可以读出半导体装置的数据。

[0166] 另外,半导体装置 2180 既可以是不安装电源(电池)而利用电磁波将电源电压供应给各电路的类型,又可以是安装电源(电池)并且利用电磁波和电源(电池)将电源电压供应给各电路的类型。

[0167] 接着,对能够以无接触的方式输入/输出数据的半导体装置的使用方式的一个例子进行说明。在包括显示部 3210 的便携式终端的侧面设置有通讯装置 3200,并且在货物 3220 的侧面设置有半导体装置 3230(参照图 13B)。注意,通讯装置 3200 是指如读取/写入器那样具有读取信号的功能以及发送信号的功能的装置、或者具有读取信号的功能以及发送信号的功能中的任一种功能的装置。当将通讯装置 3200 接近货物 3220 所包括的半导体装置 3230 时,与商品有关的信息诸如货物的原材料、原产地、各个生产工序的检查结果、流通过程的历史、以及商品说明等被显示在显示部 3210 上。另外,当使用传送带搬运商品 3260 时,可以利用读取/写入器 3240 和设置在商品 3260 上的半导体装置 3250,对该商品 3260 进行检查(参照图 13C)。作为半导体装置 3230、半导体装置 3250,可以应用上述半导体装置 2180。像这样,通过将根据本发明的半导体装置应用于系统,可以容易获得信息并且实现高功能化和高附加价值化。此外,因为根据本发明的半导体装置的可靠性高,所以可以防止设置在货物上的半导体装置的错误工作。

[0168] 注意,根据本发明的半导体装置的用途很广泛,除了上述以外,还可以应用于任何东西,只要是以无接触的方式明确对象物的历史等信息并且有利于生产、管理等的商品。例如,可以将它设置到如下物品上来使用:纸币、硬币、有价证券、证书、无记名债券、包装容器、书籍、记录介质、随身物品、交通工具、食品、衣物、保健用品、生活用品、药品、以及电子设备等。参照图 14A 至 14H 对它们的例子进行说明。

[0169] 纸币和硬币是在市场上流通的金钱,并且包括在特定区域中与货币同样通用的东西(兑换钱)、纪念硬币等。有价证券是指支票、证券、期票等(参照图 14A)。证书是指驾驶执照、居民卡等(参照图 14B)。无记名债券是指邮票、米券、各种赠券等(参照图 14C)。包装容器是指用于盒饭的包装纸、塑料瓶等(参照图 14D)。书籍是指书、合订本等(参照图 14E)。记录介质是指 DVD 软件、录像磁带等(参照图 14F)。交通工具是指自行车等车辆、船舶等(参照图 14G)。随身物品是指提包、眼镜等(参照图 14H)。食品是指食物、饮料等。衣物是指衣服、鞋等。保健用品是指医疗器具、健康器具等。生活用品是指家具、照明设备等。药品是指医药品、农药等。电子设备是指液晶显示装置、EL 显示装置、电视装置(电视接收机、薄型电视接收机)、以及手机等。

[0170] 通过将半导体装置 2180 设置到纸币、硬币、有价证券、证书、无记名债券等,可以防止对其的伪造。另外,通过将半导体装置 2180 设置到包装容器、书籍、记录介质、随身物品、食品、生活用品、电子设备等,可以谋求实现检查系统或租赁店的系统等的效率化。通过将半导体装置 2180 设置到交通工具、保健用品、药品等,可以防止对其的伪造或偷窃。另

外,若是药品,可以防止误吃药。半导体装置 2180 可以通过贴附在物品的表面上或嵌入在物品中而设置。例如,将半导体装置 2180 嵌入在书籍的纸中,或者嵌入在由有机树脂构成的包装的该有机树脂中即可。

[0171] 像这样,通过将半导体装置设置到包装容器、记录介质、随身物品、食品、衣物、生活用品、电子设备等,可以谋求实现检查系统或租赁店的系统等的效率化。另外,通过将半导体装置设置到交通工具,可以防止对其的伪造或偷窃。另外,通过将半导体装置嵌入在动物等生物中,可以容易识别各个生物。例如,通过将具有传感器的半导体装置嵌入或贴附到家畜等生物中,可以不只管理出生年份、性别或种类等,而且可以容易管理体温等健康状态。

[0172] 注意,本实施方式可以与上述实施方式自由地组合来实施。

[0173] 本说明书根据 2007 年 6 月 12 日在日本专利局受理的日本专利申请编号 2007-155620 而制作,所述申请内容包括在本说明书中。

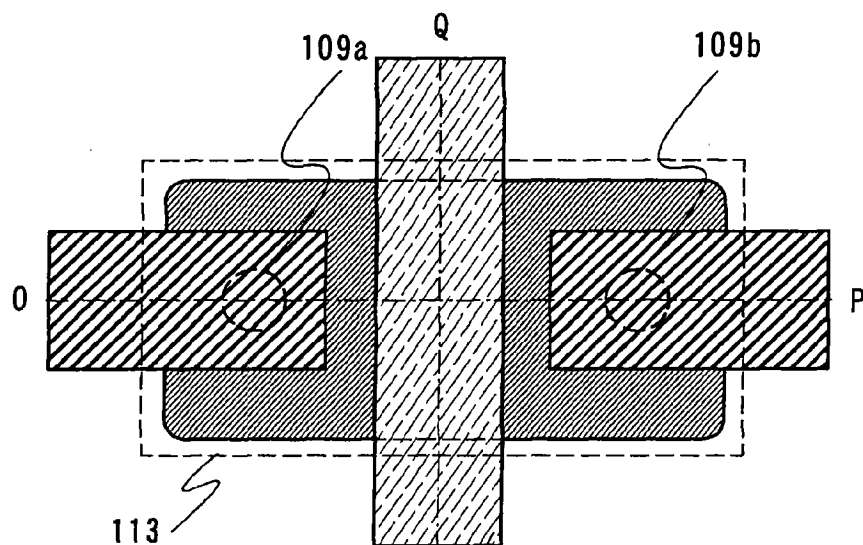


图 1A

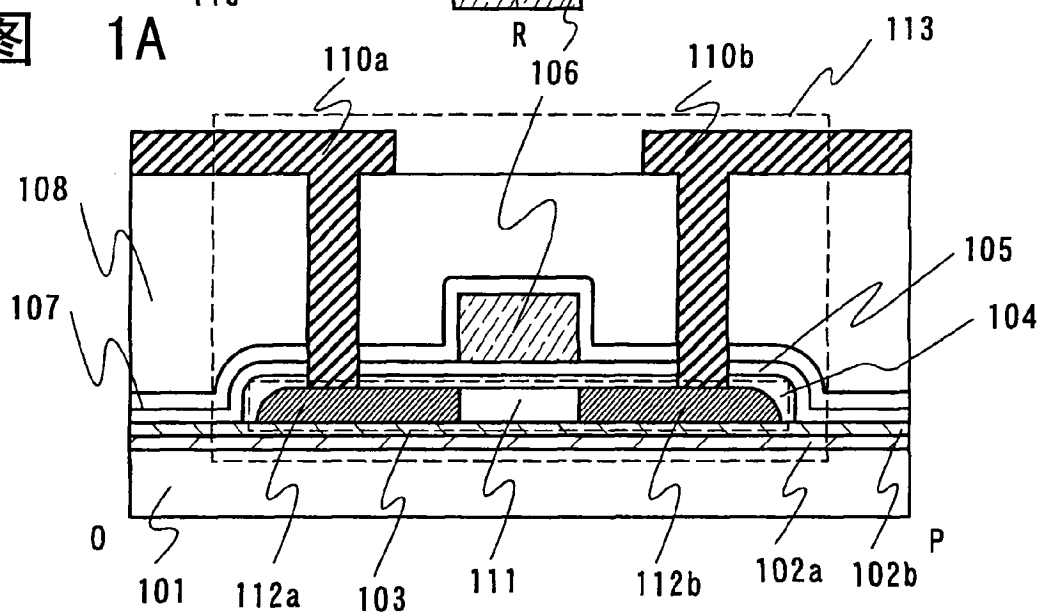


图 1B

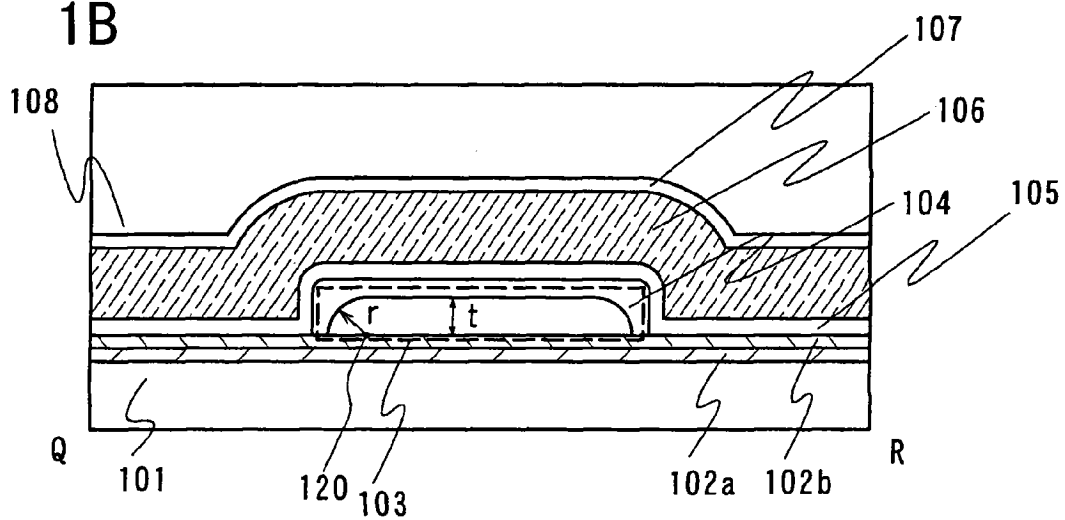
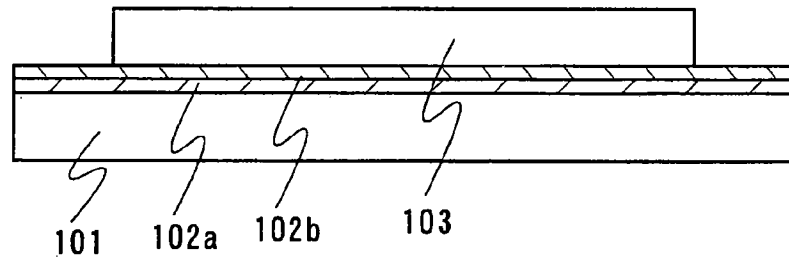
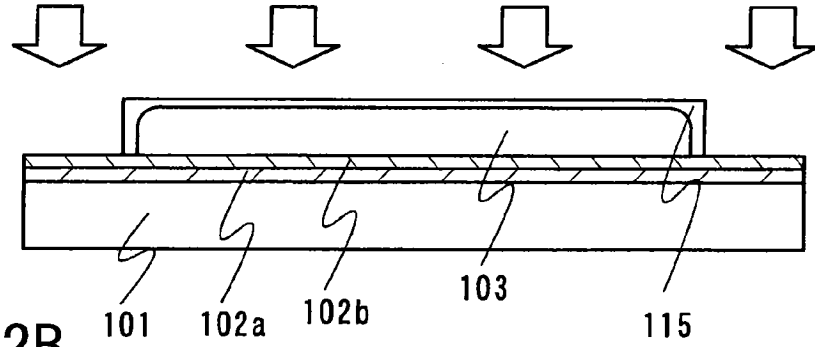


图 1C



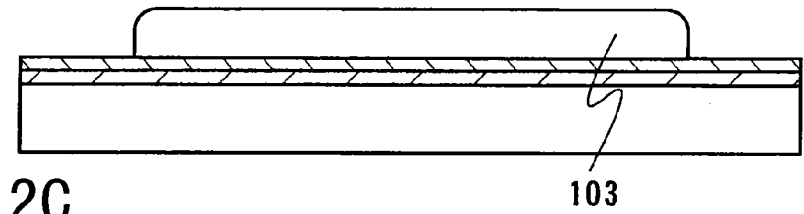
图

2A



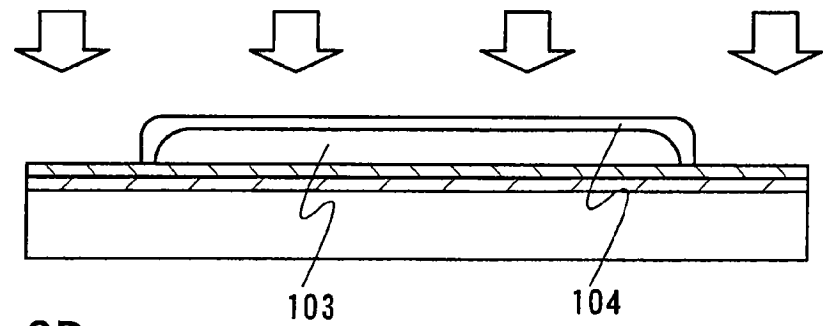
图

2B



图

2C



图

2D

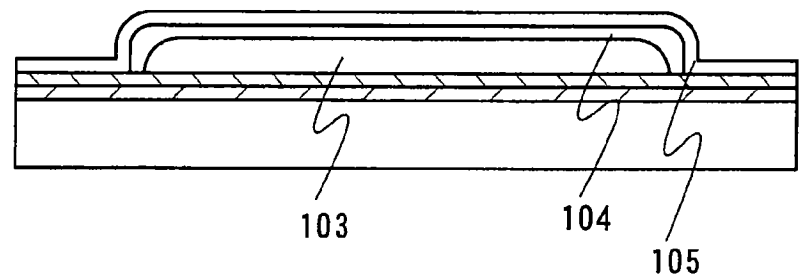


图 2E

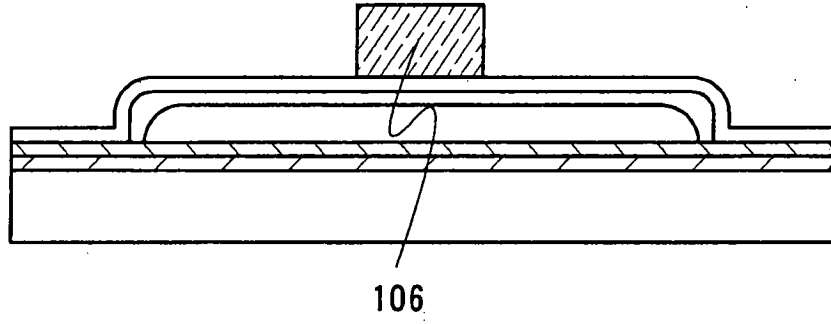


图 3A

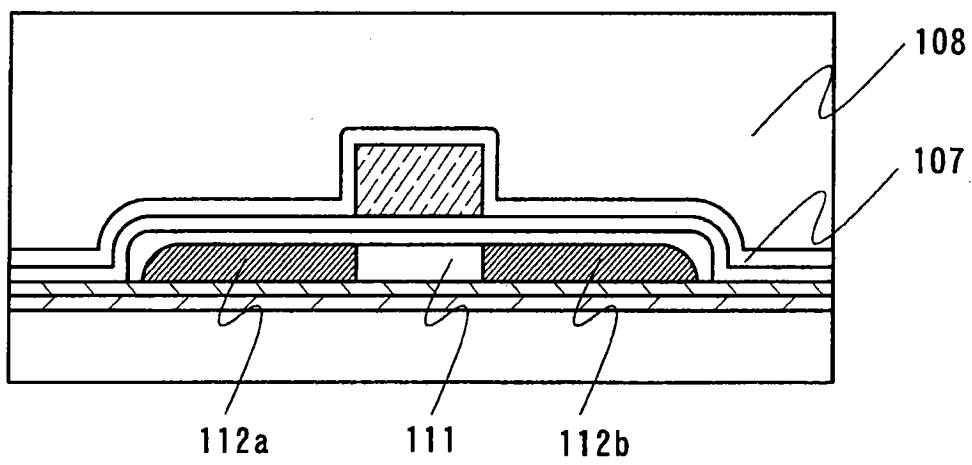


图 3B

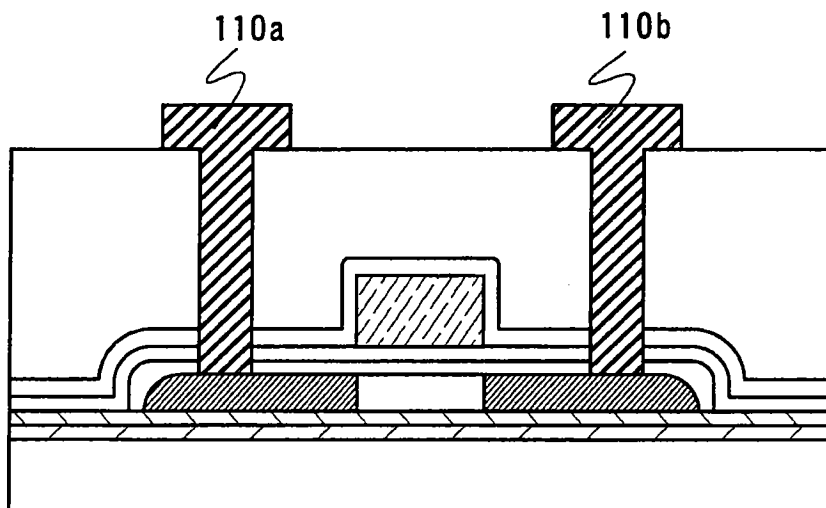


图 3C

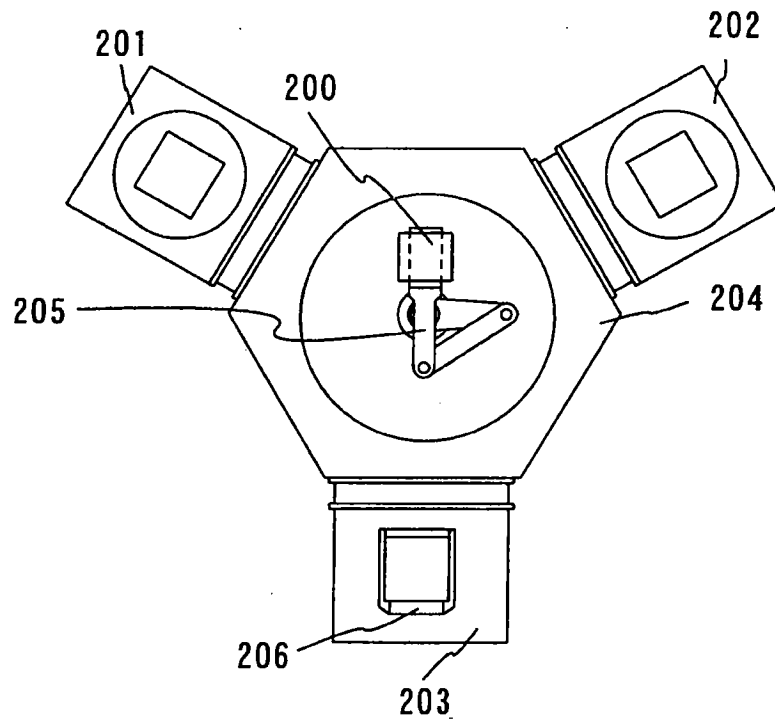


图 4A

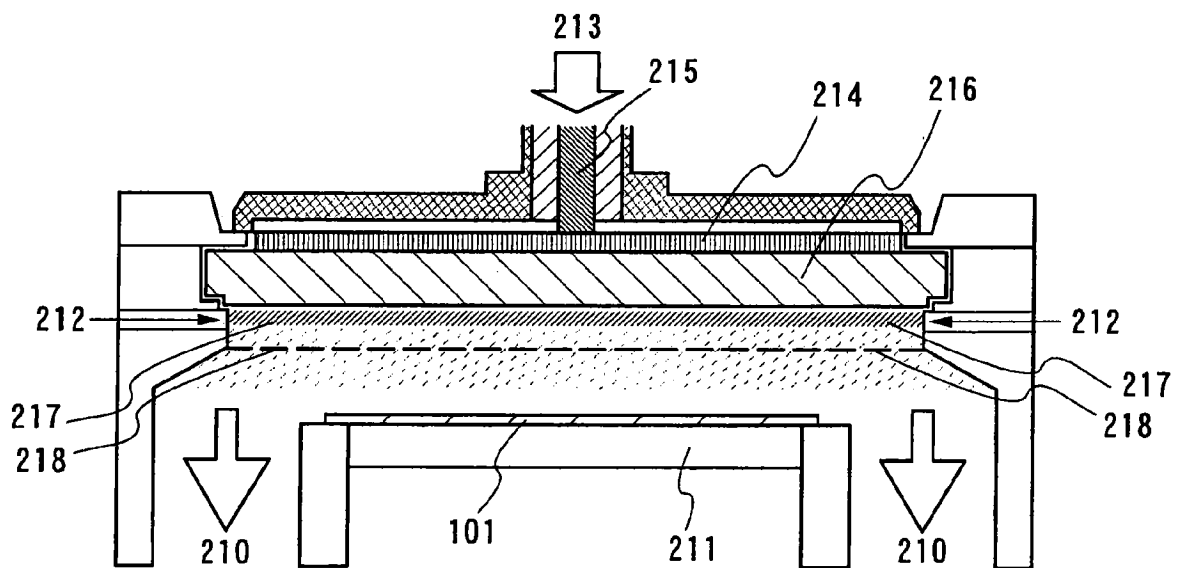


图 4B

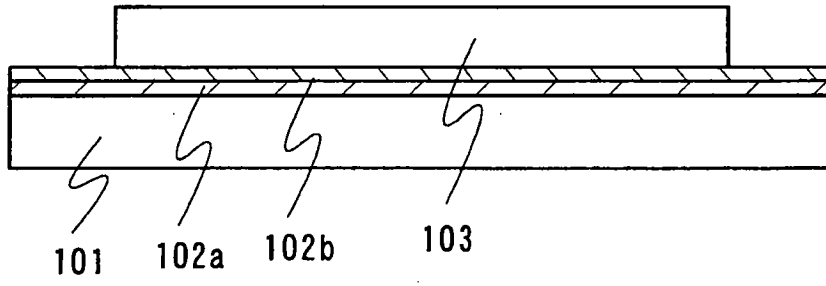


图 5A

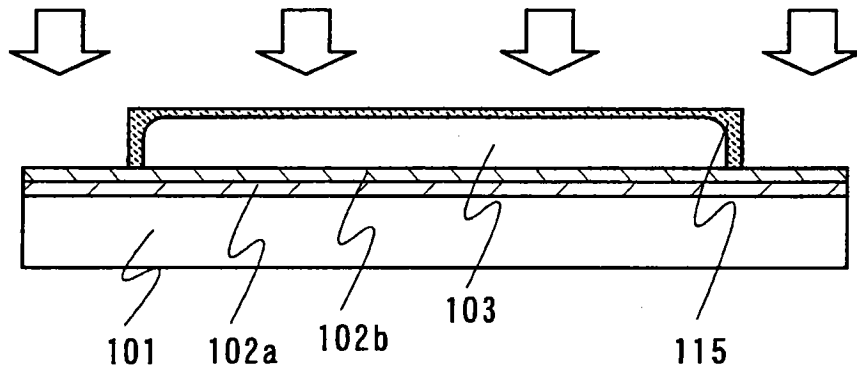


图 5B

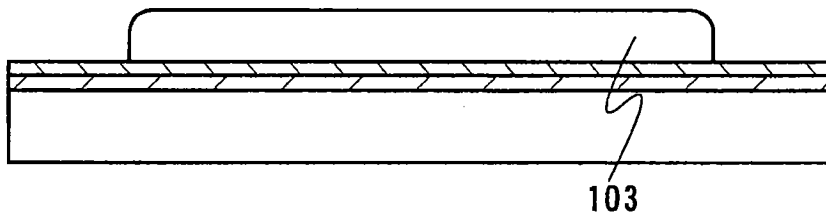


图 5C

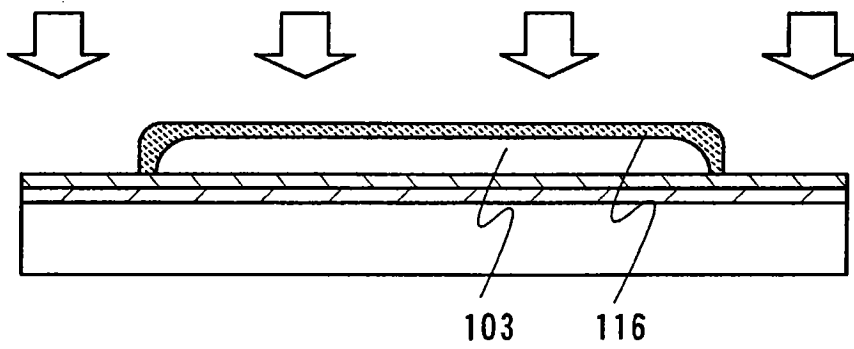


图 5D

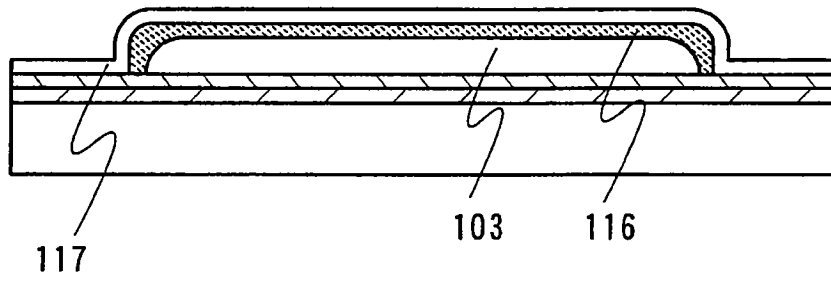


图 5E

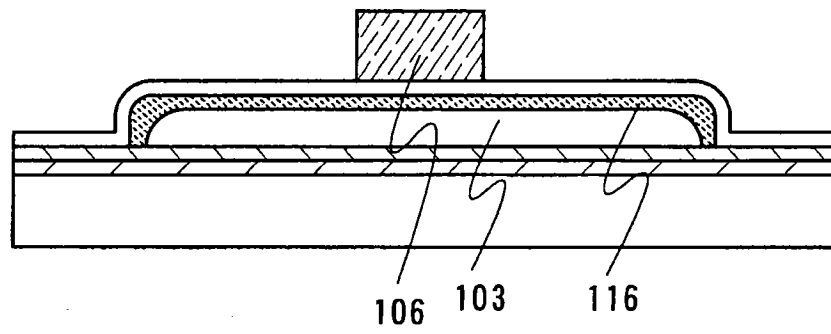


图 6A

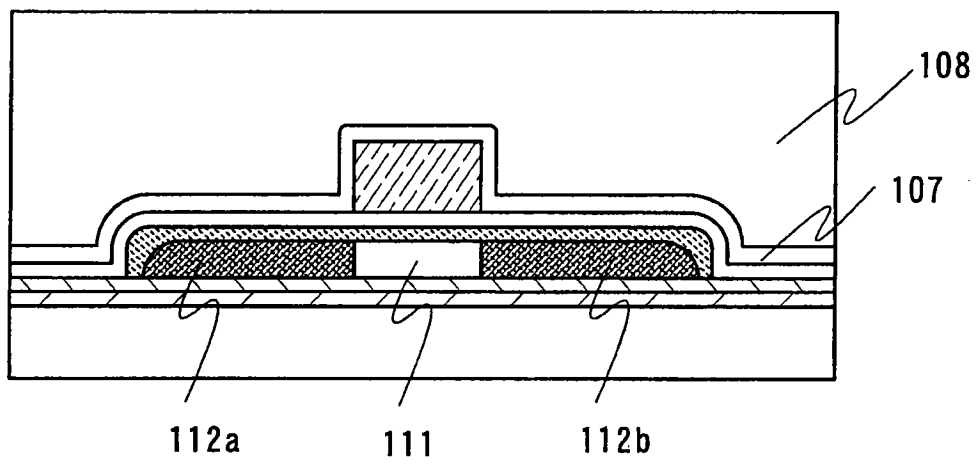


图 6B

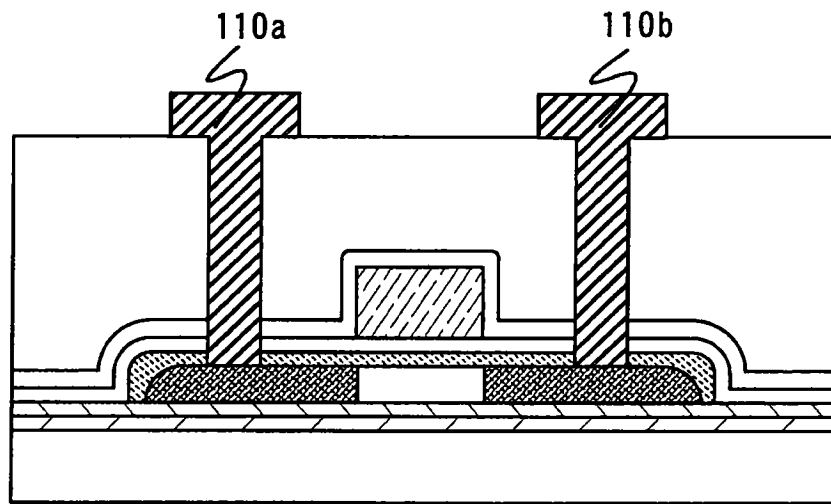


图 6C

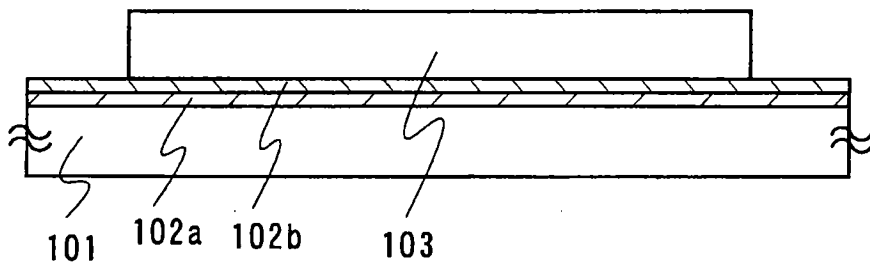


图 7A

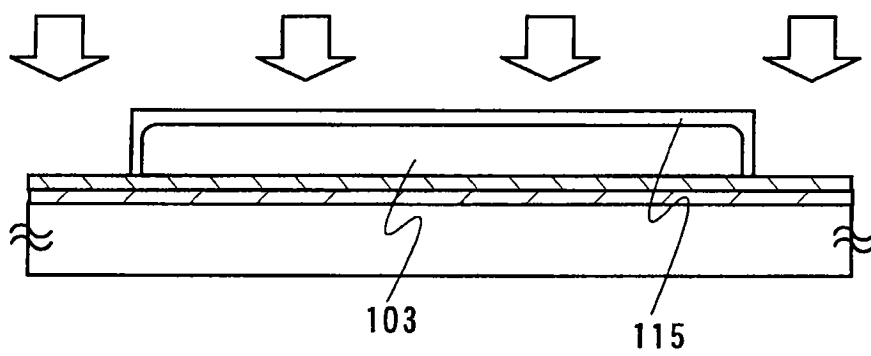


图 7B

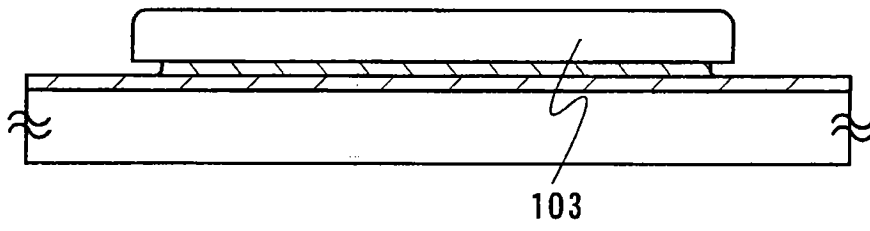


图 7C

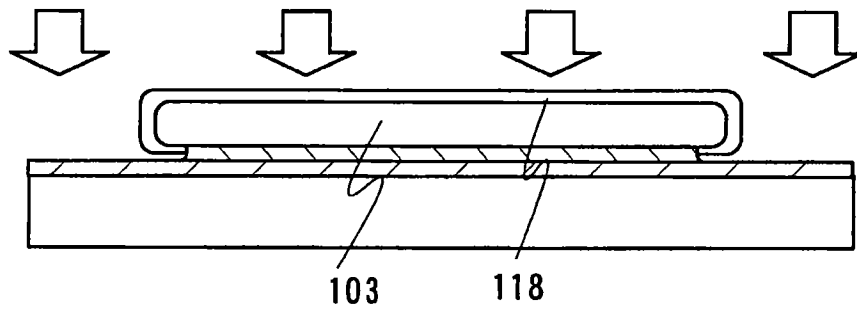


图 7D

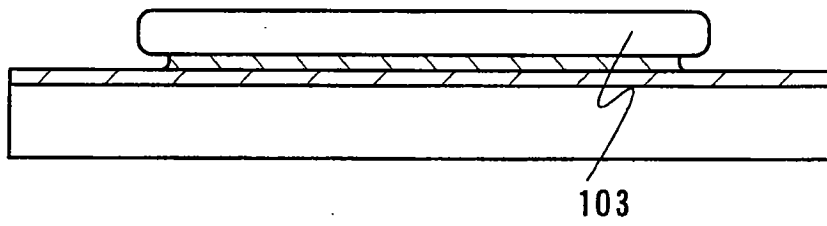


图 7E

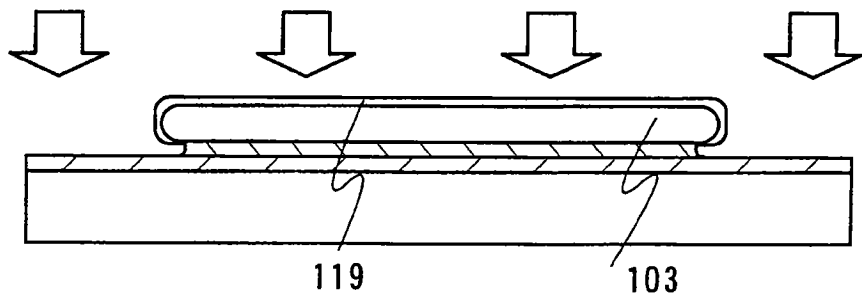
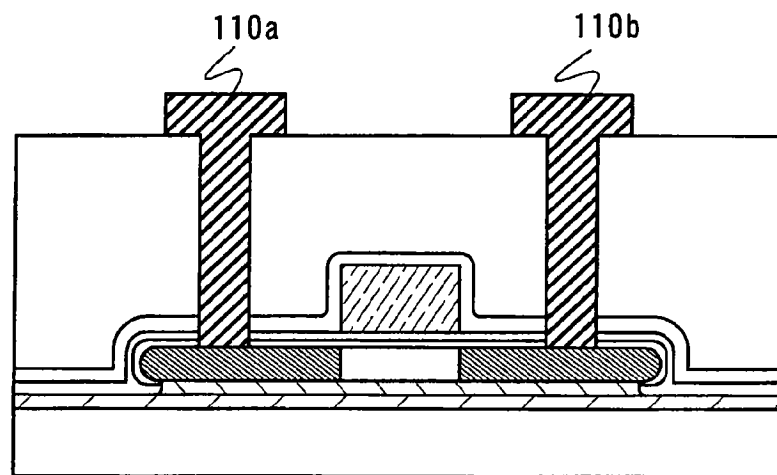
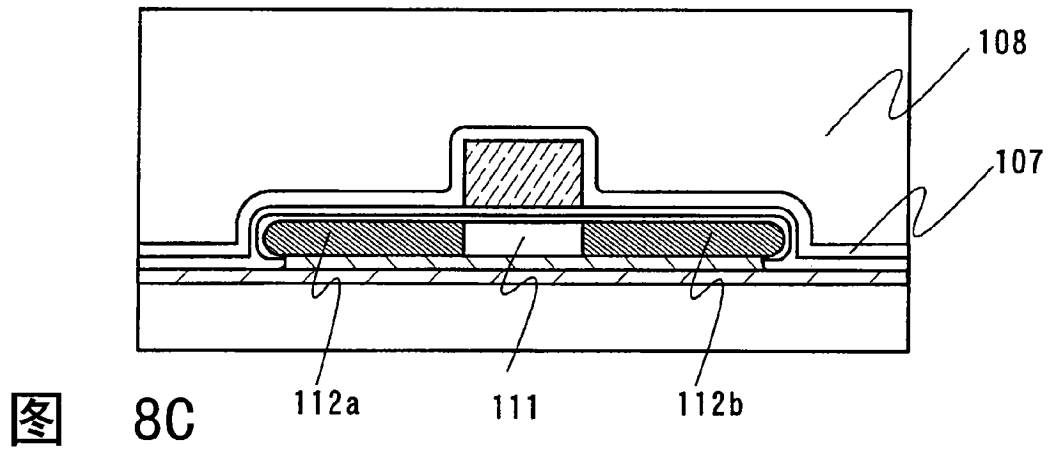
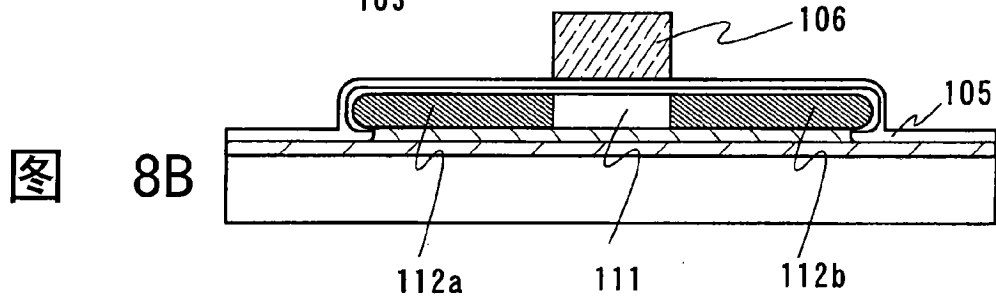
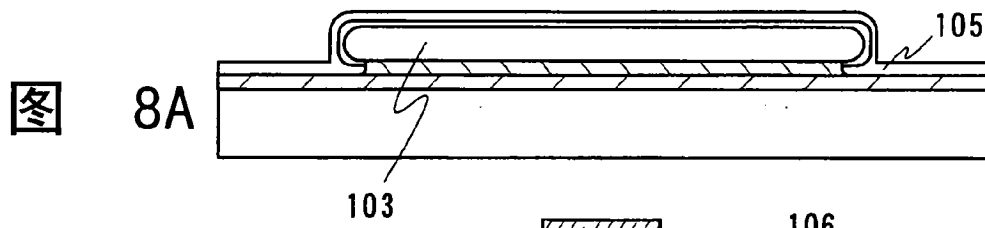


图 7F



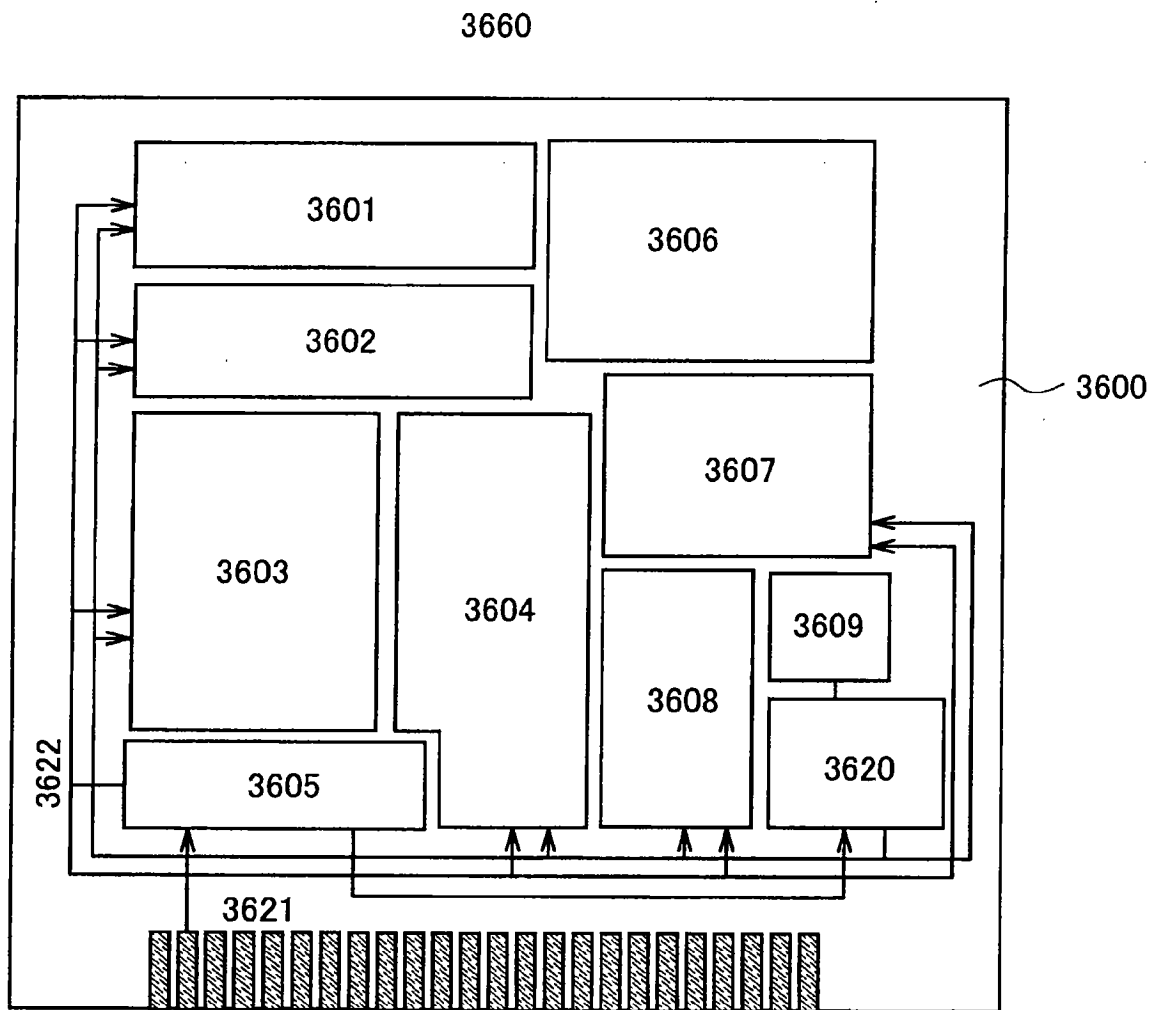


图 9

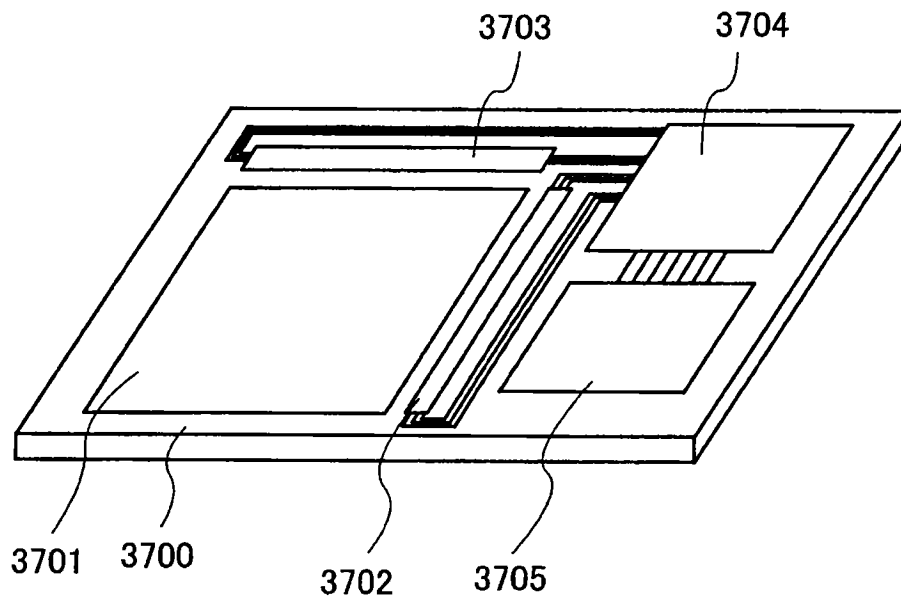


图 10

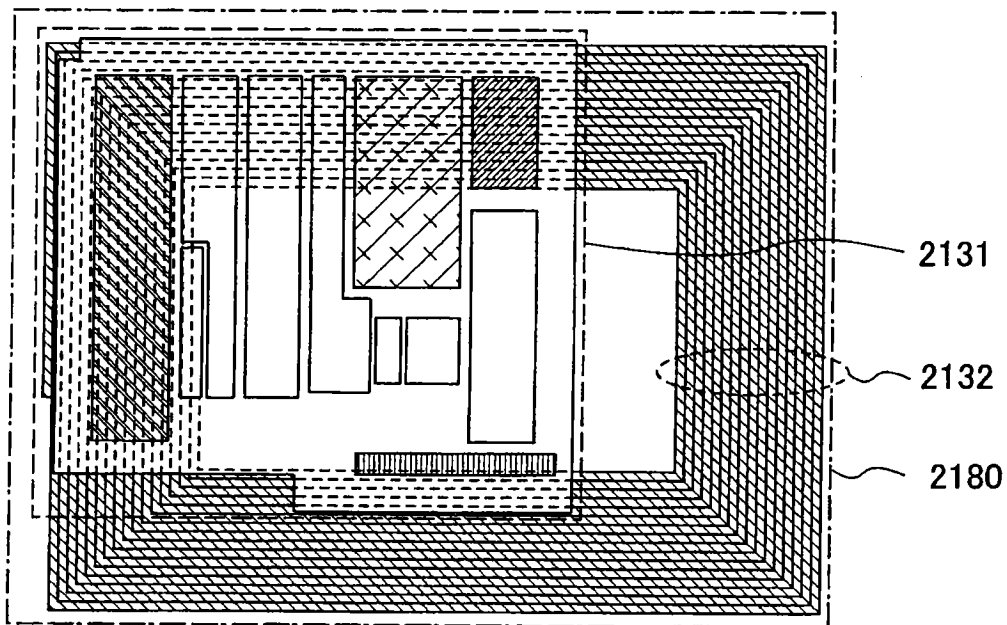


图 11A

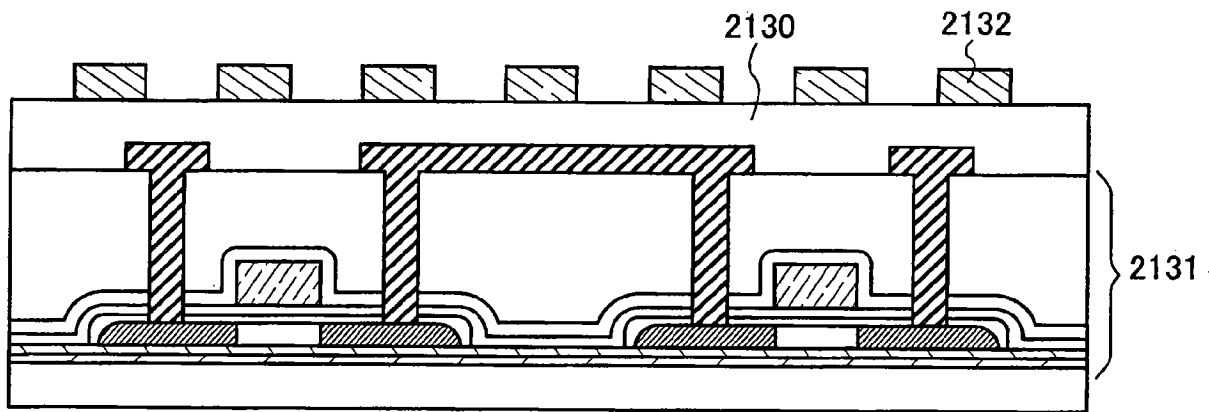


图 11B

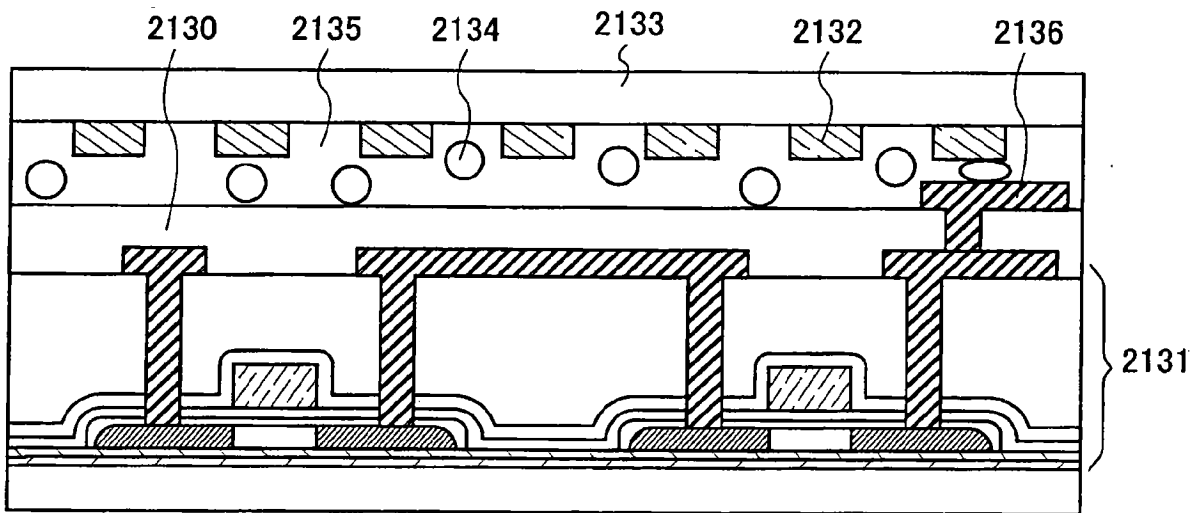


图 11C

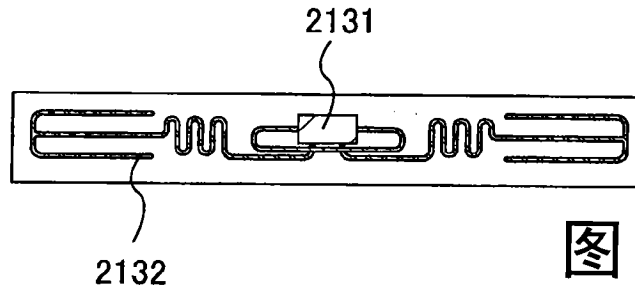


图 12A

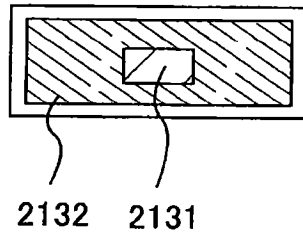


图 12B

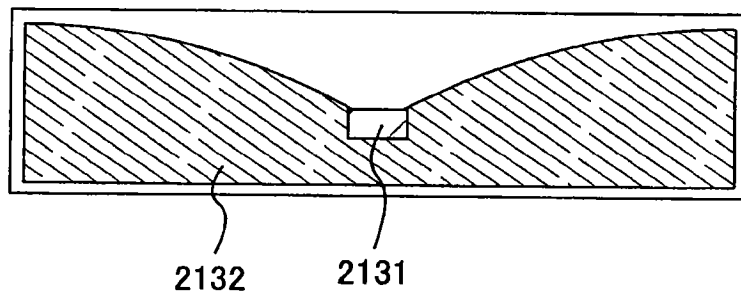


图 12C

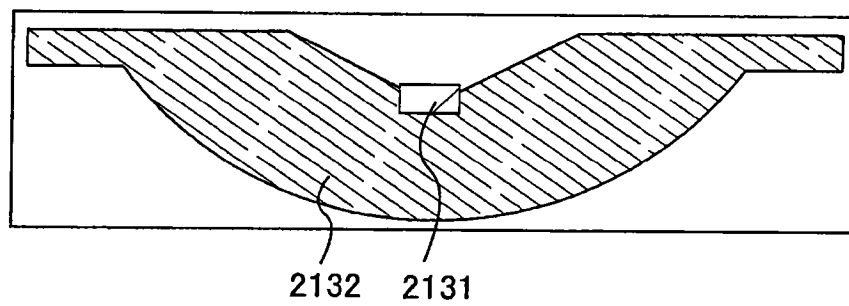


图 12D

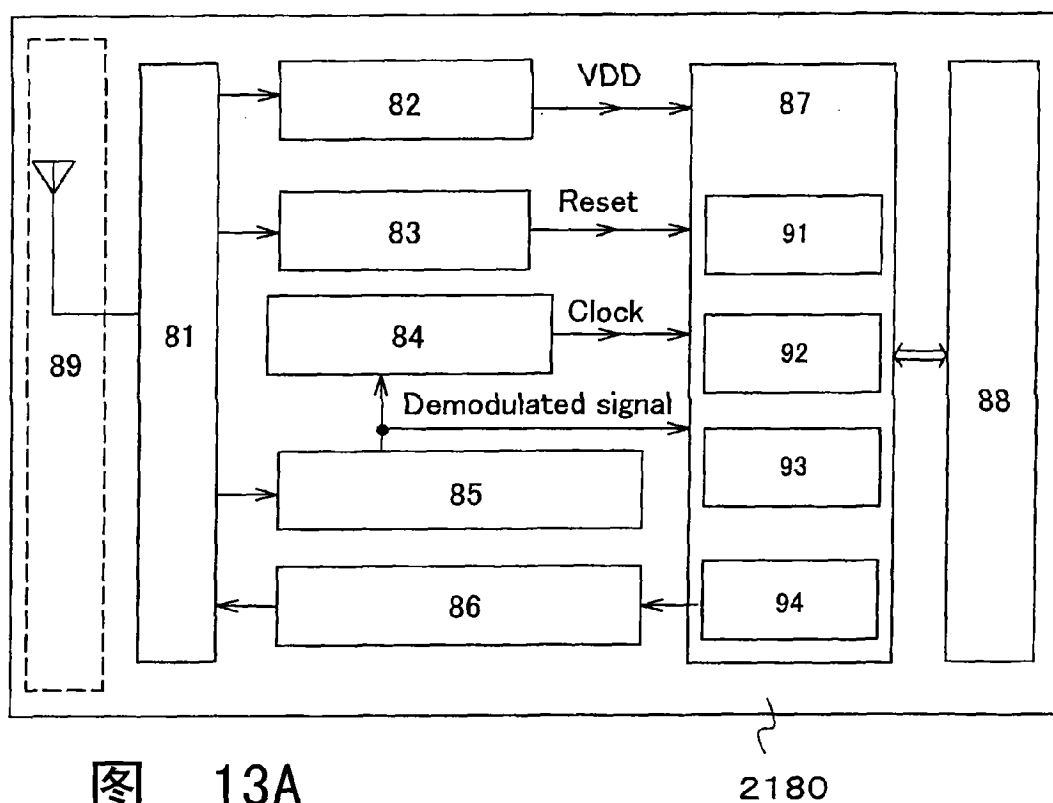


图 13A

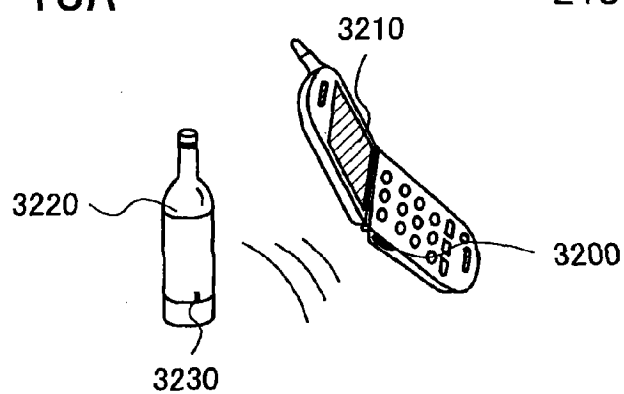


图 13B

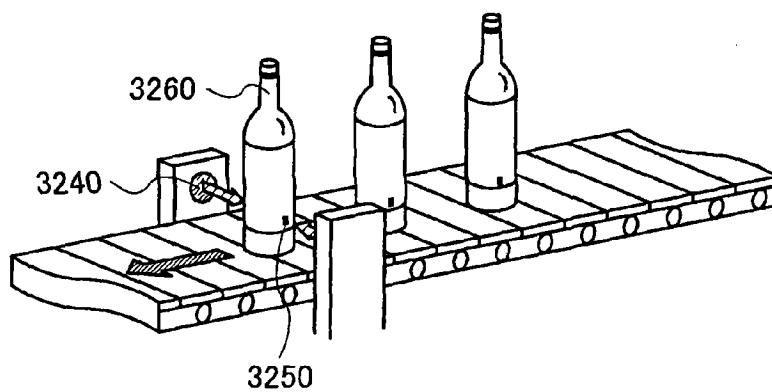


图 13C

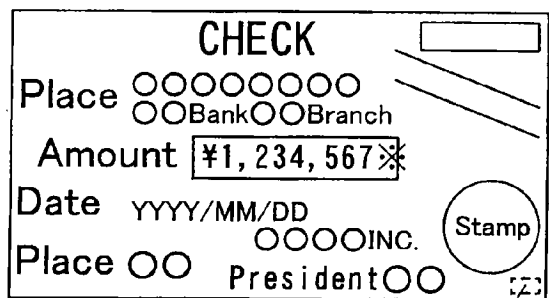


图 14A

2180

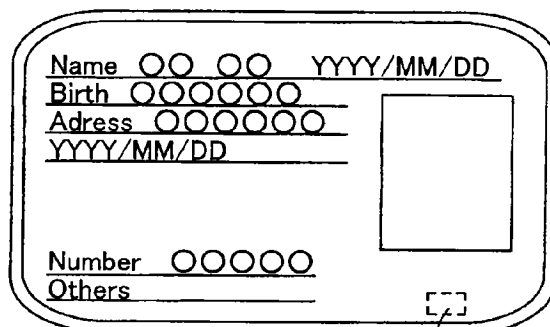


图 14B

2180



图 14C

2180

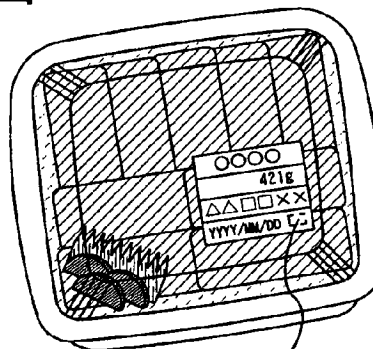


图 14D

2180

2180

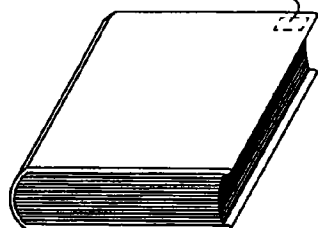


图 14E

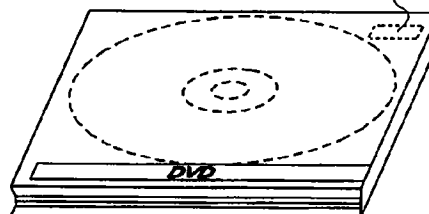


图 14F

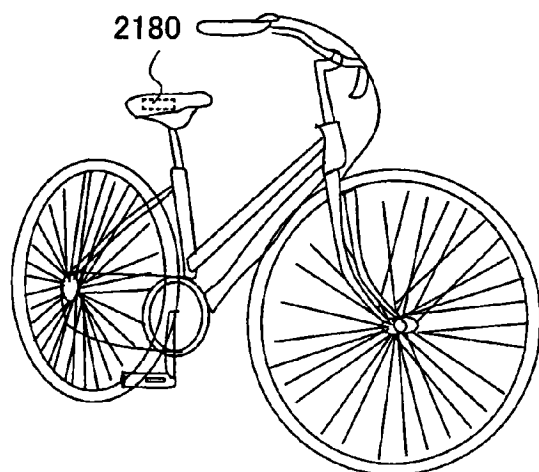


图 14G



图 14H