

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5855418号
(P5855418)

(45) 発行日 平成28年2月9日(2016.2.9)

(24) 登録日 平成27年12月18日(2015.12.18)

(51) Int.Cl. F I
HO2M 3/155 (2006.01) HO2M 3/155 H

請求項の数 7 (全 21 頁)

<p>(21) 出願番号 特願2011-235904 (P2011-235904) (22) 出願日 平成23年10月27日 (2011.10.27) (65) 公開番号 特開2013-94015 (P2013-94015A) (43) 公開日 平成25年5月16日 (2013.5.16) 審査請求日 平成26年9月4日 (2014.9.4)</p>	<p>(73) 特許権者 514231273 リコー電子デバイス株式会社 大阪府池田市姫室町13番1号 (74) 代理人 100101454 弁理士 山田 卓二 (74) 代理人 100081422 弁理士 田中 光雄 (74) 代理人 100125874 弁理士 川端 純市 (72) 発明者 志和屋 陽一 東京都大田区中馬込1丁目3番6号 株式 会社リコー内 審査官 神山 貴行</p>
--	---

最終頁に続く

(54) 【発明の名称】 スイッチングレギュレータ

(57) 【特許請求の範囲】

【請求項1】

入力端子を介して入力された入力電圧を所定の出力電圧に変換し、インダクタを介して出力するスイッチングレギュレータにおいて、

上記入力端子と上記インダクタとの間に接続点を介して接続された出力スイッチ素子と

、
 上記接続点と接地との間に接続された整流素子と、

上記出力電圧に対応する帰還電圧と、上記出力電圧の所定の設定値に対応する所定の電圧との間の誤差電圧を生成する誤差電圧生成回路と、

上記入力電圧と、上記出力電圧の設定値とに基づいて、所定のパルススキップ基準電圧を生成するパルススキップ基準電圧生成回路と、

上記誤差電圧を上記パルススキップ基準電圧と比較し、当該比較結果を表すパルススキップ検出信号を出力する第1の比較回路と、

上記誤差電圧が上記パルススキップ基準電圧を超えたことを表す上記パルススキップ検出信号にตอบสนองして、上記入力電圧と上記出力電圧とに基づいて、所定のパルス幅を有するワンパルス信号を生成するワンパルス生成回路と、

所定の周波数を有するノコギリ波信号と、上記周波数を有しかつ上記パルススキップ検出信号の検出タイミングを表すクロック信号とを発生する発振回路と、

上記誤差電圧を上記ノコギリ波信号と比較し、当該比較結果を表すパルス幅変調信号を出力する第2の比較回路と、

10

20

上記パルス幅変調信号と、上記パルススキップ検出信号と、上記ワンパルス信号と、上記クロック信号とに基づいて、上記出力スイッチ素子及び上記整流素子をそれぞれオンオフ制御するとともに、上記第2の比較回路と、上記ワンパルス生成回路と、上記発振回路とを制御するスイッチング制御回路とを備え、

上記パルススキップ基準電圧は、上記ノコギリ波信号の上限値と下限値との間の電圧を有するように設定され、

上記スイッチング制御回路は、上記発振回路を動作させかつ上記ワンパルス生成回路の動作を停止するように制御しているとき、

(a) 上記検出タイミングにおいて、上記パルススキップ検出信号に基づいて上記誤差電圧が上記パルススキップ基準電圧より高いことを検出したとき、上記第2の比較回路を動作させるように制御し、上記パルス幅変調信号に従って上記周波数で上記出力スイッチ素子及び上記整流素子をそれぞれオンオフ制御するパルス幅変調制御動作を行う一方、

(b) 上記検出タイミングにおいて、上記パルススキップ検出信号に基づいて上記誤差電圧が上記パルススキップ基準電圧より低いことを検出したとき、上記発振回路及び上記第2の比較回路の各動作を停止させかつ上記ワンパルス生成回路を動作させるように制御し、上記パルススキップ検出信号に基づいて上記誤差電圧が上記パルススキップ基準電圧を超えたことを検出したとき、上記発振回路を動作させるように制御するとともに上記ワンパルス信号に従って上記出力スイッチ素子をオンしかつ上記整流素子をオフするように制御し、上記ワンパルス生成回路による上記ワンパルス信号の生成が終了したことを検出したとき、上記ワンパルス生成回路の動作を停止するように制御するパルス周波数変調制御動作を行うことを特徴とするスイッチングレギュレータ。

【請求項2】

上記ワンパルス生成回路は、上記スイッチング制御回路により動作するように制御された後、上記誤差電圧が上記パルススキップ基準電圧を超えたことを表す上記パルススキップ検出信号を入力するまで、実質的に動作を停止していることを特徴とする請求項1記載のスイッチングレギュレータ。

【請求項3】

上記パルス幅は、上記スイッチング制御回路の動作が上記パルス周波数変調制御動作から上記パルス幅変調制御動作に移行した直後の上記出力スイッチ素子のオン時間と実質的に等しいように設定されたことを特徴とする請求項1又は2記載のスイッチングレギュレータ。

【請求項4】

上記パルススキップ基準電圧生成回路は、上記スイッチング制御回路の動作が上記パルス周波数変調制御動作から上記パルス幅変調制御動作に移行するとき上記スイッチングレギュレータから出力される出力電流の電流値が、上記スイッチングレギュレータの動作モードが電流不連続動作モードから電流連続動作モードに移行する臨界点における出力電流の電流値と実質的に等しくなるように、上記パルススキップ基準電圧を生成することを特徴とする請求項1乃至3のうちのいずれか1つに記載のスイッチングレギュレータ。

【請求項5】

上記スイッチングレギュレータは、上記ノコギリ波信号の電圧レベルを所定のシフト量だけシフトし、当該シフト後のノコギリ波信号を上記第2の比較回路に出力するレベルシフト回路をさらに備え、

上記シフト量は、上記誤差電圧が上記レベルシフト後のノコギリ波信号の電圧変化範囲内になるように設定されたことを特徴とする請求項1乃至4のうちのいずれか1つに記載のスイッチングレギュレータ。

【請求項6】

上記スイッチング制御回路は、上記接続点の電圧に基づいて上記スイッチングレギュレータの出力端子から上記インダクタを介して上記整流素子に流れる逆電流又は当該逆電流の兆候を検出したとき、上記整流素子を遮断状態にすることを特徴とする請求項1乃至5のうちのいずれか1つに記載のスイッチングレギュレータ。

10

20

30

40

50

【請求項7】

上記整流素子はスイッチ素子にてなる整流スイッチ素子であり、

上記スイッチング制御回路は、上記出力電圧の電圧値が上記出力電圧の設定値になりかつ上記出力スイッチ素子及び上記整流スイッチ素子が相補的にオンするように、上記出力スイッチ素子及び上記整流スイッチ素子をオンオフ制御することを特徴とする請求項1乃至6のうちのいずれか1つに記載のスイッチングレギュレータ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、負荷回路に所定の電圧を供給するためのスイッチングレギュレータに関する。特に、本発明は、負荷回路に流れる負荷電流に応じてパルス周波数変調（Pulse Frequency Modulation。以下、P F Mという。）制御又はパルス幅変調（Pulse Width Modulation。以下、P W Mという。）制御を行うことにより入力電圧を出力電圧に変換し、当該出力電圧を、インダクタを介して出力する非絶縁型のスイッチングレギュレータに関する。

10

【背景技術】

【0002】

近年、電子機器の省電力化が求められているが、このような省電力化では、電子機器で消費される電力を削減することと、電子機器に電圧を供給する電源回路自体の効率を向上させて無駄な電力消費を抑えることとに重点がおかれている。このため、電子機器のための電源回路として、入力電力を高効率に変換して電力を供給できるスイッチングレギュレータが広く用いられている。

20

【0003】

スイッチングレギュレータの制御方法として、P W M制御及びP F M制御が広く知られている。具体的には、P F M制御では、出力電圧が下がるとスイッチ素子のオン時間を長くする一方、出力電圧が上がるとスイッチ素子のオン時間を短くする制御を行う。一方、P W M制御では、スイッチ素子の駆動パルスの発振周波数を一定に設定し、負荷の変動に応じて駆動パルスのパルス幅（すなわち、スイッチ素子のオン時間である。）を変化させる。また、所定の固定周波数でスイッチ素子のオンタイミングを表す制御信号を生成し、かつ出力電圧に応じてオンタイミングをスキップさせることによって擬似的にP F M制御を行う制御方法も知られている。

30

【0004】

例えば、特許文献1乃至5には、P W M制御とP F M制御とを自動的に切り換えるための回路構成が記載されている。具体的には、特許文献1及び2には、スイッチングレギュレータの出力電圧の分圧値と、基準電圧源からの所定の基準電圧との差分を表す誤差増幅出力電圧に基づいて、P W M制御動作からP F M制御動作に、又はP F M制御動作からP W M制御動作に動作を自動的に切り換える回路構成が開示されている。

【0005】

また、特許文献3には、P W M制御信号のパルス幅とP F M制御信号のパルス幅との差に対応する差分時間を表す差分時間信号を形成する差分時間発生手段を有し、差分時間信号に基づき前記差分時間に応じて、P W M制御信号を形成するための基準信号との比較で動作モードを切り換える制御を行う回路構成が開示されている。

40

【0006】

さらに、特許文献4には、P W M制御信号のパルス数とP F M制御信号のパルス数をカウントする回路を設け、それぞれのパルス数に対して、P F M制御からP W M制御へ、またP W M制御からP F M制御へモード移行させるためのパルス数に基準を設け、P F M制御中のパルスカウント結果、またP W M制御中のパルスカウント結果で動作モードを切り換える制御する回路構成が開示されている。

【0007】

またさらに、特許文献5には、スイッチングレギュレータの出力から出力スイッチ側へ流れるインダクタ電流の逆流電流を検出し、その検出信号に基づいて、P F M制御からP

50

WM制御へ、又はPWM制御からPFM制御に制御動作を切り換える回路構成が開示されている。

【発明の概要】

【発明が解決しようとする課題】

【0008】

特許文献1乃至5記載の回路構成によれば、PFM制御におけるスイッチ素子の制御信号のパルス幅を設定するための回路と、PWM制御におけるスイッチ素子の制御信号のパルス幅を設定するための回路を常に動作させているため、消費電流を削減できないという課題があった。また、入力電圧及び出力電圧の範囲が比較的広くなると、PWM制御とPFM制御との間で制御方法を切り換えるタイミングにおける負荷電流が狙い値通りになり

10

【0009】

また、特許文献2によれば、動作モードを切り換える負荷電流が、インダクタ電流がインダクタから出力スイッチ側へ逆流させないように制御される電流不連続動作モードから電流連続動作モードに移行するときの臨界電流値になるように、誤差増幅出力電圧のレベル検出回路の基準電圧を設定しているが、具体的な構成例が開示されていない。

【0010】

本発明の目的は以上の問題点を解決し、入力電圧、出力電圧、及び負荷条件が大きく変動しても、従来技術に比較して電力変換効率を改善でき、PWM制御とPFM制御との間で制御方法を切り換えるタイミングにおける負荷電流を所望の値に設定して負荷電流のバラツキを抑制して従来技術に比較して安定させることが可能なスイッチングレギュレータを提供することにある。

20

【課題を解決するための手段】

【0011】

本発明に係るスイッチングレギュレータは、入力端子を介して入力された入力電圧を所定の出力電圧に変換し、インダクタを介して出力するスイッチングレギュレータにおいて

、上記入力端子と上記インダクタとの間に接続点を介して接続された出力スイッチ素子と

、上記接続点と接地との間に接続された整流素子と、

30

上記出力電圧に対応する帰還電圧と、上記出力電圧の所定の設定値に対応する所定の電圧との間の誤差電圧を生成する誤差電圧生成回路と、

上記入力電圧と、上記出力電圧の設定値とに基づいて、所定のパルススキップ基準電圧を生成するパルススキップ基準電圧生成回路と、

上記誤差電圧を上記パルススキップ基準電圧と比較し、当該比較結果を表すパルススキップ検出信号を出力する第1の比較回路と、

上記誤差電圧が上記パルススキップ基準電圧を超えたことを表す上記パルススキップ検出信号にตอบสนองして、上記入力電圧と上記出力電圧とに基づいて、所定のパルス幅を有するワンパルス信号を生成するワンパルス生成回路と、

所定の周波数を有するノコギリ波信号と、上記周波数を有しかつ上記パルススキップ検出信号の検出タイミングを表すクロック信号とを発生する発振回路と、

40

上記誤差電圧を上記ノコギリ波信号と比較し、当該比較結果を表すパルス幅変調信号を出力する第2の比較回路と、

上記パルス幅変調信号と、上記パルススキップ検出信号と、上記ワンパルス信号と、上記クロック信号とに基づいて、上記出力スイッチ素子及び上記整流素子をそれぞれオンオフ制御するとともに、上記第2の比較回路と、上記ワンパルス生成回路と、上記発振回路とを制御するスイッチング制御回路とを備え、

上記パルススキップ基準電圧は、上記ノコギリ波信号の上限値と下限値との間の電圧を有するように設定され、

上記スイッチング制御回路は、上記発振回路を動作させかつ上記ワンパルス生成回路の

50

動作を停止するように制御しているとき、

(a) 上記検出タイミングにおいて、上記パルススキップ検出信号に基づいて上記誤差電圧が上記パルススキップ基準電圧より高いことを検出したとき、上記第2の比較回路を動作させるように制御し、上記パルス幅変調信号に従って上記周波数で上記出力スイッチ素子及び上記整流素子をそれぞれオンオフ制御するパルス幅変調制御動作を行う一方、

(b) 上記検出タイミングにおいて、上記パルススキップ検出信号に基づいて上記誤差電圧が上記パルススキップ基準電圧より低いことを検出したとき、上記発振回路及び上記第2の比較回路の各動作を停止させかつ上記ワンパルス生成回路を動作させるように制御し、上記パルススキップ検出信号に基づいて上記誤差電圧が上記パルススキップ基準電圧を超えたことを検出したとき、上記発振回路を動作させるように制御するとともに上記ワンパルス信号に従って上記出力スイッチ素子をオンしかつ上記整流素子をオフするように制御し、上記ワンパルス生成回路による上記ワンパルス信号の生成が終了したことを検出したとき、上記ワンパルス生成回路の動作を停止するように制御するパルス周波数変調制御動作を行うことを特徴とする。

10

【発明の効果】

【0012】

本発明に係るスイッチングレギュレータによれば、スイッチング制御回路は、発振回路を動作させかつワンパルス生成回路の動作を停止するように制御しているとき、

(a) 検出タイミングにおいて、パルススキップ検出信号に基づいて誤差電圧がパルススキップ基準電圧より高いことを検出したとき、第2の比較回路を動作させるように制御し、パルス幅変調信号に従って周波数で出力スイッチ素子及び整流素子をそれぞれオンオフ制御するパルス幅変調制御動作を行う一方、

20

(b) 検出タイミングにおいて、パルススキップ検出信号に基づいて誤差電圧がパルススキップ基準電圧より低いことを検出したとき、発振回路及び第2の比較回路の各動作を停止させかつワンパルス生成回路を動作させるように制御し、パルススキップ検出信号に基づいて誤差電圧がパルススキップ基準電圧を超えたことを検出したとき、発振回路を動作させるように制御するとともにワンパルス信号に従って出力スイッチ素子をオンしかつ整流素子をオフするように制御し、ワンパルス生成回路によるワンパルス信号の生成が終了したことを検出したとき、ワンパルス生成回路の動作を停止するように制御するパルス周波数変調制御動作を行う。

30

【0013】

従って、入力電圧、出力電圧、及び負荷条件が大きく変動しても、従来技術に比較して電力変換効率を改善でき、PWM制御とPFM制御との間で制御方法を切り換えるタイミングにおける負荷電流を所望の値に設定して負荷電流のバラツキを抑制して従来技術に比較して安定させることができる。

【図面の簡単な説明】

【0014】

【図1】本発明の実施形態に係るスイッチングレギュレータ100の構成を示すブロック図である。

【図2】図1のレベルシフト回路61の構成を示す回路図である。

40

【図3】図1のパルススキップ基準電圧生成回路4の構成を示す回路図である。

【図4】図1のスイッチングレギュレータ100の臨界点から電流連続動作モードにおける、入力電圧 V_{in} とデューティ比との関係の出力電圧依存性を示すグラフである。

【図5】図1のワンパルス生成回路5の構成を示す回路図である。

【図6】図1のゲート信号発生回路11の構成を示す回路図である。

【図7】図1のスイッチングレギュレータ100の動作を示す状態遷移図である。

【図8】図1のスイッチングレギュレータ100の動作を示すタイミングチャートである。

。

【図9】図1のスイッチングレギュレータ100の第1のステートにおける動作状態を示す回路図である。

50

【図10】図1のスイッチングレギュレータ100の第2のステートにおける動作状態を示す回路図である。

【図11】図1のスイッチングレギュレータ100の第3のステートにおける動作状態を示す回路図である。

【図12】図1のスイッチングレギュレータ100の第4のステートにおける動作状態を示す回路図である。

【発明を実施するための形態】

【0015】

以下、本発明に係る実施形態について図面を参照して説明する。なお、以下の各実施形態において、同様の構成要素については同一の符号を付している。

10

【0016】

図1は、本発明の実施形態に係るスイッチングレギュレータ100の構成を示すブロック図である。本実施形態に係るスイッチングレギュレータ100は、例えばパーソナルコンピュータなどの電子機器に搭載される非絶縁型のスイッチングレギュレータであって、入力電圧 V_{in} を出力電圧 V_{out} に降圧して、例えば電子機器のCPU (Central Processing Unit) などの負荷回路90に供給する。図1において、スイッチングレギュレータ100は、スイッチング制御回路10と、Pチャネル型MOS電界効果トランジスタ(以下、pMOSトランジスタという。)にてなる出力スイッチ素子PDRVと、Nチャネル型MOS電界効果トランジスタ(以下、nMOSトランジスタという。)にてなる整流スイッチ素子NDRV(整流素子である。)と、誤差電圧生成回路20と、パルススキップ基準電圧生成回路4と、ワンパルス生成回路5と、発振回路6と、スキップコンパレータ7と、PWMコンパレータ8と、インバータ9と、レベルシフト回路61と、インダクタLと、平滑コンデンサCoutと、入力端子TIと、出力端子OUTとを備えて構成される。また、誤差電圧生成回路20は、帰還回路1と、基準電圧源として動作するD/A変換器(DAC)2と、誤差増幅回路3とを備えて構成される。

20

【0017】

詳細後述するように、本実施形態に係るスイッチングレギュレータ100は、入力端子TIを介して入力された入力電圧 V_{in} を所定の出力電圧 V_{out} に変換し、インダクタLを介して出力するスイッチングレギュレータにおいて、

(a) 入力端子TIとインダクタLとの間に接続点LXを介して接続された出力スイッチ素子PDRVと、

30

(b) 接続点LXと接地との間に接続された整流スイッチ素子NDRVと、

(c) 出力電圧 V_{out} に対応する帰還電圧 V_{fb} と、出力電圧 V_{out} の所定の設定値に対応する所定の電圧 V_{ref} との間の誤差電圧 err_{out} を生成する誤差電圧生成回路20と、

(d) 入力電圧 V_{in} と、出力電圧 V_{out} の設定値とに基づいて、所定のパルススキップ基準電圧 V_{refm} を生成するパルススキップ基準電圧生成回路4と、

(e) 誤差電圧 err_{out} をパルススキップ基準電圧 V_{refm} と比較し、当該比較結果を表すパルススキップ検出信号 skp_{out} を出力するスキップコンパレータ7と、

(f) 誤差電圧 err_{out} がパルススキップ基準電圧 V_{refm} を超えたことを表すパルススキップ検出信号 skp_{out} にตอบสนองして、入力電圧 V_{in} と出力電圧 V_{out} とに基づいて、所定のパルス幅を有するワンパルス信号 mpg_{out} を生成するワンパルス生成回路5と、

40

(g) 所定の周波数を有するノコギリ波信号S6と、上記周波数を有しかつパルススキップ検出信号 skp_{out} の検出タイミングを表すクロック信号 clk_{out} とを発生する発振回路6と、

(h) ノコギリ波信号S6を所定のシフト量だけ所定のシフト量だけシフトするレベルシフト回路61と、

(i) 誤差電圧 err_{out} をレベルシフト後のノコギリ波信号 V_{slope} と比較し、当該比較結果を表すPWM信号 pwm_{out} を出力するPWMコンパレータ8と、

50

(j) PWM信号 $pwmout$ と、パルススキップ検出信号 $skpout$ と、ワンパルス信号 $mpgout$ と、クロック信号 $clkout$ とに基づいて、出力スイッチ素子 $PDRV$ 及び整流スイッチ素子 $NDRV$ をそれぞれオンオフ制御するとともに、PWMコンパレータ8と、ワンパルス生成回路5と、発振回路6とを制御するスイッチング制御回路10とを備えたことを特徴としている。

【0018】

また、詳細後述するように、パルススキップ基準電圧 $Vrefm$ は、レベルシフト後のノコギリ波信号 $Vslope$ の上限値と下限値との間の電圧を有するように設定され、スイッチング制御回路10は、発振回路6を動作させかつワンパルス生成回路5を動作を停止するように制御しているとき、

(1) 上記検出タイミングにおいて、パルススキップ検出信号 $skpout$ に基づいて誤差電圧 $errout$ がパルススキップ基準電圧 $Vrefm$ より高いことを検出したとき、PWMコンパレータ8を動作させるように制御し、PWM信号 $pwmout$ に従って周波数で出力スイッチ素子 $PDRV$ 及び整流スイッチ素子 $NDRV$ をそれぞれオンオフ制御するパルス幅変調制御動作を行う一方、

(2) 検出タイミングにおいて、パルススキップ検出信号 $skpout$ に基づいて誤差電圧 $errout$ がパルススキップ基準電圧 $Vrefm$ より低いことを検出したとき、発振回路6及びPWMコンパレータ8の各動作を停止させかつワンパルス生成回路5を動作させるように制御し、パルススキップ検出信号 $skpout$ に基づいて誤差電圧 $errout$ がパルススキップ基準電圧 $Vrefm$ を超えたことを検出したとき、発振回路6を動作させるように制御するとともにワンパルス信号 $mpgout$ に従って出力スイッチ素子 $PDRV$ をオンしかつ整流スイッチ素子 $NDRV$ をオフするように制御し、ワンパルス生成回路5によるワンパルス信号 $mpgout$ の生成が終了したことを検出したとき、ワンパルス生成回路5の動作を停止するように制御するパルス周波数変調制御動作を行うことを特徴としている。

【0019】

図1において、出力スイッチ素子 $PDRV$ は入力端子 TI と接続点 LX との間に接続され、整流スイッチ素子 $NDRV$ は接続点 LX と接地との間に接続される。接続点 LX の電圧は、インダクタ L と平滑コンデンサ $Cout$ とを備えて構成される高周波除去及び平滑用ローパスフィルタと、出力端子 OUT とを介して、負荷回路90に出力電圧 $Vout$ として出力される。さらに、出力電圧 $Vout$ は、帰還回路1と、パルススキップ基準電圧生成回路4と、ワンパルス生成回路5とに出力される。

【0020】

図1において、帰還回路1は分圧抵抗 $R11$ 及び $R12$ と、ノイズフィルタとして動作するコンデンサ $C11$ とを備えて構成され、出力電圧 $Vout$ を所定の分圧比で分圧し、出力電圧 $Vout$ に比例する帰還電圧 Vfb として誤差増幅回路3の反転入力端子に出力する。また、 D/A 変換器2は、出力電圧 $Vout$ の設定値に対応する電圧を表すデジタルの出力電圧設定信号 $Sout$ をスイッチングレギュレータ100の外部回路から入力し、出力電圧設定信号 $Sout$ に含まれる電圧値を基準電圧 $Vref$ に D/A 変換して誤差増幅回路3の非反転入力端子に出力する。さらに、誤差増幅回路3は、帰還電圧 Vfb と基準電圧 $Vref$ との間の差の電圧を増幅し、当該差の電圧に比例する電圧を、誤差電圧 $errout$ として、PWMコンパレータ8の非反転入力端子及びスキップコンパレータ7の反転入力端子に出力する。なお、誤差増幅回路3のゲインはゼロより大きい十分大きい値に設定される。

【0021】

また、図1において、発振回路6は、スイッチング制御回路10からのハイレベルのリセット制御信号 $rstosc$ に応答して動作を停止され、リセット状態にされる。また、発振回路6は、ローレベルのリセット制御信号 $rstosc$ に応答して動作を開始し、所定の周波数を有する互いに同期したノコギリ波信号 $S6$ 及びクロック信号 $clkout$ を生成し、ノコギリ波信号 $S6$ をレベルシフト回路61に出力する一方、クロック信号 cl

10

20

30

40

50

koutをスイッチング制御回路10に出力する。ここで、発振回路6は、クロック信号の立ち下がりタイミングがノコギリ波信号S6の立ち下がりタイミングに一致するように、ノコギリ波信号S6及びクロック信号clockoutを生成する。また、クロック信号clockout及びノコギリ波信号S6の周期は、後述するワンパルス信号mpgoutのパルス幅より長くなるように設定される。

【0022】

図2は、図1のレベルシフト回路61の構成を示す回路図である。図2において、レベルシフト回路61は、入力端子TIと接地との間に直列に接続されたデプレッション形のトランジスタ611と、定電流源612とを備えて構成される。ここで、ノコギリ波信号S6はトランジスタ611のゲートに出力され、トランジスタ611と定電流源612との間の接続点の電圧はレベルシフト後のノコギリ波信号VslopeとしてPWMコンパレータ8の反転入力端子に出力される。すなわち、レベルシフト回路61は、入力されるノコギリ波信号S6の電圧レベルを所定のシフト量だけシフトして、ノコギリ波信号Vslopeを発生する。ここで、図2のレベルシフト回路61におけるシフト量は、誤差電圧erroutがレベルシフト後のノコギリ波信号Vslopeの電圧変化範囲内になるように設定される。好ましくは、レベルシフト回路61におけるシフト量は、誤差電圧erroutがレベルシフト後のノコギリ波信号Vslopeの電圧変化範囲の上限値及び下限値の各近傍ではなく、それらの中間になるように設定される。

【0023】

図1において、PWMコンパレータ8は、スイッチング制御回路10からのハイレベルのリセット制御信号rstpwmにตอบสนองして動作を停止され、リセット状態にされる。また、PWMコンパレータ8は、ローレベルのリセット制御信号rstpwmにตอบสนองして動作を開始し、誤差電圧erroutをノコギリ波信号Vslopeの電圧レベルと比較し、当該比較結果を示すPWM信号pwmoutを発生してスイッチング制御回路10に出力する。具体的には、PWMコンパレータ8は、誤差電圧erroutがノコギリ波信号Vslopeの電圧レベルより高いときはハイレベルのPWM信号pwmoutを発生する一方、誤差電圧erroutがノコギリ波信号Vslopeの電圧レベル以下であるときはローレベルのPWM信号pwmoutを発生する。

【0024】

図3は、図1のパルススキップ基準電圧生成回路4の構成を示す回路図である。図3において、パルススキップ基準電圧生成回路4は、可変抵抗41, 42, 45と、所定の定電流Isを出力する定電流源43と、所定の定電流Irefを出力する定電流源44と、pMOSトランジスタp11及びp12を備えたカレントミラー回路CM1と、nMOSトランジスタn21及びn22を備えたカレントミラー回路CM2と、nMOSトランジスタn11及びn12を備えたカレントミラー回路CM3と、nMOSトランジスタn13及びn14を備えたカレントミラー回路CM4と、pMOSトランジスタp1, p2とを備えて構成される。ここで、可変抵抗41, 42, 45の各抵抗値R41, R42, Rrefはそれぞれ、出力電圧設定信号Soutに従って設定される。

【0025】

図3において、可変抵抗41は、入力端子TIに接続された一端と、pMOSトランジスタp1に接続された他端とを有する。pMOSトランジスタp1のゲートには、スイッチングレギュレータ100の外部回路から、pMOSトランジスタp1をオンするための所定のバイアス電圧Vbias1が印加される。さらに、可変抵抗41に流れる電流I3は、カレントミラー回路CM3に出力され、カレントミラー回路CM3は電流I3を所定のミラー比で折り返して出力する。また、図3において、電流Isから、カレントミラー回路CM3から出力された電流が減算され、減算後の電流はカレントミラー回路CM4及びCM1によって所定のミラー比で折り返されて電流I1として出力される。

【0026】

また、図3において、可変抵抗42は、入力端子TIに接続された一端と、pMOSトランジスタp2に接続された他端とを有する。pMOSトランジスタp2のゲートには、

10

20

30

40

50

スイッチングレギュレータ100の外部回路から、pMOSトランジスタp2をオンするための所定のバイアス電圧Vbias2が印加される。また、可変抵抗42に流れる電流は、カレントミラー回路CM2に出力され、カレントミラー回路CM2は可変抵抗42に流れる電流を所定のミラー比で折り返して電流I2を出力する。

【0027】

さらに、電流I1から電流I2が減算され、減算後の電流(I1 - I2)は電流Irefに加算され、可変抵抗45を介して接地に流れる。そして、可変抵抗45の両端電圧はパルススキップ基準電圧Vrefmとしてスキップコンパレータ7の非反転入力端子に出力される(図1参照。)

【0028】

ここで、図3において、pMOSトランジスタp1のソース電圧は、pMOSトランジスタp1のしきい値電圧Vthp1だけバイアス電圧Vbias1をレベルシフトした電圧(Vbias1 + Vthp1)になる。従って、可変抵抗41に流れる電流I3の電流値は次式で表される。

【0029】

$$I3 = (Vin - Vbias1 - Vthp1) / R41 \quad (1)$$

【0030】

従って、カレントミラー回路CM3及びCM4の各ミラー比が1であるとき、電流I1の電流値は次式で表される。

【0031】

$$I1 = Is - (Vin - Vbias1 - Vthp1) / R41 \quad (2)$$

【0032】

一方、pMOSトランジスタp2のソース電圧は、pMOSトランジスタp2のしきい値電圧Vthp2だけバイアス電圧Vbias2をレベルシフトした電圧(Vbias2 + Vthp2)になる。従って、カレントミラー回路CM2のミラー比が1であるとき、電流I2の電流値は次式で表される。

$$I2 = (Vin - Vbias2 - Vthp2) / R42 \quad (3)$$

【0033】

従って、式(2)及び式(3)より、次式が得られる。

【0034】

$$\begin{aligned} Vrefm &= Rref \times (Iref + I1 - I2) \\ &= Rref \times [Iref + \{Is - (Vin - Vbias1 - Vthp1) / R41\} \\ &\quad - (Vin - Vbias2 - Vthp2) / R42] \quad (4) \end{aligned}$$

【0035】

式(1)から明らかであるように、パルススキップ基準電圧Vrefmを、出力電圧設定信号Soutに従って設定される抵抗値Rref, R41, R42と、定電流Iref, Isの各電流値と、バイアス電圧Vbias1, Vbias2とにより、入力電圧Vin及び出力電圧設定値に依存する任意の値に設定できる。本実施形態では、パルススキップ基準電圧Vrefmは、ノコギリ波信号Vslopeの電圧レベルの上限値と下限値との間の電圧に設定される。さらに、パルススキップ基準電圧Vrefmは、スイッチングレギュレータ100の動作がPFM制御動作からPWM制御動作に移行するときにスイッチングレギュレータ100から出力される出力電流Ioutの電流値が、スイッチングレギュレータ100の動作モードが電流不連続動作モード(インダクタ電流ILがゼロになる期間がある動作モードであって、詳細後述するように、インダクタ電流ILが出力端子OUTからインダクタLを介して整流スイッチ素子NDRVに逆流しないように制御されるモードである。)から電流連続動作モード(インダクタ電流ILがゼロになる期間がない動作モード)に移行する臨界点における出力電流Ioutの電流値(臨界電流値ともいう。)になるように設定される。

【0036】

10

20

30

40

50

図4は、図1のスイッチングレギュレータ100の臨界点から電流連続動作モードにおける、入力電圧 V_{in} とデューティ比との関係の出力電圧依存性を示すグラフである。ここで、デューティ比は、入力電圧 V_{in} に対する出力電圧 V_{out} の比である。図4に示すように、入力電圧 V_{in} の増加とともにデューティ比は減少し、出力電圧 V_{out} の増加と共にデューティ比は増加する。また、所定の出力電圧 V_{out1} におけるデューティ比と入力電圧 V_{in} との関係は、傾き A_{11} を有する直線と傾き A_{21} ($0 > A_{21} > A_{11}$)を有する直線とを交点で接続した折れ線で近似できる。さらに、所定の出力電圧 V_{out2} ($V_{out2} > V_{out1}$)におけるデューティ比と入力電圧 V_{in} との関係は、傾き A_{12} を有する直線と傾き A_{22} ($A_{22} > A_{21}$)を有する直線とを交点で接続した折れ線で近似できる。

10

【0037】

さらに、図4の傾き A_{11} は、図3の定電流 I_s の電流値と、抵抗値 R_{41} と、バイアス電圧 V_{bias1} と、カレントミラー回路 $CM3$ を構成するnMOSトランジスタ n_{11} 及び n_{12} のサイズ比と、カレントミラー回路 $CM4$ を構成するnMOSトランジスタ n_{13} 及び n_{14} のサイズ比と、カレントミラー回路 $CM1$ を構成するpMOSトランジスタ p_{11} 及び p_{12} のサイズ比を調整することにより、電流 I_1 を調整して、設定できる。また、傾き A_{21} は、図3の抵抗値 R_{42} と、バイアス電圧 V_{bias2} と、カレントミラー回路 $CM2$ を構成するnMOSトランジスタ n_{21} 及び n_{22} のサイズ比を調整することにより、電流 I_2 を調整して、設定できる。さらに、入力電圧 V_{in} とデューティ比との関係の出力電圧依存性(例えば、図3において、出力電圧 V_{out} が V_{out1} から V_{out2} に変化する時の入力電圧 V_{in} とデューティ比との関係の変化。)は、出力電圧設定信号 S_{out} に従って抵抗値 R_{ref} , R_{41} , R_{42} を変化させることにより得られる。

20

【0038】

従って、スイッチングレギュレータ100の任意の入出力条件における、電流不連続動作モードから電流連続動作モードに移行する臨界点でのデューティ比 $duty$ に対して、パルススキップ電圧 V_{refm} を、臨界点における出力電流 I_{out} の電流値が臨界電流値になるように設定した後、式(4)の定電流 I_{ref} に対して加算される電流 I_1 及び減算される電流 I_2 の各電流値を調整することにより、図4の傾き A_{11} , A_{12} , A_{21} 及び傾き A_{22} に設定して所望の設定されたパルススキップ電圧 V_{refm} を生成できる。

30

【0039】

図1に戻り参照すると、スキップコンパレータ7は、誤差電圧 err_{out} をパルススキップ基準電圧 V_{refm} の電圧レベルと比較し、当該比較結果を示すパルススキップ検出信号 sk_{out} を発生してスイッチング制御回路10に出力すると共に、インバータ9を介してパルススキップ検出反転信号 sk_{outb} としてワンパルス生成回路5に出力する。具体的には、スキップコンパレータ7は、誤差電圧 err_{out} がパルススキップ基準電圧 V_{refm} より低いときはハイレベルのパルススキップ検出信号 sk_{out} を発生する一方、誤差電圧 err_{out} がパルススキップ基準電圧 V_{refm} 以上であるときはローレベルのパルススキップ検出信号 sk_{out} を発生する。

40

【0040】

図5は、図1のワンパルス生成回路5の構成を示す回路図である。図5において、ワンパルス生成回路5は、スロープ生成回路54と、基準電圧生成回路55と、コンパレータ52と、オアゲート60と、シュミットバッファ53と、インバータ57, 59と、ノアゲート58と、リセット信号生成回路56と、フリップフロップ51とを備えて構成される。ここで、基準電圧生成回路55は、抵抗値 R_{552} 及び R_{553} をそれぞれ有する抵抗552及び553と、ノイズフィルタとして動作するコンデンサ551とを備えて構成され、出力電圧 V_{out} を所定の分圧比で分圧し、基準電圧 V_{refmpg} としてコンパレータ52の非反転入力端子に出力する。

【0041】

50

また、図5において、スロープ生成回路54は、pMOSトランジスタp54と、nMOSトランジスタn54と、抵抗値R541を有する抵抗541と、容量値C452を有するコンデンサ542とを備えて構成される。ここで、nMOSトランジスタn54は、接地された一端と、抵抗541の一端に接続された他端とを有する。また、pMOSトランジスタp54は、入力端子TIに接続された一端と、抵抗541の他端に接続された他端とを有する。さらに、抵抗541とnMOSトランジスタn54との間の接続点は、接地された一端を有するコンデンサ542の他端に接続され、当該接続点の電圧はスロープ電圧 v_s としてコンパレータ52の反転入力端子に出力される。さらに、リセット信号生成回路56からのリセット制御信号rstはpMOSトランジスタp54及びnMOSトランジスタn54の各ゲートに出力される。

10

【0042】

図5のスロープ生成回路54において、リセット信号生成回路56からのリセット制御信号rstがハイレベルであるとき、pMOSトランジスタp54がオフしかつnMOSトランジスタn54がオンして、スロープ生成回路54はリセット状態にされ動作を停止し、ローレベルのスロープ電圧 v_s が出力される。一方、リセット信号生成回路56からのリセット制御信号rstがローレベルであるとき、pMOSトランジスタp54がオンしかつnMOSトランジスタn54がオフして、スロープ生成回路54のリセット状態は解除され、スロープ生成回路54は動作を開始する。そして、スロープ生成回路54は、抵抗R541を介して入力電圧 V_{in} でコンデンサ542を充電し、コンデンサ542の両端電圧であるスロープ電圧 v_s を生成する。

20

【0043】

図5において、スイッチング制御回路10からのリセット制御信号rstmpg（詳細後述する。）と、スイッチングレギュレータ100の外部回路からのスリープ信号slpは、オアゲート60に出力される。ここで、スリープ信号slpは、スイッチングレギュレータ100の動作状態をスリープ状態に設定するか否かを表す。さらに、オアゲート60からの出力信号は、コンパレータ52の第1のリセット端子及びノアゲート58の第1の入力端子に出力される。また、リセット信号生成回路56からのリセット制御信号rstはコンパレータ52の第2のリセット端子に出力される。コンパレータ52は、オアゲート60からの出力信号及びリセット制御信号rstのうちの少なくとも一方がハイレベルであるとき動作を停止され、リセット状態にされる。一方、オアゲート60からの出力信号及びリセット制御信号rstがローレベルであるとき、スロープ電圧 v_s を基準電圧 V_{refmpg} と比較し、当該比較結果を示す信号をシュミットバッファ53及びインバータ57を介してノアゲート58の第2の入力端子に出力する。さらに、ノアゲート58からの出力信号は、フリップフロップ51の反転リセット端子RBに出力される。

30

【0044】

また、図5において、パルススキップ検出反転信号skpoutbはインバータ59を介してフリップフロップ51のクロック端子CKに出力され、入力電圧 V_{in} は入力端子TIを介してフリップフロップ51のデータ端子Dに出力される。そして、フリップフロップ51からの出力信号は、ワンパル信号mpgoutとしてリセット信号生成回路56及びスイッチング制御回路10に出力される。リセット信号生成回路56は、遅延素子561とノアゲート562とを備えて構成される。ワンパル信号mpgoutは、ノアゲート562の第1の入力端子に直接出力されると共に、遅延素子561を介してノアゲート562の第2の入力端子に出力される。そして、ノアゲート562からの出力信号は、リセット制御信号rstとしてコンパレータ52の第2のリセット端子と、pMOSトランジスタp54のゲートと、nMOSトランジスタn54のゲートに出力される。リセット信号生成回路56は、ハイレベルのリセット制御信号rstを発生することにより、コンパレータ52とスロープ生成回路54との各動作を停止させ、リセット状態にする。

40

【0045】

図5において、スリープ信号slp及びリセット制御信号rstmpgのうちの少なくとも一方がハイレベルであるとき、ワンパルス生成回路5は動作を停止され、スリープ状

50

態になり、ローレベルのワンパルス信号mpgoutが発生される。一方、スリープ信号slp及びリセット制御信号rstmpgがそれぞれローレベルであるとき、ワンパルス生成回路5は動作を開始しスリープ状態は解除され、フリップフロップ51のリセット状態が解除され、フリップフロップ51は、パルススキップ検出信号skpoutの電圧レベルのローレベルからハイレベルへの立ち上がりエッジにตอบสนองしてハイレベルのワンパルス信号mpgoutを出力する。さらに、ハイレベルのワンパルス信号mpgoutが出力されると、リセット信号生成回路56はローレベルのリセット制御信号rstを出力し、これにตอบสนองして、コンパレータ52及びスロープ生成回路54のリセット状態は解除される。コンパレータ52は、リセット状態が解除されると、スロープ電圧vsを基準電圧Vrefmpgと比較し、スロープ電圧vsが基準電圧Vrefmpgを超えたときに出力信号の電圧レベルをハイレベルからローレベルに切り換える。これにตอบสนองして、ワンパルス信号mpgoutの電圧レベルはハイレベルからローレベルに変化する。

【0046】

ワンパルス信号mpgoutの電圧レベルがローレベルに変化すると、リセット信号生成回路56はハイレベルのリセット制御信号rstを出力し、これにตอบสนองして、コンパレータ52とスロープ生成回路54とは再びリセット状態にされて動作を停止する。そして、コンパレータ52とスロープ生成回路54は、スリープ信号slp及びリセット制御信号rstの各電圧レベルがローレベルであり、かつパルススキップ検出信号skpoutの電圧レベルがローレベルからハイレベルに切り換えるまで、リセット状態にされて動作を停止する。

【0047】

図5において、ワンパルス信号mpgoutのパルス幅(詳細後述するように、ワンパルス信号mpgoutのパルス幅Tonは、スイッチングレギュレータ100がPFM制御動作をしているときの出力スイッチ素子PDRVのオン時間に等しい。)は次式で表される。

【0048】

$$T_{on} = C_{542} \times \{ R_{553} / (R_{552} + R_{553}) \} \times V_{out} \times (R_{541} / V_{in}) \quad (5)$$

【0049】

この式(5)から明らかであるように、ワンパルス信号mpgoutのパルス幅は、デューティ比duty(V_{out}/V_{in})、に依存し、スロープ生成回路54内のコンデンサ542の容量値C542及び抵抗541の抵抗値R541と、基準電圧生成回路55内の抵抗552及び553の各抵抗値R552及びR553とを調整することにより、ワンパルス信号mpgoutのパルス幅を所望の値に調整でき、PFM制御動作時の出力スイッチ素子PDRVのオン時間を調整することができる。本実施形態では、ワンパルス信号mpgoutのパルス幅は、スイッチングレギュレータ100の動作がPFM制御動作からPWM制御動作に移行した直後のデューティ比、すなわち出力スイッチ素子PDRVのオン時間と実質的に等しいように設定される。

【0050】

図1に戻り参照すると、スイッチング制御回路10は、PWM信号pwmoutと、ワンパルス信号mpgoutと、パルススキップ検出信号skpoutと、クロック信号clkoutと、接続点LXの電圧とに基づいて、詳細後述するようにリセット制御信号rstpwm, rstmpg, rstosc及びゲート信号pgate, ngateを発生する。そして、ゲート信号pgateを出力スイッチ素子PDRVのゲートに出力する一方、ゲート信号ngateを整流スイッチ素子NDRVのゲートに出力し、スイッチングレギュレータ100のPFM制御動作とPWM制御動作との間の切り換えと、出力スイッチ素子PDRV及び整流スイッチ素子NDRVのオンオフ制御とを行う。また、スイッチング制御回路10は、出力スイッチ素子PDRVと整流スイッチ素子NDRVとインダクタLとの間の接続点LXの電圧を監視して、当該電圧に基づいて、出力端子OUTからイ

10

20

30

40

50

ンダクタLを介して整流スイッチ素子NDRV側へと流れる逆電流又は当該逆電流の兆候を検出したとき、整流スイッチ素子NDRVを遮断状態にして、接続点LXから整流スイッチ素子NDRVに電流が流れることを禁止するように制御する逆流防止機能を有する。なお、スイッチング制御回路10は逆電流及び当該逆電流の兆候を検出していないときは、出力電圧Voutの電圧値が上述した出力電圧Voutの設定値になりかつ出力スイッチ素子PDRV及び整流スイッチ素子NDRVが相補的にオンオフするように、ゲート信号pgate及びngateを発生する。

【0051】

図1において、スイッチング制御回路10はゲート信号発生回路11を備える。図6は、図1のゲート信号発生回路11の構成を示す回路図である。図6において、ゲート信号発生回路11は、インバータ12, 14, 16と、ナンドゲート13と、ノアゲート15と、バッファ17とを備えて構成される。パルススキップ検出信号skpoutはインバータ12を介してナンドゲート13の第1の入力端子に出力され、PWM信号pwmoutは直接ナンドゲート13の第2の入力端子に出力される。さらに、ナンドゲート13からの出力信号はインバータ14を介してノアゲート15の第1の入力端子に出力され、ワンパルス信号mpgoutはノアゲート15の第2の入力端子に出力される。そして、ノアゲート15からの出力信号は、インバータ16及びバッファ17を介してゲート信号pgateとして出力スイッチ素子PDRVのゲートに出力される。

【0052】

次に、図7～図12を参照して、スイッチングレギュレータ100の動作を説明する。図7は、図1のスイッチングレギュレータ100の動作を示す状態遷移図であり、図8は、図1のスイッチングレギュレータ100の動作を示すタイミングチャートである。スリープ信号slpの電圧レベルがローレベルであるとき、図7に示すように、スイッチングレギュレータ100のステートは、第1～第4のステートの間で遷移する。また、図9～図12はそれぞれ、図1のスイッチングレギュレータ100の第1～第4のステートにおける動作状態を示す回路図である。図9～図12において、ハッチングされている回路は動作を停止しており、リセット状態にある。以下、各ステートにおけるスイッチングレギュレータ100の動作を説明する。

【0053】

(1) 第1のステート

図7、図8及び図9を参照して、第1のステートを説明する。図7において、スイッチング制御回路10は、クロック信号clkoutの立ち上がりタイミングにおいて、パルススキップ検出信号skpoutの電圧レベルがハイレベルであるとき、スイッチングレギュレータ100のステートを第1のステートに遷移させる。第1のステートは、出力端子OUTから出力される負荷電流である出力電流Ioutが比較的小さい軽負荷時に出力スイッチ素子PDRVのオンパルスをスキップさせるパルススキップ状態である。第1のステートにおいて、スイッチング制御回路10は、出力スイッチ素子PDRVをオフする。さらに、スイッチング制御回路10は、上述した逆流防止機能により、整流スイッチ素子NDRVをオフして接続点LXから整流スイッチ素子NDRVに電流が逆流することを防止する。

【0054】

第1のステートにおいて、スイッチング制御回路10は、ハイレベルのパルススキップ検出信号skpoutにตอบสนองして、ハイレベルのリセット制御信号rstoscを発生する(図7参照)。これにตอบสนองして、発振回路6はリセット状態にされ、ノコギリ波信号S6及びクロック信号clkoutの生成を停止する(図8参照)。また、スイッチング制御回路10は、ハイレベルのリセット制御信号rstpwmを発生し、これにตอบสนองしてPWMコンパレータ8はリセット状態にされる。

【0055】

さらに、スイッチング制御回路10は、ローレベルのリセット制御信号rstmpgを発生する。これにตอบสนองして、ワンパルス生成回路5は動作状態にされているが、ワンパル

10

20

30

40

50

ス信号 $r s t m p g$ 発生後にリセット信号生成回路 56 (図 5 参照。) により発生されるハイレベルのリセット制御信号 $r s t$ に応答して、コンパレータ 52 とスロープ生成回路 54 がリセット状態にされている。このため、第 1 のステートにおいて、ワンパルス生成回路 5 は実質的にリセット状態にあり、コンパレータ 52 とスロープ生成回路 54 とが動作しているときに比較して、消費電流が大幅に削減される。

【 0 0 5 6 】

以上説明したように、図 9 に示すように、第 1 のステートにおいて、ワンパルス生成回路 5 と、発振回路 6 と、PWM コンパレータ 8 とはリセット状態にある。従って、第 1 のステートにおいて、スイッチングレギュレータ 100 の無駄な消費電流を削減できる。

【 0 0 5 7 】

(2) 第 2 のステート .

図 7、図 8 及び図 10 を参照して、第 2 のステートを説明する。第 1 のステートにおいて、出力電流 $I o u t$ の増加に伴って出力電圧 $V o u t$ が低下すると、誤差電圧 $e r r o u t$ が上昇してパルススキップ基準電圧 $V r e f m$ よりも高くなる。これに応答して、パルススキップ検出信号 $s k p o u t$ の電圧レベルがハイレベルからローレベルに変化し、スイッチング制御回路 10 はスイッチングレギュレータ 100 のステートを第 2 のステートに遷移させる。

【 0 0 5 8 】

さらに、図 7 において、スイッチング制御回路 10 は、パルススキップ検出信号 $s k p o u t$ の立ち上がりエッジのタイミングで、リセット制御信号 $r s t o s c$ の電圧レベルをハイレベルからローレベルに変化させる。これに応答して発振回路 6 は動作を開始し、クロック信号 $c l k o u t$ 及びノコギリ波信号 $S 6$ の発生を開始する (図 8 のノコギリ波信号 $V s l o p e$ 参照。)。また、パルススキップ検出反転信号 $s k p o u t b$ の電圧レベルがローレベルからハイレベルに立ち上がるので、これに応答して、ワンパルス生成回路 5 はハイレベルのワンパルス信号 $m p g o u t$ を出力する (図 8 参照。)。そして、スイッチング制御回路 10 のゲート信号発生回路 11 は、ハイレベルのワンパルス信号 $m p g o u t$ に応答して、ワンパルス信号 $m p g o u t$ と同一のパルス幅を有するローレベルのゲート信号 $p g a t e$ を発生して出力スイッチ素子 $P D R V$ に出力するとともに、ローレベルのゲート信号 $n g a t e$ を発生して整流スイッチ素子 $N D R V$ に出力する。これに応答して、出力スイッチ素子 $P D R V$ はオンし、整流スイッチ素子 $N D R V$ はオフする。

【 0 0 5 9 】

(3) 第 3 のステート .

図 7、図 8 及び図 11 を参照して、第 3 のステートを説明する。ワンパルス信号 $m p g o u t$ の電圧レベルがハイレベルからローレベルに変化して、出力スイッチ素子 $P D R V$ のオン期間が終了すると、スイッチング制御回路 10 はスイッチングレギュレータ 100 のステートを第 3 のステートに遷移させる (図 8 参照。)。第 3 のステートは、パルススキップ検出信号 $s k p o u t$ とクロック信号 $c l k o u t$ とに基づいて、第 1 又は第 4 のステートに遷移させるパルススキップ判定状態である。第 3 のステートにおいて、スイッチング制御回路 10 は、リセット制御信号 $r s t m p g$ の電圧レベルをローレベルからハイレベルに変化させる (図 7 参照。) これに応答して、ワンパルス生成回路 5 は動作を停止する (図 10 参照。)。

【 0 0 6 0 】

第 3 のステートにおいて、スイッチング制御回路 10 は、クロック信号 $c l k o u t$ の立ち上がりタイミングにおいてパルススキップ検出信号 $s k p o u t$ の電圧レベルがハイレベルであるときは、スイッチングレギュレータ 100 のステートを第 1 のステートに遷移させる。そして、スイッチング制御回路 10 はハイレベルのリセット制御信号 $r s t o c s$ を発生し、これに応答して発振回路 6 はリセット状態にされる。さらに、スイッチング制御回路 10 はリセット制御信号 $r s t m p g$ の電圧レベルをハイレベルからローレベルに変化させ、ワンパルス生成回路 5 に対して、次のワンパルス信号 $m p g o u t$ の生成を待機するように制御する。

10

20

30

40

50

【 0 0 6 1 】

一方、クロック信号 $clkout$ の立ち上がりタイミングにおいてパルススキップ検出信号 $skpout$ の電圧レベルがローレベルであるときは、スイッチング制御回路 10 は、スイッチングレギュレータ 100 のステートを第 4 のステートに遷移させる。

【 0 0 6 2 】

(4) 第 4 のステート .

図 7、図 8 及び図 12 を参照して、第 4 のステートを説明する。スイッチング制御回路 10 は、第 4 のステートにおいて PWM 制御動作を行う。具体的には、図 7 に示すように、第 4 のステートにおいて、スイッチング制御回路 10 は、リセット制御信号 $rstpwm$ の電圧レベルをハイレベルからローレベルに変化させ、これにตอบสนองして PWM コンパレータ 8 のリセット状態は解除される。従って、スイッチング制御回路 10 のゲート信号発生回路 11 は、PWM 信号 $pwmout$ に同期したゲート信号 $gate$ を生成する。このため、PWM 信号 $pwmout$ に従って出力スイッチ素子及び整流スイッチ素子 $NDRV$ をオンオフ制御する PWM 制御動作となる。

【 0 0 6 3 】

また、図 7 において、第 3 のステートにおいて、スイッチング制御回路 10 は、クロック信号 $clkout$ の立ち上がりタイミングにおいてパルススキップ検出信号 $skpout$ の電圧レベルがハイレベルであるときは、スイッチングレギュレータ 100 のステートを第 1 のステートに遷移させる。

【 0 0 6 4 】

図 7 において、スイッチングレギュレータ 100 のステートが第 1 のステート、第 2 のステート、第 3 のステート、第 1 のステート、... のように遷移するときは、出力スイッチ素子 $PDRV$ のオン時間は、ワンパルス信号 $mpgout$ のパルス幅に固定される。すなわち、出力電流 $Iout$ が比較的小さい軽負荷状態において、スイッチング制御回路 10 は、出力スイッチ素子 $PDRV$ のオン時間を固定し、誤差電圧 $errout$ とパルススキップ基準電圧 $Vrefm$ とに基づいてスイッチング周期を変化させるように、スイッチングレギュレータ 100 を PFM 制御する。

【 0 0 6 5 】

図 9、図 10 及び図 11 に示すように、PFM 制御動作中の第 1 ~ 第 3 のステートにおいて、スイッチングレギュレータ 100 内の最小限の回路のみを動作させるので、従来技術に比較して軽負荷時の消費電流を削減し、電力変換効率を上げることができる。特に、図 9 に示すように、第 1 のステートにおいて、発振回路 6 と、PWM コンパレータ 8 とを、ハイレベルのリセット制御信号 $rstosc$ 及び $rstpwm$ により動作を停止するように制御し、ワンパルス生成回路 5 内のコンパレータ 52 とスロープ生成回路 54 とをリセット制御信号 rst により動作を停止するように制御するので、軽負荷時の電力変換効率を従来技術に比較して高めることができる。

【 0 0 6 6 】

また、出力電流 $Iout$ が比較的大きい重負荷状態において、スイッチング制御回路 10 はスイッチングレギュレータ 100 のステートを第 4 のステートに遷移させ、出力スイッチ素子 $PDRV$ のスイッチング周期をクロック信号 $clkout$ の周期に固定しかつ誤差電圧 $errout$ とノコギリ波信号 $Vslope$ とに基づいて出力スイッチ素子 $PDRV$ のオン時間を決定する PWM 制御動作を行う。このとき、図 12 に示すように、スイッチング制御回路 10 は、ワンパルス生成回路 5 の動作を停止させ、スキップコンパレータ 7 を動作させたまま、PWM コンパレータ 8 からの PWM 信号 $pwmout$ に従って PWM 制御動作をしている。本実施形態によれば、スイッチング制御回路 10 は、スキップコンパレータ 7 を動作させたまま PWM 制御動作を行うので、スイッチングレギュレータ 100 が重負荷状態から軽負荷状態へ変化しても、クロック信号 $clkout$ の立ち上がりタイミングにおけるパルススキップ検出信号 $skpout$ の電圧レベルに基づいて、スイッチングレギュレータ 100 のステートを第 1 のステートに遷移させて (図 7 参照。)、PFM 制御動作に自動的に切り換えることができる。従って、スイッチングレギュレータ

10

20

30

40

50

100の負荷の変動に対して最適なスイッチング周波数を選択することができ、入力電圧、出力電圧、及び負荷条件が大きく変動しても、従来技術に比較して電力変換効率を上げることができる。

【0067】

以上説明したように、本実施形態によれば、従来技術に比較して広範囲な入力電圧と出力電圧と負荷条件の変動に対して、最適なスイッチング周波数を選択させて、全負荷電流範囲で従来技術に比較して電力変換効率を上げることができる。また、パルススキップ基準電圧生成回路4により、スイッチングレギュレータ100がPFM制御動作からPWM制御動作に移行するときの出力電流 I_{out} の電流値が臨界点における出力電流 I_{out} の電流値と実質的に等しくなるように設定できるので、移行時の負荷電流のバラツキを従来技術に比較して抑制して安定させ、狙い値通りに設定することができる。このため、PFM制御動作からPWM制御動作に移行するときの出力電圧 V_{out} の変動を従来技術に比較して抑制できる。

10

【0068】

また、本実施形態によれば、図2のレベルシフト回路61におけるシフト量は、誤差電圧 err_{out} がレベルシフト後のノコギリ波信号 V_{slope} の電圧変化範囲内になるように設定された。そして、レベルシフト後のノコギリ波信号 V_{slope} と誤差電圧 err_{out} とを用いてPWM信号 pwm_{out} を発生し、PWM信号 pwm_{out} を用いたPWM制御動作を行った。従って、誤差電圧 err_{out} とノコギリ波信号 V_{slope} の電圧レベルの大小関係が逆転するタイミングにおいてPWM信号 pwm_{out} の電圧レベルを反転させることができ、従来技術に比較して高速応答できるスイッチングレギュレータ100を提供できる。

20

【0069】

なお、図2のレベルシフト回路61と同様の別のレベルシフト回路を、パルススキップ基準電圧生成回路4とスキップコンパレータ7との間に設け、レベルシフト後のパルススキップ基準電圧 V_{refm} をスキップコンパレータ7に出力してもよい。これにより、レベルシフト回路61のレベルシフト量の製造バラツキ及び温度によるバラツキによるノコギリ波信号 V_{slope} のバラツキを、パルススキップ基準電圧 V_{refm} に重畳できるので、製造バラツキ及び温度によるバラツキの影響をキャンセルして、PFM制御動作とPWM制御との切り換えタイミングにおける負荷電流のバラツキをさらに抑えて安定させることができる。

30

【0070】

以上の説明では、本発明を電圧帰還型の降圧型スイッチングレギュレータに適用した例を説明したが、本発明はこれに限られない。本発明は、インダクタ電流 I_L を出力スイッチ素子PDRVとインダクタLとの間の接続点LXの電圧に基づいて検出し、検出されたインダクタ電流 I_L に比例したランプ電圧を生成してスイッチング制御を行う電流帰還型の降圧型スイッチングレギュレータや、トランジスタである整流スイッチ素子NDRVに代えてダイオードを整流素子として用いる非同期整流方式の降圧スイッチングレギュレータや、昇圧型スイッチングレギュレータにも適用できる。

【符号の説明】

40

【0071】

- 1 ... 帰還回路、
- 2 ... D/A変換器(基準電圧源)、
- 3 ... 誤差増幅回路、
- 4 ... パルススキップ基準電圧生成回路、
- 5 ... ワンパルス生成回路、
- 6 ... 発振回路、
- 7 ... スキップコンパレータ、
- 8 ... PWMコンパレータ、
- 9 ... インバータ、

50

- 10 ... スイッチング制御回路 10、
- 20 ... 誤差電圧生成回路、
- 11 ... ゲート信号発生回路、
- 61 ... レベルシフト回路、
- 100 ... スイッチングレギュレータ、
- Cout ... 平滑コンデンサ、
- L ... インダクタ、
- NDRV ... 整流スイッチ素子、
- OUT ... 出力端子、
- PDRV ... 出力スイッチ素子、
- TI ... 入力端子。

【先行技術文献】

【特許文献】

【0072】

【特許文献1】特許第3647811号公報

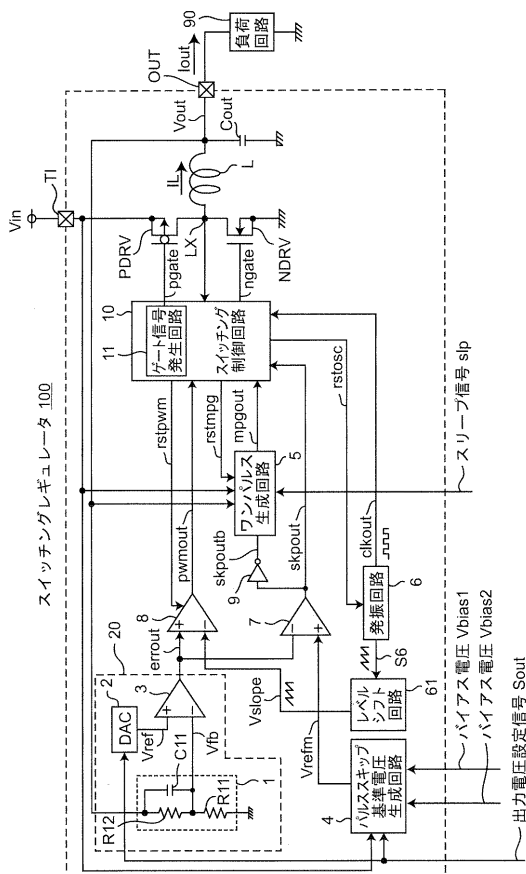
【特許文献2】特開2010-063276号公報

【特許文献3】特開2008-92712号公報

【特許文献4】特開2009-213228号公報

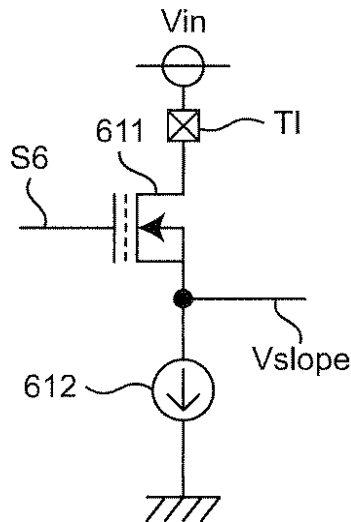
【特許文献5】特開2009-225642号公報

【図1】

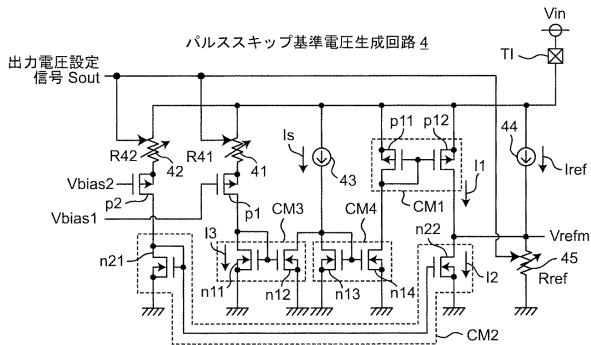


【図2】

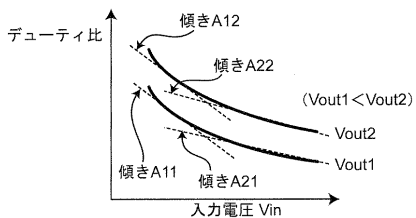
レベルシフト回路 61



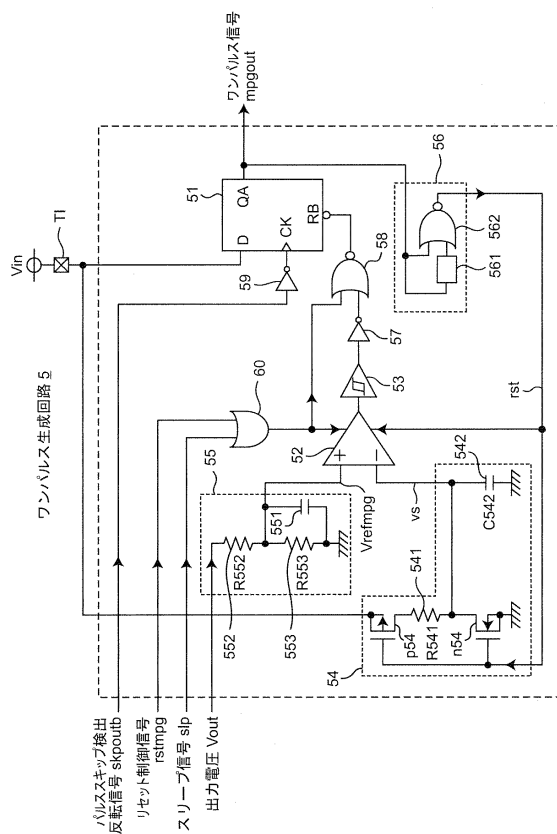
【図3】



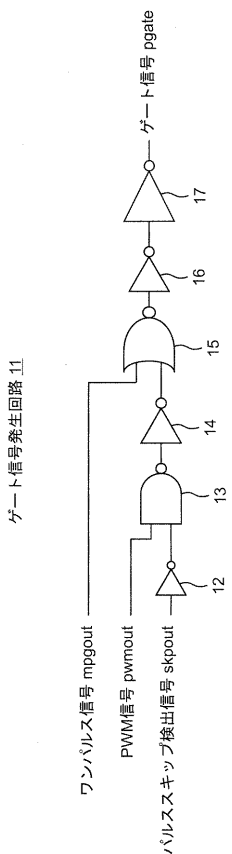
【図4】



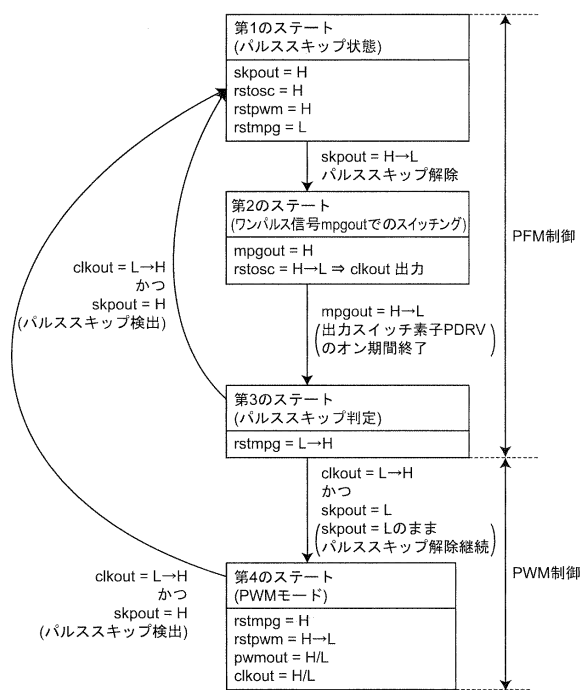
【図5】



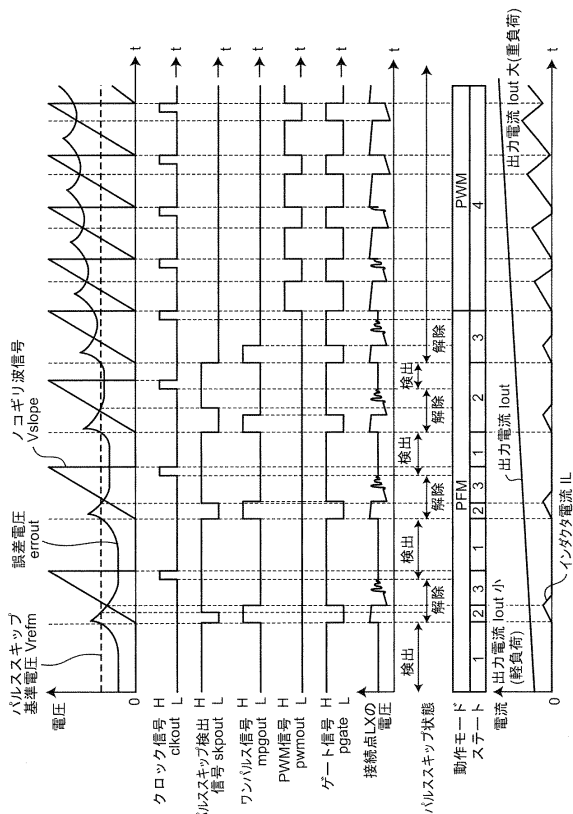
【図6】



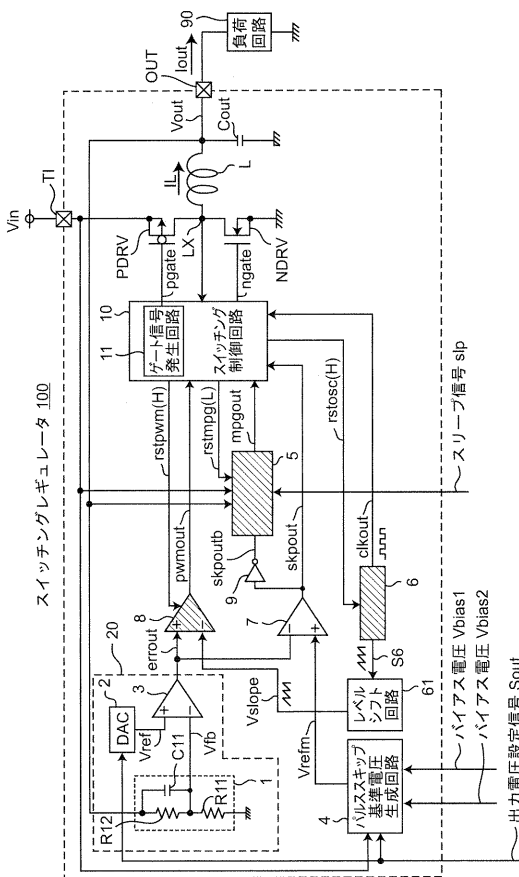
【図7】



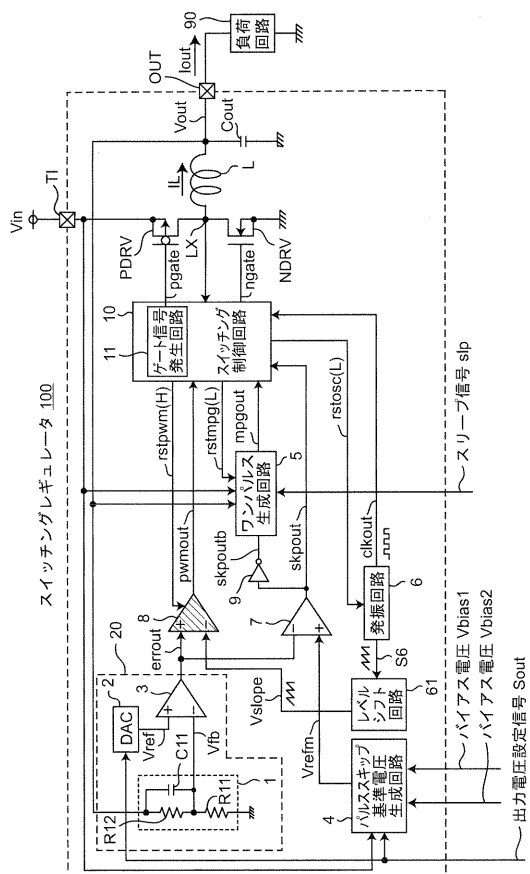
【図 8】



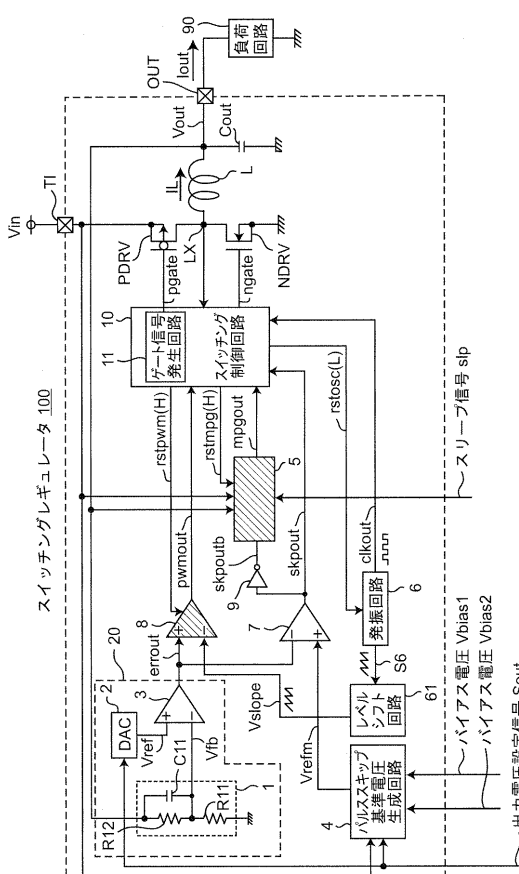
【図 9】



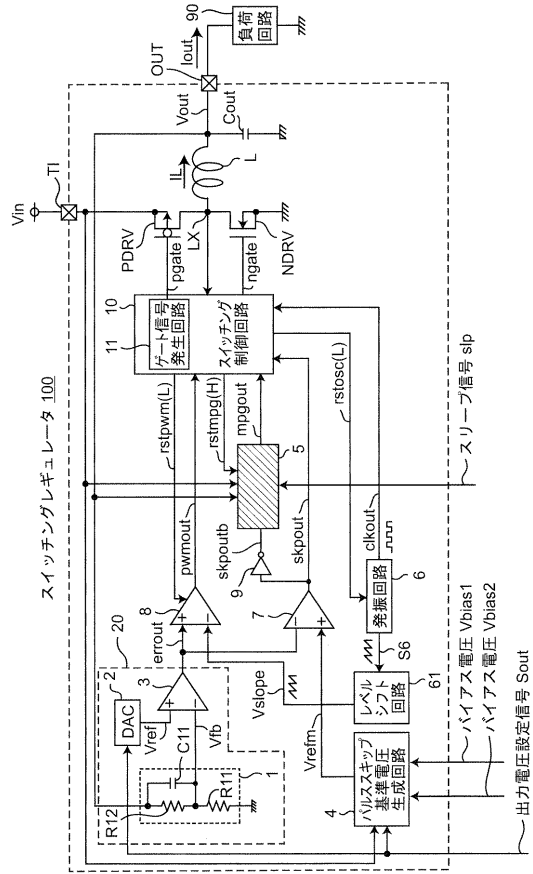
【図 10】



【図 11】



【図12】



フロントページの続き

- (56)参考文献 特開2009-254009(JP,A)
特開2011-188645(JP,A)
特開平06-303766(JP,A)
特開平10-323028(JP,A)
特開平08-205522(JP,A)
特開平03-139163(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/00~3/44