



(12)发明专利申请

(10)申请公布号 CN 111490102 A

(43)申请公布日 2020.08.04

(21)申请号 202010070548.9

H01L 21/336(2006.01)

(22)申请日 2020.01.21

(30)优先权数据

19154245.5 2019.01.29 EP

(71)申请人 安世有限公司

地址 荷兰奈梅亨

(72)发明人 史蒂文·皮克

(74)专利代理机构 北京天昊联合知识产权代理

有限公司 11112

代理人 张娜 顾丽波

(51)Int.Cl.

H01L 29/78(2006.01)

H01L 29/06(2006.01)

H01L 29/08(2006.01)

H01L 29/423(2006.01)

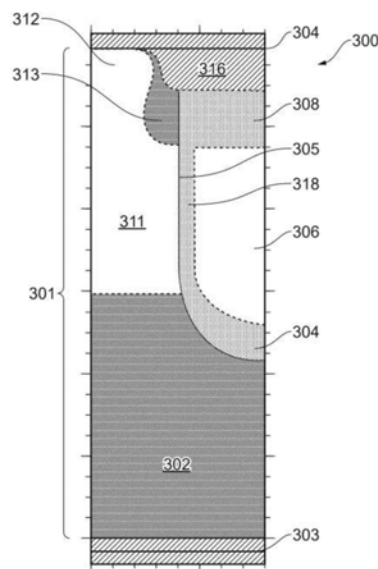
权利要求书2页 说明书6页 附图6页

(54)发明名称

沟槽栅极半导体装置及其制造方法

(57)摘要

本公开涉及一种功率半导体装置及其制造方法,该功率半导体装置包括:半导体层,其限定第一主表面并且包括漂移区;沟槽,其从第一主表面延伸至半导体层中,其中,沟槽包括由栅极电介质包围的栅电极,该栅极电介质被构造和布置为将栅电极与半导体层电隔离;以及源极区,其从第一主表面延伸,并且与沟槽的顶部侧壁部分邻接,其中,源极区延伸至与栅电极的顶表面对应的深度。



1. 一种功率半导体装置,包括:
半导体层,其限定第一主表面并且包括漂移区;
沟槽,其从所述第一主表面延伸至所述半导体层中,其中,所述沟槽包括由栅极电介质包围的栅电极,所述栅极电介质被构造和布置为将栅电极与所述半导体层电隔离;以及
源极区,其从所述第一主表面延伸,并且与所述沟槽的顶部侧壁部分邻接,其中,所述源极区延伸至与所述栅电极的顶表面对应的深度。
2. 根据权利要求1所述的半导体装置,还包括从所述第一主表面延伸至所述半导体层中的主体区;
其中,所述主体区在其上部与所述源极区邻接,并且在其下部与所述沟槽邻接。
3. 根据权利要求1至权利要求2所述的半导体装置,还包括电连接至所述源极区和所述主体区的源极触点。
4. 根据权利要求3所述的半导体装置,其中,所述源极触点被构造和布置在所述栅极电介质的上部上。
5. 根据权利要求1至权利要求4所述的半导体装置,其中,所述主体区在与所述源极区的与所述沟槽邻接的一侧相对的一侧上与所述源极区邻接。
6. 根据权利要求1至权利要求5所述的半导体装置,还包括半导体衬底,其中,所述半导体层被构造和布置在所述半导体衬底上。
7. 根据权利要求1至权利要求6所述的半导体装置,其中,所述沟槽延伸至所述半导体层的漂移区中,并且在所述漂移区中终止。
8. 一种制造功率半导体装置的方法,所述方法包括:
形成限定第一主表面并且包括漂移层的半导体层;
形成从所述第一主表面延伸至所述半导体层中的沟槽;
形成由栅极电介质包围的栅电极,所述栅极电介质被构造和布置为将所述栅电极与所述半导体层电隔离;以及
形成从所述第一主表面延伸并且与所述沟槽的顶部侧壁部分邻接的源极区,其中,所述源极区延伸至与所述栅电极的顶表面对应的深度。
9. 根据权利要求8所述的方法,还包括以下步骤:
形成从所述第一主表面延伸至所述半导体层中的主体区;
其中,所述主体区被形成为在其上部与所述源极区邻接,并且在其下部与所述沟槽邻接。
10. 根据权利要求8或权利要求9所述的方法,包括:形成电连接至所述源极区和所述主体区的源极触点。
11. 根据权利要求10所述的方法,包括:在所述栅极电介质的上部上形成所述源极触点。
12. 根据权利要求8至权利要求11所述的方法,包括:形成主体区,以在与所述源极区的与所述沟槽邻接的一侧相对的一侧上与所述源极区邻接。
13. 根据权利要求8至权利要求12所述的方法,包括:在所述半导体衬底上形成所述半导体层。
14. 根据权利要求8至权利要求13所述的方法,其中,所述沟槽被形成为延伸至所述半

导体层的漂移区中,并且在所述漂移区中终止。

沟槽栅极半导体装置及其制造方法

技术领域

[0001] 本公开涉及一种半导体装置。具体地说,本公开涉及一种分立的沟槽栅极MOSFET半导体装置和相关的制造方法。

背景技术

[0002] 沟槽栅极半导体装置通常包括朝向装置的第一主表面的源极区和形成在与第一主表面相对的第二主表面上的漏极区。源极区和漏极区具有相同的导电类型。在源极和漏极之间布置有主体区,主体区具有与源极区和漏极区的导电类型相反的导电类型。为了导通装置,使得其在源极和漏极之间传导电流,必须生成通过主体区的沟道。为了便于生成沟道,将沟槽栅电极设置在装置内的沟槽中靠近但不接触主体区。

[0003] 沟槽通常衬有氧化物,以将栅电极与主体区电隔离。在栅极处提供偏压会产生电场,该电场延伸到主体区中并局部耗尽和反转主体区。

[0004] 沟槽栅极半导体装置能够进行高电压(即,在100V范围内)工作。此外,这种装置还能够在源极和漏极之间提供高达250V的反向偏压,而不会使装置发生故障或使任何显著的反向电流从中通过。这可以通过在漏极区和主体区之间包括漂移区来实现,其中,漂移区具有与源极区和漏极区相同的导电类型,但是掺杂浓度较低。该漏极区在与主体区的交界处形成p-n结,阻止高反向偏压电流。对于n沟道装置,漏极相对于源极是正性的。如果源极相对于漏极是正性的,则主体-漏极结变得有偏压,并且电流经由漏极和源极传导。相反,对于p沟道装置,漏极相对于源极是负性的。如果源极相对于漏极是负性的,则主体-漏极结再次传导电流。击穿电压取决于漂移区的厚度;

[0005] 其中,厚度越大,击穿电压越高。

[0006] 上述布置一般如图1所示,其中,沟槽栅极半导体装置包括在其第一主表面11处的源极区1和形成装置的漏极区2的衬底。主体区3和漂移区域6布置在源极区1和漏极区2之间。沟槽4从第一主表面11向下延伸,穿过源极区1和主体区3,并终止于漂移区6。沟槽4的侧壁和底部衬有绝缘材料5,以物理地并电气地将位于沟槽4内的栅极8与周围区隔离。通过源极区10形成沟9,其终止于主体区3以便允许在源极区10与主体区3之间形成低电阻欧姆电触点。

[0007] 与传统的横向MOSFET装置(如横向DMOS)相比,在纵向沟槽栅极半导体装置(如上述类型)中,沟道区是沿着沟槽的竖直壁而不是横向进行设计的,因此允许每单位装置面积的高沟道密度(每沟槽两个沟道)。然而,沟槽密度增大的限制因素是占据装置面积的沟9区的宽度,并确保沟9至沟槽栅极8的距离大于沟9与沟槽栅极8之间的对齐处理的公差。因此,沟区的宽度和对齐处理的公差限制了每装置单位面积的沟槽单元的最大数量。

发明内容

[0008] 各示例实施例是针对诸如上文所述的问题和/或其他问题的,这些问题可从以下公开中变得明显,例如关于提高沟槽栅极半导体装置的每单位面积的沟道密度。

[0009] 在特定示例实施例中,本公开的各方面涉及一种源极触点,其形成在栅极上方,因此允许去除传统的用于接触源极区和主体区的沟槽构造。此外,布置在栅极电介质的顶表面上并且电连接源极区与主体区的源极触点还允许源极区与栅电极对齐。

[0010] 根据实施例,提供了一种分立的功率半导体装置,其包括:半导体层,其限定第一主表面并且包括漂移区;沟槽,其从第一主表面延伸至半导体层中,其中,沟槽包括由栅极电介质包围的栅电极,该栅极电介质被构造和布置为使栅电极与半导体层电隔离;以及源极区,其从第一主表面延伸,并且与沟槽的顶部侧壁部分邻接,其中,源极区延伸至与栅电极的顶表面对应的深度。

[0011] 半导体装置还可包括从第一主表面延伸至半导体层中的主体区;其中,主体区在其上部与源极区邻接,并且在其下部与沟槽邻接。

[0012] 源极触点可电连接至源极区和主体区,并且/或源极触点可被构造和布置在栅极电介质的上部上。

[0013] 主体区可在与源极区的与沟槽邻接的一侧相对的一侧上与源极区邻接。

[0014] 半导体装置还可包括半导体衬底,其中,半导体层被构造和布置在半导体衬底上,并且沟槽可延伸至半导体层的漂移区中并且在漂移区中终止。

[0015] 根据实施例,还提供了一种制造功率半导体装置的方法,所述方法包括:形成限定第一主表面并且包括漂移层的半导体层;形成从第一主表面延伸至半导体层中的沟槽;形成由栅极电介质包围的栅电极,该栅极电介质被构造和布置为将栅电极与半导体层电隔离;以及形成从第一主表面延伸并且与沟槽的顶部侧壁部分邻接的源极区,其中,源极区延伸至与栅电极的顶表面对应的深度。

[0016] 制造半导体装置的方法还可包括:形成从第一主表面延伸至半导体层中的主体区;其中,主体区被形成为在其上部与源极区邻接,并且在其下部与沟槽邻接。

[0017] 所述方法还可包括:形成电连接至源极区和主体区的源极触点,并且在栅极电介质的上部上形成源极触点。

[0018] 主体区可被形成为在源极区的与沟槽邻接的一侧相对的一侧上与源极区邻接。半导体层可形成在半导体衬底上,并且沟槽可形成为延伸至半导体层的漂移区中,并且在漂移区中终止。

[0019] 结果,技术人员应该认识到,根据上述实施例的沟槽半导体装置的布置和对应的制造方法可实现每单位面积更高密度的有源单元。

附图说明

[0020] 因此,按照其中可详细理解本公开的特征的方式,参照实施例进行更具体的描述,一些实施例在附图中示出。然而,应该注意,附图仅示出了典型实施例,因此不应理解为其范围的限制。附图用于便于理解本公开,因此不一定按照比例绘制。本领域技术人员一旦结合附图阅读了本说明书就将清楚要求保护的主体内容的优点,图中相同参考标号用于指代相同元件,其中:

[0021] 图1示出了已知的沟槽栅极半导体装置的一部分的剖面图;

[0022] 图2a至图21示出了制造根据实施例的沟槽栅极半导体装置的各种处理步骤;以及

[0023] 图3示出了根据实施例的沟槽栅极半导体装置的一部分。

具体实施方式

[0024] 根据图2a至图2l所示的处理步骤制造根据实施例的沟槽栅极半导体装置。在图2a的处理之前,可利用诸如外延生长或沉积的已知技术在半导体衬底(未示出)上形成半导体层。通常,半导体层由硅形成,并且由与半导体衬底相同的导电类型形成,例如n型。在形成限定沟槽栅极半导体装置的漂移区202的半导体层之后,穿过形成漂移区202的半导体层的顶部主表面形成栅极沟槽204,如图2a所示。可通过任何合适的蚀刻技术形成稍后将限定装置的栅极的栅极沟槽204,以使得其在漂移区202中终止,也就是说,其不延伸至半导体衬底中。栅极沟槽204包括底部和相对的侧壁。

[0025] 在形成栅极沟槽204之后,氧化层206(已知为厚底氧化物(TBO) 206)形成在栅极沟槽204的底部。例如,TBO 206可通过硅的局部氧化(LOCOS)形成。类似地,栅极沟槽204的侧壁衬有侧壁氧化物208。侧壁氧化物208可延伸以覆盖形成漂移区202的半导体层的顶部主表面。在形成侧壁氧化物208和厚底氧化物206之后,在栅极沟槽204中形成栅电极210。

[0026] 可通过合适的工艺(诸如多晶硅的沉积)形成栅电极210。厚底氧化物206和侧壁氧化物208共同形成被构造和被布置为将栅电极210与周围的漂移区202以及任何随后形成的半导体区电绝缘的栅极氧化物(第一氧化层),如下面更详细的讨论。

[0027] 现在转到图2b,通过使用栅极电介质氧化层212(第二氧化层)

[0028] (例如,可为正硅酸乙酯(TEOS)层,然而,本领域技术人员将理解,可使用任何合适的氧化物电介质)进行沉积并覆盖栅电极210来继续进行处理。随后将栅极电介质氧化层212平面化,以使其顶表面与形成漂移区202的半导体层的顶部主表面实质上齐平。平面化的这个步骤也可去除形成在漂移区202的顶部主表面上的任何侧壁氧化物208。可通过任何合适的处理(诸如化学机械抛光(CMP))来实现平面化。栅极电介质氧化层212的平面化提供了平坦的表面,以实现栅极电介质的顶部平面性。

[0029] 在平面化处理之后,并且如图2c所示,屏蔽(screen)氧化层214(第三氧化层)形成在氧化层212和半导体层的顶部主表面上。屏蔽氧化层214可为热生长层、TEOS或任何其它合适的氧化物电介质。屏蔽氧化层214用作注入垫氧化物,它的设置是为了将主体形成期间的高能注入损伤最小化,如下面的讨论。这种注入损伤可导致在半导体层的顶部主表面的不期望的位错。

[0030] 在将要去除屏蔽氧化物的源极注入部分之前,将栅极沟槽中的屏蔽氧化层214回蚀。可选地,可在源极注入之前形成额外的屏蔽氧化层(未示出)。

[0031] 然后,在如图2d所示的半导体层中形成沟槽栅极半导体装置的主体区211。例如,可通过利用硼注入将p型物质注入(n型)漂移区202中来实现主体区211的形成。主体区211延伸至与栅极沟槽204的侧壁对应的深度。如上所述,形成主体区211使得在操作期间,穿过邻近于栅电极210的主体区生成沟道区。如上所述,屏蔽氧化层214防止在形成主体区211期间发生注入损伤。

[0032] 如图2e所示,在形成主体区211之后,通过从半导体层的顶表面和栅极沟槽204进行蚀刻,来去除屏蔽氧化层214。另外,例如通过从栅极沟槽204进行蚀刻,来部分地去除栅极电介质氧化层212。此外,从栅极沟槽204的侧壁部分地去除侧壁氧化物208,留下覆盖栅电极210的一层栅极电介质氧化层212。这样,暴露出栅极沟槽204的侧壁,用于以后形成源极区213,如下面的讨论。

[0033] 栅电极210上方的剩余的栅极电介质氧化层212的厚度可为大约200nm,但这取决于源极注入物的要求深度。源极区213与栅极对齐,并且被注入与栅极沟槽的侧壁对应的半导体层中,以至少与栅电极210顶部的层面一样深。栅极电介质氧化层212被布置为限定源极注入深度的范围。如果栅极电介质氧化层212太厚,则源极将被不正确地限定,并且源极注入物将不能到达栅电极210顶部的层面。如果栅极电介质氧化层212太薄,则源极可被注入太深,导致沟道区深度较小。这样,本领域技术人员应该看到,剩余的栅极电介质氧化层212的厚度是设计变量,并且取决于注入的能量和所需的装置结构。

[0034] 现在参照图2f,沟槽栅极半导体装置的源极区213随后形成在与主体区211的上部对应的半导体层区中,主体区211与栅极沟槽204邻接。可通过将n型物质注入先前形成的主体区211的栅极沟槽204侧壁的上部中来实现源极区213的形成。上面针对图2e讨论了侧壁的上部通过氧化蚀刻处理暴露出来。可通过相对于半导体层的顶表面非垂直的有角度的注入来实现n型物质的注入。注入物可为任何合适的n型物质,诸如砷。所述有角度的注入允许n型物质到达栅极沟槽204的暴露的侧壁,因此形成源极区213。

[0035] 在形成源极区213之后,氧化物插塞216(第四氧化物)形成在栅极沟槽204中,并且通过例如CMP被平面化。氧化物插塞216被构造为限定源极敷金属(metallisation)触点区(下面更详细地讨论),并且在后面的氧化物插塞216的蚀刻处理之后,将后面形成的源极注入物与氧化物插塞216对齐。这样,不需要针对源极注入物的光刻步骤,因为源极的范围由氧化物插塞216限定。如图2g所示,氧化物插塞216被沉积,并且随后被平面化,使得其中形成有源极区213的半导体层的顶部主表面暴露出来。

[0036] 氧化物插塞216随后例如通过蚀刻从栅极沟槽204中被部分去除,即,从栅极沟槽204的侧壁被去除,留下形成在栅电极210上面的几层氧化层212和216,如图2h所示。在该步骤中,蚀刻氧化物插塞216直至到达硅层的顶部主表面下方的层面。这允许稍后去除硅层的顶部主表面的顶部部分(如下面针对图2i讨论的),使得其最终与氧化物插塞216齐平,并且去除硅的表面,并且替换为源极触点注入物(下面进行讨论)。源极触点注入物比源极区注入物的剂量小,以有效地使装置的主体区和源极区短路。必须去除硅的表面上的源极区注入物,从而形成短路。

[0037] 如图2i所示,随后对半导体层的顶部主表面回蚀,以去除任何高剂量的n型物质。氧化物插塞216可用作掩模,并且提供表面以防止在形成源极触点区215期间注入物从插塞反射至硅的侧壁上。氧化物插塞216还用于通过减小注入的物质的剂量来防止源极触点区的过度掺杂。此外,掩模防止注入的物质深入地渗入到沟道区中,这可导致装置阈值电压由于增加沟道区的掺杂而偏离。另外,源极触点区215注入物将不对源极区213注入物进行过量掺杂,但其将具有减小源极区的掺杂的净效果,这将增大触点电阻。

[0038] 在图2i的蚀刻步骤之后,源极触点区215形成在与顶部主表面处的源极区213和主体区211对应的半导体层的顶部主表面,如图2j所示。可通过将p型物质直接注入半导体层中来实现源极触点区215的形成。例如,可通过硼/氟(BF₂)的注入来实现这种注入。源极区213和源极触点区215经由顶侧源极触点敷金属被电连接。这种连接仅在存在低触点电阻时有效,并且经由触点区215注入物和源极区213注入物的高剂量p型物质实现低触点电阻。

[0039] 在图2j的源极触点区215形成之后,随后蚀刻氧化物插塞216以允许形成源极触点敷金属(下面讨论),如图2k所示。这导致到源极区213的源极触点敷金属面积足够大,以确

保到其的电连接。

[0040] 现在参照图21,源极敷金属217随后形成在与源极区213对应的半导体层的顶部主表面上以及氧化物插塞216上。源极敷金属217可为铝或其它合适的金属,并且可通过任何合适处理的工艺形成。源极敷金属217接触半导体层的顶表面的整个顶表面,并且填充氧化物插塞216与栅极沟槽中的硅表面之间的区域。

[0041] 金属硅化物218(诸如硅化钨)可形成在半导体层的顶部主表面上,以形成与源极敷金属217的触点区域。这允许减小给定的触点区域的触点电阻。

[0042] 现在转到图3,示出了根据实施例的沟槽栅极半导体装置300的有源单元区的半单元。本领域技术人员将理解,图3的布置是完整单元的一半,并且沟槽栅极半导体装置300可包括一个或多个这种单元。沟槽栅极半导体装置300可包括布置在半导体衬底303上的半导体层301。半导体层包括形成在n型半导体衬底303上的n型漂移区302,n型半导体衬底303和n型漂移区302共同地形成半导体装置300的漏极区。虽然图3中未示出,但是本领域技术人员将理解,漏极接触件可通过任何合适的手段形成在半导体衬底303上。

[0043] 栅极沟槽305布置为从半导体装置300的顶部延伸至半导体层301中,并且在漂移区302中终止。TBO 304形成在栅极沟槽305的底部(或基底)中,侧壁氧化物318形成在栅极沟槽305的侧壁上,并且栅极电介质308形成在栅极沟槽305的顶部。

[0044] 侧壁氧化物318、沟槽底部氧化物(TBO) 304和栅极电介质308共同地形成用于将栅电极306电隔离的电介质。这样,栅电极306布置在栅极沟槽305中,并且由对应的氧化物304、308、318包围。

[0045] 半导体装置300还包括p型主体区311,除了下面讨论的源极区313,p型主体区311从装置的顶部主表面延伸到与栅极沟槽305的侧壁对应的深度。换句话说,主体区311延伸至半导体装置中,并且在栅极沟槽305的底部或栅极沟槽305的底部之前终止。主体区311沿着栅极沟槽305的长度邻接栅极沟槽305,该长度从与栅电极306的顶部对应的点开始,并且如上所述在栅极沟槽305的底部或栅极沟槽305的底部之前终止。这样,主体区311在其上部与源极区313邻接并且在其下部与栅极沟槽305邻接。这允许在操作期间通过反转形成半导体装置300的源极到漏极传导通道。

[0046] n型源极区313从半导体装置300的顶表面延伸,与源极接触区312相邻,并且沿着栅极沟槽305的长度邻接栅极沟槽305,该长度从与栅极电介质308的顶表面对应的点开始至与栅电极306的顶表面对应的点。因此,源极区313进入半导体装置300的深度对应于源极敷金属316(下文讨论)和栅极电介质308的厚度。因此,源极区313延伸到栅极沟槽305的与栅电极306的顶表面对应的深度。这种布置形成了与栅电极306的顶表面对齐的源极区313,这导致降低的动态栅极电荷(Q_{gs})并改善装置的开关性能,进而导致沟槽栅极半导体装置在较低温度下并且以较高效率工作。

[0047] 因此,源极敷金属316布置在栅极电介质308的顶表面上,并且电连接源极区313和主体区311,使得源极区313与栅电极306对齐。

[0048] 这样,本领域技术人员将看到,源极触点形成在半导体装置300的栅极沟槽305的上方。这允许去除用于接触源极区311和主体区313的传统的沟区构造。因此,本领域技术人员将看到,根据上述实施例的沟槽半导体装置300的布置能够实现单位面积上更高密度的有源单元。

[0049] 虽然未示出,但是本领域技术人员将理解,可以通过任何适当的手段实现与栅极多晶硅的接触。举例来说,通过刻蚀穿过栅极氧化物进入栅电极并在其中形成适当的敷金属,可仅形成栅极触点。

[0050] 本领域技术人员将理解,如上所述的p型区和n型区可以并列而不偏离所述实施例的本发明构思。上述讨论涉及n沟道装置,其中,栅极是n型并且电子作为大多数载流子。然而,本领域技术人员还将理解,上述讨论对于p沟道装置也是有效的,其中,栅极是p型并且空穴作为大多数载流子。

[0051] 本发明的具体和优选方面在所附的独立权利要求中阐述。从属权利要求和/或独立权利要求中的特征的组合可适当地组合,而不仅仅如权利要求中所阐述的。

[0052] 本公开的范围包括其中明示或暗示地公开的任何新颖特征或特征组合,或其任何概括,而不论其是否与所要求保护的发明有关,或减轻本发明解决的任何或所有问题。申请人在此通知,在本申请或由此衍生的任何此类进一步申请的申请期间,可针对这些特征提出新的权利要求。具体地说,参照所附权利要求,来自从属权利要求的特征可以与独立权利要求的特征组合,并且来自各个独立权利要求的特征可以以任何适当的方式组合,而不仅仅是以权利要求中列举的特定组合。

[0053] 在各个实施例的上下文中描述的特征也可以在单个实施例中组合被提供。相反,为了简洁起见,在单个实施例的上下文中描述的各种特征也可以分别或以任何合适的子组合被提供。

[0054] 术语“包含”不排除其它元件或步骤,术语“一个”或“一”不排除多个。权利要求中的附图标记不得解释为限制权利要求的范围。

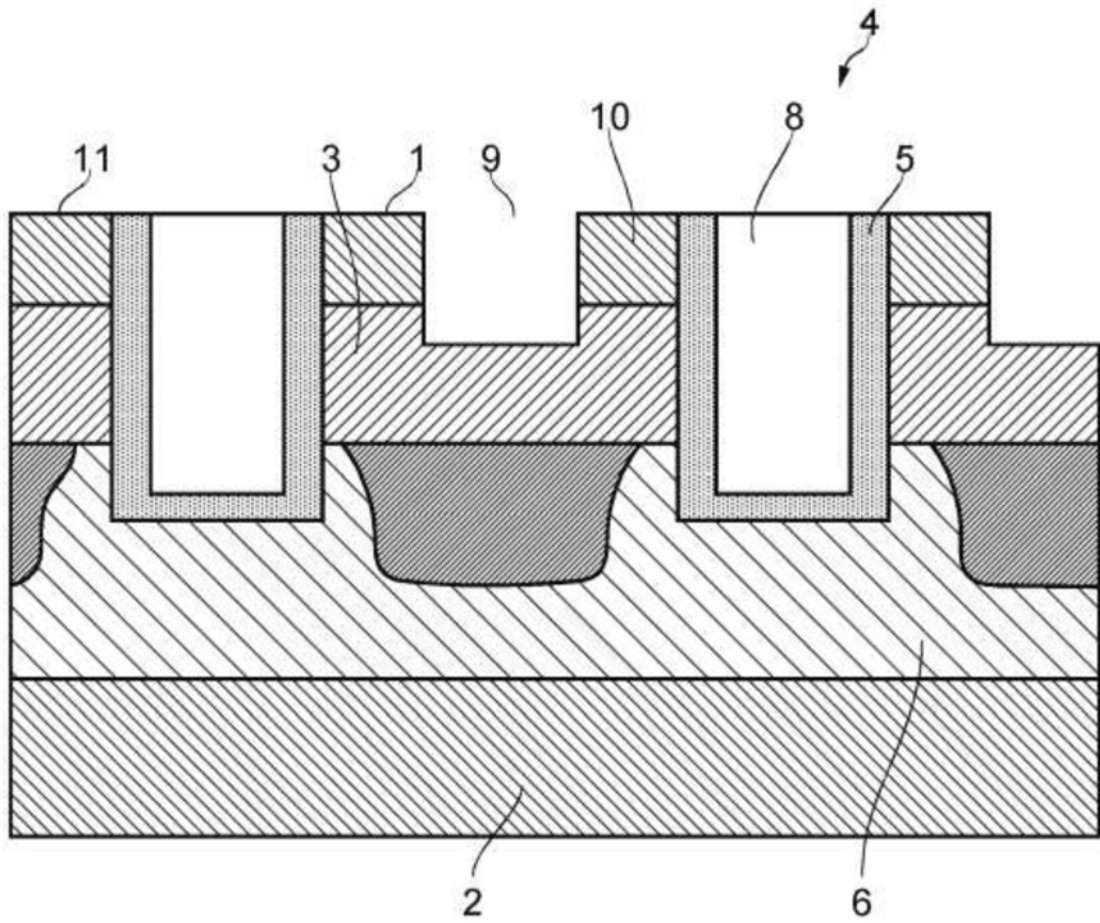


图1

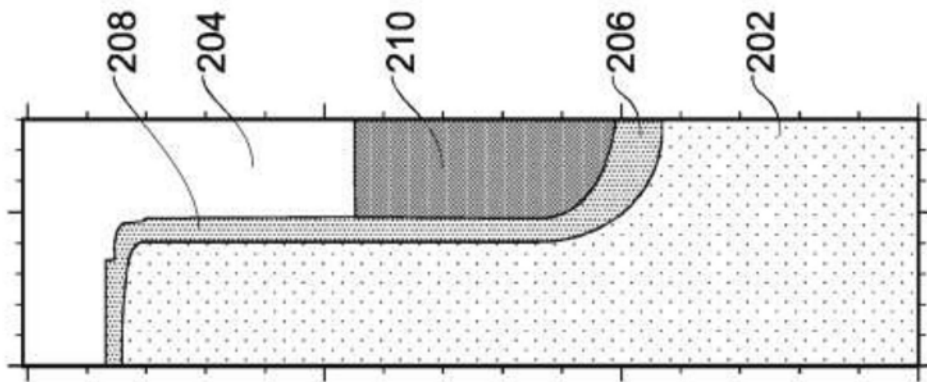


图2a

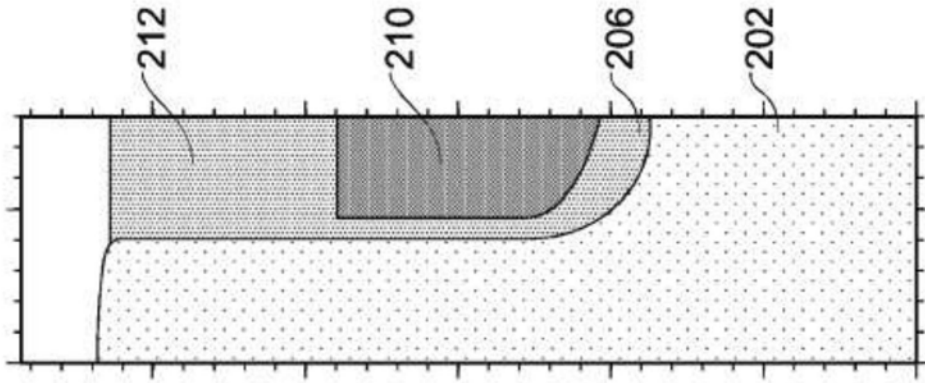


图2b

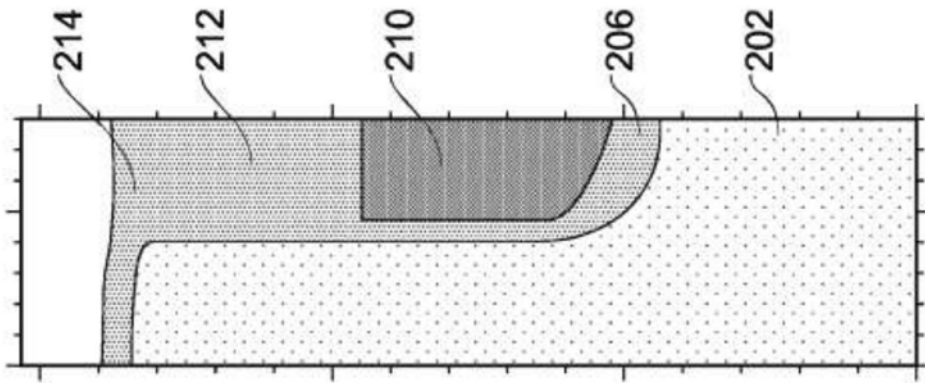


图2c

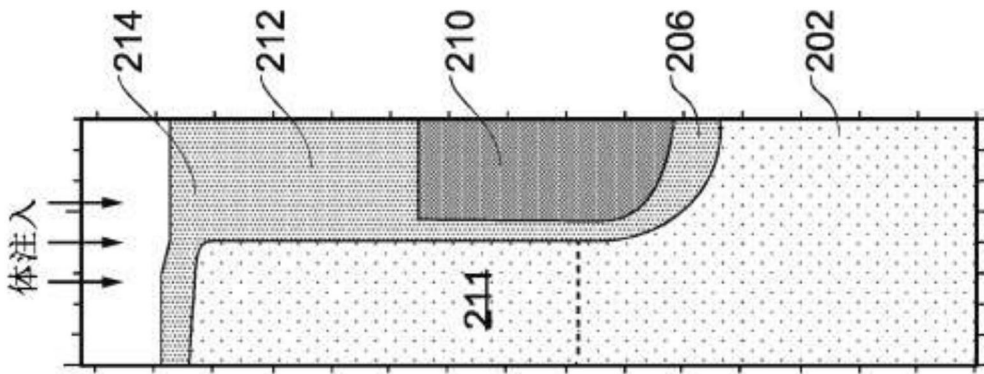


图2d

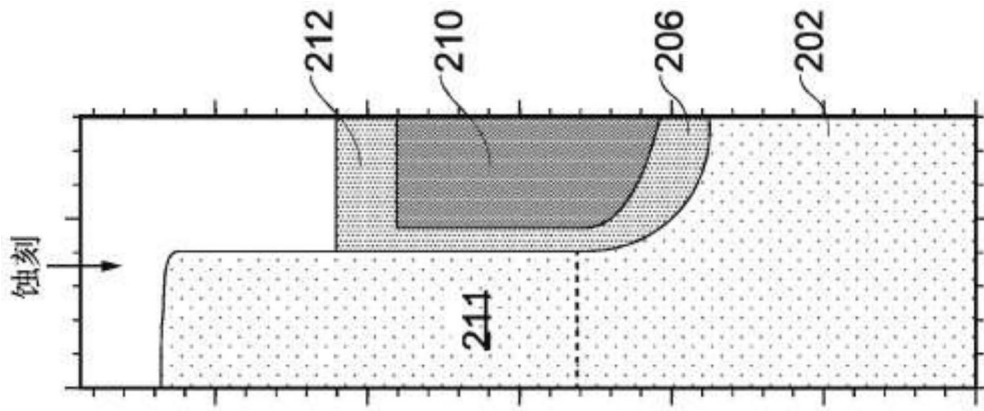


图2e

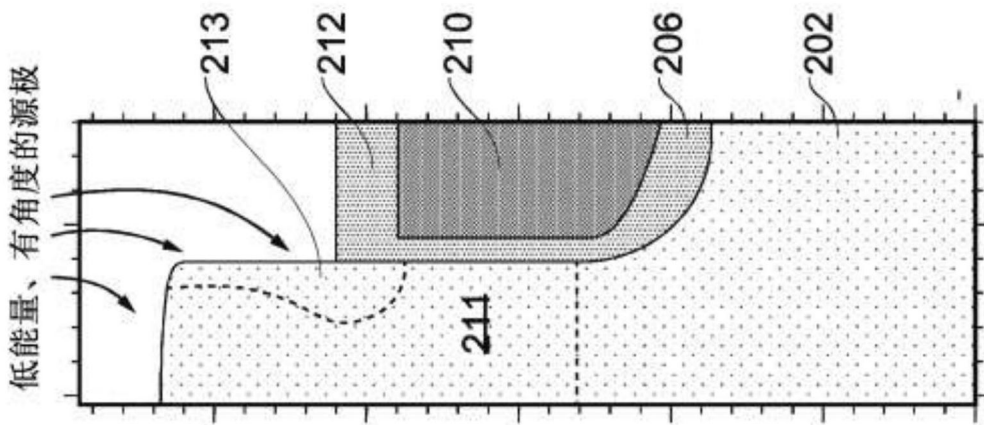


图2f

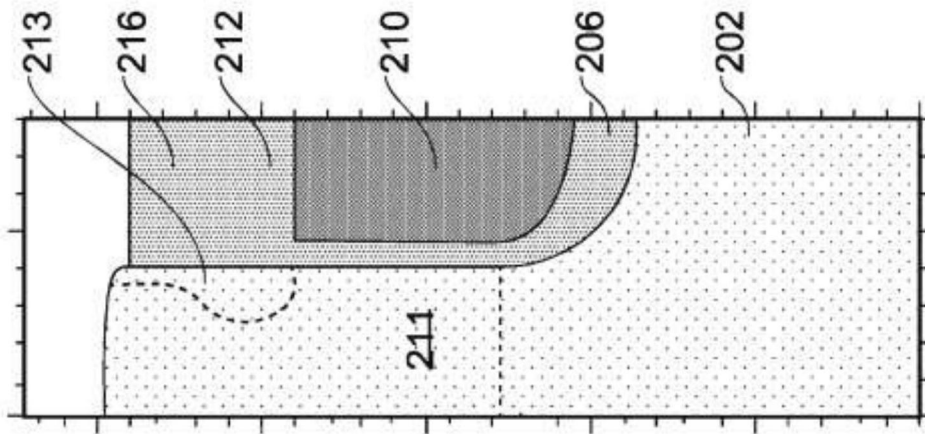


图2g

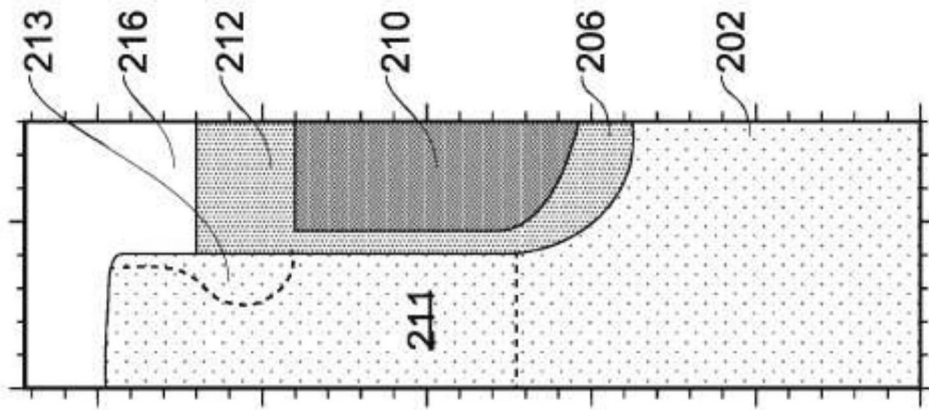


图2h

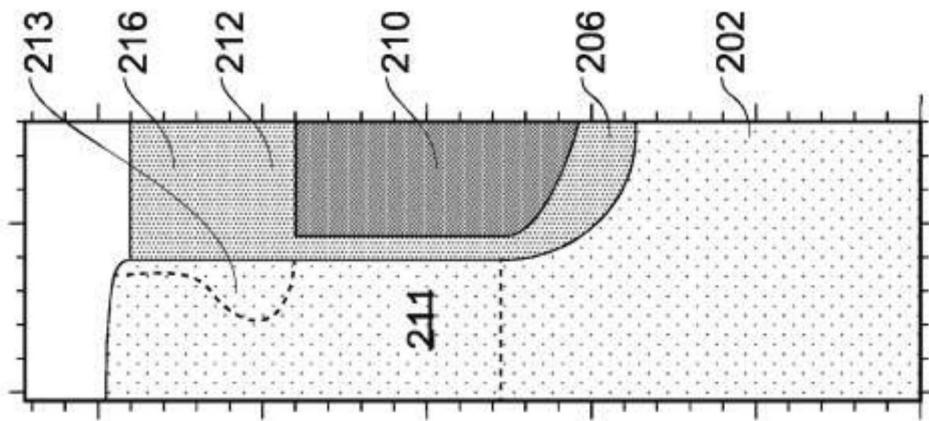


图2i

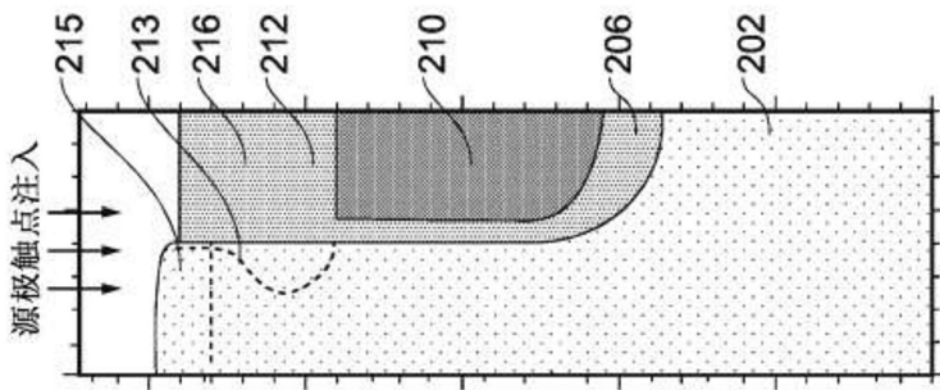


图2j

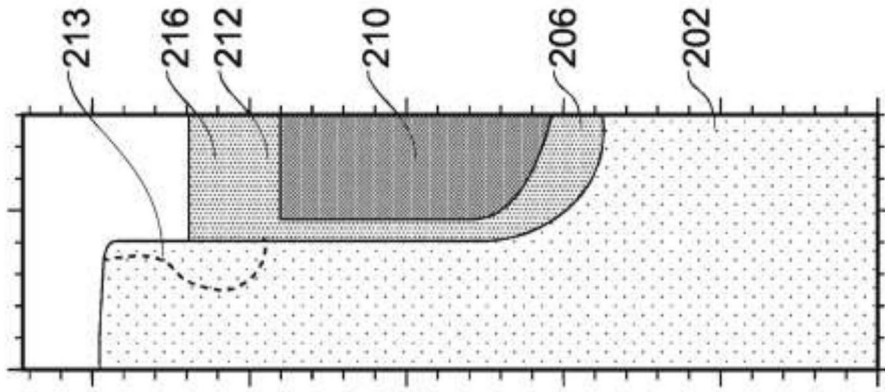


图2k

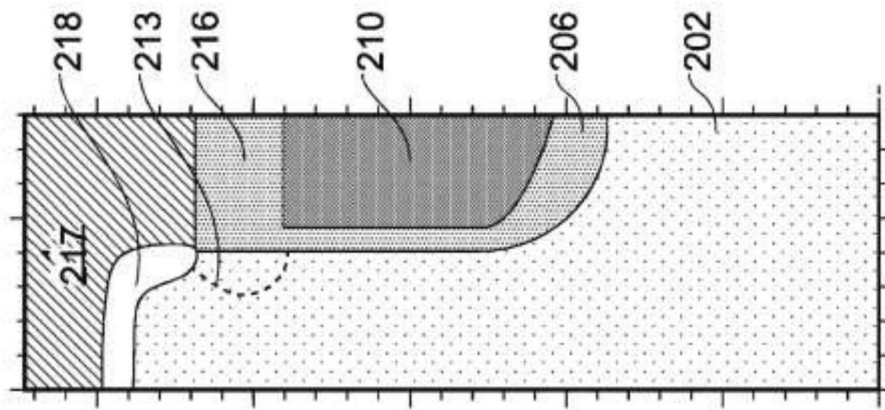


图2l

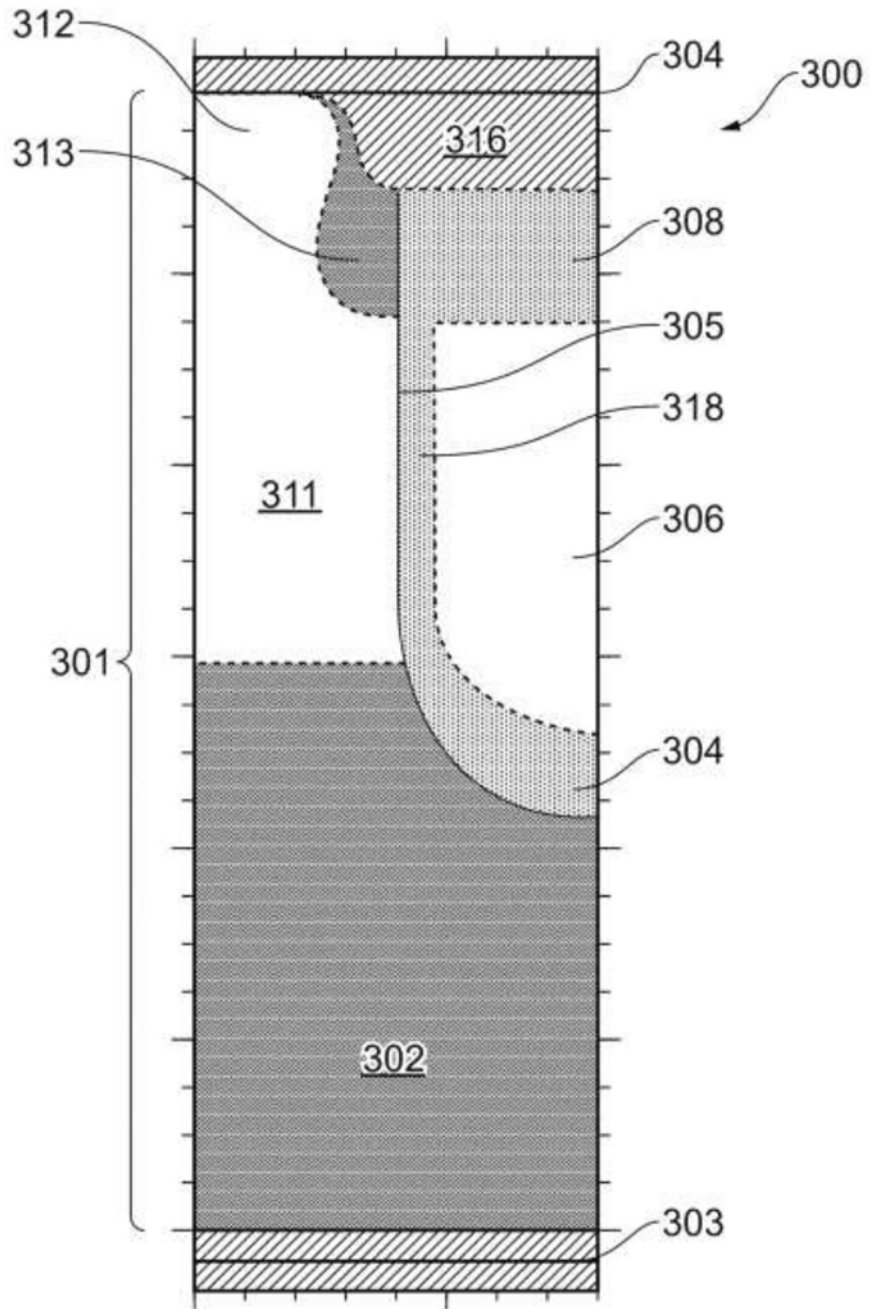


图3