



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I575721 B

(45)公告日：中華民國 106 (2017) 年 03 月 21 日

(21)申請案號：105115525

(22)申請日：中華民國 100 (2011) 年 06 月 28 日

(51)Int. Cl. : H01L27/15 (2006.01)

H01L29/78 (2006.01)

G11C16/08 (2006.01)

(30)優先權：2010/07/02 日本

2010-152021

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY

LABORATORY CO., LTD. (JP)

日本

(72)發明人：加藤清 KATO, KIYOSHI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 5675185

US 2006/0170111A1

US 2007/0215906A1

US 2008/0224229A1

US 2009/0045397A1

US 2010/0102397A1

審查人員：郭德豐

申請專利範圍項數：21 項 圖式數：20 共 92 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

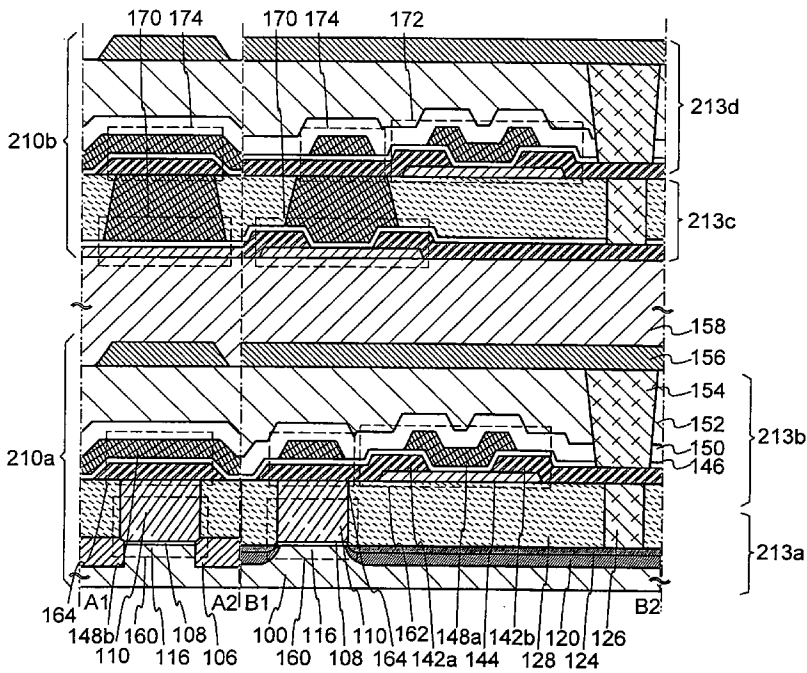
(57)摘要

本發明的目的之一是提供一種即使沒有電力供給也能夠保持儲存內容並且對寫入次數也沒有限制的具有新的結構的半導體裝置。一種半導體裝置，包括：第一儲存單元，該第一儲存單元具有至少部分地重疊的第一電晶體及第二電晶體；第二儲存單元，該第二儲存單元具有至少部分地重疊的第三電晶體及第四電晶體；以及驅動電路，其中第二儲存單元設置在第一儲存單元上，第一電晶體包含第一半導體材料，並且第二電晶體、第三電晶體及第四電晶體包含第二半導體材料。

An object is to provide a semiconductor device with a novel structure in which stored data can be held even when power is not supplied and there is no limit on the number of write operations. The semiconductor device includes a first memory cell including a first transistor and a second transistor, a second memory cell including a third transistor and a fourth transistor, and a driver circuit. The first transistor and the second transistor overlap at least partly with each other. The third transistor and the fourth transistor overlap at least partly with each other. The second memory cell is provided over the first memory cell. The first transistor includes a first semiconductor material. The second transistor, the third transistor, and the fourth transistor include a second semiconductor material.

指定代表圖：

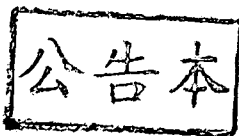
圖 1



符號簡單說明：

- 100 . . . 基板
- 106 . . . 元件分離絕緣層
- 108 . . . 閘極絕緣層
- 110 . . . 閘極電極
- 116 . . . 通道形成區
- 120 . . . 雜質區域
- 124 . . . 金屬化合物區域
- 126 . . . 電極
- 128 . . . 絕緣層
- 142a . . . 源極電極或汲極電極
- 142b . . . 源極電極或汲極
- 144 . . . 氧化物半導體層
- 146 . . . 閘極絕緣層
- 148a . . . 閘極電極
- 148b . . . 導電層
- 150 . . . 絕緣層
- 152 . . . 絕緣層
- 154 . . . 電極
- 156 . . . 佈線
- 158 . . . 絕緣層
- 160 . . . 電晶體
- 162 . . . 電晶體
- 164 . . . 電容器
- 170 . . . 電晶體
- 172 . . . 電晶體
- 174 . . . 電容器
- 210a . . . 第一疊層體
- 210b . . . 第二疊層體
- 210c . . . 第三疊層體

- 213a . . . 疊層體
- 213b . . . 疊層體
- 213c . . . 疊層體
- 213d . . . 疊層體



發明摘要

※申請案號：105115525 (由100122626分列)

※申請日：100年06月28日

※IPC分類：H01L 27/15 (2006.01)

【發明名稱】(中文/英文)

H01L 29/18 (2006.01)

半導體裝置

H11C 16/08 (2006.01)

Semiconductor device

【中文】

本發明的目的之一是提供一種即使沒有電力供給也能夠保持儲存內容並且對寫入次數也沒有限制的具有新的結構的半導體裝置。一種半導體裝置，包括：第一儲存單元，該第一儲存單元具有至少部分地重疊的第一電晶體及第二電晶體；第二儲存單元，該第二儲存單元具有至少部分地重疊的第三電晶體及第四電晶體；以及驅動電路，其中第二儲存單元設置在第一儲存單元上，第一電晶體包含第一半導體材料，並且第二電晶體、第三電晶體及第四電晶體包含第二半導體材料。

【 英文 】

An object is to provide a semiconductor device with a novel structure in which stored data can be held even when power is not supplied and there is no limit on the number of write operations. The semiconductor device includes a first memory cell including a first transistor and a second transistor, a second memory cell including a third transistor and a fourth transistor, and a driver circuit. The first transistor and the second transistor overlap at least partly with each other. The third transistor and the fourth transistor overlap at least partly with each other. The second memory cell is provided over the first memory cell. The first transistor includes a first semiconductor material. The second transistor, the third transistor, and the fourth transistor include a second semiconductor material.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

100：基板	106：元件分離絕緣層
108：閘極絕緣層	110：閘極電極
116：通道形成區	120：雜質區域
124：金屬化合物區域	126：電極
128：絕緣層	142a：源極電極或汲極電極
142b：源極電極或汲極	144：氧化物半導體層
146：閘極絕緣層	148a：閘極電極
148b：導電層	150：絕緣層
152：絕緣層	154：電極
156：佈線	158：絕緣層
160：電晶體	162：電晶體
164：電容器	170：電晶體
172：電晶體	174：電容器
210a：第一疊層體	210b：第二疊層體
210c：第三疊層體	213a：疊層體
213b：疊層體	213c：疊層體
213d：疊層體	

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本申請書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【技術領域】

本發明關於一種利用半導體元件的半導體裝置及其製造方法。

【先前技術】

利用半導體元件的儲存裝置可以粗分為如果沒有電力供給儲存內容就消失的揮發性儲存裝置和即使沒有電力供給也保持儲存內容的非揮發性儲存裝置。

作為揮發性儲存裝置的典型例子，有 DRAM (Dynamic Random Access Memory：動態隨機存取記憶體)。DRAM 選擇構成記憶元件的電晶體並將電荷儲存在電容器中而儲存資料。

根據上述原理，因為當從 DRAM 讀出資料時電容器的電荷消失，所以每次讀出資料時都需要再次進行寫入工作。另外，因為在構成記憶元件的電晶體中因截止狀態下的源極和汲極之間的洩漏電流（關態電流）等而即使電晶體未被選擇電荷也流出或流入，所以資料的保持期間較短。為此，需要按所定的週期再次進行寫入工作（刷新工

作），由此，難以充分降低耗電量。另外，因為如果沒有電力供給儲存內容就消失，所以需要利用磁性材料或光學材料的其他儲存裝置以實現較長期間的儲存內容的保持。

作為揮發性儲存裝置的另一個例子，有 SRAM（Static Random Access Memory：靜態隨機存取記憶體）。SRAM 使用正反器等電路保持儲存內容，而不需要進行刷新工作，在這一點上 SRAM 優越於 DRAM。但是，因為 SRAM 使用正反器等電路，所以存在儲存容量的單價變高的問題。另外，在如果沒有電力供給儲存內容就消失這一點上，SRAM 和 DRAM 相同。

作為非揮發性儲存裝置的典型例子，有快閃記憶體。快閃記憶體在電晶體的閘極電極和通道形成區之間具有浮動閘極，在該浮動閘極中保持電荷而進行儲存，因此，快閃記憶體具有資料保持期間極長（半永久）並不需要進行揮發性儲存裝置所需要的刷新工作的優點（例如，參照專利文獻 1）。

但是，由於當進行寫入時產生的穿隧電流會引起構成記憶元件的閘極絕緣層的劣化，因此發生因所定次數的寫入記憶元件不能工作的問題。為了緩和上述問題的影響，例如，採用使各記憶元件的寫入次數均等的方法，但是，為了採用該方法，需要具有複雜的週邊電路。另外，即使使用了上述方法，也不能從根本上解決使用壽命的問題。就是說，快閃記憶體不合適於資料的改寫頻度高的用途。

另外，快閃記憶體為了在浮動閘極保持電荷或者去除

該電荷，需要高電壓和用於該目的的電路。再者，還有電荷的保持或去除需要較長時間而難以實現寫入和擦除的高速化的問題。

[專利文獻 1] 日本專利申請公開 第昭 57-105889 號
公報

【發明內容】

鑒於上述問題，本發明的一個實施例的目的之一是提供一種即使沒有電力供給也能夠保持儲存內容並且對寫入次數也沒有限制的具有新的結構的半導體裝置。再者，本發明的一個實施例的目的之一是提高有關新的結構的半導體裝置的集成度。

在本發明的一個實施例中，使用氧化物半導體來構成半導體裝置。尤其是，使用被高純度化的氧化物半導體。因為使用氧化物半導體來構成的電晶體的洩漏電流極小，所以可以在較長期間內保持資料。另外，當使用被高純度化的氧化物半導體時，其效果更顯著，從而可以在極長期間內保持資料。

更明確而言，例如可以採用如下結構。

本發明的一個實施例是一種半導體裝置，包括：具有其源極和汲極中的一個連接到第一位元線且其源極和汲極中的另一個連接到第一源極線的第一電晶體及連接到第一電晶體的閘極的第二電晶體的第一儲存單元；具有其源極和汲極中的一個連接到第二位元線且其源極和汲極中的另

一個連接到第二源極線的第三電晶體及連接到第三電晶體的閘極的第四電晶體的第二儲存單元；以及驅動所述第一儲存單元及所述第二儲存單元的驅動電路，其中，形成第一電晶體的通道形成區的半導體材料與形成第二至第四電晶體的通道形成區的半導體材料不同，並且，包括以與第一儲存單元的至少一部分重疊的方式層疊第二儲存單元的儲存單元陣列。

在上述結構中，形成第一電晶體的通道形成區的半導體材料較佳包含氧化物半導體以外的半導體材料。另外，在上述結構中，形成第二至第四電晶體的通道形成區的半導體材料較佳包含氧化物半導體材料。

另外，在上述結構中，驅動電路的一部分較佳包含形成第一電晶體的通道形成區的半導體材料。此外，在上述結構中，驅動電路的一部分較佳包含形成所述第二至第四電晶體的通道形成區的半導體材料。

另外，在上述結構中，驅動電路的一部分較佳包含形成第一電晶體的通道形成區的半導體材料，驅動電路的其他一部分較佳包含形成第二至第四電晶體的通道形成區的半導體材料。

此外，在上述結構中，第一源極線較佳與所述第二源極線電連接。另外，在上述結構中，驅動電路較佳包括選擇第一儲存單元和第二儲存單元中的任一個的選擇器電路。此外，在上述結構中，所述第一位元線和所述第二位元線較佳電連接到選擇器電路。

另外，雖然在上述半導體裝置中使用氧化物半導體材料來構成電晶體，但是本發明的一個實施例不侷限於此。也可以使用能夠實現與氧化物半導體材料同等的關態電流特性的材料，例如碳化矽等的寬頻隙材料（更明確而言，例如，能隙 E_g 大於 3eV 的半導體材料）等。

另外，在本說明書等中，“上”或“下”不侷限於構成要素的位置關係為“直接在 xx 之上”或“直接在 xx 之下”。例如，“閘極絕緣層上的閘極電極”包括在閘極絕緣層和閘極電極之間包含其他構成要素的情況。另外，“上”及“下”只是為了便於說明而使用的。

另外，在本說明書等中，“電極”或“佈線”不限定構成要素的功能。例如，有時將“電極”用作“佈線”的一部分，反之亦然。再者，“電極”或“佈線”還包括多個“電極”或“佈線”形成為一體的情況等。

另外，“源極”和“汲極”的功能在使用極性不同的電晶體的情況或電路工作的電流方向變化的情況等下，有時互相調換。因此，在本說明書等中，“源極”和“汲極”可以互相調換。

另外，在本說明書等中，“電連接”包括藉由“具有某種電作用的元件”連接的情況。這裏，“具有某種電作用的元件”只要可以進行連接物件間的電信號的授受，就對其沒有特別的限制。

例如，“具有某種電作用的元件”不僅包括電極和佈線，而且還包括電晶體等的切換元件、電阻器、電感器、

電容器、其他具有各種功能的元件等。

因為使用氧化物半導體的電晶體的關態電流極小，所以藉由使用該電晶體而可以在較長期間內保持儲存內容。就是說，因為不需要進行刷新工作，或者，可以將刷新工作的頻度降低到極低，所以可以充分降低耗電量。另外，即使沒有電力供給也可以在較長期間內保持儲存內容。

另外，在根據本發明的一個實施例的半導體裝置中，資料的寫入不需要高電壓，而且也沒有元件劣化的問題。例如，不像現有的非揮發性記憶體的情況那樣，不需要對浮動閘極注入電子或從浮動閘極抽出電子，所以根本不發生閘極絕緣層的劣化等的問題。就是說，根據本發明的一個實施例的半導體裝置對改寫次數沒有限制，這是現有的非揮發性記憶體所存在的問題，所以可以顯著提高可靠性。再者，因為根據電晶體的導通狀態或截止狀態而進行資料的寫入，所以容易實現高速工作。另外，還有不需要用於擦除資料的工作的優點。

此外，因為使用氧化物半導體以外的材料的電晶體可以進行足夠的高速工作，所以藉由將該電晶體和使用氧化物半導體的電晶體組合而使用，可以充分地確保半導體裝置的工作（例如，資料的讀出工作）的高速性。此外，藉由利用使用氧化物半導體以外的材料的電晶體，可以合適地實現被要求高速工作的各種電路（邏輯電路、驅動電路等）。

如此，藉由將使用氧化物半導體以外的材料的電晶體

（作更廣義解釋，能夠進行足夠的高速工作的電晶體）和使用氧化物半導體的電晶體（作更廣義解釋，關態電流足夠小的電晶體）設置為一體，可以實現具有從來沒有的特徵的半導體裝置。

再者，在本發明的一個實施例中，藉由層疊儲存單元或驅動電路的一部分，可以提供一種提高集成度的半導體裝置。

【圖式簡單說明】

在圖式中：

圖 1 是半導體裝置的剖面圖；

圖 2A-1、圖 2A-2、圖 2B 及圖 2C 是半導體裝置的電路圖；

圖 3 是半導體裝置的方塊圖；

圖 4 是半導體裝置的方塊圖；

圖 5 是半導體裝置的電路圖；

圖 6 是半導體裝置的電路圖；

圖 7 是半導體裝置的電路圖；

圖 8 是半導體裝置的電路圖；

圖 9 是半導體裝置的電路圖；

圖 10 是半導體裝置的方塊圖；

圖 11 是半導體裝置的電路圖；

圖 12 是半導體裝置的電路圖；

圖 13 是半導體裝置的方塊圖；

圖 14 是半導體裝置的電路圖；

圖 15 是半導體裝置的電路圖；

圖 16A 至圖 16D 是示出半導體裝置的製造製程的剖面圖；

圖 17A 至圖 17D 是示出半導體裝置的製造製程的剖面圖；

圖 18A 至圖 18D 是示出半導體裝置的製造製程的剖面圖；

圖 19A 和圖 19B 是示出半導體裝置的製造製程的剖面圖；

圖 20A 至圖 20F 是用來說明使用半導體裝置的電子裝置的圖。

【實施方式】

下面，使用圖式對本發明的實施例的一個例子進行說明。但是，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的宗旨及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在以下所示的實施例所記載的內容中。

另外，圖式等所示的每個結構的位置、大小、範圍等為了容易理解而有時不表示為實際上的位置、大小、範圍等。因此，本發明的一個實施例不一定侷限於圖式等所公開的位置、大小、範圍等。

另外，本說明書等中的“第一”、“第二”、“第三”等的序數詞是爲了避免構成要素的混淆而附記的，而不是用於在數目方面上進行限制。

實施例 1

在本實施例中，參照圖 1 至圖 19B 對根據本發明的一個實施例的半導體裝置的結構及其製造方法進行說明。

<半導體裝置的剖面結構>

圖 1 示出半導體裝置的剖面。在圖 1 中，A1-A2 是垂直於電晶體的通道長度方向的剖面圖，B1-B2 是平行於電晶體的通道長度方向的剖面圖。圖 1 所示的半導體裝置包括第一疊層體 210a 和第二疊層體 210b。第一疊層體 210a 在下部具有使用第一半導體材料的電晶體 160，並在上部具有使用第二半導體材料的電晶體 162。另外，第二疊層體 210b 在下部具有使用第二半導體材料的電晶體 170，並在上部也具有使用第二半導體材料的電晶體 172。此外，在第一疊層體 210a 中，將包含使用第一半導體材料的電晶體 160 的層用作疊層體 213a，將包含使用第二半導體材料的電晶體 162 的層用作疊層體 213b。另外，在第二疊層體 210b 中，將包含使用第二半導體材料的電晶體 170 的層用作疊層體 213c，將包含使用第二半導體材料的電晶體 172 的層用作疊層體 213d。

另外，圖 1 示出第一疊層體 210a 具有一個電晶體

160、一個電晶體 162 和一個電容器 164 的結構，但是也可以採用第一疊層體 210a 具有多個電晶體 160、多個電晶體 162 和多個電容器 164 的結構。與此相同，圖 1 示出第二疊層體 210b 具有一個電晶體 170、一個電晶體 172 和一個電容器 174 的結構，但是也可以採用第二疊層體 210b 具有多個電晶體 170、多個電晶體 172 和多個電容器 174 的結構。

在此，較佳第一半導體材料與第二半導體材料不同。例如，可以將氧化物半導體以外的半導體材料用於第一半導體材料，並且將氧化物半導體用於第二半導體材料。作為氧化物半導體以外的半導體材料，例如可以使用矽、鍺、矽鍺、碳化矽或砷化鎵等，較佳使用單晶半導體。使用這種半導體材料的電晶體容易進行高速工作。除此之外，也可以使用有機半導體材料等。另一方面，使用氧化物半導體的電晶體由於其特性而能夠長時間地保持電荷。

作為電晶體 160、電晶體 162、電晶體 170 及電晶體 172，可以使用 n 通道型電晶體和 p 通道型電晶體中的任一種。在此，說明電晶體 160、電晶體 162、電晶體 170 及電晶體 172 都為 n 通道型電晶體的情況。另外，本發明的一個實施例的技術本質在於為了保持信息而將如氧化物半導體的能夠充分地降低關態電流的半導體材料用於電晶體 162 及電晶體 172，因此用於半導體裝置的材料或半導體裝置的結構等的半導體裝置的具體結構不需要侷限於在此所示的結構。

電晶體 160 包括：設置在包含半導體材料（例如，矽等）的基板 100 中的通道形成區 116；夾著通道形成區 116 地設置的雜質區域 120；接觸於雜質區域 120 的金屬化合物區域 124；設置在通道形成區 116 上的閘極絕緣層 108；以及設置在閘極絕緣層 108 上的閘極電極 110。注意，雖然有時在圖中不明確具有源極電極或汲極電極，但是爲了方便起見有時將這種結構也稱爲電晶體。此外，在此情況下，爲了說明電晶體的連接關係，有時包括源極區和汲極區而表示爲源極電極和汲極電極。換言之，在本說明書等中，源極電極的記載有可能包括源極區。

電極 126 連接到電晶體 160 的金屬化合物區域 124 的一部分。在此，電極 126 用作電晶體 160 的源極電極或汲極電極。另外，在基板 100 上以圍繞電晶體 160 的方式設置有元件分離絕緣層 106，並且以接觸電晶體 160 的方式設置有絕緣層 128。注意，爲了實現高集成化，較佳如圖 1 所示電晶體 160 不具有側壁絕緣層。另一方面，當重視電晶體 160 的特性時，也可以在閘極電極 110 的側面設置側壁絕緣層，並且以包括形成在與該側壁絕緣層重疊的區域中的雜質濃度不同的區域的方式設置雜質區域 120。

電晶體 162 包括：設置在絕緣層 128 等上的氧化物半導體層 144；與氧化物半導體層 144 電連接的源極電極或汲極電極 142a 及源極電極或汲極電極 142b；覆蓋氧化物半導體層 144、源極電極或汲極電極 142a 及源極電極或汲極電極 142b 的閘極絕緣層 146；在閘極絕緣層 146 上

以重疊於氧化物半導體層 144 的方式設置的閘極電極 148a。另外，第二疊層體 210b 中的電晶體 170 及電晶體 172 的結構可以與電晶體 162 相同。

在此，氧化物半導體層 144 等的用於電晶體的氧化物半導體層較佳藉由被充分地去除氫等的雜質，並且藉由被供給足夠的氧，來被高純度化。明確而言，例如，將氧化物半導體層的氫濃度設定為 $5 \times 10^{19} \text{atoms/cm}^3$ 以下，較佳設定為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下，更佳地設定為 $5 \times 10^{17} \text{atoms/cm}^3$ 以下。另外，藉由二次離子質譜測定技術（SIMS：Secondary Ion Mass Spectroscopy）來測量上述氧化物半導體層中的氫濃度。像這樣，在氫濃度被充分地降低並藉由被供給充分的氧來降低起因於氧缺乏的能隙中的缺陷能階的氧化物半導體層中，載子濃度為低於 $1 \times 10^{12} / \text{cm}^3$ ，較佳為低於 $1 \times 10^{11} / \text{cm}^3$ ，更佳地為低於 $1.45 \times 10^{10} / \text{cm}^3$ 。例如，室溫（25℃）下的關態電流（在此，單位通道寬度（1μm）的值）為 100zA（1zA（zeptoampere）等於 $1 \times 10^{-21} \text{A}$ ）以下，較佳為 10zA 以下。如此，藉由使用 i 型化（本質化）或實質上 i 型化的氧化物半導體，可以得到關態電流特性極為優良的電晶體（電晶體 162、電晶體 170、電晶體 172 等）。

注意，雖然在電晶體 162、電晶體 170、電晶體 172 等中，為了抑制因微型化而在元件之間產生洩漏，使用被加工為島狀的氧化物半導體層，但是也可以採用不加工為島狀的結構。當不將氧化物半導體層加工為島狀時，可以

防止因加工時的蝕刻而導致的氧化物半導體層的污染。

電容器 164 包括：源極電極或汲極電極 142a；閘極絕緣層 146；以及導電層 148b。換言之，源極電極或汲極電極 142a 用作電容器 164 的一個電極，導電層 148b 用作電容器 164 的另一個電極。藉由採用這種結構，可以確保足夠的電容。另外，當層疊氧化物半導體層 144 和閘極絕緣層 146 時，可以充分確保源極電極或汲極電極 142a 和導電層 148b 之間的絕緣性。再者，當不需要電容時，也可以採用不設置電容器 164 的結構。電容器 174 的結構也與電容器 164 相同。

另外，在電晶體 162 和電容器 164 中，較佳將源極電極或汲極電極 142a 及源極電極或汲極電極 142b 的端部形成為錐形形狀。藉由將源極電極或汲極電極 142a 及源極電極或汲極電極 142b 的端部形成為錐形形狀，可以提高閘極絕緣層 146 的覆蓋性，並防止斷開。在此，將錐形角例如設定為 30° 以上且 60° 以下。注意，錐形角是指當從垂直於剖面（與基板的表面正交的面）的方向觀察具有錐形形狀的層（例如，源極電極或汲極電極 142a）時，該層的側面和底面所形成的傾斜角。電晶體 170、電晶體 172 及電容器 174 也與此相同。

在電晶體 162 及電容器 164 上設置有絕緣層 150 及絕緣層 152。再者，在形成於閘極絕緣層 146、絕緣層 150、絕緣層 152 等中的開口中設置有電極 154，並且在絕緣層 152 上形成與電極 154 連接的佈線 156。另外，雖

然在圖 1 中示出使用電極 126 及電極 154 將金屬化合物區域 124、源極電極或汲極電極 142b 和佈線 156 連接，但是本發明的一個實施例不侷限於此。例如，也可以將源極電極或汲極電極 142b 直接連接到金屬化合物區域 124。或者，也可以將佈線 156 直接連接到源極電極或汲極電極 142b。

另外，在圖 1 中，電極 126 與電極 154 彼此重疊，該電極 126 連接金屬化合物區域 124 與源極電極或汲極電極 142b，而該電極 154 連接源極電極或汲極電極 142b 與佈線 156。換言之，用作電晶體 160 的源極電極或汲極電極的電極 126 與電晶體 162 的源極電極或汲極電極 142b 接觸的區域重疊於電晶體 162 的源極電極或汲極電極 142b 與電極 154 接觸的區域。藉由採用這種平面佈局，可以抑制因接觸區域造成的元件面積的增大。也就是說，可以提高半導體裝置的集成度。

在本實施例中，第一疊層體 210a 中的電晶體 160 的至少一部分與電晶體 162 及電容器 164 重疊。例如，電容器 164 的導電層 148b 的至少一部分與電晶體 162 的源極電極或汲極電極 142a 及電晶體 160 的閘極電極 110 重疊。藉由採用這種平面佈局，可以實現儲存單元的高集成化。例如，當以最小加工尺寸為 F 時，可以將儲存單元所占的面積設定為 $15F^2$ 至 $25F^2$ 。

另外，在第二疊層體 210b 中也電晶體 170 的至少一部分與電晶體 172 及電容器 174 重疊。例如，電容器 174

的電極（相當於電容器 164 的導電層 148b）的至少一部分與電晶體 172 的源極電極或汲極電極（相當於電晶體 162 的源極電極或汲極電極 142a）及電晶體 170 的閘極電極（相當於電晶體 160 的閘極電極 110）重疊。如此，藉由隔著絕緣層 158 層疊得到集成化的第一疊層體 210a 和第二疊層體 210b，可以進一步實現半導體裝置的集成化。

另外，雖然在圖 1 中說明層疊第一疊層體 210a 和第二疊層體 210b 的例子，但是本發明的一個實施例不侷限於此，可以採用三層以上的疊層結構。在此情況下，作為第三疊層體的結構，可以使用與第二疊層體 210b 同樣的結構。藉由使用這種疊層結構，可以進一步實現半導體裝置的集成化。

<半導體裝置的電路結構>

接著，參照圖 2A-1 至圖 2A-2 和圖 2B 至圖 2C 對圖 1 所示的半導體裝置的電路結構及其工作進行說明。另外，在電路圖中，為了表示使用氧化物半導體的電晶體，有時附上“OS”的符號。

<基本結構>

在圖 2A-1 所示的半導體裝置中，第一佈線（1st Line）與電晶體 160 的源極電極（或汲極電極）電連接，第二佈線（2nd Line）與電晶體 160 的汲極電極（或源極

電極) 電連接。另外，第三佈線 (3rd Line) 與電晶體 162 的源極電極 (或汲極電極) 電連接，第四佈線 (4th Line) 與電晶體 162 的閘極電極電連接。再者，電晶體 160 的閘極電極及電晶體 162 的汲極電極 (或源極電極) 與電容器 164 的一個電極電連接，第五佈線 (5th Line) 與電容器 164 的另一個電極電連接。另外，圖 2A-1 所示的電路結構相當於圖 1 所示的第一疊層體 210a 包括的電路結構，用作儲存單元。

在此，作為電晶體 162，例如，應用上述使用氧化物半導體的電晶體。使用氧化物半導體的電晶體具有關態電流極小的特徵。因此，藉由使電晶體 162 成為截止狀態，可以極長時間地保持電晶體 160 的閘極電極的電位。再者，藉由具有電容器 164，容易保持施加到電晶體 160 的閘極電極的電荷，另外，也容易讀出所保持的資料。

注意，對電晶體 160 沒有特別的限制，例如，應用使用氧化物半導體之外的半導體材料的電晶體。從提高資料的讀出速度的觀點來看，例如，較佳使用利用單晶矽的電晶體等的開關速度快的電晶體。

在圖 2B 所示的半導體裝置中，第一佈線 (1st Line) 與電晶體 170 的源極電極 (或汲極電極) 電連接，第二佈線 (2nd Line) 與電晶體 170 的汲極電極 (或源極電極) 電連接。另外，第三佈線 (3rd Line) 與電晶體 172 的源極電極 (或汲極電極) 電連接，第四佈線 (4th Line) 與電晶體 172 的閘極電極電連接。再者，電晶體 170 的閘極

電極及電晶體 172 的汲極電極（或源極電極）與電容器 174 的一個電極電連接，第五佈線（5th Line）與電容器 174 的另一個電極電連接。另外，圖 2B 所示的電路結構相當於圖 1 所示的第二疊層體 210b 包括的電路結構。

在此，作為電晶體 170 和電晶體 172，應用上述使用氧化物半導體的電晶體。上述使用氧化物半導體的電晶體具有關態電流極小的特徵。因此，藉由使電晶體 172 成為截止狀態，可以極長時間地保持電晶體 170 的閘極電極的電位。再者，藉由具有電容器 174，容易保持施加到電晶體 170 的閘極電極的電荷，另外，也容易讀出所保持的資料。另外，將使用氧化物半導體的電晶體 170 和電晶體 172 的通道長度（L）設定為 10nm 以上且 1000nm 以下，所以該電晶體 170 和電晶體 172 具有耗電量小，並工作速度充分快的特徵。

另外，如圖 2C 所示那樣，也可以採用在圖 2A-1 中不設置電容器 164 的結構。這與圖 2B 的情況也相同，可以採用不設置電容器 174 的結構。

在圖 2A-1 所示的半導體裝置中，藉由有效地利用可以保持電晶體 160 的閘極電極的電位的特徵，可以如以下所示那樣進行資料的寫入、保持以及讀出。另外，在圖 2B 所示的半導體裝置中也可以與圖 2A-1 同樣地進行資料的寫入、保持以及讀出，所以省略詳細說明。

首先，參照圖 2A-1 對資料的寫入和保持進行說明。首先，將第四佈線的電位設定為使電晶體 162 成為導通狀

態的電位，以使電晶體 162 成為導通狀態。由此，對電晶體 160 的閘極電極和電容器 164 施加第三佈線的電位。也就是說，對電晶體 160 的閘極電極施加所定的電荷（寫入）。在此，將施加兩個不同的電位的電荷（以下，將施加低電位的電荷稱為電荷 Q_L ，而將施加高電位的電荷稱為電荷 Q_H ）中的任一個施放到電晶體 160 的閘極電極。另外，也可以利用施加三個或其以上的不同的電位的電荷提高儲存容量。然後，藉由將第四佈線的電位設定為使電晶體 162 成為截止狀態的電位，使電晶體 162 成為截止狀態，保持對電晶體 160 的閘極電極施加的電荷（保持）。

因為電晶體 162 的關態電流極小，所以電晶體 160 的閘極電極的電荷被長時間地保持。

接著，對資料的讀出進行說明。當在對第一佈線施加所定的電位（定電位）的狀態下，對第五佈線施加適當的電位（讀出電位）時，根據保持在電晶體 160 的閘極電極中的電荷量，第二佈線獲取不同的電位。這是因為一般而言，在電晶體 160 為 n 通道型的情況下，對電晶體 160 的閘極電極施加 Q_H 時的外觀上的臨界值 V_{th_H} 低於對電晶體 160 的閘極電極施加 Q_L 時的外觀上的臨界值 V_{th_L} 的緣故。在此，外觀上的臨界電壓是指使電晶體 160 成為“導通狀態”所需要的第五佈線的電位。從而，藉由將第五佈線的電位設定為 V_{th_H} 和 V_{th_L} 的中間電位 V_0 ，可以辨別對電晶體 160 的閘極電極施加的電荷。例如，在寫入中對電晶體 160 的閘極電極施加 Q_H 的情況下，當第五佈線的

電位成爲 $V_0 (>V_{th_H})$ 時，電晶體 160 成爲“導通狀態”。在對電晶體 160 的閘極電極施加 Q_L 的情況下，即使第五佈線的電位成爲 $V_0 (<V_{th_L})$ ，電晶體 160 也一直處於“截止狀態”。因此，從第二佈線的電位可以讀出所保持的資料。

另外，當將儲存單元配置爲陣列狀而使用時，需要可以唯讀出所希望的儲存單元的資料。像這樣，爲了讀出所定的儲存單元的資料，且不讀出除此以外的儲存單元的資料，對讀出的物件之外的儲存單元的第五佈線施加不管閘極電極的狀態怎麼樣都使電晶體 160 成爲“截止狀態”的電位，也就是小於 V_{th_H} 的電位，即可。另外，對讀出的物件之外的儲存單元的第五佈線施加不管閘極電極的狀態怎麼樣都使電晶體 160 成爲“導通狀態”的電位，也就是大於 V_{th_L} 的電位，即可。

接著，對資料的改寫進行說明。資料的改寫與上述資料的寫入及保持同樣地進行。也就是說，將第四佈線的電位設定爲使電晶體 162 成爲導通狀態的電位，以使電晶體 162 成爲導通狀態。由此，對電晶體 160 的閘極電極及電容器 164 施加第三佈線的電位（有關新的資料的電位）。然後，藉由將第四佈線的電位設定爲使電晶體 162 成爲截止狀態的電位，使電晶體 162 成爲截止狀態，而使電晶體 160 的閘極電極成爲施加有有關新的資料的電荷的狀態。

像這樣，根據本發明的一個實施例的半導體裝置，藉由再次進行資料的寫入，可以直接改寫資料。因此，不需

要快閃記憶體等所需要的利用高電壓從浮動閘極抽出電荷的工作，可以抑制起因於擦除工作的工作速度的降低。換言之，實現了半導體裝置的高速工作。

另外，電晶體 162 的汲極電極（或源極電極）藉由與電晶體 160 的閘極電極電連接，起到與用作非揮發性記憶元件的浮動閘極型電晶體的浮動閘極相同的作用。由此，有時將圖式中的電晶體 162 的汲極電極（或源極電極）與電晶體 160 的閘極電極電連接的部分稱為浮動閘極部 FG。當電晶體 162 處於截止狀態時，可以認為該浮動閘極部 FG 被埋設在絕緣體中，在浮動閘極部 FG 中保持電荷。因為使用氧化物半導體的電晶體 162 的關態電流為使用矽半導體等而形成的電晶體的關態電流的十萬分之一以下，所以可以不考慮由於電晶體 162 的洩漏電流導致的儲存在浮動閘極部 FG 中的電荷的消失。也就是說，藉由利用使用氧化物半導體的電晶體 162，可以實現即使沒有電力供給也能夠保持資料的非揮發性儲存裝置。

例如，當室溫（25℃）下的電晶體 162 的關態電流為 10zA（1zA(zeptoampere)等於 1×10^{-21} A）以下，並電容器 164 的電容值為 10fF 左右時，至少可以保持資料 10^4 秒以上。另外，當然該保持時間根據電晶體特性或電容值而變動。

另外，在此情況下不存在在現有的浮動閘極型電晶體中被指出的閘極絕緣層（隧道絕緣層）的劣化的問題。也就是說，可以解決以往的將電子注入到浮動閘極時的閘極

絕緣層的劣化的問題。這意味著不存在原理上的寫入次數的限制。另外，也不需要現在有的浮動閘極型電晶體中當寫入或擦除時所需要的高電壓。

圖 2A-1 所示的半導體裝置可以被認為如圖 2A-2 所示的半導體裝置，其中，構成該半導體裝置的電晶體等的要素包括電阻器及電容器。換言之，可以認為在圖 2A-2 中，電晶體 160 和電容器 164 分別包括電阻器和電容器而構成。R1 和 C1 分別是電容器 164 的電阻值和電容值，電阻值 R1 相當於構成電容器 164 的絕緣層的電阻值。另外，R2 和 C2 分別是電晶體 160 的電阻值和電容值，電阻值 R2 相當於電晶體 160 處於導通狀態時的閘極絕緣層的電阻值，電容值 C2 相當於所謂的閘極電容（形成在閘極電極和源極電極或汲極電極之間的電容和形成在閘極電極和通道形成區之間的電容）的電容值。

在電晶體 162 處於截止狀態時的源極電極和汲極電極之間的電阻值（也稱為有效電阻）為 R_{OS} 的情況下，在電晶體 162 的閘極洩漏充分小的條件下，當 R1 和 R2 滿足 $R1 \geq R_{OS}$ 、 $R2 \geq R_{OS}$ 時，主要根據電晶體 162 的關態電流來決定電荷的保持期間（也可以說成資料的保持期間）。

與此相反，當 R1、R2 以及 R_{OS} 不滿足該條件時，即使電晶體 162 的關態電流充分小，也難以充分確保保持期間。這是因為電晶體 162 的關態電流以外的洩漏電流（例如，發生在源極電極與閘極電極之間的洩漏電流等）大的

緣故。由此，可以說本實施例所公開的半導體裝置較佳滿足上述關係。

另一方面，C1 和 C2 較佳滿足 $C1 \geq C2$ 的關係。這原因是：藉由使 C1 較為大，當利用第五佈線控制浮動閘極部 FG 的電位時，可以將第五佈線的電位高效地施加到浮動閘極部 FG，從而可以將施加到第五佈線的電位之間（例如，讀出電位和非讀出電位）的電位差抑制為低。

藉由滿足上述關係，可以實現更佳的半導體裝置。另外，R1 和 R2 由電晶體 160 的閘極絕緣層或電容器 164 的絕緣層來控制。C1 和 C2 也是與此相同的。因此，較佳適當地設定閘極絕緣層的材料或厚度等，而滿足上述關係。

在本實施例所示的半導體裝置中，浮動閘極部 FG 起到與快閃記憶體等的浮動閘極型電晶體的浮動閘極相等的作用，但是，本實施例的浮動閘極部 FG 具有與快閃記憶體等的浮動閘極根本不同的特徵。因為在快閃記憶體中施加到控制閘極的電壓高，所以為了防止其電位影響到相鄰的單元的浮動閘極，需要保持各單元之間的一定程度的間隔。這是阻礙半導體裝置的高集成化的主要原因之一。並且，該主要原因起因於藉由施加高電場來發生穿隧電流的快閃記憶體的根本原理。

另一方面，本實施例的半導體裝置根據使用氧化物半導體的電晶體的開關工作，而不使用如上所述的利用穿隧電流注入電荷的原理。就是說，不需要如快閃記憶體那樣的用來注入電荷的高電場。由此，因為不需要考慮到控制

閘極帶給相鄰的單元的高電場的影響，所以容易實現高集成化。

此外，不需要高電場及大型週邊電路（升壓電路等）的一點也優越於快閃記憶體。例如，在寫入兩個階段（1 位元）的資料的情況下，在一個儲存單元中，可以使施加到根據本實施例的儲存單元的電壓（同時施加到儲存單元的各端子的最大電位與最小電位之間的差異）的最大值為 5V 以下，較佳為 3V 以下。

在使構成電容器 164 的絕緣層的相對介電常數 ϵ_{r1} 和構成電晶體 160 的絕緣層的相對介電常數 ϵ_{r2} 為不同的情況下，容易使構成電容器 164 絕緣層的面積 $S1$ 和在電晶體 160 中構成閘極電容的絕緣層的面積 $S2$ 滿足 $2 \cdot S2 \geq S1$ （較佳的是， $S2 \geq S1$ ），且實現 $C1 \geq C2$ 。明確而言，例如，在構成電容器 164 的絕緣層中採用由氧化鉛等的 high-k 材料構成的膜，或者由氧化鉛等的 high-k 材料構成的膜和由氧化物半導體構成的膜的疊層結構，而可以將 ϵ_{r1} 設定為 10 以上，較佳為 15 以上，並且，在構成閘極電容的絕緣層中採用氧化矽，而可以實現 $\epsilon_{r2}=3$ 至 4。

藉由採用這種結構的組合，可以使根據本發明的一個實施例的半導體裝置進一步高集成化。

另外，為了增大半導體裝置的儲存容量，除了高集成化以外還可以採用多值化的方法。例如，藉由採用對儲存單元之一寫入三個階段以上的資料的結構，與寫入兩個階段的資料的情況相比，可以增大儲存容量。例如，藉由不

僅向第一電晶體的閘極電極供應如上所述的施加低電位的電荷 Q_L 、施加高電位的電荷 Q_H ，而且還供應施加其他電位的電荷 Q ，可以實現多值化。在此情況下，即使採用不使 F^2 充分小的電路結構也可以確保充分的儲存容量。

另外，上述說明使用以電子為多數載子的 n 型電晶體（ n 通道型電晶體）的情況，但是當然可以使用以電洞為多數載子的 p 型電晶體代替 n 型電晶體。

如上所述，根據本實施例的半導體裝置適合於高集成化，但是藉由根據本發明的一個實施例的佈線共同化及接觸區域的縮小等，可以提供更提高集成度的半導體裝置。

<應用例子>

接著，使用圖 3 至圖 19B 對上述半導體裝置的應用例子進行說明。

圖 3 是半導體裝置的方塊圖的一個例子。圖 3 所示的半導體裝置具有儲存單元陣列 201、第一驅動電路 202 及第二驅動電路 203。

首先，對儲存單元陣列 201 進行說明。儲存單元陣列 201 具有層疊的儲存單元陣列 211a 至 211c。

儲存單元陣列 211a 包括： n 個（ n 是 2 以上的整數）位元線 BL； m 個（ m 是 2 以上的整數）信號線 S； m 個字線 WL； k 個（ k 是 n 以下或 m 以下的自然數）源極線 SL；以矩陣狀配置有縱 m 個（行） $\times$ 橫 n 個（列）儲存單元 212a 的區域。在此，作為儲存單元 212a，較佳使用圖

2A-1 所示的結構。另外，與儲存單元陣列 211a 連接的信號線 S 表示為信號線 $S(1, 1)$ 至 $S(m, 1)$ ，字線 WL 表示為字線 $WL(1, 1)$ 至 $WL(m, 1)$ 。另外，與儲存單元陣列 211a 連接的位元線 BL 表示為位元線 $BL(1, 1)$ 至 $BL(n, 1)$ 。

儲存單元 212a 包括第一電晶體、第二電晶體及第一電容器。在此，儲存單元 212a 相當於圖 1 所示的第一疊層體 210a 所具有的結構。再者，在儲存單元 212a 中，第一電晶體相當於圖 2A-1 所示的結構中的電晶體 160，第二電晶體相當於電晶體 162，第一電容器相當於電容器 164。在各儲存單元 212a 中，第一電晶體的閘極電極與第二電晶體的汲極電極（或源極電極）與第一電容器的一個電極電連接，並且源極線 SL 與第一電晶體的源極電極電連接。再者，位元線 BL 與第二電晶體的源極電極（或汲極電極）與第一電晶體的汲極電極電連接，字線 WL 與第一電容器的另一個電極電連接，並且信號線 S 與第二電晶體的閘極電極電連接。換言之，源極線 SL 相當於圖 2A-1 所示的結構中的第一佈線（1st Line），位元線 BL 相當於第二佈線（2nd Line）及第三佈線（3rd Line），信號線 S 相當於第四佈線（4th Line），並且字線 WL 相當於第五佈線（5th Line）。

藉由將具有第一半導體材料及第二半導體材料的儲存單元 212a 適用於儲存單元陣列 211a，可以確保充分的保持期間且使讀出工作高速化。

儲存單元陣列 211b 包括： n 個（ n 是 2 以上的整數）位元線 BL； m 個（ m 是 2 以上的整數）信號線 S； m 個字線 WL； k 個（ k 是 n 以下或 m 以下的自然數）源極線 SL；以矩陣狀配置有縱 m 個（行） $\times$ 橫 n 個（列）儲存單元 212b 的區域。在此，作為儲存單元 212b，較佳使用圖 2B 所示的結構。另外，與儲存單元陣列 211b 連接的信號線 S 表示為信號線 $S(1, 2)$ 至 $S(m, 2)$ ，字線 WL 表示為字線 $WL(1, 2)$ 至 $WL(m, 2)$ 。此外，與儲存單元陣列 211b 連接的位元線 BL 表示為位元線 $BL(1, 2)$ 至 $BL(n, 2)$

儲存單元 212b 包括第三電晶體、第四電晶體及第二電容器。在此，儲存單元 212b 相當於圖 1 所示的第二疊層體 210b 所具有的結構。再者，在儲存單元 212b 中，第三電晶體相當於圖 2B 所示的結構中的電晶體 170，第四電晶體相當於電晶體 172，第二電容器相當於電容器 174。在各儲存單元 212b 中，第三電晶體的閘極電極與第四電晶體的汲極電極（或源極電極）與第二電容器的一個電極電連接，並且源極線 SL 與第三電晶體的源極電極電連接。再者，位元線 BL 與第四電晶體的源極電極（或汲極電極）與第三電晶體的汲極電極電連接，字線 WL 與第二電容器的另一個電極電連接，並且信號線 S 與第四電晶體的閘極電極電連接。換言之，源極線 SL 相當於圖 2B 所示的結構中的第一佈線（1st Line），位元線 BL 相當於第二佈線（2nd Line）及第三佈線（3rd Line），信號線 S

相當於第四佈線（4th Line），並且字線 WL 相當於第五佈線（5th Line）。

注意，儲存單元陣列 211c 可以採用與儲存單元陣列 211b 相同的結構，因此省略詳細的說明。就是說，儲存單元陣列 211c 具有多個儲存單元 212c。另外，與儲存單元陣列 211c 連接的信號線 S 表示為信號線 S（1，3）至 S（m，3），字線 WL 表示為字線 WL（1，3）至 WL（m，3）。此外，與儲存單元陣列 211c 連接的位元線 BL 表示為位元線 BL（1，3）至 BL（n，3）。

藉由將具有第二半導體材料的儲存單元 212b 及儲存單元 212c 適用於儲存單元陣列 211b 及儲存單元陣列 211c，可以充分地確保資料的保持期間而不使製造程序複雜。

而且，藉由層疊儲存單元陣列 211a 至 211c，可以實現半導體裝置的高集成化。

注意，雖然圖 3 示出儲存單元陣列 211a 至 211c 分別不連接的情況，但是本發明的一個實施例不侷限於此。例如，也可以藉由將儲存單元陣列 211a 所具有的源極線 SL 與儲存單元陣列 211b 所具有的源極線 SL 電連接，使儲存單元 212a 與儲存單元 212b 電連接。由此，可以減少源極線 SL 的個數。此外，藉由將連接到儲存單元 212a 的源極線 SL 與連接到儲存單元 212b 的源極線 SL 電連接，可以使儲存單元 212a 與儲存單元 212b 電連接。

注意，在圖 3 所示的半導體裝置中，作為儲存單元陣

列 211a 至 211c 採用儲存單元配置為縱 m 個（行） $\times$ 橫 n 個（列）的矩陣狀的結構，但是本發明的一個實施例不侷限於此。儲存單元陣列 211a 至 211c 不必需要同樣的儲存單元結構，可以採用分別不同的儲存單元結構。

第一驅動電路 202 及第二驅動電路 203 分別包括多個電路。第一驅動電路 202 具有選擇器 221、包括緩衝等的電路 222 及行解碼器 223。另外，第二驅動電路 203 具有選擇器 231、電路群 232 及列解碼器 233。電路群 232 具有寫入電路群 234、讀出電路群 235 及暫存器群 236。

在此，圖 4 示出表示圖 3 所示的半導體裝置的疊層狀態的一個例子的簡單方塊圖。圖 4 所示的半導體裝置中，儲存單元陣列 201 具有包括三層的疊層體的結構，第一驅動電路 202 及第二驅動電路 203 具有包括一層的疊層體的結構。儲存單元陣列 211a 設置在第一疊層體 210a 中，儲存單元陣列 211b 設置在第二疊層體 210b 中，儲存單元陣列 211c 設置在第二疊層體 210b 上的疊層體中。另外，第一驅動電路 202 及第二驅動電路 203 設置在第一疊層體 210a 中。

圖 5 示出圖 3 及圖 4 所示的半導體裝置中的選擇器 231 的電路圖的一個例子。在此，對選擇器 231 設置在第一疊層體 210a 中的情況進行說明。選擇器 231 具有多個電晶體。另外，選擇器 231 藉由 $BL(1, 1)$ 至 $BL(n, 1)$ 與儲存單元陣列 211a 連接。與此相同，選擇器 231 藉由 $BL(1, 2)$ 至 $BL(n, 2)$ 與儲存單元陣列 211b 連

接，藉由 $BL(1, 3)$ 至 $BL(n, 3)$ 與儲存單元陣列 211c 連接。根據選層信號 LAY1、LAY2 和 LAY3，選擇器 231 使位元線 BL 和電路群 232 的端子導通。如果信號 LAY1 活動，則 $BL(1, 1)$ 至 $BL(n, 1)$ 和電路群 232 的端子導通。如果信號 LAY2 活動，則 $BL(1, 2)$ 至 $BL(n, 2)$ 和電路群 232 的端子導通。如果信號 LAY3 活動，則 $BL(1, 3)$ 至 $BL(n, 3)$ 和電路群 232 的端子導通。

圖 6 示出圖 3 及圖 4 所示的半導體裝置中的電路群 232 的方塊圖的一個例子。在此，對電路群 232 設置在第一疊層體 210a 中的情況進行說明。電路群 232 具有寫入電路群 234、讀出電路群 235 及暫存器群 236。寫入電路群 234 具有多個寫入電路 237，被輸入寫使能信號 WE、寫入電位 V_{write} 和從暫存器群 236 輸出的信號，從多個寫入電路 237 輸出的輸出信號分別輸入到選擇器 231。讀出電路群 235 具有讀出電路 238，被輸入讀使能信號 RE 和讀出電位 V_{read} ，輸出信號輸入到暫存器群 236。另外，讀出電路 238 的進行讀出的端子連接到選擇器 231。暫存器群 236 被輸入輸入資料 DIN，輸出輸出資料 DOUT。另外，暫存器群 236 被輸入讀出電路群 235 的輸出信號，輸出輸入到寫入電路群 234 的信號。輸入到寫入電路群 234 的信號也可以是彼此反向的信號成對。另外，寫入電路 237、讀出電路 238 及暫存器 239 的個數分別與儲存單元陣列的列數相同。

下面，對圖 6 所示的電路群 232 的工作進行說明。對

從外部到暫存器群 236 寫入資料的工作、從暫存器群 236 到外部讀出資料的工作、從暫存器群 236 到儲存單元寫入資料的工作及從儲存單元到暫存器群 236 讀出資料的工作進行說明。

藉由使信號 DIN 儲存在暫存器群 236 中，進行從外部到暫存器群 236 寫入資料的工作。藉由將儲存在暫存器群 236 中的資料作為信號 DOUT 輸出，進行從暫存器群 236 到外部的讀出資料的工作。另外，藉由如下步驟進行從暫存器群 236 到儲存單元寫入資料的工作：在寫使能信號 WE 活動的期間中，寫入電路群 234 根據從暫存器群 236 輸出的信號選擇且輸出寫入電壓。其結果，寫入電壓供應到位元線 BL，資料寫入到儲存單元。藉由如下步驟進行從儲存單元到暫存器群 236 讀出資料的工作：在讀使能信號 RE 活動的期間中，藉由讀出電路群 235 辨別位元線的電位從儲存單元讀出且輸出資料，並將上述被輸出的資料儲存在暫存器群 236 中。

作為讀出電路 238，例如，可以使用圖 7 所示的讀出電路。圖 7 所示的讀出電路具有讀出放大器 SA、成為負荷的電晶體及開關。讀出放大器 SA 是比較位元線電位與讀出電壓 V_{read} 且輸出其結果的。由讀使能信號 RE 決定讀出電路和位元線的導通。

作為寫入電路 237，例如，可以使用圖 8 所示的寫入電路。圖 8 所示的寫入電路由三個開關構成，根據彼此反向的信號成對選擇 V_{write} 和 GND 中的任一個電位，根據

寫使能信號 WE 決定是否供給所選擇的電位。

圖 9 示出圖 3 及圖 4 所示的半導體裝置的選擇器 221 的電路圖的一個例子。在此，對選擇器 221 設置在第一疊層體 210a 的情況進行說明。

選擇器 221 具有多個電晶體。另外，選擇器 221 藉由 $WL(1, 1)$ 至 $WL(m, 1)$ 及 $S(1, 1)$ 至 $S(m, 1)$ 與儲存單元陣列 211a 連接。與此相同，選擇器 221 藉由 $WL(1, 2)$ 至 $WL(m, 2)$ 及 $S(1, 2)$ 至 $S(m, 2)$ 與儲存單元陣列 211b 連接，藉由 $WL(1, 3)$ 至 $WL(m, 3)$ 及 $S(1, 3)$ 至 $S(m, 3)$ 與儲存單元陣列 211c 連接。根據選層信號 LAY1、LAY2 和 LAY3，選擇器 221 使字線 WL 及信號線 S 和電路 222 的端子導通。如果信號 LAY1 活動，則 $WL(1, 1)$ 至 $WL(m, 1)$ 及 $S(1, 1)$ 至 $S(m, 1)$ 和電路 222 的端子導通。如果信號 LAY2 活動，則 $WL(1, 2)$ 至 $WL(m, 2)$ 及 $S(1, 2)$ 至 $S(m, 2)$ 和電路 222 的端子導通。如果信號 LAY3 活動，則 $WL(1, 3)$ 至 $WL(m, 3)$ 及 $S(1, 3)$ 至 $S(m, 3)$ 和電路 222 的端子導通。

藉由使用第一半導體材料來形成設置在第一驅動電路 202 及第二驅動電路 203 的電路，可以使第一驅動電路 202 及第二驅動電路 203 高速工作。

圖 10 是示出圖 3 所示的半導體裝置的疊層狀態的另一個例子的簡單方塊圖。在圖 10 所示的半導體裝置中，儲存單元陣列 201 具有包括三層的疊層體的結構，第一驅

動電路 202 所具有的選擇器 221a、221b、221c 以及第二驅動電路 203 所具有的選擇器 231a、231b、231c 具有包括三層的疊層體的結構，第一驅動電路 202 及第二驅動電路 203 所具有的其他電路具有包括一層的疊層體的結構。儲存單元陣列 211a、選擇器 221a 及選擇器 231a 設置在第一疊層體 210a 中，儲存單元陣列 211b、選擇器 221b 及選擇器 231b 設置在第二疊層體 210b 中，儲存單元陣列 211c、選擇器 221c 及選擇器 231c 設置在第三疊層體 210c 中。

圖 11 示出圖 10 所示的半導體裝置的第二驅動電路 203 中的選擇器 231a、231b 及 231c 的電路圖的一個例子。圖 11 所示的選擇器具有與圖 5 所示的選擇器相同的電路結構。圖 11 與圖 5 的差異是選擇器的疊層結構。在圖 5 中，選擇器所具有的電晶體設置在第一疊層體 210a 中，但是在圖 11 中，選擇器所具有的電晶體設置在三層。例如，第二驅動電路 203 中的選擇器 231a 形成在與儲存單元陣列 211a 相同的層，選擇器 231b 形成在與儲存單元陣列 211b 相同的層，選擇器 231c 形成在與儲存單元陣列 211c 相同的層。也就是說，第二驅動電路 203 中的選擇器 231a 包含第一半導體材料，選擇器 231b 及選擇器 231c 包含第二半導體材料。

作為圖 10 所示的半導體裝置的電路群 232，採用與圖 4 所示的半導體裝置的電路群 232 相同的電路結構及疊層結構，即可。詳細說明可以參照圖 6 所示的方塊圖的例

子。

圖 12 示出圖 10 所示的半導體裝置的第一驅動電路 202 中的選擇器 221a、221b、221c 的電路圖的一個例子。圖 12 所示的選擇器具有與圖 9 所示的選擇器相同的電路結構。圖 12 與圖 9 的差異是選擇器的疊層結構。在圖 9 中，選擇器所具有的電晶體設置在第一疊層體 210a 中，但是在圖 12 中，選擇器所具有的電晶體設置在三層。例如，第一驅動電路 202 中的選擇器 221a 形成在與儲存單元陣列 211a 相同的層，選擇器 221b 形成在與儲存單元陣列 211b 相同的層，選擇器 221c 形成在與儲存單元陣列 211c 相同的層。也就是說，第一驅動電路 202 中的選擇器 221a 包含第一半導體材料，選擇器 221b 及選擇器 221c 包含第二半導體材料。

藉由採用這樣結構，可以減小驅動電路所占的面積且提高儲存密度。另外，藉由增大儲存單元陣列的面積，可以提高儲存容量。

圖 13 是示出圖 3 所示的半導體裝置中的疊層狀態的另一個例子的簡單方塊圖。在圖 13 所示的半導體裝置中，儲存單元陣列 201 具有三層的疊層體的結構，第一驅動電路 202 及第二驅動電路 203 具有部分由多個層構成的疊層結構。儲存單元陣列 211a、選擇器 221a、選擇器 231a 及電路群 232a 設置在第一疊層體 210a 中，儲存單元陣列 211b、選擇器 221b、選擇器 231b 及電路群 232b 設置在第二疊層體 210b 中，儲存單元陣列 211c、選擇器

221c 及選擇器 231c 設置在第三疊層體 210c 中。

圖 13 與圖 10 的差異是第二驅動電路 203 的結構。例如，在圖 10 中，第二驅動電路 203 中的電路群 232 是一層的結構，但是在圖 13 中，第二驅動電路 203 中的電路群 232a 和 232b 是兩層的結構。

作為圖 13 所示的半導體裝置的選擇器 231a 至 231c 以及選擇器 221a、221b、221c，採用與圖 10 所示的半導體裝置的選擇器 231a、231b、231c 以及選擇器 221a 至 221c 相同的電路結構及疊層結構，即可。詳細說明分別可以參照圖 11 及圖 12 所示的方塊圖的例子。

圖 14 示出圖 13 所示的半導體裝置的第二驅動電路 203 中的電路群 232a、232b 及選擇器 231a、231b、231c 的電路圖的一個例子。圖 14 所示的電路群 232a、232b 具有與圖 6 所示的電路群 232 相同的電路結構。圖 14 所示的電路群 232a 和 232b 與圖 6 所示的電路群 232 的差異是疊層結構。在圖 6 中，電路群 232 所具有的電晶體設置在第一疊層體 210a 中，但是在圖 14 中，電路群 232a 和 232b 所具有的電晶體設置在兩層。例如，第二驅動電路 203 中的電路群 232a 形成在與儲存單元陣列 211a 相同的層，電路群 232b 形成在與儲存單元陣列 211b 相同的層。也就是說，第二驅動電路 203 中的電路群 232a 包含第一半導體材料，電路群 232b 包含第二半導體材料。

圖 14 所示的電路群 232a 具有暫存器群 236 和讀出電路群 235。圖 14 所示的電路群 232b 具有寫入電路群

234。作為讀出電路群 235 所具有的讀出電路，例如可以使用圖 7 所示的讀出電路。作為寫入電路群 234 所具有的寫入電路，例如可以使用圖 15 所示的寫入電路。圖 15 所示的寫入電路由包含第二半導體材料的三個電晶體構成，根據彼此反向的信號成對選擇 V_{write} 和 GND 中的任一個電位，根據寫使能信號 WE 決定是否供給所選擇的電位。

藉由採用這樣結構，可以減小驅動電路所占的面積且提高儲存密度。另外，藉由增大儲存單元陣列的面積，可以提高儲存容量。

注意，雖然在本實施例中，對將儲存單元陣列 201、第一驅動電路 202 或第二驅動電路 203 層疊為三層的例子進行說明，但是本發明的一個實施例不侷限於此，可以採用兩層或四層以上的疊層結構。

<半導體裝置的製造方法>

接著，對上述半導體裝置的製造方法的一個例子進行說明。以下，首先參照圖 16A 至圖 17D 對第一疊層體 210a 中的下部電晶體 160 的製造方法進行說明，然後參照圖 18A 至圖 19B 對上部電晶體 162 及電容器 164 的製造方法進行說明。注意，第二疊層體 210b 中的電晶體 170、電晶體 172 及電容器 174 的製造方法與電晶體 162 及電容器 164 的製造方法相同，所以省略其詳細說明。

<下部電晶體的製造方法>

參照圖 16A 至圖 17D 對下部電晶體 160 的製造方法進行說明。

首先，準備包含半導體材料的基板 100。作為包含半導體材料的基板，可以使用矽或碳化矽等的單晶半導體基板、多晶半導體基板、矽鍺等的化合物半導體基板、SOI 基板等。在此，作為一個例子，示出作為包含半導體材料的基板 100 使用單晶矽基板的情況。注意，一般來說，“SOI 基板”是指在絕緣表面上設置有矽半導體層的基板，但是在本說明書等中，“SOI 基板”還包括在絕緣表面上設置有由矽以外的材料構成的半導體層的基板。換言之，“SOI 基板”所具有半導體層不侷限於矽類半導體層。另外，SOI 基板還包括在玻璃基板等的絕緣基板上隔著絕緣層設置有半導體層的構成。

作為包含半導體材料的基板 100，較佳使用矽晶片等的單晶半導體基板，因為這樣可以使半導體裝置的讀出工作高速化。

在基板 100 上形成用作用來形成元件分離絕緣層的掩模的保護層 102（參照圖 16A）。作為保護層 102，例如可以使用以氧化矽、氮化矽、氧氮化矽等為材料的絕緣層。另外，在該製程的前後，為了控制電晶體的臨界電壓，也可以將賦予 n 型導電性的雜質元素或賦予 p 型導電性的雜質元素添加到基板 100。在半導體為矽時，作為賦予 n 型導電性的雜質元素，例如可以使用磷、砷等。另外，作為賦予 p 型導電性的雜質元素，例如可以使用硼、

鋁、鎳等。

接著，將上述保護層 102 用作掩模進行蝕刻，去除不被保護層 102 覆蓋的區域（露出的區域）的基板 100 的一部分。由此，形成從其他半導體區域分離的半導體區域 104（參照圖 16B）。作為該蝕刻，較佳使用乾蝕刻，但是也可以使用濕蝕刻。根據被蝕刻材料可以適當地選擇蝕刻氣體或蝕刻液。

接著，以覆蓋半導體區域 104 的方式形成絕緣層，並選擇性地去除與半導體區域 104 重疊的區域的絕緣層，從而形成元件分離絕緣層 106（參照圖 16C）。該絕緣層使用氧化矽、氮化矽、氧氮化矽等來形成。作為去除絕緣層的方法，有 CMP（化學機械拋光）等的拋光處理或蝕刻處理等，可以使用任一種方法。另外，在形成半導體區域 104 之後或在形成元件分離絕緣層 106 之後，去除上述保護層 102。

在此，CMP 處理是指以被加工物的表面為標準而根據該標準藉由化學、機械的複合作用使表面平坦化的方法。更明確而言，CMP 處理是一種方法，其中在拋光臺上貼附砂布，且一邊在被加工物和砂布之間供應漿料（拋光劑），一邊將拋光台和被加工物分別旋轉或搖動，來由漿料和被加工物表面之間的化學反應以及砂布和被加工物的機械拋光的作用對被加工物的表面進行拋光。

另外，作為元件分離絕緣層 106 的形成方法，除了選擇性地去除絕緣層的方法以外，還可以使用藉由導入氧來

形成絕緣區域的方法等。

接著，在半導體區域 104 的表面上形成絕緣層，並在該絕緣層上形成包含導電材料的層。

絕緣層是以後成為閘極絕緣層的層，例如可以藉由半導體區域 104 表面的熱處理（熱氧化處理或熱氮化處理等）形成。也可以使用高密度電漿處理代替熱處理。高密度電漿處理例如可以使用選自 He、Ar、Kr、Xe 等稀有氣體、氧、氧化氮、氨、氮、氫等中的任一種的混合氣體來進行。當然，也可以使用 CVD 法或濺射法等形成絕緣層。該絕緣層較佳採用包含氧化矽、氧氮化矽、氮化矽、氧化鈺、氧化鋁、氧化鉭、氧化釷、矽酸鈺（ HfSi_xO_y ($x>0$ 、 $y>0$))、添加有氮的矽酸鈺（ HfSi_xO_y ($x>0$ 、 $y>0$))、添加有氮的鋁酸鈺（ HfAl_xO_y ($x>0$ 、 $y>0$)) 等的單層結構或疊層結構。另外，至於絕緣層的厚度，例如可以設定為 1nm 以上且 100nm 以下，較佳為 10nm 以上且 50nm 以下。

可以使用鋁、銅、鈦、鉭、鎢等的金屬材料形成包含導電材料的層。另外，也可以藉由使用如多晶矽等的半導體材料形成包含導電材料的層。對其形成方法也沒有特別的限制，可以使用蒸鍍法、CVD 法、濺射法或旋塗法等各種成膜方法。此外，在本實施例中，作為一個例子示出使用金屬材料形成包含導電材料的層的情況。

然後，藉由選擇性地蝕刻絕緣層和包含導電材料的層，形成閘極絕緣層 108 和閘極電極 110（參照圖

16C)。

接著，對半導體區域 104 添加磷 (P) 或砷 (As) 等形成通道形成區 116 及雜質區域 120 (參照圖 16D)。在此，爲了形成 n 型電晶體添加了磷或砷，但是當形成 p 型電晶體時，添加硼 (B) 或鋁 (Al) 等的雜質元素即可。在此，雖然可以適當地設定所添加的雜質的濃度，但是當半導體元件被高度微型化時，較佳將其濃度設定爲高。

另外，也可以在閘極電極 110 的周圍形成側壁絕緣層，來形成其中添加有濃度不同的雜質元素的雜質區域。

接著，以覆蓋閘極電極 110 和雜質區域 120 等的方式形成金屬層 122 (參照圖 17A)。該金屬層 122 可以使用真空蒸鍍法、濺射法或旋塗法等各種成膜方法形成。較佳使用藉由與構成半導體區域 104 的半導體材料起反應來成爲低電阻的金屬化合物的金屬材料形成金屬層 122。作爲上述金屬材料，例如有鈦、鉭、鎢、鎳、鈷、鉑等。

接著，進行熱處理，使上述金屬層 122 與半導體材料發生反應。由此，形成接觸雜質區域 120 的金屬化合物區域 124 (參照圖 17A)。另外，在作爲閘極電極 110 使用多晶矽等的情況下，還在閘極電極 110 與金屬層 122 接觸的部分中形成金屬化合物區域。

作爲上述熱處理，例如可以使用利用閃光燈的照射的熱處理。當然，也可以使用其他熱處理方法，但是爲了提高形成金屬化合物時的化學反應的控制性，較佳使用可以在極短的時間內進行熱處理的方法。另外，上述金屬化合

物區域藉由金屬材料與半導體材料之間的反應形成並具有足夠高的導電性。藉由形成該金屬化合物區域，可以充分降低電阻，並可以提高元件特性。另外，在形成金屬化合物區域 124 之後，去除金屬層 122。

接著，在與金屬化合物區域 124 的一部分接觸的區域中形成電極 126（參照圖 17B）。例如，可以藉由形成包含導電材料的層之後對該層選擇性地進行蝕刻來形成電極 126。包含導電材料的層可以使用鋁、銅、鈦、鉭、鎢等的金屬材料來形成。另外，也可以藉由使用如多晶矽等的半導體材料形成包含導電材料的層。對其形成方法也沒有特別的限制，可以使用蒸鍍法、CVD 法、濺射法或旋塗法等各種成膜方法。

接著，以覆蓋藉由上述製程形成的各結構的方式形成絕緣層 128（參照圖 17C）。絕緣層 128 可以使用包含氧化矽、氮化矽、氮化矽、氧化鋁等的無機絕緣材料的材料形成。尤其是較佳將低介電常數（low-k）材料用於絕緣層 128，因為這樣可以充分地降低起因於各種電極或佈線的重疊的電容。另外，也可以將使用上述材料的多孔絕緣層用於絕緣層 128。因為多孔絕緣層的介電常數比密度高的絕緣層低，所以可以進一步降低起因於電極或佈線的電容。此外，也可以使用聚醯亞胺、丙烯酸樹脂等的有機絕緣材料形成絕緣層 128。注意，雖然在此採用絕緣層 128 的單層結構，但是所公開的發明的一個實施例不侷限於此。也可以採用兩層以上的疊層結構。當採用三層結構

時，例如，可以採用氧氮化矽層、氮氧化矽層和氧化矽層的疊層結構。

另外，也可以在形成絕緣層 128 之後在絕緣層 128 中形成到達金屬化合物區域 124 的開口，並埋入該開口形成電極 126。

在此情況下，例如，可以在包括開口的區域中藉由 PVD 法形成薄的鈦膜，並藉由 CVD 法形成薄的氮化鈦膜，然後埋入開口形成鎢膜。在此，藉由 PVD 法形成的鈦膜具有還原被形成面上的氧化膜（自然氧化膜等），並且降低與下部電極等（在此，金屬化合物區域 124 等）的接觸電阻的功能。另外，其後形成的氮化鈦膜具有抑制導電材料的擴散的阻擋功能。另外，也可以在形成使用鈦或氮化鈦等的障壁膜之後藉由鍍敷法形成銅膜。

藉由上述製程形成使用包含半導體材料的基板 100 的電晶體 160（參照圖 17C）。由此可以形成疊層體 213a。這種電晶體 160 具有能夠進行高速工作的特徵。因此，藉由作為讀出用電晶體使用該電晶體，可以高速地進行資料的讀出。

然後，作為形成電晶體 162 及電容器 164 之前的處理，對絕緣層 128 進行 CMP 處理來使閘極電極 110 及電極 126 的上面露出（參照圖 17D）。作為使閘極電極 110 及電極 126 的上面露出的處理，除了 CMP 處理之外還可以使用蝕刻處理等，但是為了提高電晶體 162 的特性，較佳使絕緣層 128 的表面盡可能地平坦。

另外，也可以在上述各製程之前或之後還包括形成電極、佈線、半導體層或絕緣層等的製程。例如，作為佈線的結構，也可以採用由絕緣層及導電層的疊層結構構成的多層佈線結構來實現高集成化的半導體裝置。

另外，在上述製程中作為下部電晶體，說明電晶體 160 的製造方法，但是當製造下部電晶體時，可以製造圖 4 及圖 3 等所示的第一驅動電路 202 及第二驅動電路 203。

<上部電晶體的製造方法>

接著，參照圖 18A 至圖 18D 及圖 19A 和圖 19B 對上部電晶體 162 及電容器 164 的製造方法進行說明。

首先，在閘極電極 110、電極 126、絕緣層 128 等上形成氧化物半導體層，並且加工該氧化物半導體層，來形成氧化物半導體層 144（參照圖 18A）。另外，在形成氧化物半導體層之前，還可以在閘極電極 110、電極 126、絕緣層 128 上設置用作基底的絕緣層。作為該絕緣層，可以利用如濺射法等 PVD 法或如電漿 CVD 法等 CVD 法來形成。

作為用於氧化物半導體層的材料，可以使用：四元金屬氧化物的 In-Sn-Ga-Zn-O 類材料；三元金屬氧化物的 In-Ga-Zn-O 類材料、In-Sn-Zn-O 類材料、In-Al-Zn-O 類材料、Sn-Ga-Zn-O 類材料、Al-Ga-Zn-O 類材料、Sn-Al-Zn-O 類材料；二元金屬氧化物的 In-Zn-O 類材料、Sn-Zn-O

類材料、Al-Zn-O 類材料、Zn-Mg-O 類材料、Sn-Mg-O 類材料、In-Mg-O 類材料、In-Ga-O 類材料；或者 In-O 類材料、Sn-O 類材料、Zn-O 類材料等。另外，也可以使上述材料包含 SiO_2 。在此，例如，In-Ga-Zn-O 類材料是指具有銦（In）、鎵（Ga）、鋅（Zn）的氧化物半導體，並對其組成比並沒有特別的限制。另外，還可以包含 In、Ga、Zn 以外的元素。

另外，氧化物半導體層也可以使用以化學式 InMO_3 (ZnO)_m ($m>0$) 表示的材料的薄膜。在此，M 表示選自 Ga、Al、Mn 和 Co 中的一種或多種金屬元素。例如，作為 M，有 Ga、Ga 及 Al、Ga 及 Mn 或 Ga 及 Co 等。

另外，氧化物半導體層的厚度較佳為 3nm 以上且 30nm 以下。這是因為若使氧化物半導體層的厚度過厚（例如，厚度為 50nm 以上），則有電晶體成為常導通狀態的擔憂的緣故。

較佳藉由氫、水、羥基或氫化物等雜質不容易混入的方法製造氧化物半導體層。例如，可以藉由濺射法等製造氧化物半導體層。

在本實施例中，藉由使用 In-Ga-Zn-O 類氧化物靶材的濺射法，形成氧化物半導體層。

當作為氧化物半導體使用 In-Ga-Zn-O 類材料時，例如可以使用其組成比為 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [莫耳數比]的氧化物靶材。另外，靶材的材料及組成不侷限於上述記載。例如，也可以使用 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 :$

1:2[莫耳數比]的組成比的氧化物靶材。

另外，當作爲氧化物半導體使用 In-Zn-O 類材料時，將所使用的靶材的組成比設定爲使原子數比爲 In:Zn=50:1 至 1:2（換算爲莫耳數比則爲 $\text{In}_2\text{O}_3:\text{ZnO}=25:1$ 至 1:4），較佳爲 In:Zn=20:1 至 1:1（換算爲莫耳數比則爲 $\text{In}_2\text{O}_3:\text{ZnO}=10:1$ 至 1:2），更佳地爲 In:Zn=15:1 至 1.5:1（換算爲莫耳數比則爲 $\text{In}_2\text{O}_3:\text{ZnO}=15:2$ 至 3:4）。例如，作爲用於形成 In-Zn-O 類氧化物半導體的靶材，當原子數比爲 In:Zn:O=X:Y:Z 時，滿足 $Z>1.5X+Y$ 。

靶材的填充率爲 90%以上且 100%以下，較佳爲 95%以上且 99.9%以下。這是因爲藉由使用高填充率的靶材，所形成的氧化物半導體層可以成爲緻密的膜的緣故。

作爲成膜時的氣圍，採用稀有氣體（典型的是氬）氣圍下、氧氣圍下或稀有氣體和氧的混合氣圍下等，即可。此外，爲了防止氫、水、羥基、氫化物等混入氧化物半導體層，較佳採用使用充分去除了氫、水、羥基、氫化物等的雜質的高純度氣體的氣圍。

例如，可以藉由下述製程形成氧化物半導體層。

首先，將基板放置在被保持爲減壓狀態的沉積室內，並對基板進行加熱以使基板溫度爲超過 200℃ 且 500℃ 以下，較佳爲超過 300℃ 且 500℃ 以下，更佳地爲 350℃ 以上且 450℃ 以下。

接著，一邊去除沉積室中的殘留水分，一邊引入充分去除了氫、水、羥基、氫化物等的雜質的高純度氣體，並

使用上述靶材來在基板上形成氧化物半導體層。爲了去除沉積室中的殘留水分，作爲排氣單元，較佳使用低溫泵、離子泵、鈦昇華泵等的吸附型的真空泵。另外，作爲排氣單元，也可以使用配置有冷阱的渦輪泵。由於在利用低溫泵進行了排氣的沉積室中，例如氫、水、羥基、氫化物等的雜質（更佳地還包括包含碳原子的化合物）等被去除，因此可以降低在該沉積室中形成的氧化物半導體層所含有的氫、水、羥基、氫化物等的雜質濃度。

當成膜時的基板溫度是低溫（例如， 100°C 以下）時，由於含有氫原子的物質有可能混入到氧化物半導體中，所以較佳將基板加熱到上述溫度。藉由將基板加熱到上述溫度而形成氧化物半導體層，由於基板溫度爲高溫，所以氫結合被熱切斷而含有氫原子的物質不容易被引入到氧化物半導體層中。從而，藉由在將基板加熱到上述溫度的狀態下形成氧化物半導體層，可以充分降低包含在氧化物半導體層中的氫、水、羥基、氫化物等的雜質濃度。此外，可以減少因濺射而產生的損傷。

作爲成膜條件的一個例子，採用如下條件：基板與靶材之間的距離是 60mm ；壓力是 0.4Pa ；直流（DC）電源是 0.5kW ；基板溫度是 400°C ；成膜氣圍是氧（氧流量比率 100% ）氣圍。另外，藉由使用脈衝直流電源，可以減輕在進行成膜時產生的粉狀物質（也稱爲微粒、塵屑），且膜厚度分佈也變得均勻，所以是較佳的。

另外，較佳的是，在藉由濺射法形成氧化物半導體層

之前，進行引入氬氣體產生電漿的反濺射，來去除附著於氧化物半導體層的被形成表面的表面上的粉狀物質（也稱為微粒、塵屑）。反濺射是指如下一種方法，其中對基板施加電壓來在基板附近形成電漿，而對基板一側的表面進行修改。此外，也可以使用氮、氦、氧等的氣體代替氬。

藉由在氧化物半導體層上形成所希望的形狀的掩模之後，對該氧化物半導體層進行蝕刻，可以加工氧化物半導體層。可以藉由光刻製程等的方法形成上述掩模。或者，也可以藉由噴墨法等的方法形成掩模。另外，作為氧化物半導體層的蝕刻，可以採用乾蝕刻或濕蝕刻。當然，也可以組合乾蝕刻和濕蝕刻而使用。

然後，也可以對氧化物半導體層 144 進行熱處理（第一熱處理）。藉由進行熱處理，可以進一步去除包含在氧化物半導體層 144 中的含有氫原子的物質而改善氧化物半導體層 144 的結構，而降低能隙中的缺陷能階。在惰性氣體氣圍下，熱處理的溫度為 250°C 以上且 700°C 以下，較佳為 450°C 以上且 600°C 以下或者低於基板的應變點。作為惰性氣體氣圍，較佳應用以氮或稀有氣體（氮、氦或氬等）為主要成分且不包含水或氫等的氣圍。例如，將引入到熱處理裝置中的氮或氮、氦、氬等的稀有氣體的純度設定為 6N（99.9999%）以上，較佳設定為 7N（99.99999%）以上（即，雜質濃度為 1ppm 以下，較佳為 0.1ppm 以下）。

作為熱處理，例如，可以將被處理物引入使用電阻發

熱體等的電爐中，並在氮氣圍下以 450°C 加熱 1 個小時。在該期間，不使氧化物半導體層 144 接觸大氣，而避免水或氫的混入。

由於上述熱處理具有去除氫或水等的效果，所以也可以將該熱處理稱為脫水化處理、脫氫化處理等。例如，也可以在將氧化物半導體層加工為島狀之前、形成閘極絕緣層之後等的時序進行該熱處理。另外，這種脫水化處理、脫氫化處理不侷限於進行一次，而也可以進行多次。

接著，在氧化物半導體層 144 等上形成用來形成源極電極及汲極電極（包括使用與源極電極及汲極電極相同的層形成的佈線）的導電層，並且加工該導電層來形成源極電極或汲極電極 142a、源極電極或汲極電極 142b（參照圖 18B）。

作為導電層，可以利用 PVD 法或 CVD 法來形成。另外，作為導電層的材料，可以使用選自鋁、鉻、銅、鈮、鈦、鉬和鎢中的元素或以上述元素為成分的合金等。還可以使用選自錳、鎂、鋅、銻、鉍、銦中的一種或多種材料。

導電層既可以採用單層結構也可以採用兩層以上的疊層結構。例如可以舉出：鈦膜或氮化鈦膜的單層結構；含有矽的鋁膜的單層結構；在鋁膜上層疊鈦膜的兩層結構；在氮化鈦膜上層疊鈦膜的兩層結構；層疊鈦膜、鋁膜及鈦膜的三層結構等。另外，當作為導電層採用鈦膜或氮化鈦膜的單層結構時，具有易於將源極電極或汲極電極 142a

及源極電極或汲極電極 142b 加工為錐形形狀的優點。

另外，導電層還可以使用導電金屬氧化物來形成。作為導電金屬氧化物可以採用氧化銦 (In_2O_3)、氧化錫 (SnO_2)、氧化鋅 (ZnO)、氧化銦氧化錫合金 ($\text{In}_2\text{O}_3\text{-SnO}_2$ ，有時簡稱為 ITO)、氧化銦氧化鋅合金 ($\text{In}_2\text{O}_3\text{-ZnO}$) 或者使這些金屬氧化物材料中含有矽或氧化矽的金屬氧化物。

較佳以形成的源極電極或汲極電極 142a 及源極電極或汲極電極 142b 的端部成為錐形形狀的方式對導電層進行蝕刻。這裏，錐形角例如較佳為 30° 以上且 60° 以下。藉由以源極電極或汲極電極 142a 及源極電極或汲極電極 142b 的端部成為錐形形狀的方式進行蝕刻，可以提高後面形成的閘極絕緣層 146 的覆蓋性，並防止斷裂。

上部電晶體的通道長度 (L) 由源極電極或汲極電極 142a 的下端部與源極電極或汲極電極 142b 的下端部之間的間隔決定。另外，在形成通道長度 (L) 短於 25nm 的電晶體的情況下，當進行用來形成掩模的曝光時，較佳使用波長為幾 nm 至幾十 nm 的極短的極紫外線 (Extreme Ultraviolet)。利用極紫外線的曝光的解析度高且聚焦深度大。由此，可以將後面形成的電晶體的通道長度 (L) 形成為 10nm 以上至 1000nm (1 μm) 以下，而可以提高電路的工作速度。再者，藉由微型化可以降低半導體裝置的耗電量。

接著，形成閘極絕緣層 146，以覆蓋源極電極或汲極

電極 142a、142b 並與氧化物半導體層 144 的一部分接觸。（參照圖 18C）。

閘極絕緣層 146 可以利用 CVD 法或濺射法等形成。另外，閘極絕緣層 146 使用氧化矽、氮化矽、氧氮化矽等的材料來形成。此外，閘極絕緣層 146 也可以使用包含第 13 族元素及氧的材料來形成。作為包含第 13 族元素及氧的材料，例如可以使用氧化鎵、氧化鋁、氧化鋁鎵等。再者，閘極絕緣層 146 也可以包含氧化鉬、氧化鉛、氧化鈮、矽酸鉛（ $\text{HfSi}_x\text{O}_y(x>0, y>0)$ ）、添加有氮的矽酸鉛（ $\text{HfSi}_x\text{O}_y\text{N}_z(x>0, y>0, z>0)$ ）、添加有氮的鋁酸鉛（ $\text{HfAl}_x\text{O}_y\text{N}_z(x>0, y>0, z>0)$ ）等的高介電常數（high-k）材料。閘極絕緣層 146 既可以採用單層結構，又可以採用組合上述材料的疊層結構。另外，雖然對其厚度沒有特別的限定，但是當對半導體裝置進行微型化時，為了確保電晶體的工作較佳將其形成得較薄。例如，當使用氧化矽時，可以將閘極絕緣層 146 形成為 1nm 以上且 100nm 以下厚，較佳形成為 10nm 以上且 50nm 以下厚。

閘極絕緣層 146 較佳使用不使氫、水等雜質混入到層中的方法形成。這是因為當閘極絕緣層 146 包含氫、水等雜質時，有如下憂慮的緣故：因氫、水等雜質侵入到氧化物半導體層中或該氫、水等雜質抽出氧化物半導體層中的氧而使氧化物半導體層的背通道低電阻化（n 型化），因此形成寄生通道。因此，閘極絕緣層 146 較佳以儘量不包含氫、水等雜質的方式來形成。例如，較佳藉由濺射法來

形成。作為形成時使用的濺射氣體，較佳使用去除了氫、水等雜質的高純度氣體。

另外，在很多情況下，用於氧化物半導體層 144 的氧化物半導體材料包含第 13 族元素。因此，當使用包含第 13 族元素及氧的材料形成接觸於氧化物半導體層 144 的閘極絕緣層 146 時，可以使與氧化物半導體層 144 之間的介面保持良好狀態。這是因為包含第 13 族元素及氧的材料與氧化物半導體材料搭配良好的緣故。例如，藉由使氧化物半導體層 144 和使用氧化鎵的閘極絕緣層 146 接觸地設置，可以減少在氧化物半導體層 144 與閘極絕緣層 146 之間的介面產生的氫的沉積（pileup）。另外，由於氧化鋁具有不容易透射水的特性，因此從防止水侵入到氧化物半導體層 144 中的觀點來看，使用該材料是較佳的。

當如上述那樣將閘極絕緣層形成得較薄時，存在因隧道效應等引起閘極洩漏電流的問題。為了解決閘極洩漏電流的問題，作為閘極絕緣層 146 較佳使用上述 high-k 材料。藉由將 high-k 材料用於閘極絕緣層 146，不但可以確保電特性，而且可以將膜厚度設定得厚，以抑制閘極洩漏電流。另外，還可以採用層疊含有 high-k 材料的膜與含有氧化矽、氮化矽、氧氮化矽、氮氧化矽或氧化鋁等的膜的疊層結構。

另外，閘極絕緣層 146 較佳包含多於化學計量組成比的氧。例如，當作為閘極絕緣層 146 使用氧化鎵時，化學計量組成比可以表示為 $\text{Ga}_2\text{O}_{3+\alpha}$ ($0 < \alpha < 1$)。另外，當作為閘

極絕緣層 146 使用氧化鋁時，化學計量組成比可以表示為 $\text{Al}_2\text{O}_{3+\alpha}$ ($0 < \alpha < 1$)。再者，當作爲閘極絕緣層 146 使用氧化鎵鋁時，化學計量組成比可以表示爲 $\text{Ga}_x\text{Al}_{2-x}\text{O}_{3+\alpha}$ ($0 < x < 2$ 、 $0 < \alpha < 1$)。

另外，也可以在形成氧化物半導體層、形成氧化物半導體層 144 以及形成閘極絕緣層 146 中的任一種之後進行氧摻雜處理。“氧摻雜”是指將氧（至少包含氧自由基、氧原子以及氧離子中的任一種）添加到塊（bulk）中的處理。注意，該術語“塊”是爲了明確顯示不僅將氧添加到薄膜表面還將氧添加到薄膜內部的情況的目的而使用。另外，“氧摻雜”包括將電漿化的氧添加到塊中的“氧電漿摻雜”。藉由進行氧摻雜處理，可以使包含在氧化物半導體層或閘極絕緣層中的氧多於化學計量組成比。

氧摻雜處理較佳利用 ICP（Inductively Coupled Plasma：感應耦合電漿）方式，使用利用微波（例如，頻率爲 2.45GHz）激發的氧電漿來進行。

較佳在形成閘極絕緣層 146 之後，在惰性氣體氣圍下或氧氣圍下進行第二熱處理。熱處理的溫度爲 200℃ 以上且 450℃ 以下，較佳爲 250℃ 以上且 350℃ 以下。例如，在氮氣圍下以 250℃ 進行 1 個小時的熱處理即可。藉由進行第二熱處理，可以降低電晶體的電特性的不均勻性。另外，當閘極絕緣層 146 含有氧時，可以向氧化物半導體層 144 供給氧，填補該氧化物半導體層 144 的氧缺損。

另外，在本實施例中，雖然在形成閘極絕緣層 146 之

後進行第二熱處理，但是第二熱處理的時序不限定於此。例如，也可以在形成閘極電極之後進行第二熱處理。另外，既可以在第一熱處理之後連續地進行第二熱處理，也可以在第一熱處理中兼併第二熱處理，或在第二熱處理中兼併第一熱處理。

如上所述，藉由採用第一熱處理和第二熱處理中的至少一個，可以以氧化物半導體層 144 儘量不包含含有該氫原子的物質的方式使其高純度化。

接著，形成用來形成閘極電極（包括使用與閘極電極相同的層形成的佈線）的導電層，並且加工該導電層來形成閘極電極 148a 及導電層 148b（參照圖 18D）。

作為閘極電極 148a 及導電層 148b，可以使用鉬、鈦、鉭、鎢、鋁、銅、鈳和鈳等的金屬材料或以這些材料為主要成分的合金材料來形成。另外，閘極電極 148a 及導電層 148b 可以為單層結構或者疊層結構。

接著，在閘極絕緣層 146、閘極電極 148a 及導電層 148b 上形成絕緣層 150 及絕緣層 152（參照圖 19A）。絕緣層 150 及絕緣層 152 可以利用 PVD 法或 CVD 法等來形成。另外，還可以使用含有氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鎘、氧化鋁、氧化鎂鋁等的無機絕緣材料的材料來形成。另外，作為絕緣層 150 及絕緣層 152，較佳使用介電常數低的材料或介電常數低的結構（多孔結構等）。這是因為藉由使絕緣層 150 及絕緣層 152 的介電常數低，可以降低產生在佈線或電極等之間的電容而實現工

作的高速化的緣故。另外，在本實施例中，雖然採用絕緣層 150 和絕緣層 152 的單層結構，但是本發明的一個實施例不限定於此，也可以採用兩層以上的疊層結構。

接著，在閘極絕緣層 146、絕緣層 150 及絕緣層 152 中形成到達源極電極或汲極電極 142b 的開口 153。然後，在開口 153 中形成與源極電極或汲極電極 142b 接觸的電極 154，並且在絕緣層 152 上形成與電極 154 接觸的佈線 156（參照圖 19B）。由此，可以形成疊層體 213b。另外，藉由使用掩模等選擇性地進行蝕刻來形成該開口。

例如，可以藉由在包括開口 153 的區域中使用 PVD 法或 CVD 法等形成導電層，然後使用蝕刻處理或 CMP 處理等的方法去除上述導電層的一部分，來形成電極 154。

更明確而言，例如，可以在包括開口 153 的區域中藉由 PVD 法形成薄的鈦膜，藉由 CVD 法形成薄的氮化鈦膜，然後埋入開口 153 地形成鎢膜。在此，藉由 PVD 法形成的鈦膜具有還原被形成面的氧化膜（自然氧化膜等）並降低與下部電極等（在此為源極電極或汲極電極 142b）的接觸電阻的功能。另外，其後形成的氮化鈦膜具有抑制導電材料的擴散的阻擋功能。另外，也可以在形成使用鈦或氮化鈦等的障壁膜之後藉由鍍敷法形成銅膜。

另外，當去除上述導電層的一部分形成電極 154 時，較佳進行加工來使其表面平坦。例如，當在包括開口 153 的區域中形成薄的鈦膜或氮化鈦膜，然後埋入開口 153 地形成鎢膜時，可以藉由後面的 CMP 處理去除不需要的

鎢、鈦、氮化鈦等並提高其表面的平坦性。如此，藉由使包括電極 154 的表面平坦化，可以在後面的製程中形成良好的電極、佈線、絕緣層、半導體層等。

佈線 156 藉由在使用濺射法等 PVD 法、電漿 CVD 法等 CVD 法形成導電層之後對該導電層進行構圖而形成。作為導電層的材料，可以使用選自鋁、鉻、銅、鈮、鈦、鉬和鎢中的元素或以上述元素為成分的合金等。還可以使用選自錳、鎂、鋅、鈹、釷、釷中的任何一種或多種材料。詳細內容與源極電極或汲極電極 142a、142b 等相同。

藉由上述步驟完成包括電晶體 160、電晶體 162 及電容器 164 的第一疊層體 210a（參照圖 19B）。

接著，在第一疊層體 210a 上形成絕緣層 158，在該絕緣層 158 上形成第二疊層體 210b（參照圖 1）。第二疊層體 210b 包括電晶體 170、電晶體 172 及電容器 174。在此，電晶體 170、電晶體 172 及電容器 174 的製造方法與電晶體 162 及電容器 164 的製造方法相同，因此省略詳細說明。另外，當在第二疊層體 210b 上形成第三疊層體或第四疊層體時，隔著絕緣層形成與電晶體 170、電晶體 172 及電容器 174 相同的電晶體及電容器，即可。

使用氧化物半導體層的電晶體的製造製程不需要高溫處理，可以製造該使用氧化物半導體層的電晶體而不影響到第一疊層體的裝置或佈線。另外，與使用氧化物半導體以外的半導體材料（例如，矽）的電晶體的製造製程數相

比，使用氧化物半導體層的電晶體的製造製程數小。因此，藉由將使用氧化物半導體層的電晶體的疊層體用作第二疊層體或第三疊層體，可以降低製造成本。

本實施例所示的結構、方法等可以與其他實施例所示的結構、方法等適當地組合而使用。

實施例 2

在本實施例中，使用圖 20A 至 20F 而對將上述實施例所說明的半導體裝置應用於電子裝置的情況進行說明。在本實施例中，說明將上述半導體裝置應用於電腦、行動電話機（也稱為行動電話、行動電話裝置）、可攜式資訊終端（包括可攜式遊戲機、聲音再現裝置等）、數位相機、數位攝像機、電子紙、電視裝置（也稱為電視或電視接收機）等的電子裝置的情況。

圖 20A 示出筆記本型個人電腦，包括外殼 701、外殼 702、顯示部 703 和鍵盤 704 等。在外殼 701 和外殼 702 中的至少一個內部設置有儲存電路，並且在該儲存電路中設置有上述實施例所示的半導體裝置。因此，可以實現一種資料寫入及讀出的速度很快，能夠較長期間保持儲存內容，並且其耗電量被充分地降低了的筆記本型個人電腦。

圖 20B 示出可攜式資訊終端（PDA），其主體 711 包括顯示部 713、外部介面 715 和操作按鈕 714 等。另外，還包括用來操作可攜式資訊終端的觸屏筆 712 等。在主體

711 內部設置有儲存電路，並且在該儲存電路中設置有上述實施例所示的半導體裝置。因此，可以實現一種資料寫入及讀出的速度很快，能夠較長期間保持儲存內容，並且其耗電量被充分地降低了的可攜式資訊終端。

圖 20C 示出安裝有電子紙的電子書閱讀器 720，包括外殼 721 和外殼 723 的兩個外殼。外殼 721 和外殼 723 分別設置有顯示部 725 和顯示部 727。外殼 721 和外殼 723 由軸部 737 彼此連接，並且使電子書閱讀器 720 可以以該軸部 737 為軸進行開閉動作。另外，外殼 721 包括電源開關 731、操作鍵 733 和揚聲器 735 等。在外殼 721 和外殼 723 中的至少一個內部設置有儲存電路，並且在該儲存電路中設置有上述實施例所示的半導體裝置。因此，可以實現一種資料寫入及讀出的速度很快，能夠較長期間保持儲存內容，並且其耗電量被充分地降低了的電子書閱讀器。

圖 20D 示出行動電話機，包括外殼 740 和外殼 741 的兩個外殼。再者，外殼 740 和外殼 741 滑動而可以將如圖 20D 所示那樣的展開狀態轉換成重疊狀態，可以實現適於攜帶的小型化。另外，外殼 741 包括顯示面板 742、揚聲器 743、麥克風 744、操作鍵 745、指向裝置 746、照相用透鏡 747、外部連接端子 748 等。此外，外殼 740 包括進行行動電話機的充電的太陽電池單元 749 和外部記憶體插槽 750 等。另外，天線被內置在外殼 741 中。在外殼 740 和外殼 741 中的至少一個內部設置有儲存電路，並且在該

儲存電路中設置有上述實施例所示的半導體裝置。因此，可以實現一種資料寫入及讀出的速度很快，能夠較長期間保持儲存內容，並且其耗電量被充分地降低了的的行動電話機。

圖 20E 示出數位相機，包括主體 761、顯示部 767、取景器 763、操作開關 764、顯示部 765 和電池 766 等。在主體 761 中設置有上述實施例所示的半導體裝置。因此，可以實現一種資料寫入及讀出的速度很快，能夠較長期間保持儲存內容，並且其耗電量被充分地降低了的的數位相機。

圖 20F 示出電視裝置 770，包括外殼 771、顯示部 773 和支架 775 等。可以藉由外殼 771 所具有的開關、遙控器 780 來進行電視裝置 770 的操作。在外殼 771 和遙控器 780 內部設置有儲存電路，並且在該儲存電路中安裝有上述實施例所示的半導體裝置。因此，可以實現一種資料寫入及讀出的速度很快，能夠較長期間保持儲存內容，並且其耗電量被充分地降低了的的電視裝置。

如上所述，本實施例所示的電子裝置安裝有上述實施例的半導體裝置。所以，可以實現一種耗電量被降低了的電子裝置。

【符號說明】

100：基板

102：保護層

- 104：半 導 體 區 域
- 106：元 件 分 離 絕 緣 層
- 108：閘 極 絕 緣 層
- 110：閘 極 電 極
- 116：通 道 形 成 區
- 120：雜 質 區 域
- 122：金 屬 層
- 124：金 屬 化 合 物 區 域
- 126：電 極
- 128：絕 緣 層
- 142a：源 極 電 極 或 汲 極 電 極
- 142b：源 極 電 極 或 汲 極 電 極
- 144：氧 化 物 半 導 體 層
- 146：閘 極 絕 緣 層
- 148a：閘 極 電 極
- 148b：導 電 層
- 150：絕 緣 層
- 152：絕 緣 層
- 153：開 口
- 154：電 極
- 156：佈 線
- 158：絕 緣 層
- 160：電 晶 體
- 162：電 晶 體

164 : 電 容 器
 170 : 電 晶 體
 172 : 電 晶 體
 174 : 電 容 器
 201 : 儲 存 單 元 陣 列
 202 : 第 一 驅 動 電 路
 203 : 第 二 驅 動 電 路
 210a : 第 一 疊 層 體
 210b : 第 二 疊 層 體
 210c : 第 三 疊 層 體
 211a : 儲 存 單 元 陣 列
 211b : 儲 存 單 元 陣 列
 211c : 儲 存 單 元 陣 列
 212a : 儲 存 單 元
 212b : 儲 存 單 元
 212c : 儲 存 單 元
 213a : 疊 層 體
 213b : 疊 層 體
 213c : 疊 層 體
 213d : 疊 層 體
 221 : 選 擇 器
 221a : 選 擇 器
 221b : 選 擇 器
 221c : 選 擇 器

222 : 電路
223 : 行解碼器
231 : 選擇器
231a : 選擇器
231b : 選擇器
231c : 選擇器
232 : 電路群
232a : 電路群
232b : 電路群
233 : 列解碼器
234 : 電路群
235 : 電路群
236 : 暫存器群
237 電路
238 : 電路
239 : 暫存器
701 : 外殼
702 : 外殼
703 : 顯示部
704 : 鍵盤
711 : 主體
712 : 觸屏筆
713 : 顯示部
714 : 操作按鈕

715：外部介面
720：電子書閱讀器
721：外殼
723：外殼
725：顯示部
727：顯示部
731：電源開關
733：操作鍵
735：揚聲器
737：軸部
740：外殼
741：外殼
742：顯示面板
743：揚聲器
744：麥克風
745：操作鍵
746：指向裝置
747：照相用透鏡
748：外部連接端子
749：太陽電池單元
750：外部記憶體插槽
761：主體
763：取景器
764：操作開關

765：顯示部

766：電池

767：顯示部

770：電視裝置

771：外殼

773：顯示部

775：支架

780：遙控器

申請專利範圍

1. 一種半導體裝置，包括：

第一電晶體，包含，包括單晶矽的第一通道形成區及一對雜質區域；

該第一電晶體上的第二電晶體，包含，包括氧化物半導體材料的第二通道形成區；

該第一電晶體上的第一電容器；以及

該第二電晶體上的第三電晶體，包含，包括該氧化物半導體材料的第三通道形成區，

其中，該第三電晶體與該第一電晶體及該第二電晶體的至少之一者重疊，

其中，該第一電晶體的閘極電連接該第二電晶體的源極或汲極之一者及該第一電容器，並且

其中，該氧化物半導體材料包含銦。

2. 一種半導體裝置，包括：

第一電晶體，包含，包括單晶矽的第一通道形成區及一對雜質區域；

該第一電晶體上的第二電晶體，該第二電晶體包括：

包括第二通道形成區的氧化物半導體層，該第二通道形成區包含氧化物半導體材料；

該氧化物半導體層上的源極及汲極；

該源極及該汲極上的閘極絕緣層；以及

該閘極絕緣層上的閘極，該閘極與該源極及該汲極重疊；

該第一電晶體上的第一電容器；以及

該第二電晶體上的第三電晶體，包含，包括該氧化物半導體材料的第三通道形成區，

其中，該第三電晶體與該第一電晶體及該第二電晶體的至少之一者重疊，

其中，該第一電晶體的閘極電連接該第二電晶體的該源極或該汲極之一者及該第一電容器，並且

其中，該氧化物半導體材料包含銦。

3. 一種半導體裝置，包括：

第一電晶體，包含，包括單晶矽的第一通道形成區及一對雜質區域；

該第一電晶體上的第二電晶體，包含，包括氧化物半導體材料的第二通道形成區；

該第一電晶體上的第一電容器；

該第二電晶體上的第三電晶體，包含，包括該氧化物半導體材料的第三通道形成區；

該第三電晶體上的第四電晶體，包含，包括該氧化物半導體材料的第四通道形成區；以及

該第三電晶體上的第二電容器，

其中，該第三電晶體與該第一電晶體及該第二電晶體的至少之一者重疊，

其中，該第一電晶體的閘極電連接該第二電晶體的源極或汲極之一者及該第一電容器，並且

其中，該氧化物半導體材料包含銦。

4. 一種半導體裝置，包括：

儲存單元陣列，包括第一儲存單元及第二儲存單元；

該第一儲存單元包括：

第一電晶體，包括藉由該第一電晶體之源極或汲極之一者與第一位元線電連接的第一通道形成區及一對雜質區域；以及

第二電晶體，包括藉由該第二電晶體之源極或汲極與該第一電晶體之閘極電連接的第二通道形成區，以及該第二儲存單元包括：

第三電晶體，包括藉由該第三電晶體之源極或汲極之一者與第二位元線電連接的第三通道形成區；以及

第四電晶體，包括藉由該第四電晶體之源極或汲極與該第三電晶體之閘極電連接的第四通道形成區，以及

與該第一儲存單元及該第二儲存單元相關的驅動電路，

其中，包含在該第二通道形成區、該第三通道形成區及該第四通道形成區中的第一半導體材料包括氧化物半導體材料，並且

其中，以至少彼此部分地重疊的方式層疊該第一儲存單元與該第二儲存單元。

5. 一種半導體裝置，包括：

基板上的第一儲存單元，該第一儲存單元包括：

第一電晶體，具有第一通道形成區及一對雜質區域；

該第一電晶體上且具有第二通道形成區的第二電晶體；以及

該第一電晶體上的第一電容器，以及
該第一儲存單元上的第二儲存單元，該第二儲存單元包括：

第三電晶體，具有第三通道形成區；

該第三電晶體上且具有第四通道形成區的第四電晶體；以及

該第三電晶體上的第二電容器，

其中，該第二儲存單元與該第一儲存單元至少部分地重疊，

其中，該第一電晶體的閘極與該第二電晶體的源極或汲極之一者及該第一電容器電連接，

其中，該第三電晶體的閘極與該第四電晶體的源極或汲極之一者及該第二電容器電連接，並且

其中，包含在該第二通道形成區、該第三通道形成區和該第四通道形成區中的第一半導體材料包括氧化物半導體材料。

6. 根據申請專利範圍第 1 至 5 項中之任一項之半導體裝置，其中該第一通道形成區位於該對雜質區域之間。

7. 根據申請專利範圍第 1 至 3 及 5 項中之任一項之半導體裝置，其中該第一電晶體的源極或汲極之一者電連接該第二電晶體的該源極或該汲極之另一者。

8. 根據申請專利範圍第 1 至 5 項中之任一項之半導

體裝置，其中該第一電晶體的該閘極與該第二電晶體的該源極或該汲極之該一者接觸。

9. 根據申請專利範圍第 1 至 5 項中之任一項之半導體裝置，其中該氧化物半導體材料更包含銻及鋅。

10. 根據申請專利範圍第 1 至 5 項中之任一項之半導體裝置，其中該第二電晶體的關態電流在 25℃ 時低於或等於 1×10^{-19} A。

11. 根據申請專利範圍第 1 至 3 及 5 項中之任一項之半導體裝置，其中該第三電晶體與該第一電晶體及該第一電容器重疊。

12. 根據申請專利範圍第 4 或 5 項之半導體裝置，更包括，包含在該第一通道形成區中的為單晶半導體的第二半導體材料。

13. 根據申請專利範圍第 4 或 5 項之半導體裝置，其中包含在該第一通道形成區中的第二半導體材料是選自矽、銻、矽銻、碳化矽或砷化銻中的材料。

14. 根據申請專利範圍第 4 項之半導體裝置，其中該驅動電路包含第二半導體材料。

15. 根據申請專利範圍第 4 項之半導體裝置，其中該驅動電路包含該第一半導體材料。

16. 根據申請專利範圍第 4 項之半導體裝置，

其中該驅動電路包含該第二半導體材料，並且

其中該驅動電路的其他一部分包含該第一半導體材料。

17. 根據申請專利範圍第 4 項之半導體裝置，更包括：

與該第一電晶體的該源極和該汲極中的另一者電連接的第一源極線；以及

與該第三電晶體的該源極和該汲極中的另一者電連接的第二源極線，

其中該第一源極線與該第二源極線電連接。

18. 根據申請專利範圍第 4 項之半導體裝置，其中該驅動電路包括用來選擇該第一儲存單元或該第二儲存單元的選擇器電路。

19. 根據申請專利範圍第 18 項之半導體裝置，其中該第一位元線及該第二位元線與該選擇器電路電連接。

20. 根據申請專利範圍第 5 項之半導體裝置，更包括：

與該第一電晶體的源極或汲極之一者電連接的第一位元線；

與該第一電晶體的該源極或該汲極之另一者電連接的第一源極線；

與該第三電晶體的源極或汲極之一者電連接的第二位元線；

與該第三電晶體的該源極或該汲極之另一者電連接的第二源極線；以及

與該第一位元線及該第二位元線電連接的選擇器電路，

其中，該第一源極線與該第二源極線電連接，並且
其中，該選擇器電路選擇該第一位元線或該第二位元
線。

21. 根據申請專利範圍第 20 項之半導體裝置，其中
該選擇器電路包含該第一半導體材料。

圖式

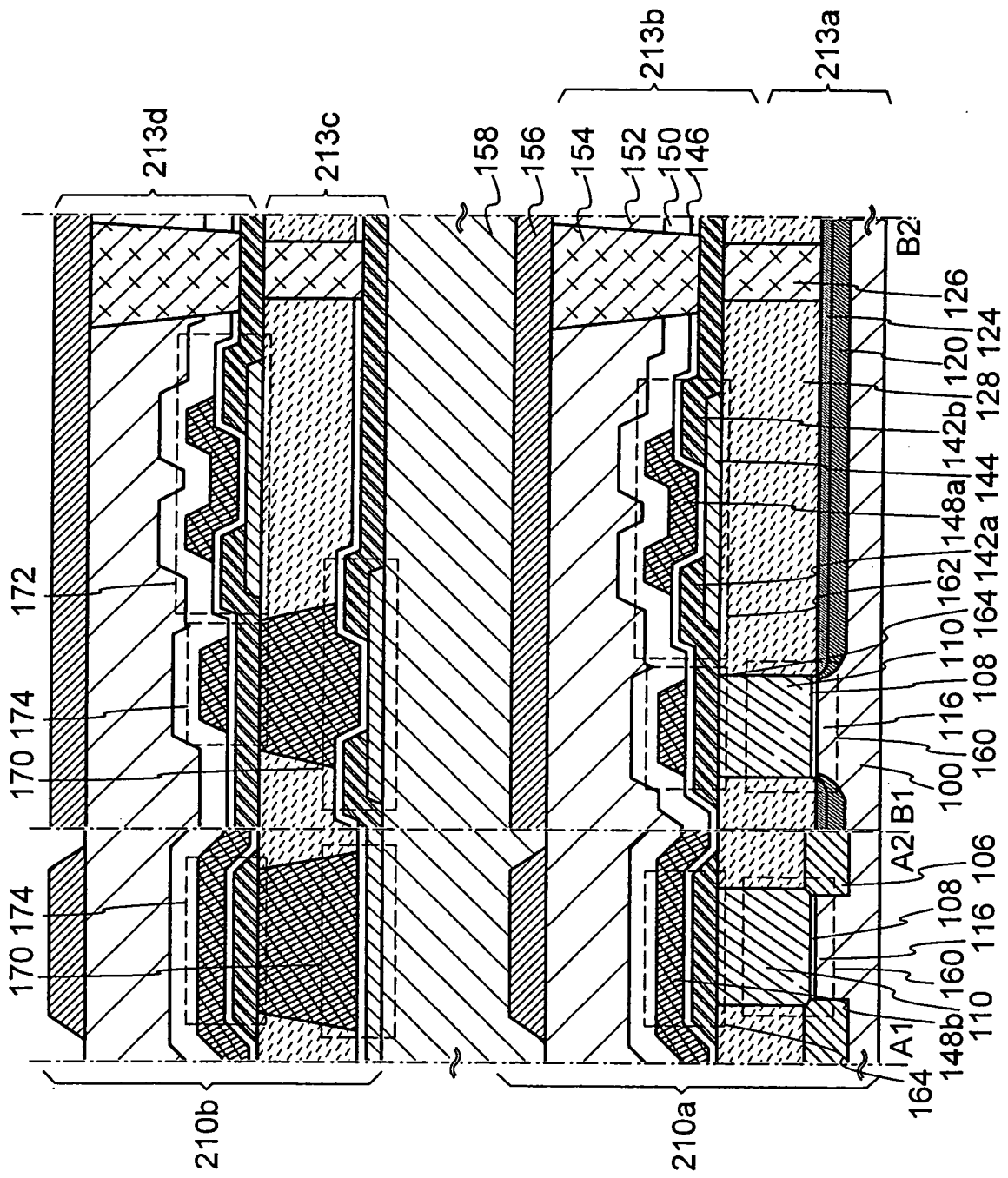


圖1

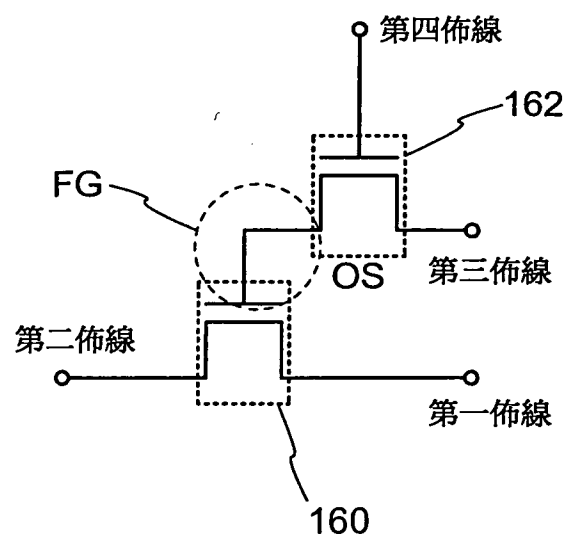


圖3

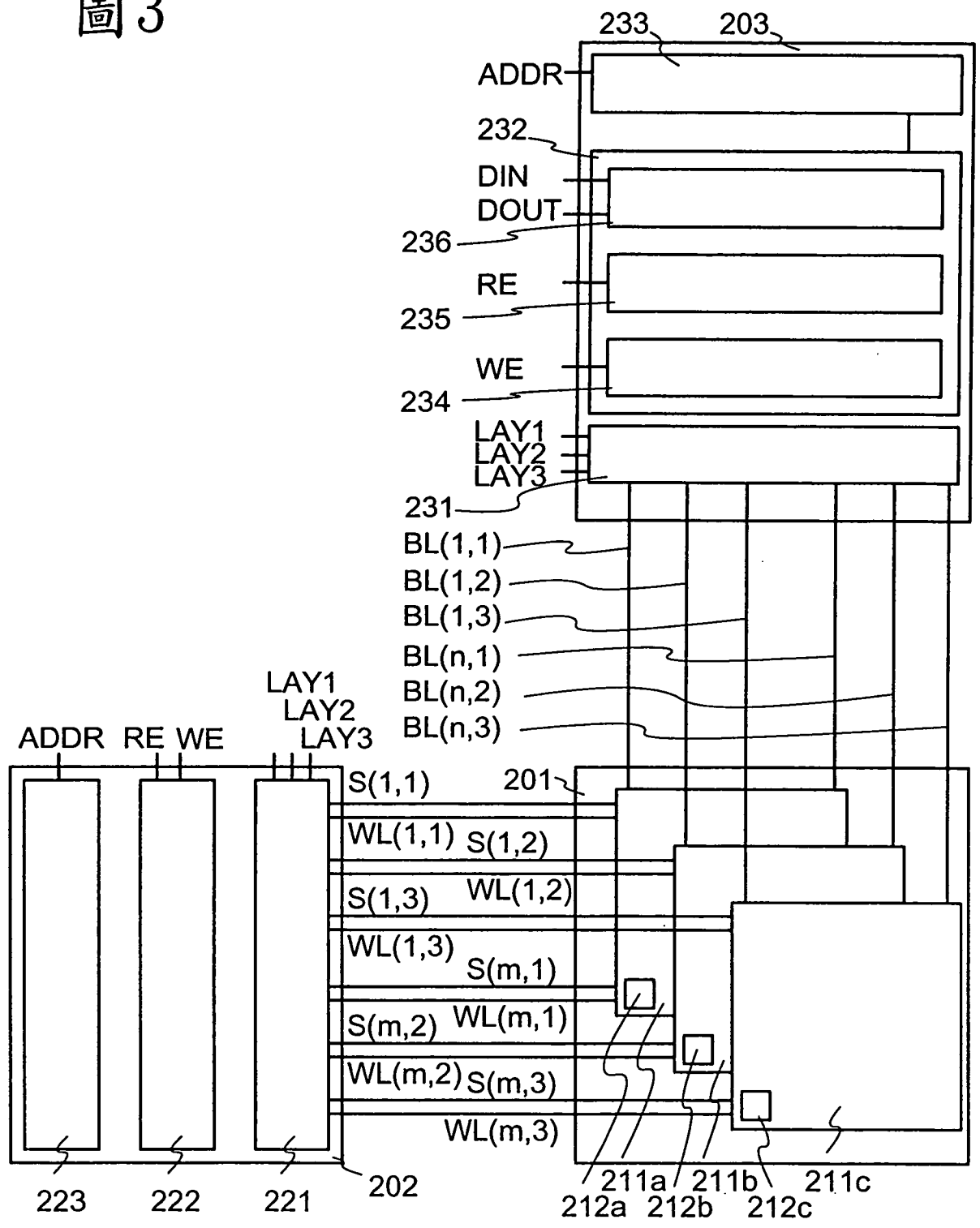


圖 4

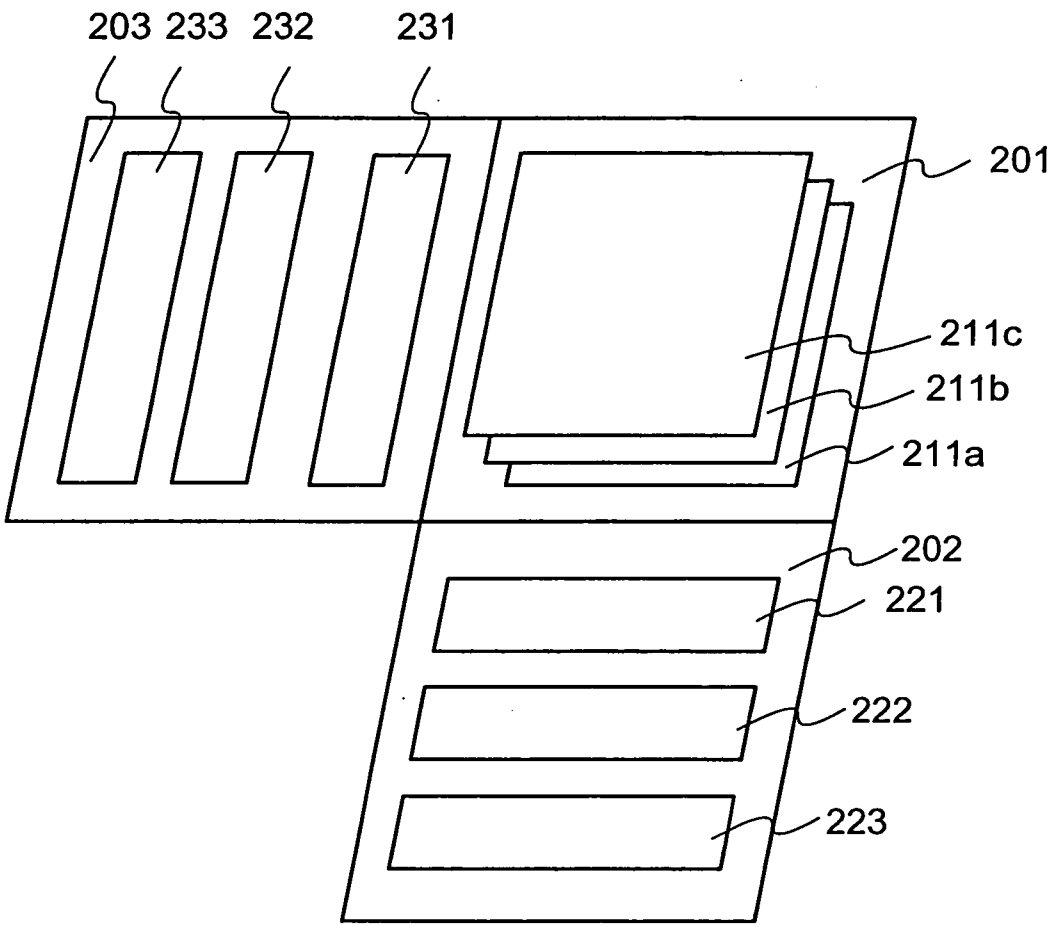


圖5

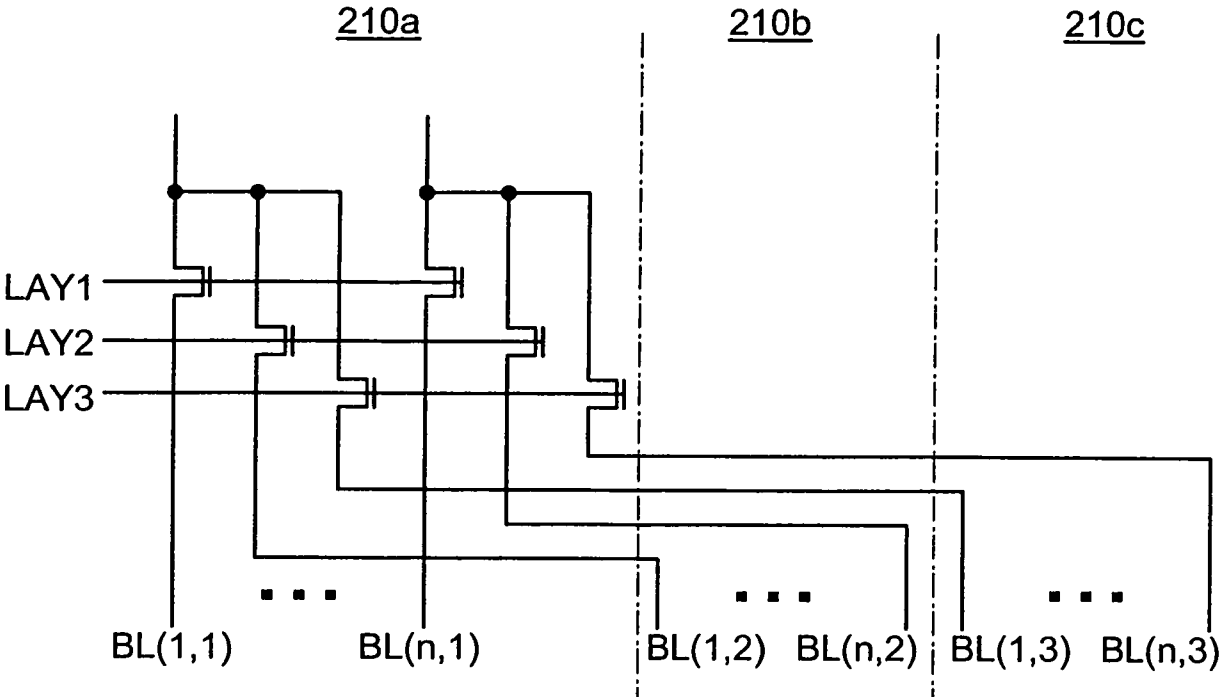


圖 6

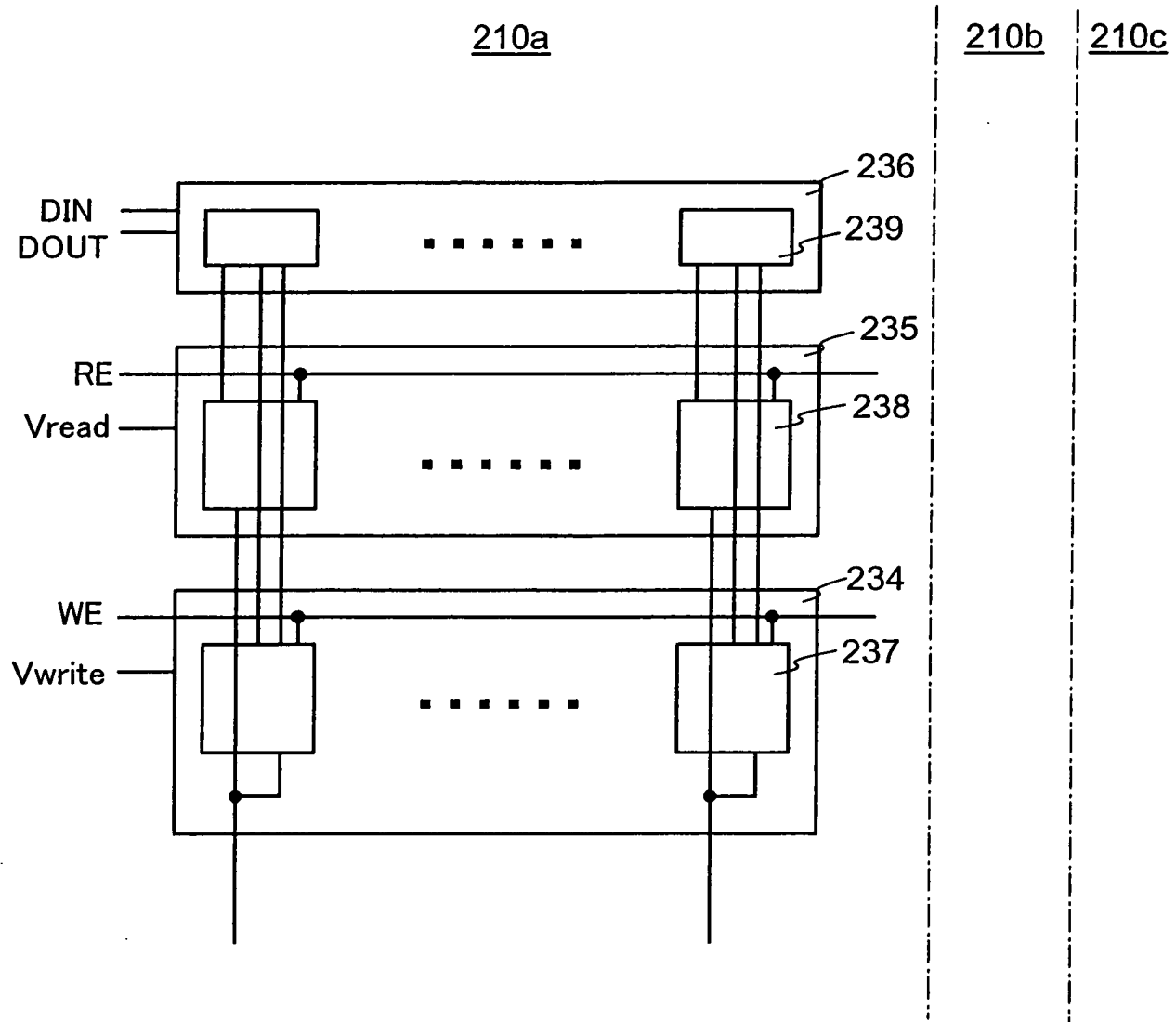


圖 7

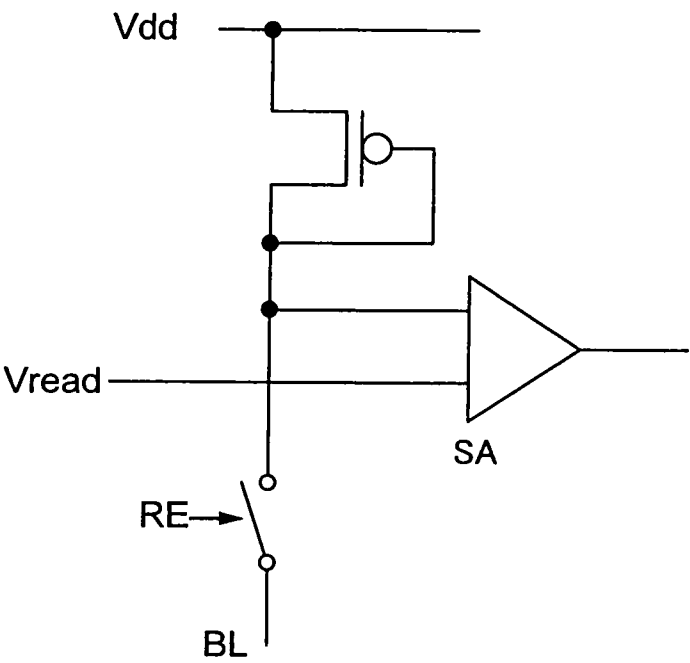


圖 8

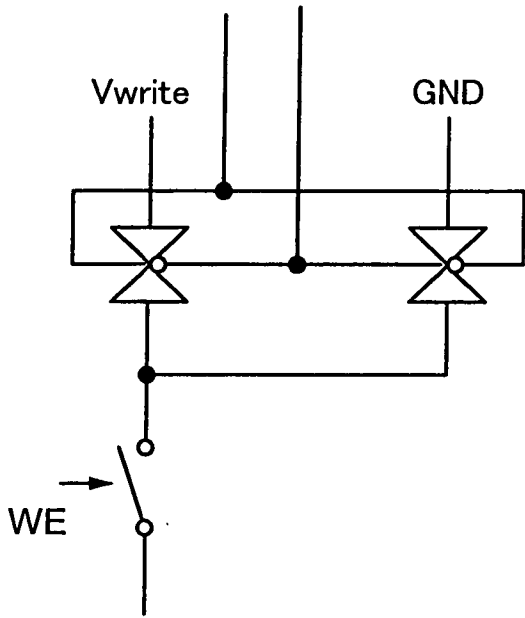


圖9

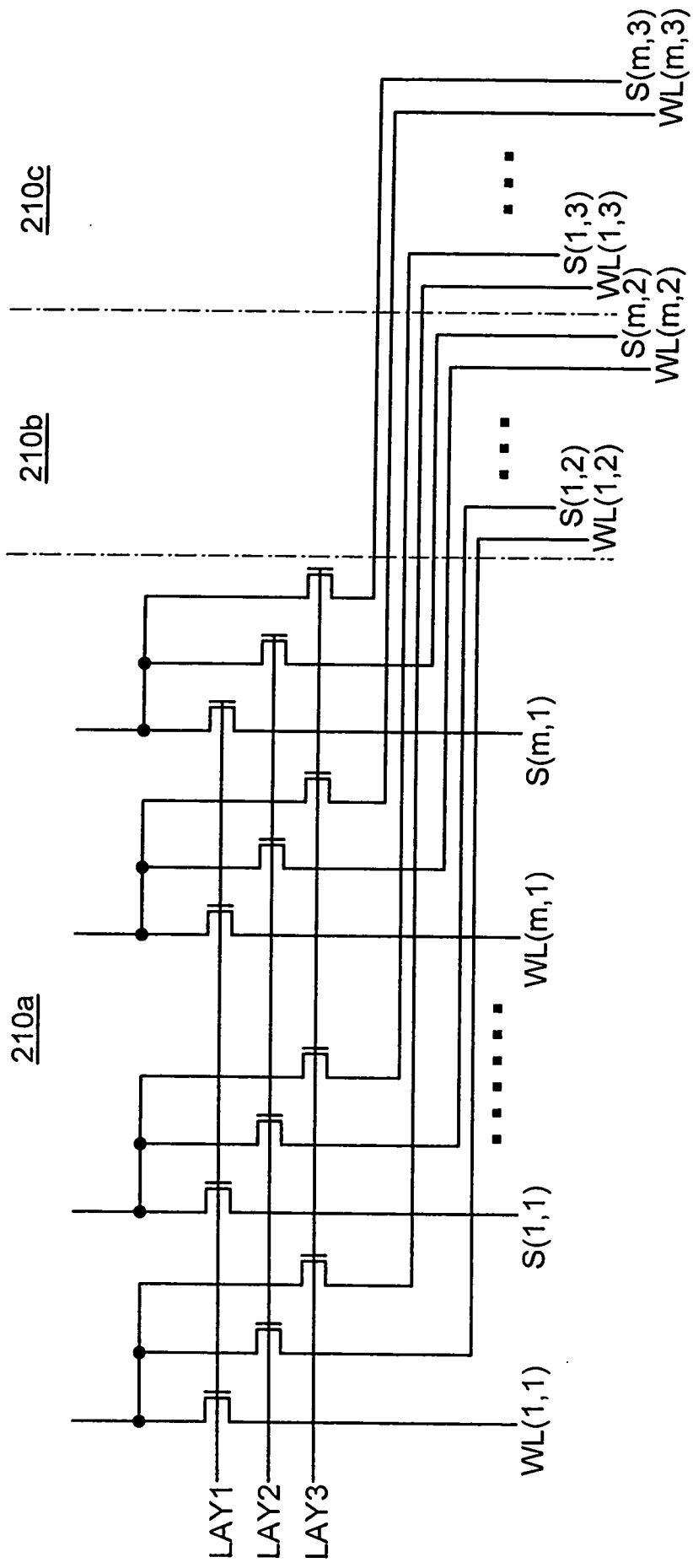


圖 10

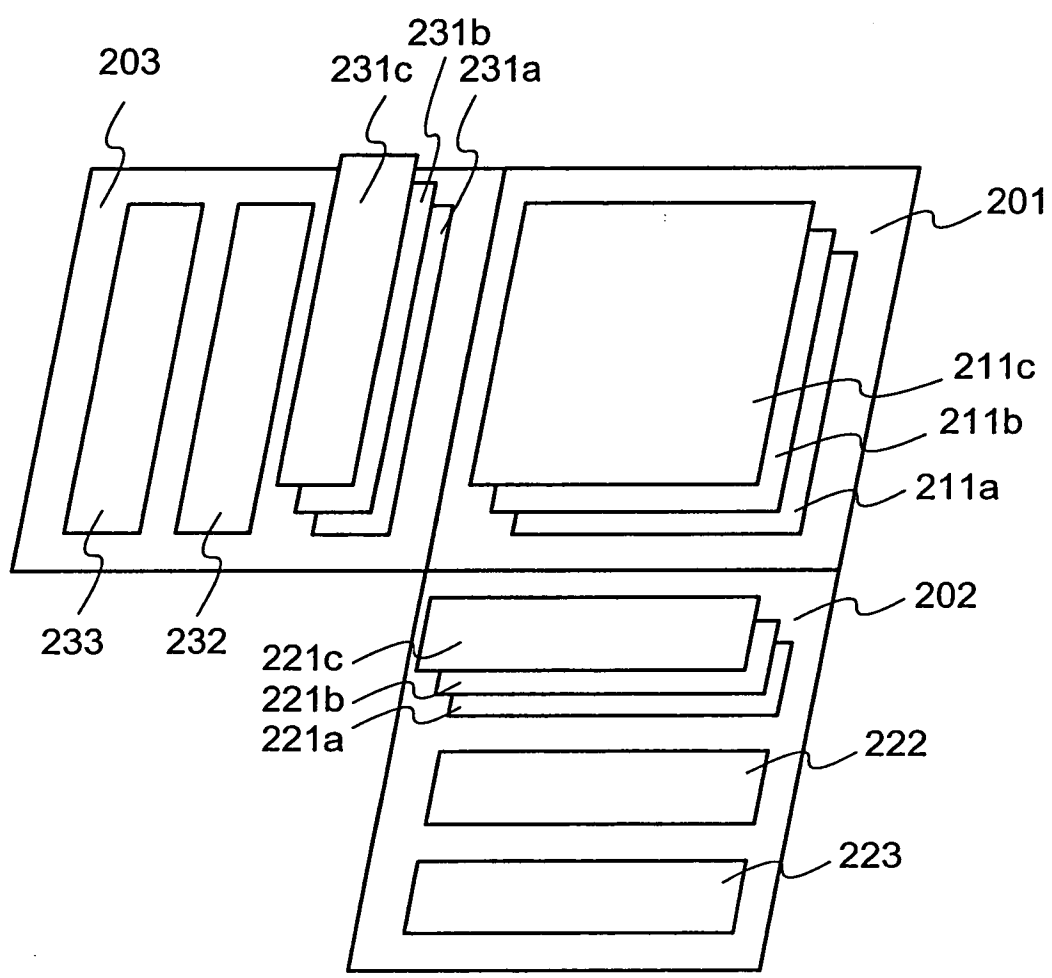


圖 11

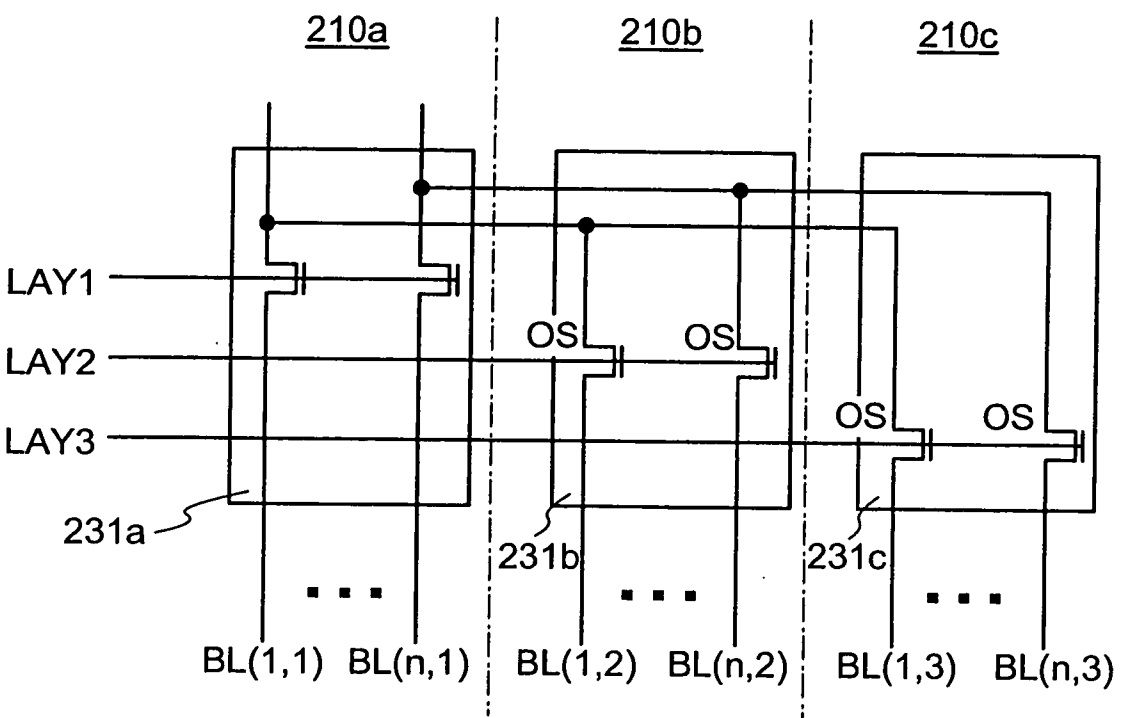


圖12

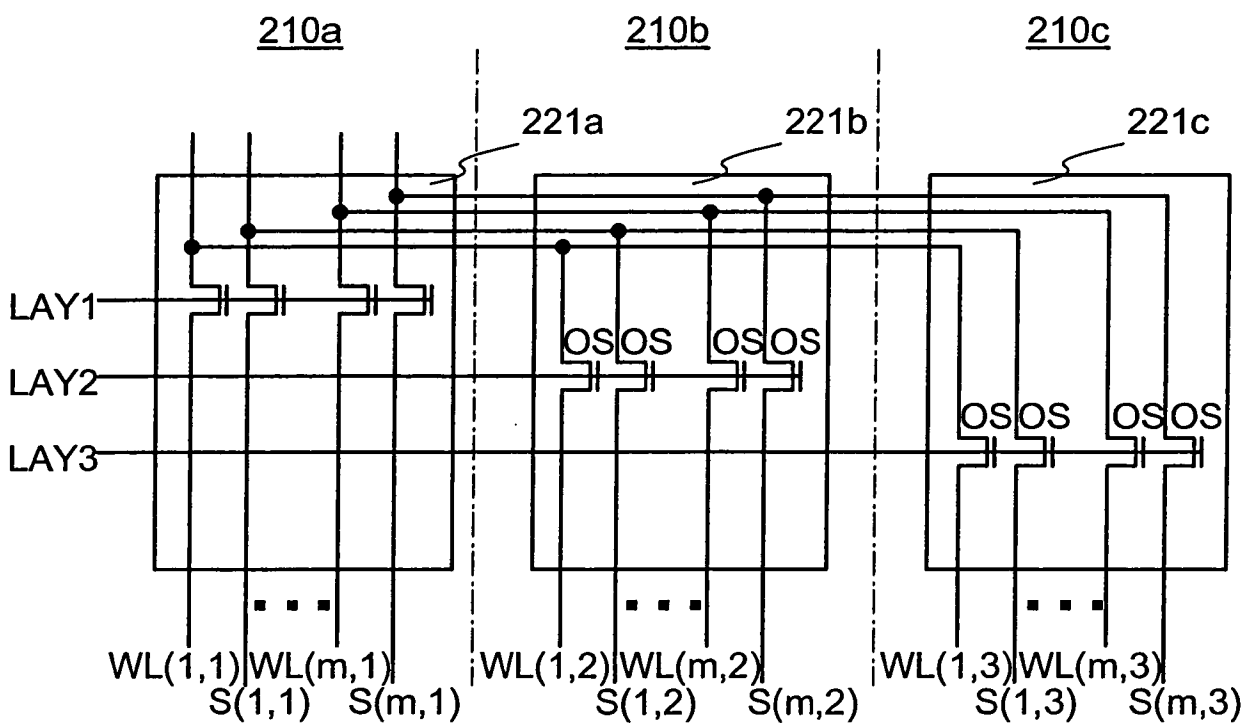


圖13

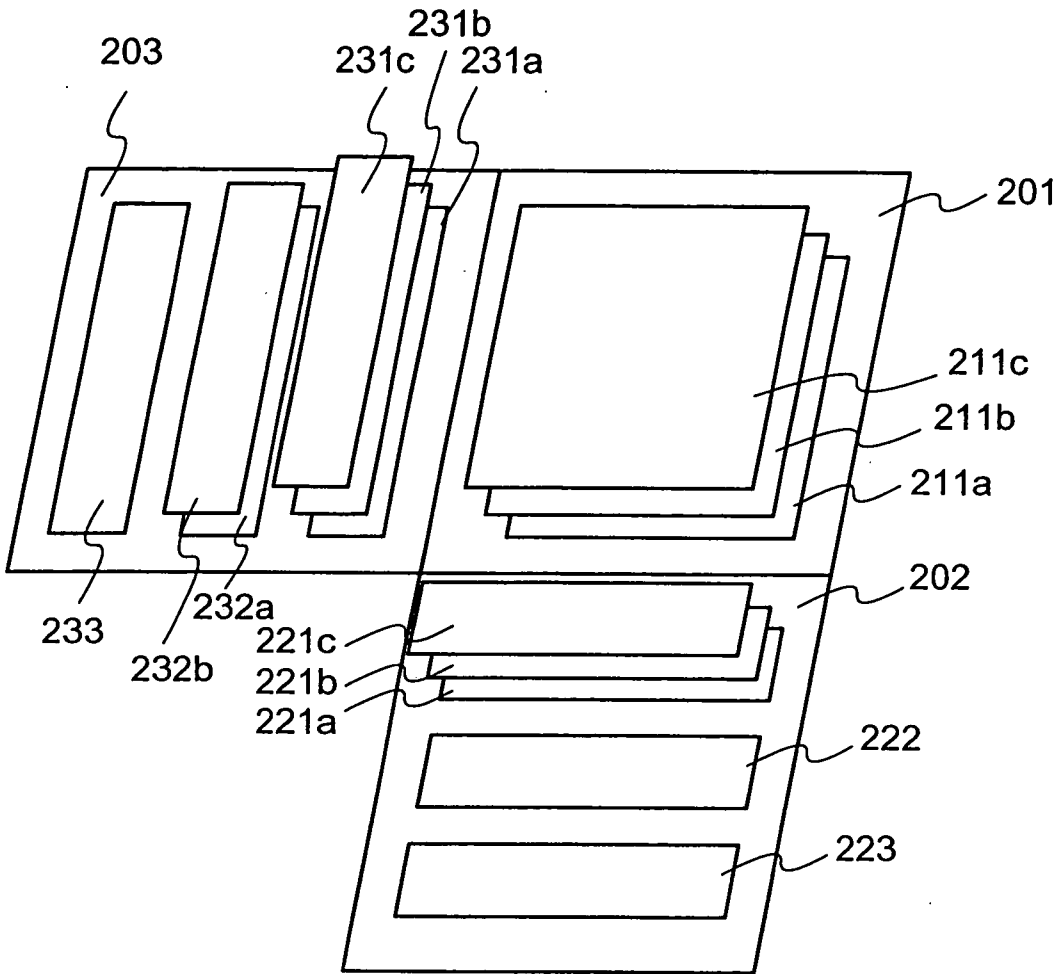


圖14

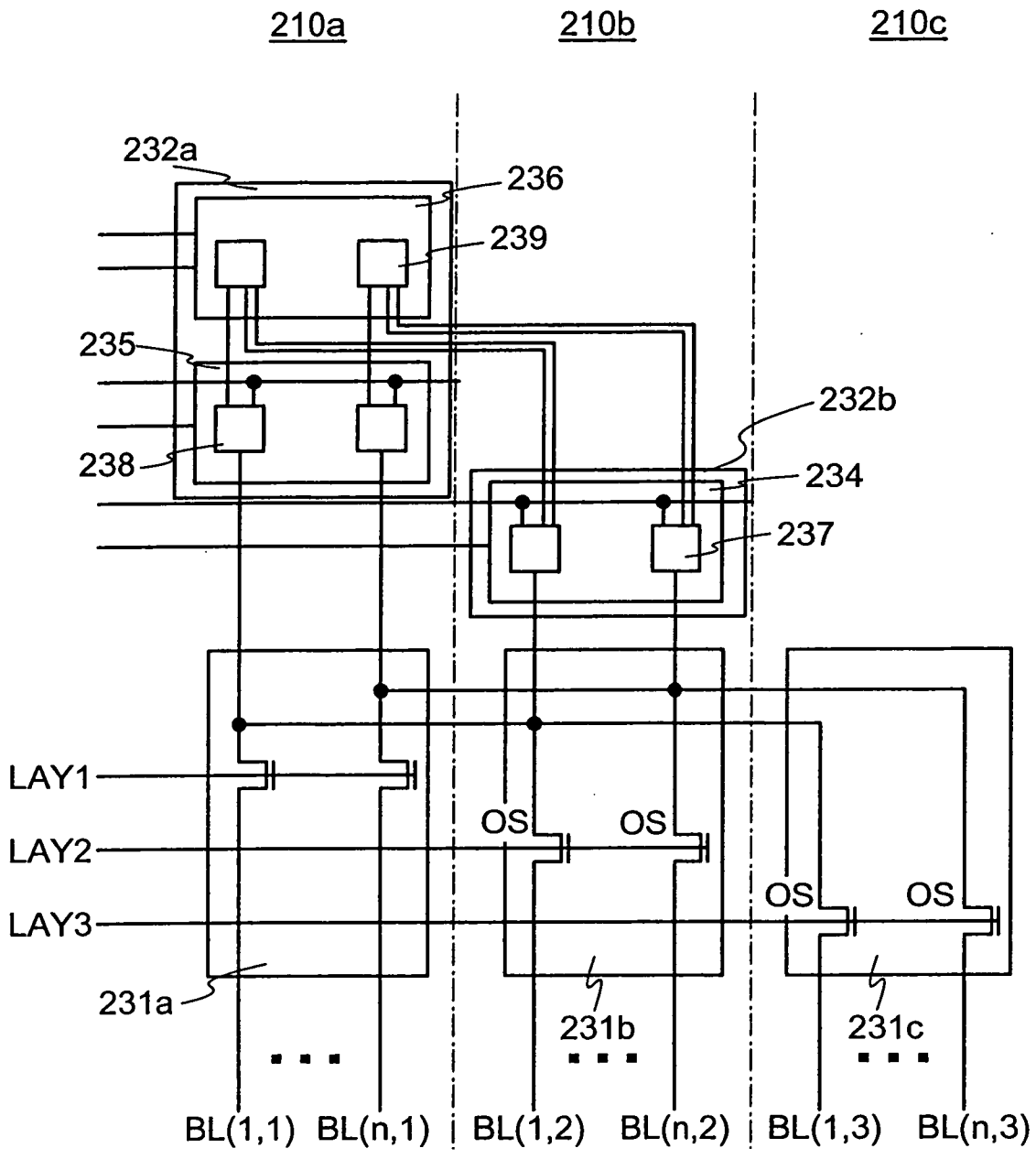


圖 15

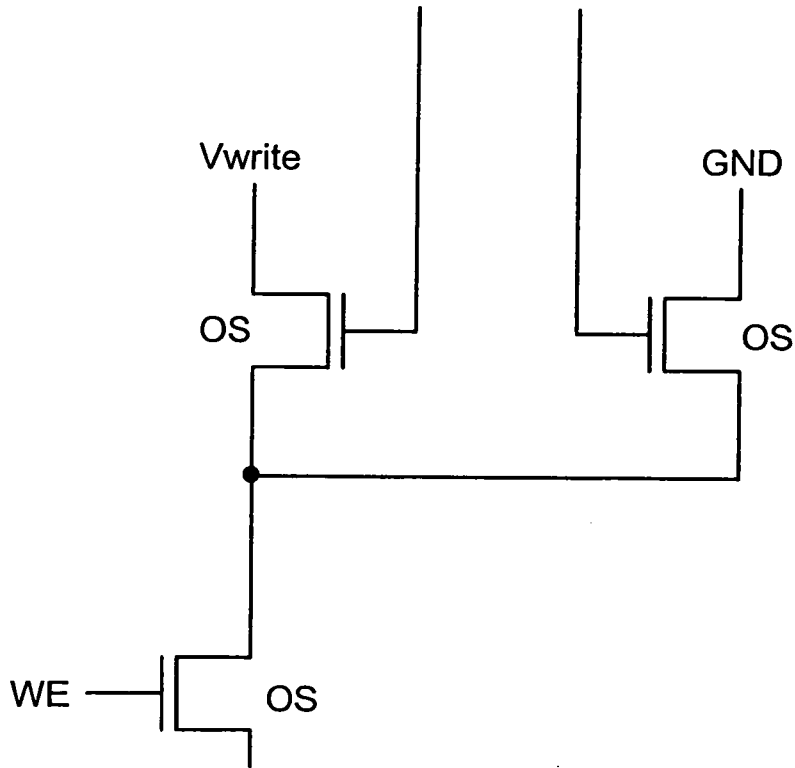


圖 16A

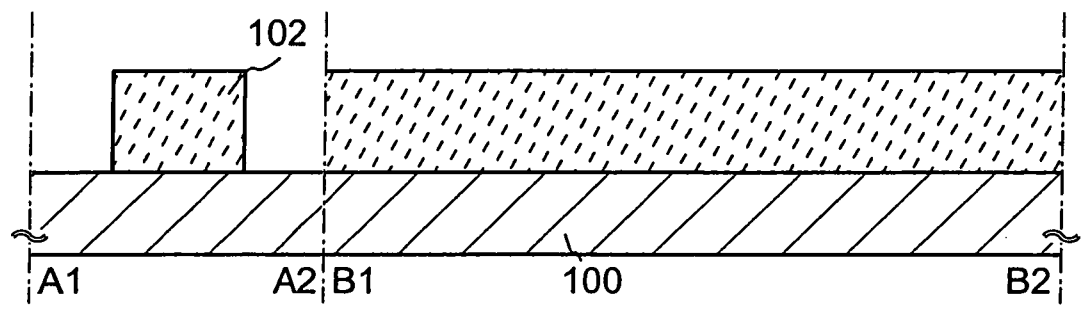


圖 16B

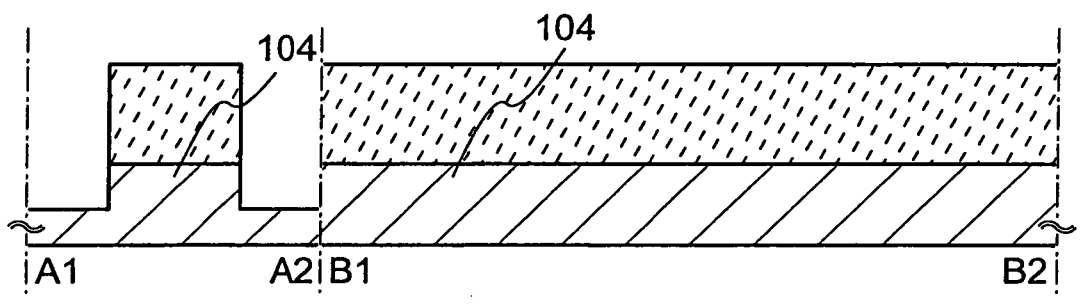


圖 16C

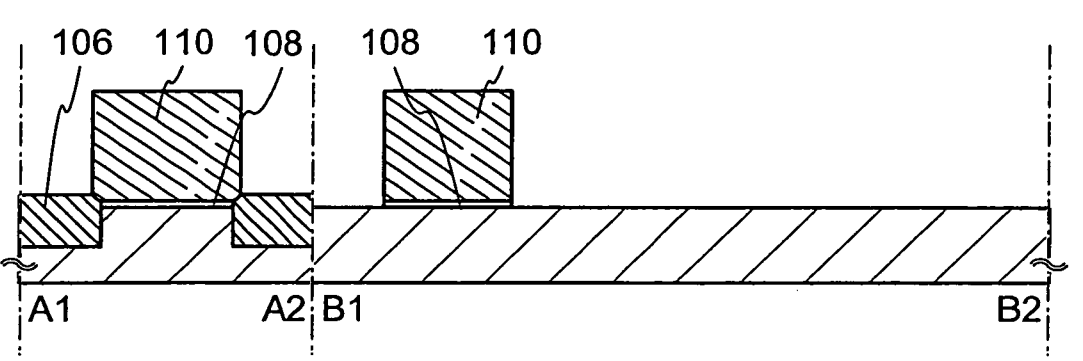


圖 16D

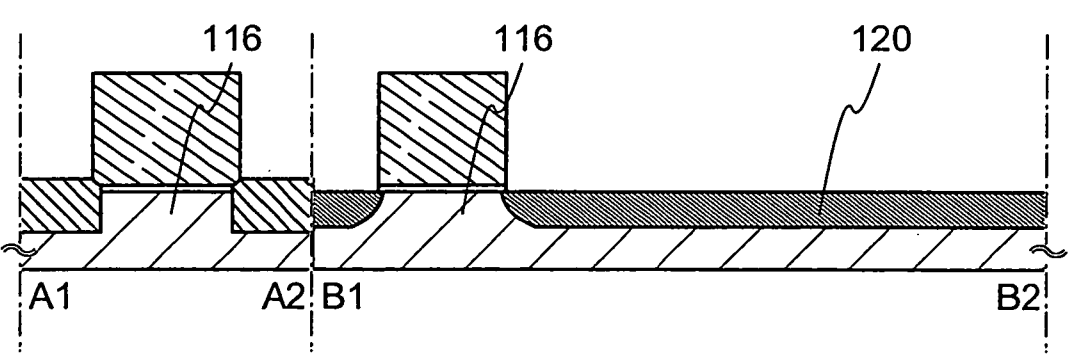


圖17A

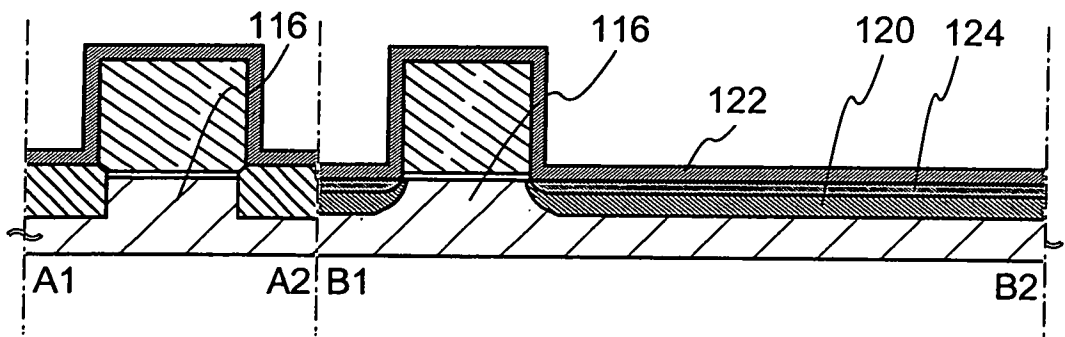


圖17B

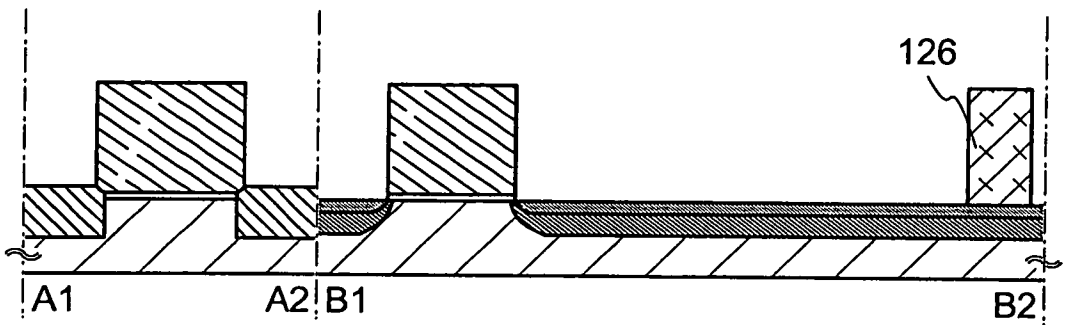


圖17C

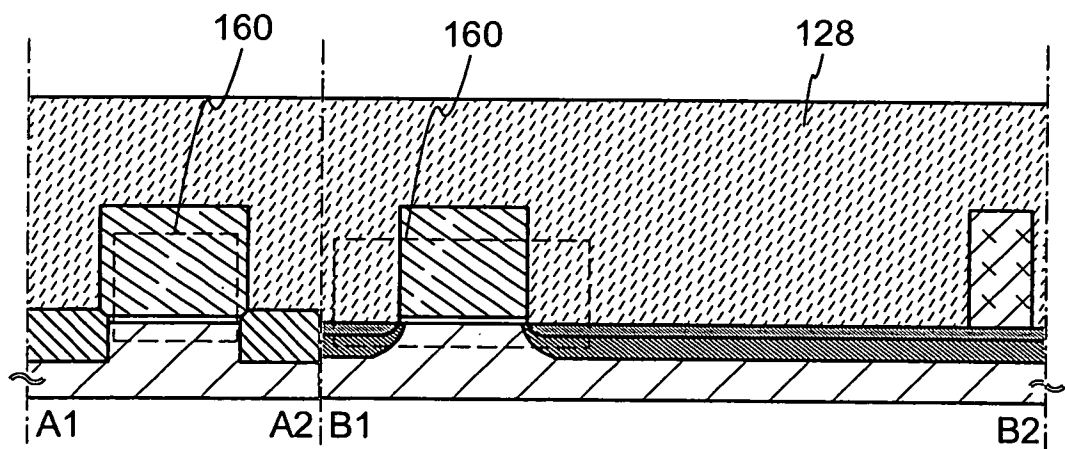


圖17D

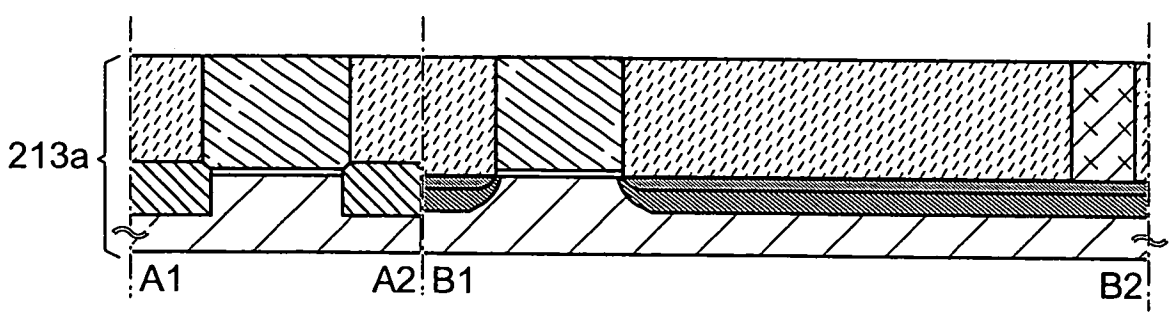


圖 18A

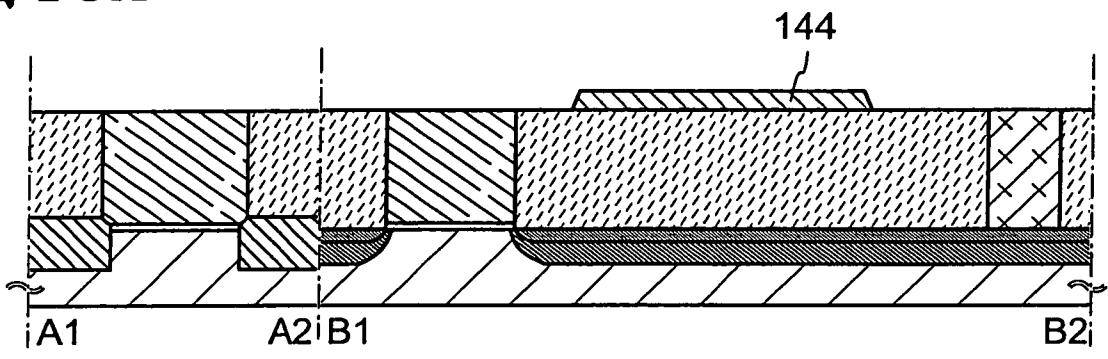


圖 18B

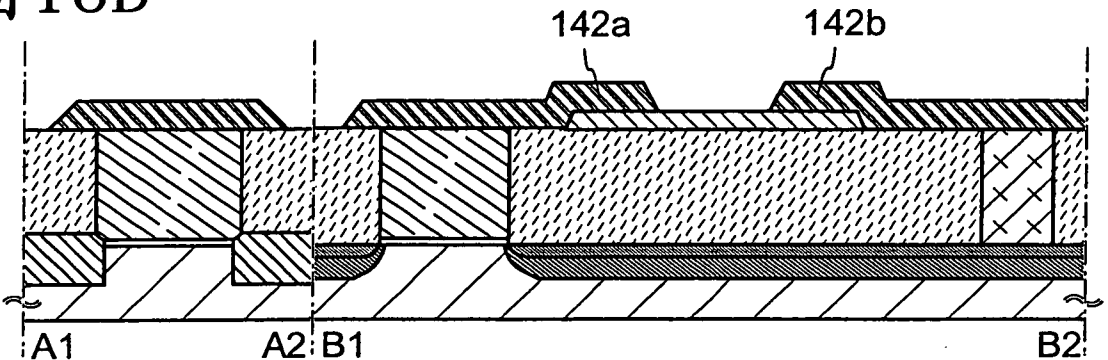


圖 18C

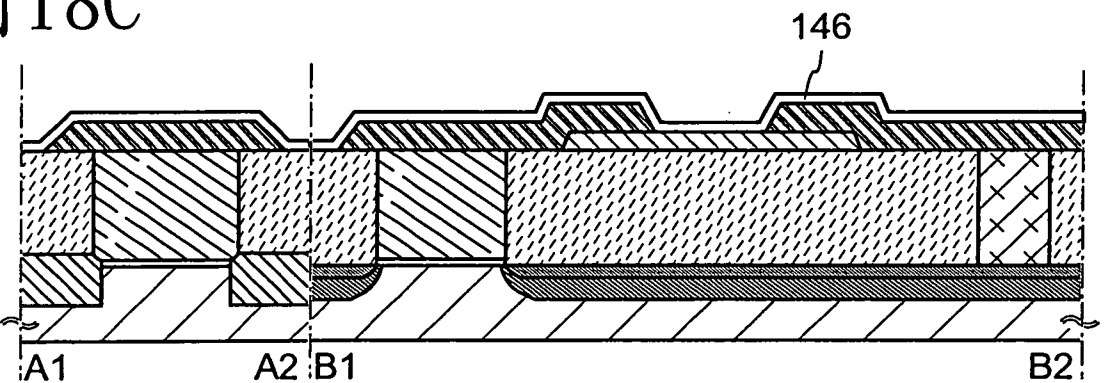


圖 18D

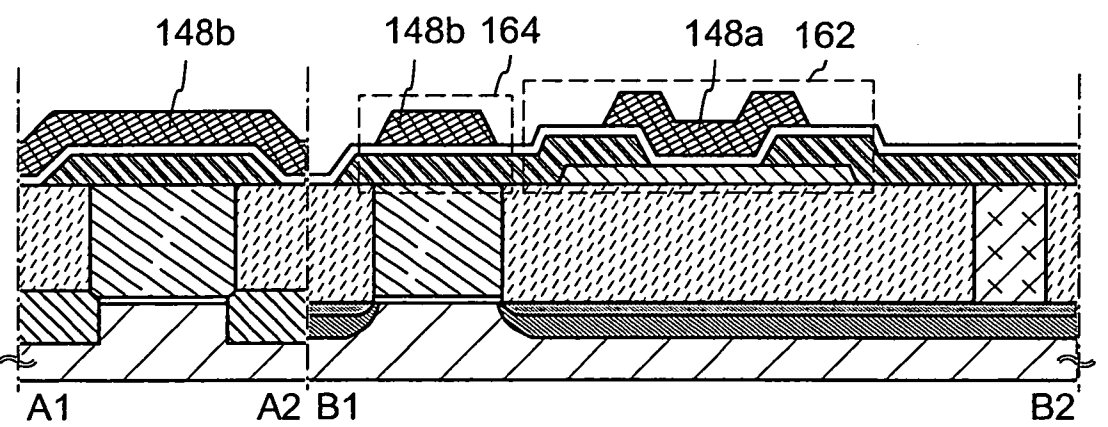


圖 19A

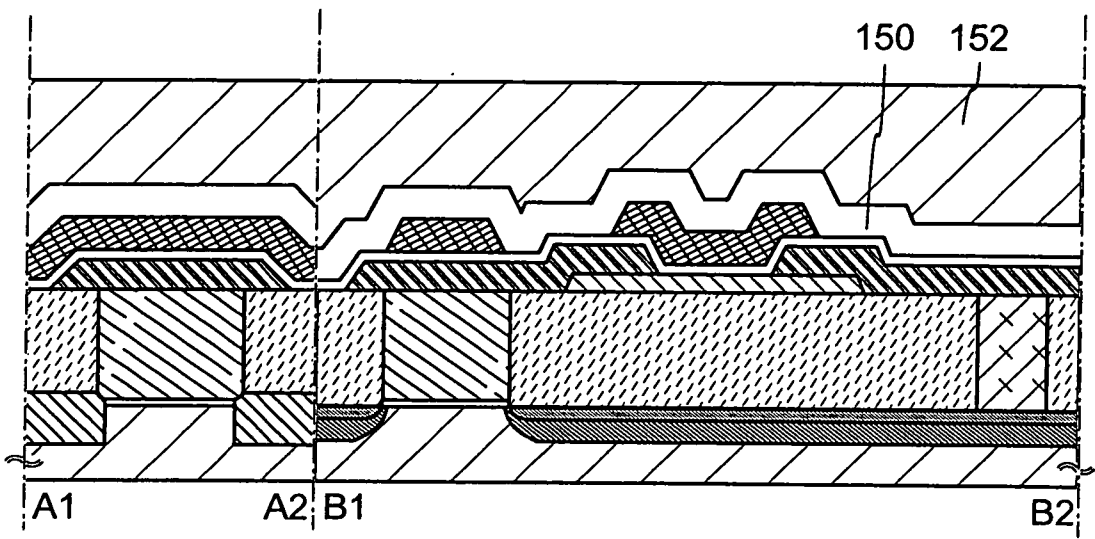


圖 19B

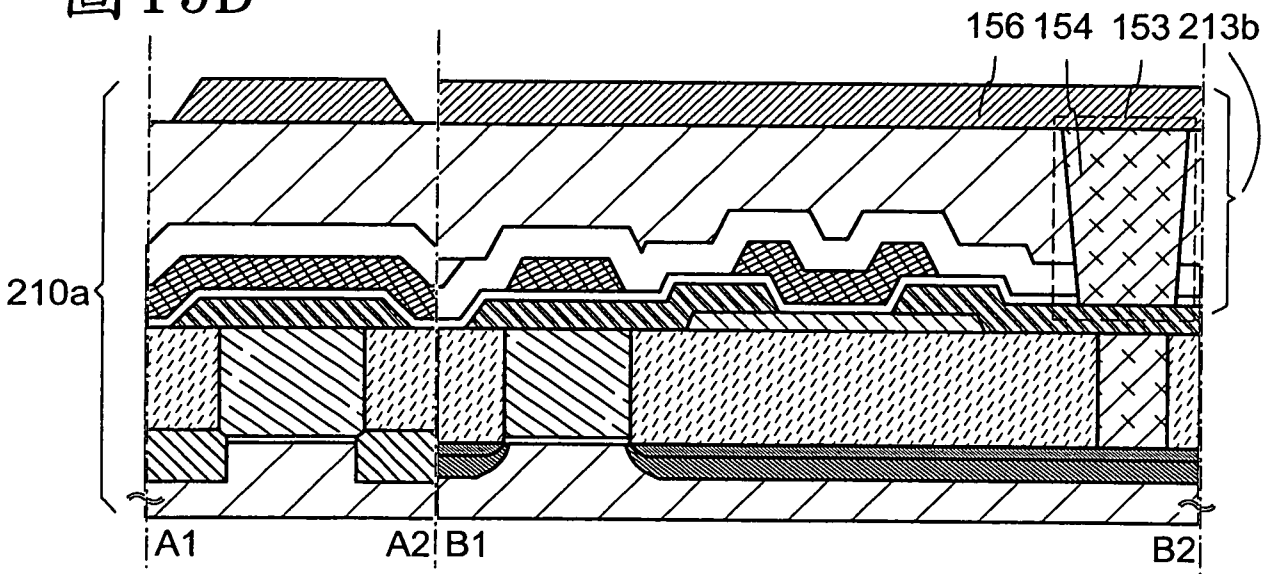


圖 20A

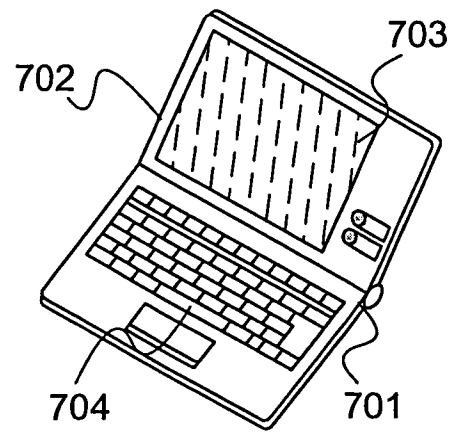


圖 20D

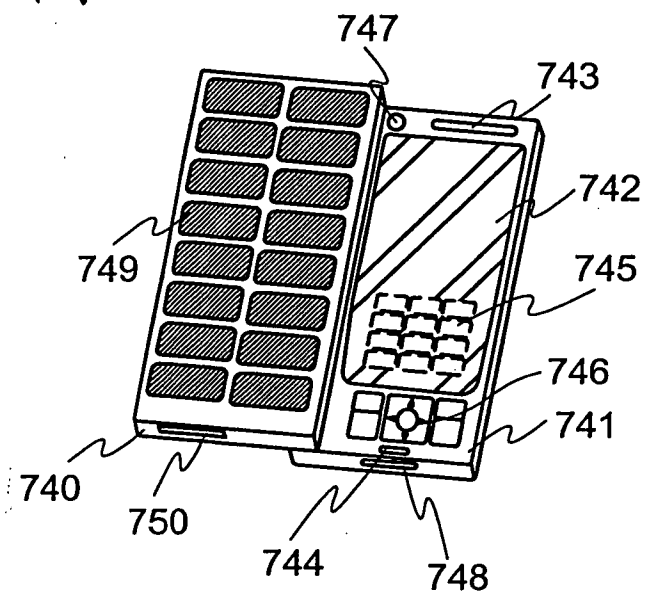


圖 20B

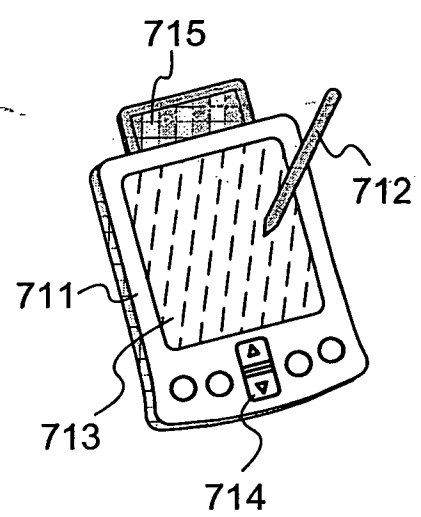


圖 20E

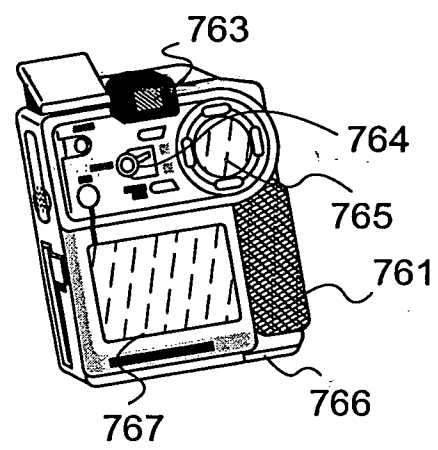


圖 20C

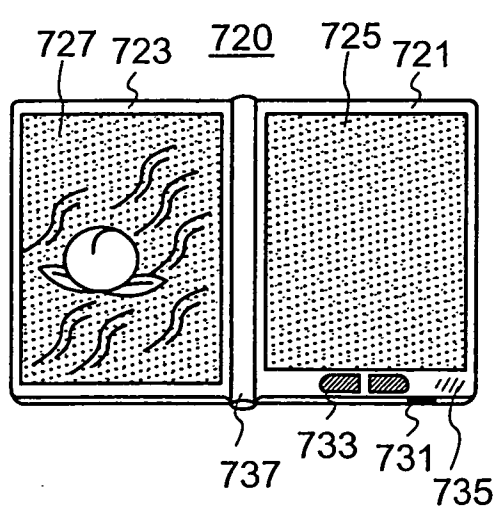


圖 20F

