(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0031639
(43) 공개일자 2019년03월27일

(51) 국제특허분류(Int. Cl.)
H01L 23/525 (2006.01) *H01L 23/62* (2006.01)
(52) CPC특허분류
H01L 23/525 (2013.01)
H01L 23/62 (2013.01)
(21) 출원번호 10-2017-0119311
(22) 출원일자 2017년09월18일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
세종대학교산학협력단
서울특별시 광진구 능동로 209 (군자동, 세종대학교)
(72) 발명자
김덕기
서울특별시 노원구 노원로 62, 309동 703호(공릉동, 효성 화운트빌)
김홍균
서울특별시 동대문구 무학로26길 30, 104동 1704호(용두동, 신동아아파트)
(뒷면에 계속)
(74) 대리인
이철희

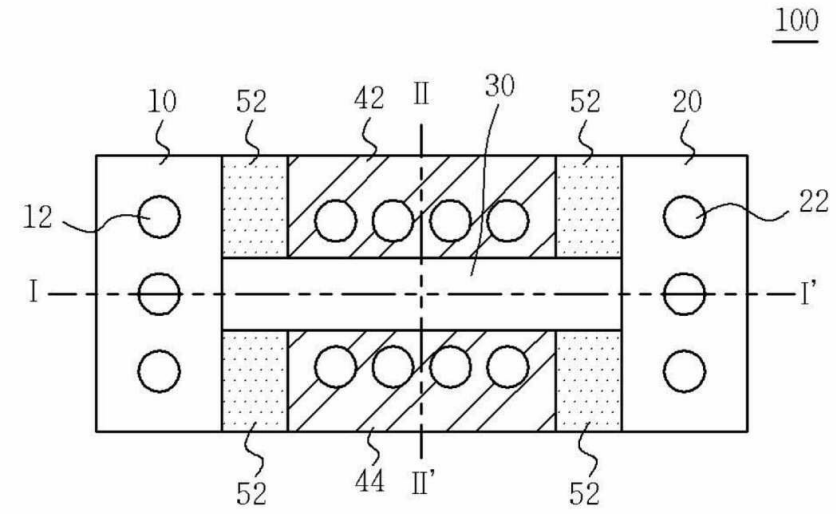
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **반도체 장치의 이-퓨즈**

(57) 요 약

본 발명은 반도체 장치의 이-퓨즈를 개시한다. 상기 이-퓨즈는, 제1 및 제2 전극을 상호 연결하는 게이트 메탈; 상기 게이트 메탈의 하부에 형성되고, 상기 게이트 메탈의 양측에 대응하는 상부에 드레인 영역과 소스 영역이 형성되어 상기 게이트 메탈과 트랜지스터를 형성하는 반도체층; 및 상기 게이트 메탈의 하부와 상기 반도체층의 양측에 형성되는 제1 산화물층;을 포함한다.

대 표 도 - 도1



(72) 발명자

김재홍

경기도 성남시 중원구 여수울로29번길 14-13, 401호 (여수동)

남서우

경기도 성남시 분당구 정자일로 100, C동 3002호(정자동, 미켈란쉐르빌)

명 세 서

청구범위

청구항 1

제1 및 제2 전극을 상호 연결하는 게이트 메탈;

상기 게이트 메탈의 하부에 형성되고, 상기 게이트 메탈의 양측에 대응하는 상부에 드레인 영역과 소스 영역이 형성되어 상기 게이트 메탈과 트랜지스터를 형성하는 반도체층; 및

상기 게이트 메탈의 하부 및 상기 반도체층의 양측에 형성되는 제1 산화물층;을 포함하는 반도체 장치의 이-퓨즈.

청구항 2

제 1 항에 있어서,

상기 게이트 메탈의 하단에 형성되고, 상기 게이트 메탈의 하단에 대응하는 위치의 상기 반도체층과 상기 제1 산화물층의 상단에 접하는 게이트 산화물층;을 더 포함하는 반도체 장치의 이-퓨즈.

청구항 3

제 1 항에 있어서,

상기 게이트 메탈의 상부에 형성되는 실리콘 질화물층; 및

상기 실리콘 질화물층, 상기 반도체층 및 상기 제1 산화물층 상부에 형성되는 제2 산화물층;을 더 포함하는 반도체 장치의 이-퓨즈.

청구항 4

제 1 항에 있어서,

상기 게이트 메탈 및 상기 반도체층은 엔-타입 또는 피-타입의 트랜지스터를 형성하는 반도체 장치의 이-퓨즈.

청구항 5

제 1 항에 있어서,

상기 게이트 메탈은, 상기 제1 전극에서 연장되는 제1 게이트 메탈; 및 상기 제1 게이트 메탈과 접하도록 상기 제2 전극에서 연장되는 제2 게이트 메탈;을 포함하고,

상기 제1 및 제2 게이트 메탈은 동일 메탈로 형성되는 반도체 장치의 이-퓨즈.

청구항 6

제 5 항에 있어서,

상기 반도체층은, 상기 제1 게이트 메탈의 하부에 형성되고, 상기 제1 게이트 메탈의 양측에 대응하는 상부에 드레인 영역과 소스 영역이 형성되어 상기 제1 게이트 메탈과 엔-타입의 트랜지스터를 형성하는 반도체 장치의 이-퓨즈.

청구항 7

제 6 항에 있어서,

상기 제2 게이트 메탈의 하부에는 상기 제1 산화물층이 형성되는 반도체 장치의 이-퓨즈.

청구항 8

제 5 항에 있어서,

상기 반도체층은, 상기 제2 게이트 메탈의 하부에 형성되고, 상기 제2 게이트 메탈의 양측에 대응하는 상부에 드레인 영역과 소스 영역이 형성되어 상기 제2 게이트 메탈과 피-타입의 트랜지스터를 형성하는 반도체 장치의 이-퓨즈.

청구항 9

제 8 항에 있어서,

상기 제1 게이트 메탈의 하부에는 상기 제1 산화물층이 형성되는 반도체 장치의 이-퓨즈.

청구항 10

제1 및 제2 전극을 상호 연결하는 게이트 메탈;

상기 게이트 메탈의 하부에 형성되고, 상기 게이트 메탈의 양측에 대응하는 상부에 드레인 영역과 소스 영역이 형성되어 상기 게이트 메탈과 트랜지스터를 형성하는 반도체층; 및

상기 게이트 메탈의 하단과 상기 반도체층의 양측에 형성되는 제1 산화물층;을 포함하고,

상기 게이트 메탈은, 상기 제1 전극에서 연장되는 제1 게이트 메탈과 상기 제1 게이트 메탈과 접하도록 상기 제2 전극에서 연장되는 제2 게이트 메탈을 포함하며,

상기 제1 및 제2 게이트 메탈은, 서로 다른 메탈로 형성되는 반도체 장치의 이-퓨즈.

청구항 11

제 10 항에 있어서,

상기 게이트 메탈의 하단에 형성되고, 상기 게이트 메탈의 하단에 대응하는 위치의 상기 반도체층과 상기 제1 산화물층의 상단에 접하는 게이트 산화물층;을 더 포함하는 반도체 장치의 이-퓨즈.

청구항 12

제 10 항에 있어서,

상기 게이트 메탈의 상부에 형성되는 실리콘 질화물층; 및

상기 실리콘 질화물층, 상기 반도체층 및 상기 제1 산화물층 상부에 형성되는 제2 산화물층;을 더 포함하는 반도체 장치의 이-퓨즈.

청구항 13

제 10 항에 있어서,

상기 제1 게이트 메탈과 상기 반도체층의 절반은 엔-타입의 트랜지스터를 형성하고,

상기 제2 게이트 메탈과 상기 반도체층의 나머지 절반은 피-타입의 트랜지스터를 형성하는 반도체 장치의 이-퓨즈.

청구항 14

제 13 항에 있어서,

상기 드레인 영역과 상기 소스 영역 사이의 상기 반도체층에는 상기 엔-타입의 트랜지스터와 상기 피-타입의 트랜지스터에 대응하는 엔-타입 채널과 피-타입 채널이 형성되는 반도체 장치의 이-퓨즈.

청구항 15

제 10 항에 있어서,

이-퓨즈의 프로그램 시, 상기 제1 및 제2 전극 중 어느 하나에 프로그램 전압이 인가되고 나머지 하나에 접지전압이 인가되는 반도체 장치의 이-퓨즈.

청구항 16

제 10 항에 있어서,

상기 게이트 메탈과 상기 반도체층은 엔-타입 또는 피-타입의 트랜지스터를 형성하는 반도체 장치의 이-퓨즈.

청구항 17

제 10 항에 있어서,

상기 반도체층은, 상기 제1 게이트 메탈의 하부에 형성되고, 상기 제1 게이트 메탈의 양측에 대응하는 상부에 드레인 영역과 소스 영역이 형성되어 상기 제1 게이트 메탈과 엔-타입의 트랜지스터를 형성하는 반도체 장치의 이-퓨즈.

청구항 18

제 17 항에 있어서,

상기 제2 게이트 메탈의 하부에는 상기 제1 산화물층이 형성되는 반도체 장치의 이-퓨즈.

청구항 19

제 10 항에 있어서,

상기 반도체층은, 상기 제2 게이트 메탈의 하부에 형성되고, 상기 제2 게이트 메탈의 양측에 대응하는 상부에 드레인 영역과 소스 영역이 형성되어 상기 제2 게이트 메탈과 피-타입의 트랜지스터를 형성하는 반도체 장치의 이-퓨즈.

청구항 20

제 19 항에 있어서,

상기 제1 게이트 메탈의 하부에는 상기 제1 산화물층이 형성되는 반도체 장치의 이-퓨즈.

발명의 설명

기 술 분 야

[0001] 본 발명은 반도체 장치에 관한 것으로, 더 상세하게는 반도체 장치의 이-퓨즈에 관한 것이다.

배 경 기 술

[0002] 일반적으로, 반도체 장치의 퓨즈는 반도체 기술 분야에서 다양한 목적을 구현하기 위해 사용된다. 예를 들면, 퓨즈는 불량 메모리 셀을 리던던시 메모리 셀로 대체하는 리페어 공정에서 사용될 수 있으며, 전압을 튜닝하는 정전압 발생회로에서 사용되거나 다양한 모드 선택과 테스트를 위한 제어 회로 등에서 사용될 수 있다.

[0003] 이러한 퓨즈는 단선 방법에 따라, 레이저 퓨즈와 이-퓨즈로 구분될 수 있으며, 이 중 이-퓨즈는 전류를 이용하여 선택적으로 단선시키는 방법이다. 한편, 퓨즈 기술에 대한 요구사항 중 하나가 면적을 줄이는 것인데, 퓨즈가 차지하는 면적 중 선택 소자가 대부분의 면적을 차지하기 때문에 퓨즈의 면적을 줄이기 위해 프로그램 전류를 낮추고자 하는 기술이 요구되고 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 특허문헌 1: 대한민국 공개번호 KR 2014-0117907(2014.10.08)

(특허문헌 0002) 특허문헌 2: 대한민국 공개번호 KR 2016-0068212(2016.06.15)

(특허문헌 0003) 특허문헌 3: 대한민국 등록번호 KR 10-1561650(2015.10.13)

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하고자 하는 기술적 과제는 낮은 프로그램 전류로 블로워(blow)가 가능하여 성능이 향상되고 면적을 줄일 수 있는 반도체 장치의 이-퓨즈를 제공하는데 있다.

과제의 해결 수단

[0006] 본 발명의 실시예에 따른 반도체 장치의 이-퓨즈는, 제1 및 제2 전극을 상호 연결하는 게이트 메탈; 상기 게이트 메탈의 하부에 형성되고, 상기 게이트 메탈의 양측에 대응하는 상부에 드레인 영역과 소스 영역이 형성되어 상기 게이트 메탈과 트랜지스터를 형성하는 반도체층; 및 상기 게이트 메탈의 하부와 상기 반도체층의 양측에 형성되는 제1 산화물층;을 포함한다.

[0007] 본 발명의 실시예에 따른 반도체 장치의 이-퓨즈는, 제1 및 제2 전극을 상호 연결하는 게이트 메탈; 상기 게이트 메탈의 하부에 형성되고, 상기 게이트 메탈의 양측에 대응하는 상부에 드레인 영역과 소스 영역이 형성되어 상기 게이트 메탈과 트랜지스터를 형성하는 반도체층; 및 상기 게이트 메탈의 하부와 상기 반도체층의 양측에 형성되는 산화물층;을 포함하고, 상기 게이트 메탈은, 상기 제1 전극에서 연장되는 제1 게이트 메탈과 상기 제1 게이트 메탈과 접하도록 상기 제2 전극에서 연장되는 제2 게이트 메탈을 포함하며, 상기 제1 및 제2 게이트 메탈은 서로 다른 메탈로 형성된다.

발명의 효과

[0008] 본 발명의 실시예에 따르면, 게이트 메탈을 가진 트랜지스터를 이-퓨즈로 이용하므로 프로그램을 제어할 부가적인 트랜지스터를 배제시킬 수 있다.

[0009] 또한, 메탈 라인만 이용하는 경우 대비 많은 변화로 인해 높은 온/오프 비가 가능하여 이-퓨즈 성능을 향상시킬 수 있다.

[0010] 또한, 낮은 전류에서 프로그램이 가능하여 이-퓨즈 비트당 면적을 감소시킬 수 있다.

도면의 간단한 설명

[0011] 도 1은 본 발명의 제1 실시예에 따른 반도체 장치의 이-퓨즈를 설명하기 위한 평면도이다.

도 2는 도 1의 I-I'를 따라 절단한 단면도이다.

도 3은 도 1의 II-II'를 따라 절단한 단면도이다.

도 4는 이-퓨즈의 프로그램 시 드레인 전류의 변화를 설명하기 위한 도면이다.

도 5는 프로그램 전후에 따른 드레인 전류의 변화를 도시한 그래프이다.

도 6 및 도 7은 이-퓨즈의 프로그램 시 게이트 전류 및 서브스트레이트 전류의 변화를 설명하기 위한 도면이다.

도 8은 본 발명의 제2 실시예에 따른 반도체 장치의 이-퓨즈를 설명하기 위한 평면도이다.

도 9는 도 7의 I-I'를 따라 절단한 단면도이다.

도 10은 본 발명의 제3 실시예에 따른 반도체 장치의 이-퓨즈를 설명하기 위한 평면도이다.

도 11은 도 9의 I-I'를 따라 절단한 단면도이다.

도 12는 본 발명의 제4 실시예에 따른 반도체 장치의 이-퓨즈를 설명하기 위한 평면도이다.

도 13은 도 11의 I-I'를 따라 절단한 단면도이다.

도 14는 본 발명의 제5 실시예에 따른 반도체 장치의 이-퓨즈를 설명하기 위한 평면도이다.

도 15는 도 13의 I-I'를 따라 절단한 단면도이다.

도 16은 본 발명의 제6 실시예에 따른 반도체 장치의 이-퓨즈를 설명하기 위한 평면도이다.

도 17은 도 15의 I-I'를 따라 절단한 단면도이다.

도 18은 본 발명의 제7 실시예에 따른 반도체 장치의 이-퓨즈를 설명하기 위한 평면도이다.

도 19는 도 17의 I-I'를 따라 절단한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0012] 이하, 첨부한 도면들을 참고하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예에 대하여 상세히 설명하기로 한다. 각 도면에 제시된 참조부호들 중 동일한 참조부호는 동일한 부재를 나타낸다.

[0013] 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

[0014] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되는 것은 아니며, 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

[0015] 본 실시예에서, 엔-타입 메탈은 NMOS(n-type metal oxide semiconductor) 트랜지스터에 사용되는 메탈로 정의될 수 있으며, 피-타입 메탈은 PMOS(p-type metal oxide semiconductor) 트랜지스터에 사용되는 메탈로 정의될 수 있다.

[0016] 도 1은 본 발명의 제1 실시예에 따른 반도체 장치의 이-퓨즈를 설명하기 위한 평면도이다.

[0017] 도 1을 참고하면, 반도체 장치의 이-퓨즈(100)는 제1 및 제2 전극(10, 20), 게이트 메탈(30), 드레인 영역(42)과 소스 영역(44)이 형성된 반도체층(40, 도 2), 및 제1 산화물층(52)을 포함한다.

[0018] 제1 전극(10)은 캐소드(Cathode)로 지칭될 수 있고, 제2 전극(20)은 애노드(Anode)로 지칭될 수 있으며, 제1 및 제2 전극(10, 20)의 상부에는 프로그램 전압을 인가하기 위한 컨택(12, 22)이 형성될 수 있다. 여기서, 프로그램은 제1 및 제2 전극(10, 20) 중 어느 하나에 프로그램 전압을 인가하고 나머지 하나에 접지전압을 인가하여 게이트 메탈(30)에 프로그램 전류를 흘리는 과정을 포함한다.

[0019] 게이트 메탈(30)은 제1 및 제2 전극(10, 20) 사이에서 제1 및 제2 전극(20, 20)을 전기적으로 연결하는 구조를 가지며, 전기적으로 프로그램이 가능한 물질로 형성된다. 일례로, 게이트 메탈(30)은 NMOS 또는 PMOS에 적합한 일함수 (work function)을 가진 메탈로 형성될 수 있으며, Al과 같은 금속성 물질로 형성되거나 TiN, Ti, Al, AlTiO의 층들로 형성될 수 있다. 여기서, 게이트 메탈(30)은 제1 전극(10) 및 제2 전극(20)과 일체형으로 형성될 수 있다.

[0020] 반도체층(40)은 게이트 메탈(30)과 게이트 절연체(60)의 하부에 형성된다. 반도체층(40)은 실리콘으로 형성될 수 있으며, 게이트 메탈(30)의 일측에 대응하는 반도체층(40)의 상부에 드레인 영역(42)이 형성되고, 게이트 메탈(30)의 타측에 대응하는 반도체층(40)의 상부에 소스 영역(44)이 형성된다. 여기서, 드레인 영역(42) 및 소스 영역(44)은 게이트 메탈(30)의 양 측에 대응하는 반도체층(40)의 상부에 서로 이격되어 각각 형성된다.

[0021] 여기서, 게이트 메탈(30)과 드레인 및 소스 영역(42, 44)이 형성된 반도체층(40)은 트랜지스터를 형성하고, 엔-타입 또는 피-타입의 트랜지스터를 형성할 수 있다. 게이트 메탈(30), 드레인 영역(42) 및 소스 영역(44)이 엔-타입으로 형성되는 경우 제1 전극(10)에는 음의 전압(또는 접지전압)이 인가되고 제2 전극(24)에는 양의 전압(프로그램 전압)이 인가될 수 있으며, 게이트 메탈(30), 드레인 영역(42) 및 소스 영역(44)이 피-타입으로 형성되는 경우 제1 전극(10)에는 양의 전압(프로그램 전압)이 인가되고 제2 전극(24)에는 음의 전압(또는 접지전압)이 인가될 수 있다. 또는 NMOS와 PMOS에 관계 없이 캐소드에는 음의 전압이 인가되고 애노드에는 양의 전압이 인가되어 게이트 메탈(30)이 프로그램되어 끊어질 수 있다.

[0022] 그리고, 제1 산화물층(52)은 반도체층(40)의 양측으로부터 제1 및 제2 전극(10, 20)의 하부까지 형성된다. 제1 산화물층(52)은 반도체층(40)과 동일 레벨에 형성될 수 있다.

[0023] 이와 같이 반도체 장치의 이-퓨즈(100)는 프로그램 전압을 인가하기 위한 제1 및 제2 전극(10, 20), 제1 및 제2 전극(10, 20)을 전기적으로 연결하는 게이트 메탈(30), 게이트 메탈(30)의 양 측에 서로 이격되어 형성되는 드레인 영역(42)과 소스 영역(44), 제1 및 제2 전극(10, 20)의 하단과 게이트 메탈(30)의 하부에 형성되는 반도체층(40, 도 2) 및 제1 및 제2 전극(10, 20)의 하부와 반도체층(40)의 양 측에 형성되는 제1 산화물층(52)을 포함한다.

[0024] 상기와 같이 구성된 반도체 장치의 이-퓨즈(100)는, 프로그램 전압이 제1 및 제2 전극(10, 20)에 인가되면 제1 및 제2 전극(10, 20)의 전위차에 의해 게이트 메탈(30)에 프로그램 전류가 흐르고, 프로그램 전류에 의해 전자적-이동(electro-migration), 열적 이동(thermos-migration), 및 멜팅(melting) 현상이 게이트 메탈(30)에 유도된다. 이로 인해 게이트 메탈(30)에 보이드(void)가 형성되고 저항이 높아진다.

[0025] 또한, 반도체 장치의 이-퓨즈(100)는, 프로그램 시 게이트 메탈(30)의 높은 온도로 게이트 메탈(30)과 게이트 산화물층(60, 도 2)이 반응하거나 게이트 산화물층(60)의 유전율 특성이 변화된다. 이를 통해 NMOS 또는 PMOS의 트랜지스터 구조의 이-퓨즈(100)의 드레인 전류, 게이트 전류 및 서브스트레이트 전류는 프로그램 전후에 따라 크게 변화한다.

[0026] 여기서, 게이트 메탈(30)에 유도되는 전자적 이동에 의한 구동력은 게이트 메탈(30)의 단면적을 변화시킴으로써 변화될 수 있다. 도 1에 도시된 게이트 메탈(30)은 제1 및 제2 전극(10, 20) 사이에서 동일한 단면적을 가지고 일 방향으로 연장되는 것을 도시하고 있으나, 설명의 편의성을 위한 것일 뿐, 이에 제한되는 것은 아니다. 게이트 메탈(30)은 제1 및 제2 전극(10, 20)의 위치에 대응하여 굽은 부분을 포함할 수 있으며 단면적을 다르게 형성할 수 있다.

[0027] 그리고, 게이트 메탈(30)에 프로그램 전류가 흐르면 게이트 메탈(30)에 줄 열(joule's heat)이 발생할 수 있다. 프로그램 전류에 의해 유도되는 줄 열은 게이트 메탈(30) 내에서 불균일한 온도 분포를 가질 수 있다. 게이트 메탈(30) 내에서 불균일한 온도 분포는 게이트 메탈(30)의 중심 부분에서 온도가 가장 높을 수 있다. 불균일한 온도 분포는 게이트 메탈(30) 내에서 원자들의 열적 이동을 유도시킬 수 있다. 열적 이동은 원자들이 게이트 메탈(30)의 중심 부분에서 애노드 방향으로 이동하는 열적 이동과 게이트 메탈(30) 중심 부분에서 캐소드 방향으로 이동하는 열적 이동을 포함할 수 있다.

[0028] 이와 같이 게이트 메탈(30)에 프로그램 전류가 흐르면 게이트 메탈(30)에 전자적-이동, 열적 이동 및 멜팅(melting) 현상이 유도되고, 전자적-이동 및 열적 이동 현상에 의한 구동력은 게이트 메탈(30)을 블로워시킨다. 게이트 메탈(30)이 블로워되면 트랜지스터 구조의 이-퓨즈에 흐르는 드레인 전류, 게이트 전류 및 서브스트레이트 전류는 프로그램 전후 대비 크게 변화한다. 메탈 라인만으로 이루어진 이-퓨즈 대비 많은 변화로 인해 높은 온/오프 비가 가능하여 이-퓨즈 성능을 향상시킬 수 있고, 낮은 전류에서 프로그램이 가능하여 이-퓨즈 비트당 면적을 감소시킬 수 있다.

[0029] 한편, 도 1의 평면도에는 본 실시예의 구조에 대한 이해를 돕고자 도 2에 도시된 실리콘 질화물층(70) 및 제2 산화물층(54)을 도시하지 않았으나, 도 2에 도시한 바와 같이 게이트 메탈(30) 및 제1 및 제2 전극(10, 20)의 상부에 실리콘 질화물층(70)이 형성될 수 있으며, 실리콘 질화물층(70), 반도체층(40) 및 제1 산화물층(52) 상부에 제2 산화물층(54)이 형성될 수 있다.

[0030] 도 2는 도 1의 I-I'를 따라 절단한 단면도이다.

[0031] 도 2를 참고하면, 반도체 장치의 이-퓨즈(100)는 반도체층(40), 반도체층(40)의 양측으로부터 제1 및 제2 전극(10, 20)의 하부까지 형성되는 제1 산화물층(52), 및 반도체층(40)과 제1 산화물층(52)의 상부에 형성되고 제1 및 제2 전극(10, 20)을 연결하는 게이트 메탈(30)을 포함한다.

[0032] 그리고 게이트 메탈(30)의 하단에 게이트 산화물층(60)이 형성되고, 게이트산화물층(60)은 게이트 메탈(30)의 하단에 대응하는 반도체층(40)과 제1 산화물층(52)의 상단에 접하도록 형성된다. 게이트 산화물층(60)은 프로그램 시 높은 온도로 인해 게이트 메탈(30)과 반응하거나 유전율 특성이 변화될 수 있다. 일례로, 게이트 산화물층(60)은 HfO_2로 형성될 수 있다.

[0033] 그리고, 게이트 메탈(30)의 상부에 실리콘 질화물층(70)이 형성될 수 있고, 실리콘 질화물층(70)의 상부에 제2 산화물층(54)이 형성된다. 일례로, 실리콘 질화물층은 SiN 또는 SiCN으로 형성될 수 있다. 제1 및 제2 전극(10, 20)의 상부에 대응하는 질화물층(70) 및 제2 산화물층(54) 내에는 프로그램 시 프로그램 전압 또는 접지전압을 제1 및 제2 전극(10, 20)에 인가하기 위한 컨택(12, 22)이 형성될 수 있다.

[0034] 도 3은 도 1의 II-II'를 따라 절단한 단면도이다. 여기서, 도 3의 단면도에는 도 2에 도시된 질화물층(70)을 도시하지 않았으나, 도 2에 도시한 바와 같이 게이트 메탈(30)의 상부에 실리콘 질화물층(70)이 형성될 수 있으며, 실리콘 질화물층(70)과 반도체층(40) 상부에 제2 산화물층(54)이 형성될 수 있다.

[0035] 도 3을 참고하면, 반도체 장치의 이-퓨즈(100)는 게이트 메탈(30), 게이트 메탈(30)의 하부에 형성되고 게이트 메탈(30)의 양측에 대응하는 상면에 드레인 및 소스 영역(42, 44)이 서로 이격되어 형성된 반도체층(40)을 포함

한다. 이와 같이 본 실시예는 반도체 장치의 이-퓨즈(100)를 트랜지스터로 형성할 수 있으며, 드레인 영역(42) 및 소스 영역(44)을 엔-타입 또는 피-타입으로 형성하여 엔-타입 또는 피-타입의 트랜지스터로 이-퓨즈(100)를 형성할 수 있다.

[0036] 그리고, 게이트 메탈(30)과 반도체층(40) 사이에 게이트 산화물층(60)이 형성될 수 있으며, 게이트 산화물층(60)은 프로그램 시 발생하는 열에 의해서 특성이 변화되거나 게이트 메탈(30)과 반응이 일어나 유전율 특성이 변화되고, 이로 인해 브레이크 다운될 수 있다.

[0037] 도 4는 이-퓨즈의 프로그램 시 드레인 전류의 변화를 설명하기 위한 도면이다. 도 5는 프로그램 전후에 따른 드레인 전류의 변화를 도시한 그래프이다. 일례로, 도 4 및 도 5는 게이트 메탈(30), 드레인 영역(42) 및 소스 영역(44)이 엔-모스 타입의 트랜지스터 구조로 형성된 것을 예시한 것으로, 제1 전극(10)에 접지전압이 인가되고, 제2 전극(20)에 프로그램 전압이 인가된다.

[0038] 도 4 및 도 5를 참고하면, 반도체 장치의 이-퓨즈(100)는 프로그램 전압이 제1 및 제2 전극(10, 20)에 인가되면 제1 및 제2 전극(10, 20)의 전위차에 의해 게이트 메탈(30)에 프로그램 전류가 흐르고, 프로그램 전류에 의해 전자적-이동, 열적 이동 및 멜팅(melting) 현상이 게이트 메탈(30)에 유도된다. 이로 인해 게이트 메탈(30)에 보이드(void)가 형성되고 저항이 높아진다.

[0039] 이-퓨즈(100)의 프로그램 시 전류밀도가 상대적으로 높은 상태로 퓨징이 진행되는 경우 메탈 게이트 중간 부분이 멜팅에 의해 보이드가 게이트 메탈(30)의 센터에 형성되고, 전류밀도가 상대적으로 낮은 상태로 퓨징이 진행되는 경우 전자적 이동(electro-migration)과 열적 이동(thermo-migration)에 의해 보이드가 제2 전극(20)에 가까운 부분에 형성된다.

[0040] 이때, 드레인 전류는 아래의 현상이 모두 작용하여 프로그램 전후 큰 차이를 보이게 된다.

[0041] 먼저, 게이트 메탈(30)이 프로그램되면 트랜지스터의 폭이 작아져 드레인 전류가 프로그램 전 대비 작아진다. 또한, 게이트 메탈(30)이 프로그램되면 트랜지스터의 게이트 저항이 증가해서 실제 게이트에 걸리는 전압이 줄어들어 드레인 전류가 작아진다.

[0042] 또한, 게이트 메탈(30)의 프로그램 시 발생하는 열에 의해서 트랜지스터의 산화물의 특성이 변화되어 트랜지스터의 Vth 값의 변화로 드레인 전류가 변화한다.

[0043] 또한, 게이트 메탈(30)이 프로그램되면 보이드(void)가 형성된 부분의 두께가 변화되거나 프로그램 열에 의해서 메탈의 특성이 변화되어 일 함수, Vth 등이 변화고 트랜지스터에 흐르는 드레인 전류가 변화한다.

[0044] 이와 같이 이-퓨즈(100)는 프로그램 여부에 따라서 트랜지스터의 폭 변화, 게이트 메탈(30)의 저항 증가 및 일 함수 등의 변화로 드레인 전류의 양이 변화게 된다.

[0045] 도 6 및 도 7은 이-퓨즈의 프로그램 시 게이트 전류 및 서브스트레이트(substrate) 전류의 변화를 설명하기 위한 도면이다.

[0046] 도 6 및 도 7을 참고하면, 반도체 장치의 이-퓨즈(100)는 프로그램 전압이 제1 및 제2 전극(10, 20)에 인가되면 제1 및 제2 전극(10, 20)의 전위차에 의해 게이트 메탈(30)에 프로그램 전류가 흐르고, 프로그램 전류에 의해 전자적-이동, 열적 이동 및 멜팅(melting) 현상이 게이트 메탈(30)에 유도된다. 이로 인해 게이트 메탈(30)에 보이드(void)가 형성되고 저항이 높아진다.

[0047] 이때, 게이트 전류 및 서브스트레이트 전류는 아래의 이유로 프로그램 전후 큰 차이를 보이게 된다.

[0048] 먼저, 게이트 메탈(30)의 프로그램 시 발생하는 열에 의해서 트랜지스터의 게이트 메탈(30)과 게이트 산화물층(60)의 특성이 변화되거나 반응이 일어나 게이트 산화물층(60)의 유전율 특성의 변화를 일으켜 누설 전류가 증가하고 이로 인해 게이트 전류와 서브스트레이트 전류가 증가한다.

[0049] 또한, 게이트 메탈(30)의 프로그램 시 게이트 메탈(30)에 과도한 전류가 흐르는 경우 게이트 산화물층(60)에 브레이크 다운이 발생할 수 있고, 이로 인해 메탈 게이트(30)와 반도체층(40)의 쇼트가 발생하여 게이트 전류와 서브스트레이트 전류가 크게 증가한다.

[0050] 이와 같이 이-퓨즈(100)는 프로그램 여부에 따라서 게이트 메탈(30)과 게이트 산화물층(60)의 특성 변화 및 게이트 산화물층(60)의 브레이크 다운으로 게이트 전류와 서브스트레이트 전류의 양이 변화게 된다.

[0051] 도 8은 본 발명의 제2 실시예에 따른 반도체 장치의 이-퓨즈(100)를 설명하기 위한 평면도이다. 도 9은 도 7의

I-I'를 따라 절단한 단면도이다. 여기서, 도 8의 평면도에는 본 실시예의 구조에 대한 이해를 돕고자 도 9에 도시된 실리콘 질화물층(70) 및 제2 산화물층(54)을 도시하지 않았으나, 도 9에 도시한 바와 같이 게이트 메탈(30) 및 제1 및 제2 전극(10, 20)의 상부에 실리콘 질화물층(70)이 형성될 수 있으며, 실리콘 질화물층(70), 반도체층(40) 및 제1 산화물층(52) 상부에 제2 산화물층(54)이 형성될 수 있다.

[0052] 도 8 및 도 9를 참고하면, 반도체 장치의 이-퓨즈(100)는 제1 및 제2 전극(10, 20), 게이트 메탈(30), 드레인 영역(42) 및 소스 영역(44)이 형성된 반도체층(40), 및 제1 산화물층(52)을 포함한다.

[0053] 제1 및 제2 전극(10, 20)을 연결하는 게이트 메탈(30)은 제1 전극(10)에서 제2 전극(20) 방향으로 연장되는 제1 게이트 메탈(32)과 제2 전극(20)에서 제1 전극(10) 방향으로 연장되는 제2 게이트 메탈(34)을 포함한다. 제1 및 제2 게이트 메탈(32, 34)은 동일 메탈로 형성될 수 있으며, 제1 전극(10) 및 제2 전극(20)과 일체형으로 형성될 수 있다. 제1 및 제2 게이트 메탈(32, 34)은 적어도 하나 이상의 금속성 물질들로 형성될 수 있다. 제1 및 제2 게이트 메탈(32, 34)은 서로 오버랩이 될수 있다.

[0054] 반도체층(40)은 제1 게이트 메탈(32)의 하부에 형성된다. 반도체층(40)은 실리콘으로 형성될 수 있으며, 제1 게이트 메탈(32)의 일측에 대응하는 상부에 드레인 영역(42)이 형성되고, 제1 게이트 메탈(32)의 타측에 대응하는 상부에 소스 영역(44)이 형성된다. 여기서, 드레인 영역(42) 및 소스 영역(44)은 제1 게이트 메탈(32)의 양 측에 서로 이격되어 각각 형성된다. 여기서, 제1 게이트 메탈(32)과 드레인 영역(42) 및 소스 영역(44)이 형성된 반도체층(40)은 엔-타입의 트랜지스터 구조로 형성될 수 있다. 일례로, 프로그램 시 제1 전극(10)에 접지전압이 인가되고 제2 전극(20)에 프로그램 전압이 인가될 수 있다.

[0055] 그리고, 제1 산화물층(52)은 제1 및 제2 전극(10, 20)의 하부, 제2 게이트 메탈(34)의 하부, 및 반도체층(40)의 양측에 형성된다. 제1 산화물층(52)은 반도체층(40)과 동일 레벨에 형성될 수 있다.

[0056] 이와 같이 반도체 장치의 이-퓨즈(100)는 드레인 영역(42)과 소스 영역(44)이 제1 게이트 메탈(32)의 양측에 형성되고 제2 게이트 메탈(32)의 양측에는 제1 산화물층(52)이 형성될 수 있다.

[0057] 이러한 이-퓨즈(100)는 프로그램 전압이 제1 및 제2 전극(10, 20)에 인가되면 제1 및 제2 전극(10, 20)의 전위차에 의해 게이트 메탈(30)에 프로그램 전류가 흐르고, 프로그램 전류에 의해 전자적-이동, 열적 이동 및 멜팅(melting) 현상이 게이트 메탈(30)에 유도되면 게이트 메탈(30)이 센터 또는 제2 전극(20)에 가까운 부분에서 블로워된다. 그러면 게이트 메탈(30)에 동작 전압을 인가해도 드레인 영역(42)과 소스 영역(44) 간의 채널이 형성되지 않아 트랜지스터가 동작하지 않는다.

[0058] 도 10은 본 발명의 제3 실시예에 따른 반도체 장치의 이-퓨즈를 설명하기 위한 평면도이다. 도 11은 도 9의 I-I'를 따라 절단한 단면도이다. 여기서, 도 10의 평면도에는 본 실시예의 구조에 대한 이해를 돕고자 도 11에 도시된 질화물층(70) 및 제2 산화물층(54)을 도시하지 않았으나, 도 11에 도시한 바와 같이 게이트 메탈(30) 및 제1 및 제2 전극(10, 20)의 상부에 실리콘 질화물층(70)이 형성될 수 있으며, 실리콘 질화물층(70), 반도체층(40) 및 제1 산화물층(52) 상부에 제2 산화물층(54)이 형성될 수 있다.

[0059] 도 10 및 도 11을 참고하면, 반도체 장치의 이-퓨즈(100)는 제1 및 제2 전극(10, 20), 게이트 메탈(30), 드레인 영역(42) 및 소스 영역(44)이 형성된 반도체층(40), 및 제1 산화물층(52)을 포함한다.

[0060] 제1 및 제2 전극(10, 20)을 연결하는 게이트 메탈(30)은 제1 전극(10)에서 제2 전극(20) 방향으로 연장되는 제1 게이트 메탈(32)과 제2 전극(20)에서 제1 전극(10) 방향으로 제2 게이트 메탈(34)을 포함한다. 제1 및 제2 게이트 메탈(32, 34)은 동일 메탈로 형성될 수 있으며, 제1 전극(10) 및 제2 전극(20)과 일체형으로 형성될 수 있다. 제1 및 제2 게이트 메탈(32, 34)은 적어도 하나 이상의 금속성 물질들로 형성될 수 있다. 제1 및 제2 게이트 메탈(32, 34)은 서로 오버랩이 될 수 있다.

[0061] 반도체층(40)은 제2 게이트 메탈(34)의 하부에 형성된다. 반도체층(40)은 실리콘으로 형성될 수 있으며, 제2 게이트 메탈(34)의 일측에 대응하는 상부에 드레인 영역(42)이 형성되고, 제2 게이트 메탈(34)의 타측에 대응하는 상부에 소스 영역(44)이 형성된다. 여기서, 드레인 영역(42) 및 소스 영역(44)은 제2 게이트 메탈(34)의 양 측에 서로 이격되어 각각 형성된다. 여기서, 제2 게이트 메탈(34)과 드레인 영역(42) 및 소스 영역(44)이 형성된 반도체층(40)은 피-타입의 트랜지스터 구조로 형성될 수 있다. 일례로, 프로그램 시 제1 전극(10)에 프로그램 전압이 인가되고 제2 전극(20)에 접지전압이 인가될 수 있다. 물론, 이에 한정되는 것은 아니며, 프로그램 시 제1 전극(10)에 접지전압이 인가되고 제2 전극(20)에 프로그램 전압이 인가될 수 있다.

[0062] 그리고, 제1 산화물층(52)은 제1 및 제2 전극(10, 20)의 하부, 제1 게이트 메탈(32)의 하부, 및 반도체층(40)의

양측에 형성된다. 제1 산화물층(52)은 반도체층(40)과 동일 레벨에 형성될 수 있다.

[0063] 이와 같이 반도체 장치의 이-퓨즈(100)는 드레인 영역(42)과 소스 영역(44)이 제2 게이트 메탈(32)의 양측에 형성되고 제1 게이트 메탈(32)의 양측에는 제1 산화물층(52)이 형성될 수 있다.

[0064] 이러한 이-퓨즈(100)는 프로그램 전압이 제1 및 제2 전극(10, 20)에 인가되면 제1 및 제2 전극(10, 20)의 전위차에 의해 게이트 메탈(30)에 프로그램 전류가 흐르고, 프로그램 전류에 의해 전자적-이동, 열적 이동 및 멜팅(melting) 현상이 게이트 메탈(30)에 유도되면 게이트 메탈(30)이 센터 또는 제1 전극(10)에 가까운 부분에서 블로워된다. 그러면 게이트 메탈(30)에 동작 전압을 인가해도 드레인 영역(42)과 소스 영역(44) 간의 채널이 형성되지 않아 트랜지스터가 동작하지 않는다.

[0065] 도 12은 본 발명의 제4 실시예에 따른 반도체 장치의 이-퓨즈를 설명하기 위한 평면도이다. 도 13는 도 11의 I-I'를 따라 절단한 단면도이다. 여기서, 도 12의 평면도에는 본 실시예의 구조에 대한 이해를 돕고자 도 12에 도시된 질화물층(70) 및 제2 산화물층(54)을 도시하지 않았으나, 도 13에 도시한 바와 같이 게이트 메탈(30) 및 제1 및 제2 전극(10, 20)의 상부에 실리콘 질화물층(70)이 형성될 수 있으며, 실리콘 질화물층(70), 반도체층(40) 및 제1 산화물층(52) 상부에 제2 산화물층(54)이 형성될 수 있다.

[0066] 도 12 및 도 13를 참고하면, 반도체 장치의 이-퓨즈(100)는 제1 및 제2 전극(10, 20), 게이트 메탈(30), 드레인 영역(42) 및 소스 영역(44)이 형성된 반도체층(40), 및 제1 산화물층(52)을 포함한다.

[0067] 제1 전극(10)은 캐소드로 지칭될 수 있고, 제2 전극(20)은 애노드로 지칭될 수 있으며, 제1 및 제2 전극(10, 20)의 상부에는 프로그램 시 프로그램 전압을 인가하기 위한 컨택(12, 22)이 형성될 수 있다. 여기서, 프로그램은 제1 및 제2 전극(10, 20) 중 어느 하나에 프로그램 전압을 인가하고 나머지 하나에 접지전압을 인가하여 게이트 메탈(30)에 프로그램 전류를 흘리는 과정을 포함한다.

[0068] 게이트 메탈(30)은 제1 및 제2 전극(10, 20)을 전기적으로 연결하며, 제1 전극(10)에서 제2 전극(20) 방향으로 연장되는 제1 게이트 메탈(32)과 제2 전극(20)에서 제1 전극(10) 방향으로 제2 게이트 메탈(34)을 포함한다. 제1 및 제2 게이트 메탈(32, 34)은 서로 다른 메탈로 형성되거나 서로 다른 적어도 하나 이상의 금속성 물질들로 형성될 수 있다. 일례로, 제1 게이트 메탈(32)은 Al와 같은 금속성 물질로 형성될 수 있으며, 제2 게이트 메탈(34)은 TiN, Ti, Al, AlTiO의 층들로 형성될 수 있다. 또는 제1 및 제2 게이트 메탈(32, 34)은 각각 서로 다른 비중의 TiN, Ti, Al, AlTiO의 층들로 형성될 수 있다. 여기서, 제1 게이트 메탈(32)은 제1 전극(10)과 일체형으로 형성될 수 있으며 제2 게이트 메탈(34)은 제2 전극(20)과 일체형으로 형성될 수 있다. 제1 및 제2 게이트 메탈(32, 34)은 서로 오버랩이 될수 있다.

[0069] 반도체층(40)은 제1 및 제2 게이트 메탈(32, 34)의 하부에 형성된다. 반도체층(40)은 실리콘으로 형성될 수 있으며, 제1 및 제2 게이트 메탈(32, 34)의 일측에 대응하는 반도체층(40) 상부에 드레인 영역(42a, 42b)이 형성되고, 제1 및 제2 게이트 메탈(32, 34)의 타측에 대응하는 반도체층(40) 상부에 소스 영역(44a, 44b)이 형성된다. 반도체층(40)에는 드레인 영역(42a)과 소스 영역(44a) 사이에 엔-타입 채널이 형성되고, 드레인 영역(42b)과 소스 영역(44b) 사이에 피-타입 채널이 형성된다.

[0070] 여기서, 드레인 영역(42a, 42b) 및 소스 영역(44a, 44b)은 게이트 메탈(30)의 양 측에 서로 이격되어 각각 형성된다. 여기서, 드레인 영역(42a) 및 소스 영역(44a)이 형성된 반도체층(40)의 하프는 엔-타입으로 형성되고 드레인 영역(42b) 및 소스 영역(44b)이 형성된 반도체층(40)의 나머지 하프는 피-타입으로 형성될 수 있다. 즉, 제1 게이트 메탈(32)과 드레인 및 소스 영역(42a, 44a)이 형성된 반도체층(40)의 하프는 엔-타입의 트랜지스터를 형성하고, 제2 게이트 메탈(34)과 드레인 및 소스 영역(42b, 44b)이 형성된 반도체층(40)의 나머지 하프는 피-타입의 트랜지스터를 형성한다.

[0071] 그리고, 제1 산화물층(52)은 제1 및 제2 전극(10, 20)의 하부와 반도체층(40)의 양측에 형성된다. 제1 산화물층(52)은 반도체층(40)과 동일 레벨에 형성될 수 있다.

[0072] 게이트 산화물층(60)은 게이트 메탈(30)의 하단에 형성되고, 게이트 메탈(30)의 하단에 대응하는 반도체층(40)과 제1 산화물층(52)의 상단에 접하도록 형성될 수 있다. 게이트 산화물층(60)은 프로그램 시 높은 온도로 인해 게이트 메탈(30)과 반응하거나 유전율 특성이 변화될 수 있다. 일례로, 게이트 산화물층(60)은 HfO_2로 형성될 수 있다.

[0073] 그리고, 게이트 메탈(30)의 상부에 실리콘 질화물층(70)이 형성되고, 실리콘 질화물층(70)의 상부에 제2 산화물층(54)이 형성된다. 일례로, 실리콘 질화물층은 SiN 또는 SiCN으로 형성될 수 있다.

[0074] 이와 같이 반도체 장치의 이-퓨즈(100)는 제1 및 제2 전극(10, 20)을 전기적으로 연결하는 서로 다른 메탈로 형성된 제1 및 제2 게이트 메탈(32, 34), 제1 및 제2 게이트 메탈(32, 34)의 하부에 형성되고 제1 및 제2 게이트 메탈(32, 34)의 양 측에 대응하는 상부에 드레인 영역(42a, 42b)과 소스 영역(44a, 44b)이 형성되어 상기 제1 및 제2 게이트 메탈(32, 34)과 트랜지스터를 형성하는 반도체층(40), 및 반도체층(40)의 양 측에 형성되는 제1 산화물층(52)을 포함한다.

[0075] 상기와 같이 구성된 반도체 장치의 이-퓨즈(100)는, 프로그램 전압이 제1 및 제2 전극(10, 20)에 인가되면 제1 및 제2 전극(10, 20)의 전위차에 의해 게이트 메탈(30)에 프로그램 전류가 흐르고, 프로그램 전류에 의해 전자적-이동, 열적 이동 및 멜팅(melting) 현상이 게이트 메탈(30)에 유도된다. 이로 인해 게이트 메탈(30)에 보이드(void)가 형성되고 저항이 높아진다.

[0076] 또한, 반도체 장치의 이-퓨즈(100)는, 프로그램 시 게이트 메탈(30)의 높은 온도로 게이트 메탈(30)과 게이트 산화물층(60)이 반응하거나 게이트 산화물층(60)의 유전율 특성이 변화된다. 이를 통해 이-퓨즈(100)의 드레인 전류, 게이트 전류 및 서브스트레이트 전류는 프로그램 전후에 따라 크게 변화한다.

[0077] 도 14는 본 발명의 제5 실시예에 따른 반도체 장치의 이-퓨즈를 설명하기 위한 평면도이다. 도 15는 도 13의 I-I'를 따라 절단한 단면도이다. 여기서, 도 14의 평면도에는 본 실시예의 구조에 대한 이해를 돕고자 도 14에 도시된 질화물층(70) 및 제2 산화물층(54)을 도시하지 않았으나, 도 15에 도시한 바와 같이 게이트 메탈(30) 및 제1 및 제2 전극(10, 20)의 상부에 실리콘 질화물층(70)이 형성될 수 있으며, 실리콘 질화물층(70), 반도체층(40) 및 제1 산화물층(52) 상부에 제2 산화물층(54)이 형성될 수 있다.

[0078] 도 14 및 도 15를 참고하면, 반도체 장치의 이-퓨즈(100)는 제1 및 제2 전극(10, 20), 제1 및 제2 전극(10, 20)을 연결하는 서로 다른 메탈로 형성된 제1 및 제2 게이트 메탈(32, 34), 제1 및 제2 게이트 메탈(32, 34)의 하부에 형성되고 제1 및 제2 게이트 메탈(32, 34)의 양측에 대응하는 상부에 드레인 영역(42) 및 소스 영역(44)이 형성되어 제1 및 제2 게이트 메탈(32, 34)과 트랜지스터를 형성하는 반도체층(40), 및 반도체층(40)의 양측에 형성되는 제1 산화물층(52)을 포함한다. 여기서, 제1 및 제2 게이트 메탈(32, 34)과 드레인 영역(42) 및 소스 영역(44)이 형성된 반도체층(40)은 엔-타입 또는 피-타입의 트랜지스터 구조로 형성될 수 있다.

[0079] 상기와 같이 구성된 반도체 장치의 이-퓨즈(100)는, 프로그램 여부에 따라서 트랜지스터의 폭 변화, 게이트 메탈(30)의 저항 증가 및 일 함수 등의 변화로 드레인 전류의 양이 변화고 게이트 메탈(30)과 게이트 산화물층(60)의 특성 변화 및 게이트 산화물층(60)의 브레이크 다운으로 게이트 전류와 서브스트레이트 전류의 양이 변화게 된다.

[0080] 도 16는 본 발명의 제6 실시예에 따른 반도체 장치의 이-퓨즈를 설명하기 위한 평면도이다. 도 17은 도 15의 I-I'를 따라 절단한 단면도이다. 여기서, 도 16의 평면도에는 본 실시예의 구조에 대한 이해를 돕고자 도 16에 도시된 질화물층(70) 및 제2 산화물층(54)을 도시하지 않았으나, 도 17에 도시한 바와 같이 게이트 메탈(30) 및 제1 및 제2 전극(10, 20)의 상부에 실리콘 질화물층(70)이 형성될 수 있으며, 실리콘 질화물층(70), 반도체층(40) 및 제1 산화물층(52) 상부에 제2 산화물층(54)이 형성될 수 있다.

[0081] 도 16 및 도 17를 참고하면, 반도체 장치의 이-퓨즈(100)는 제1 및 제2 전극(10, 20)을 연결하는 서로 다른 메탈로 형성된 제1 및 제2 게이트 메탈(32, 34), 제1 게이트 메탈(32)의 하부에 형성되고 제1 게이트 메탈(32)의 양측에 대응하는 상부에 드레인 영역(42) 및 소스 영역(44)이 형성되어 상기 제1 게이트 메탈(32)과 트랜지스터를 형성하는 반도체층(40), 및 제1 및 제2 전극(10, 20)의 하단과 제2 게이트 메탈(34)의 하단 및 반도체층(40)의 양측에 형성되는 제1 산화물층(52)을 포함한다.

[0082] 여기서, 제1 게이트 메탈(32)과 드레인 영역(42) 및 소스 영역(44)이 형성된반도체층(40)은 엔-타입의 트랜지스터 구조로 형성될 수 있으며, 프로그램 시 제1 전극(10)에 접지전압이 인가되고 제2 전극(20)에 프로그램 전압이 인가될 수 있다.

[0083] 이러한 이-퓨즈(100)는 프로그램 전압이 제1 및 제2 전극(10, 20)에 인가되면 제1 및 제2 전극(10, 20)의 전위차에 의해 게이트 메탈(30)에 프로그램 전류가 흐르고, 프로그램 전류에 의해 전자적-이동, 열적 이동 및 멜팅(melting) 현상이 게이트 메탈(30)에 유도되면 게이트 메탈(30)이 센터 또는 제2 전극(20)에 가까운 부분에서 블로워된다. 그러면 게이트 메탈(30)에 동작 전압을 인가해도 드레인 영역(42)과 소스 영역(44) 간의 채널이 형성되지 않아 트랜지스터가 동작하지 않는다.

[0084] 도 18은 본 발명의 제7 실시예에 따른 반도체 장치의 이-퓨즈를 설명하기 위한 평면도이다. 도 19는 도 17의 I-

I'를 따라 절단한 단면도이다. 여기서, 도 18의 평면도에는 본 실시예의 구조에 대한 이해를 돕고자 도 18에 도시된 질화물층(70) 및 제2 산화물층(54)을 도시하지 않았으나, 도 19에 도시한 바와 같이 게이트 메탈(30) 및 제1 및 제2 전극(10, 20)의 상부에 실리콘 질화물층(70)이 형성될 수 있으며, 실리콘 질화물층(70), 반도체층(40) 및 제1 산화물층(52) 상부에 제2 산화물층(54)이 형성될 수 있다.

[0085] 도 18 및 도 19을 참고하면, 반도체 장치의 이-퓨즈(100)는 제1 및 제2 전극(10, 20)을 연결하는 서로 다른 메탈로 형성된 제1 및 제2 게이트 메탈(32, 34), 제2 게이트 메탈(34)의 하부에 형성되고 제2 게이트 메탈(34)의 양측에 대응하는 상부에 드레인 영역(42) 및 소스 영역(44)이 형성되어 제2 게이트 메탈(34)과 트랜지스터를 형성하는 반도체층(40), 및 제1 및 제2 전극(10, 20)의 하단과 제1 게이트 메탈(32)의 하단 및 반도체층(40)의 양측에 형성되는 제1 산화물층(52)을 포함한다.

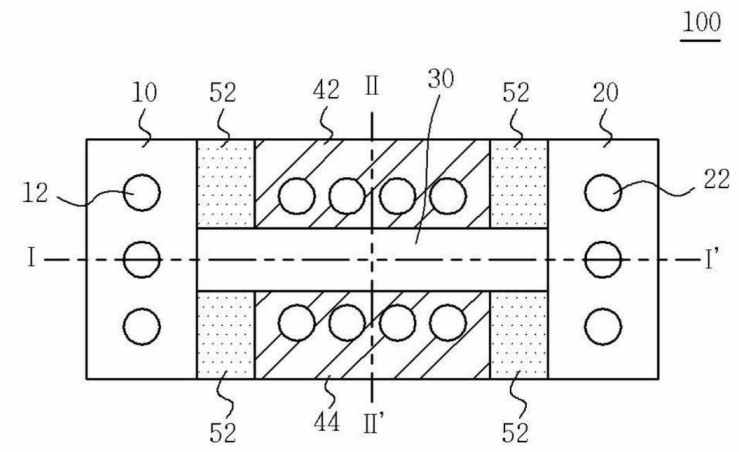
[0086] 여기서, 제2 게이트 메탈(34)과 드레인 영역(42) 및 소스 영역(44)이 형성된반도체층(40)은 피-타입의 트랜지스터 구조로 형성될 수 있으며, 프로그램 시 제1 전극(10)에 프로그램 전압이 인가되고 제2 전극(20)에 접지전압이 인가될 수 있다.

[0087] 이러한 이-퓨즈(100)는 프로그램 전압이 제1 및 제2 전극(10, 20)에 인가되면 제1 및 제2 전극(10, 20)의 전위차에 의해 게이트 메탈(30)에 프로그램 전류가 흐르고, 프로그램 전류에 의해 전자적-이동, 열적 이동 및 멜팅(melting) 현상이 게이트 메탈(30)에 유도되면 게이트 메탈(30)이 센터 또는 제1 전극(10)에 가까운 부분에서 블로워된다. 그러면 게이트 메탈(30)에 동작 전압을 인가해도 드레인 영역(42)과 소스 영역(44) 간의 채널이 형성되지 않아 트랜지스터가 동작하지 않는다.

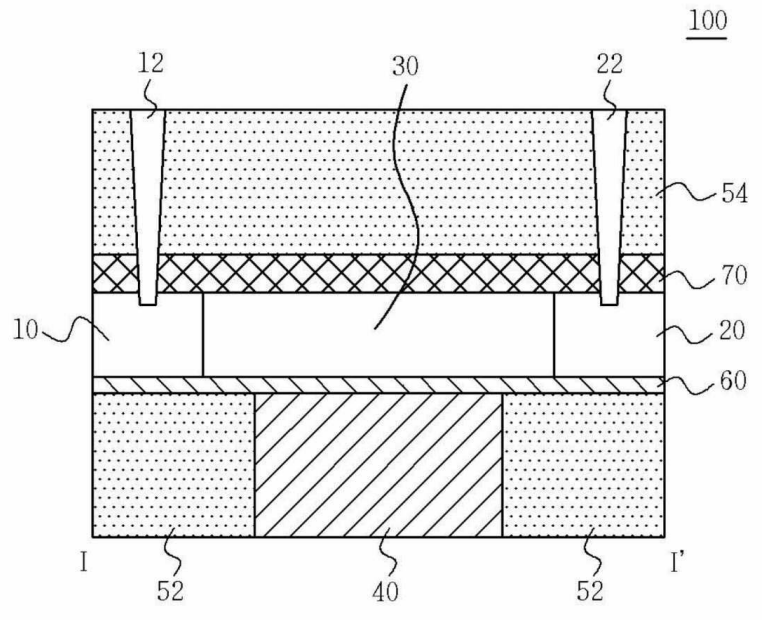
[0088] 본 발명은 도면들에 도시된 실시예들을 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이들로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

도면

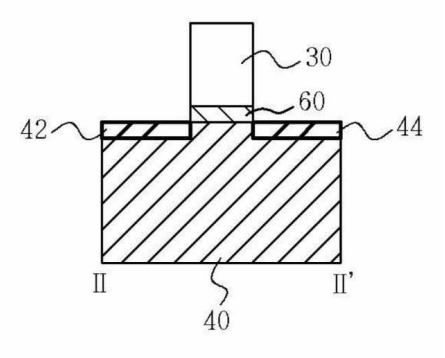
도면1



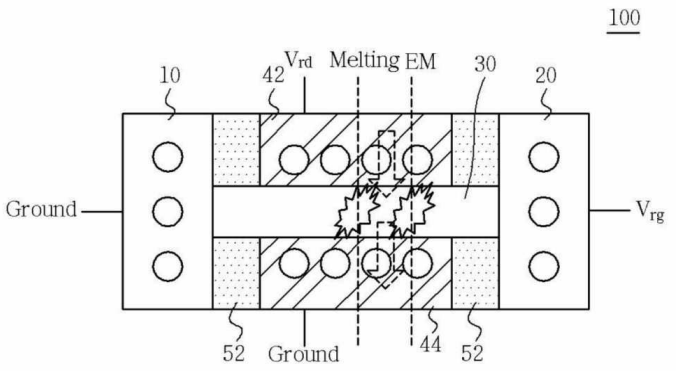
도면2


100
12
30
22
54
70
10
20
60
I
52
40
52
I'

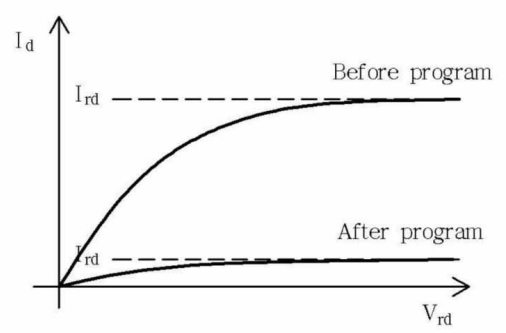
도면3


30
60
42
44
II
II'
40

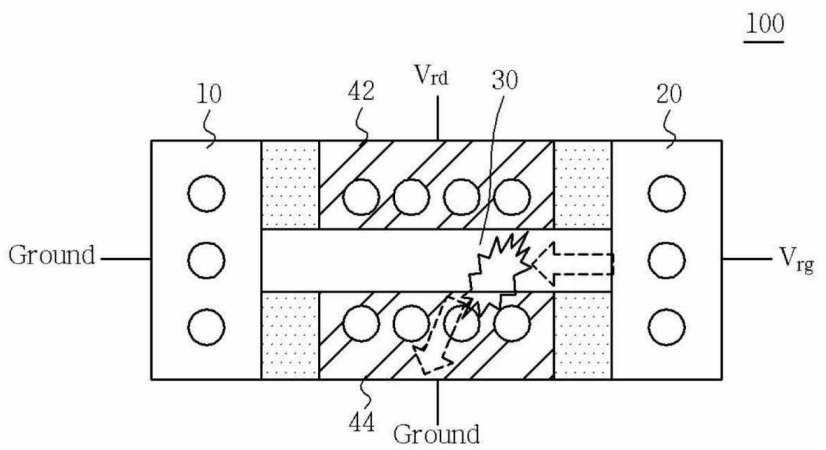
도면4


100
10
42
Vrd
Melting EM
30
20
Ground
Vrg
52
Ground
44
52

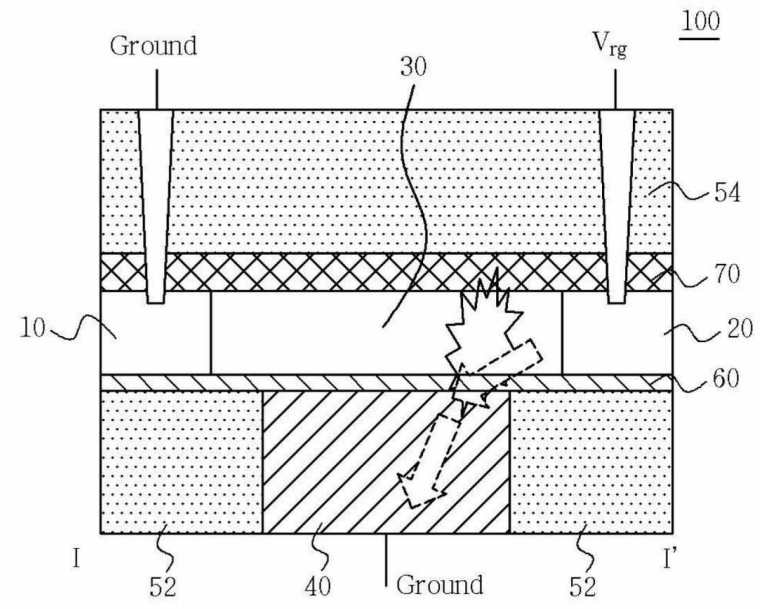
도면5


Id
Ird
Before program
Ird
After program
Vrd

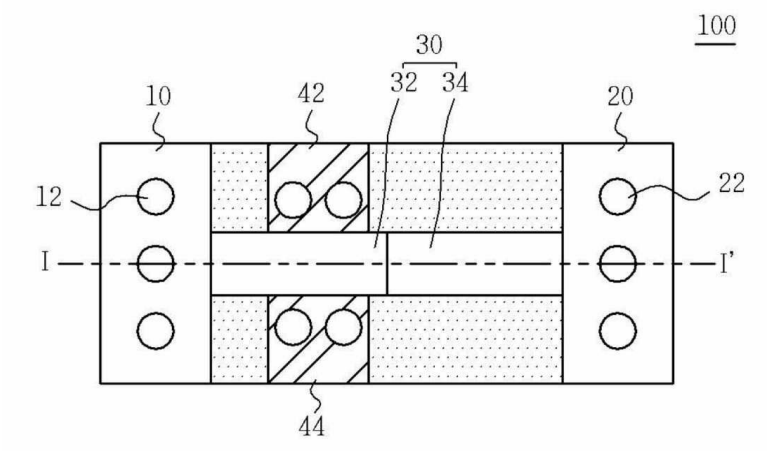
도면6


100
10
42
Vrd
30
20
Ground
Vrg
44
Ground

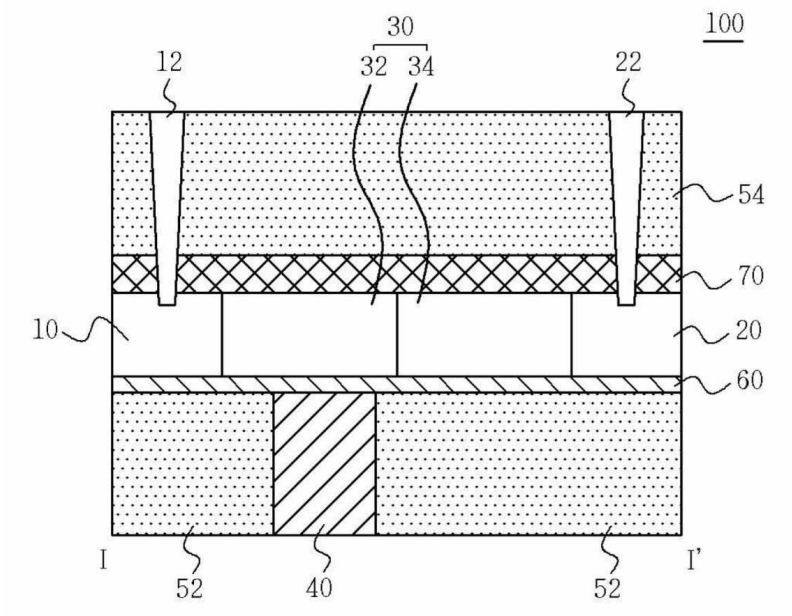
도면7


100
Ground
30
Vrg
54
70
10
20
60
I
52
40
Ground
52
I'

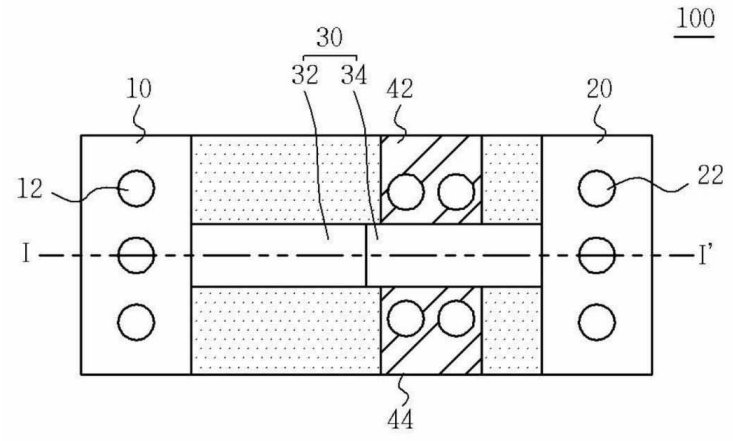
도면8


100
30
32
34
10
42
20
12
22
I
I'
44

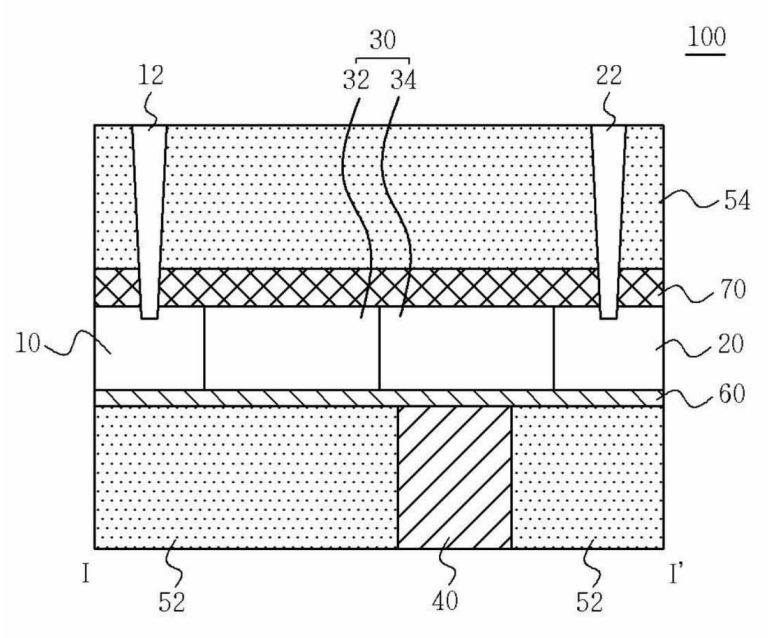
도면9


100
30
32
34
12
22
54
70
10
20
60
I
52
40
52
I'

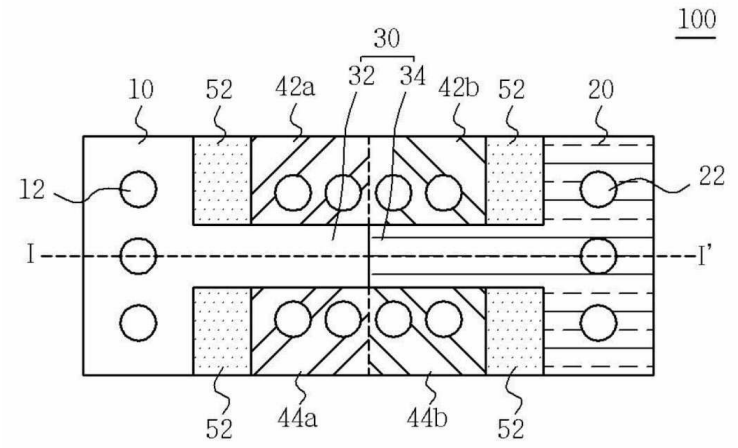
도면10


100
30
32
34
10
42
20
12
22
I
I'
44

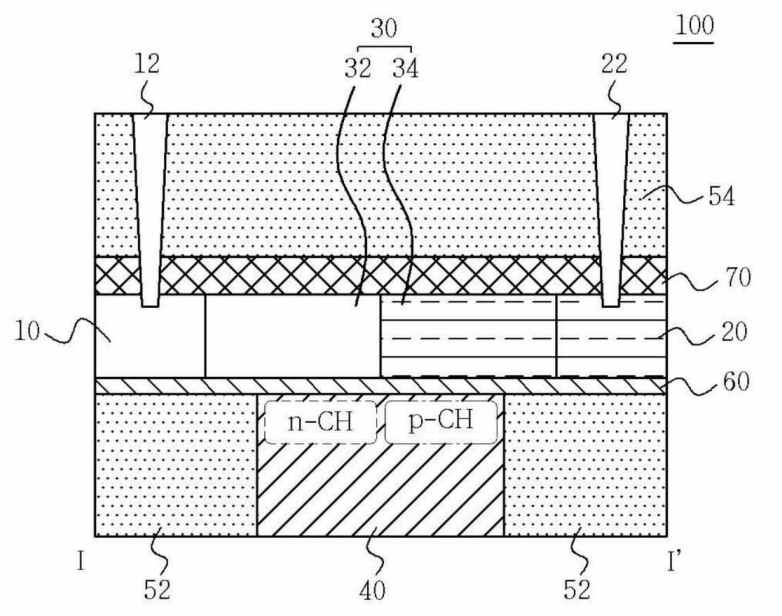
도면11


100
30
32
34
12
22
54
70
10
20
60
I
52
40
52
I'

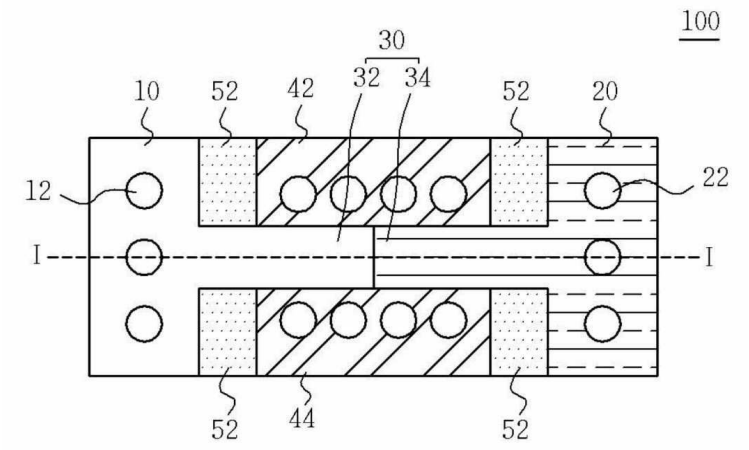
도면12


100
30
32
34
10
52
42a
42b
52
20
12
22
I
I'
52
44a
44b
52

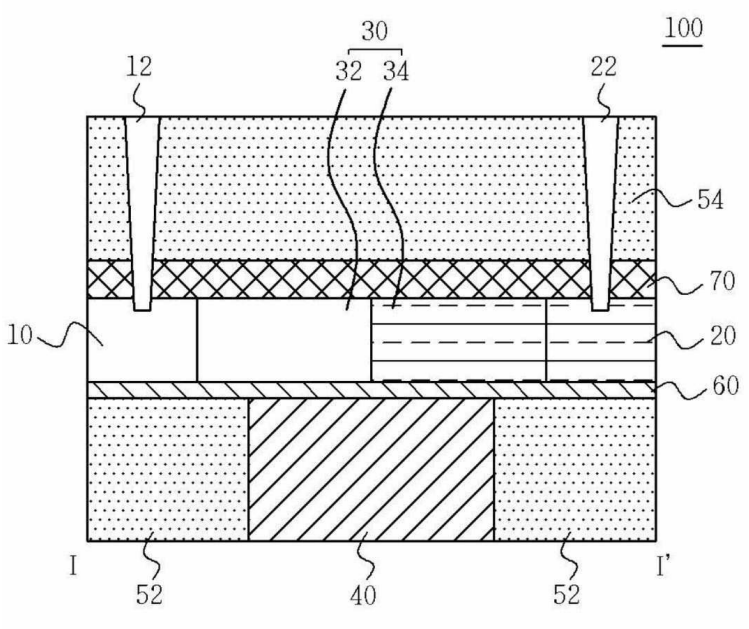
도면13


100
30
32
34
12
22
54
70
10
20
60
n-CH
p-CH
I
I'
52
40
52

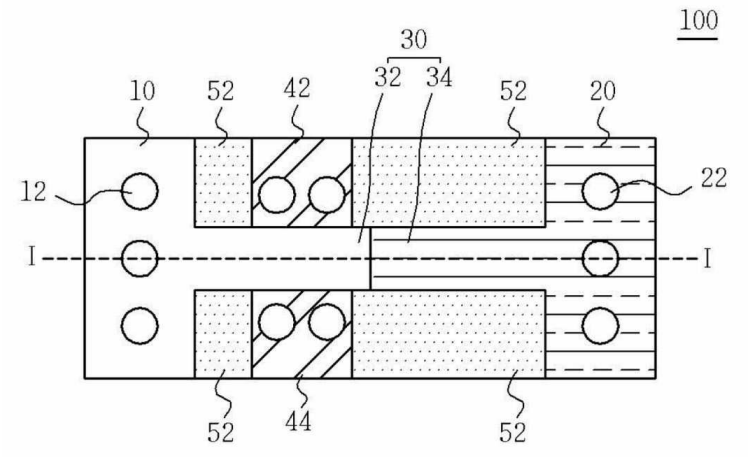
도면14


100
30
32
34
10
52
42
52
20
12
22
I
I
52
44
52

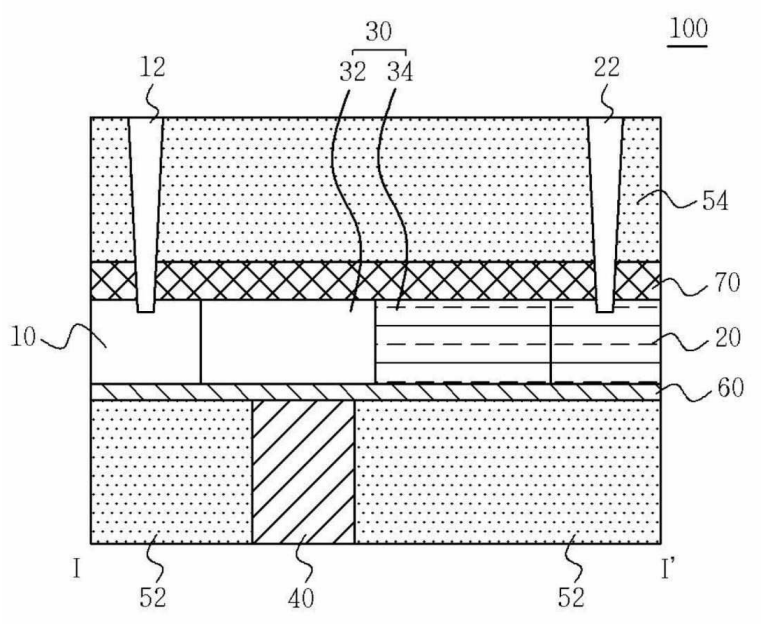
도면15


100
30
12
32
34
22
54
70
10
20
60
I
52
40
52
I'

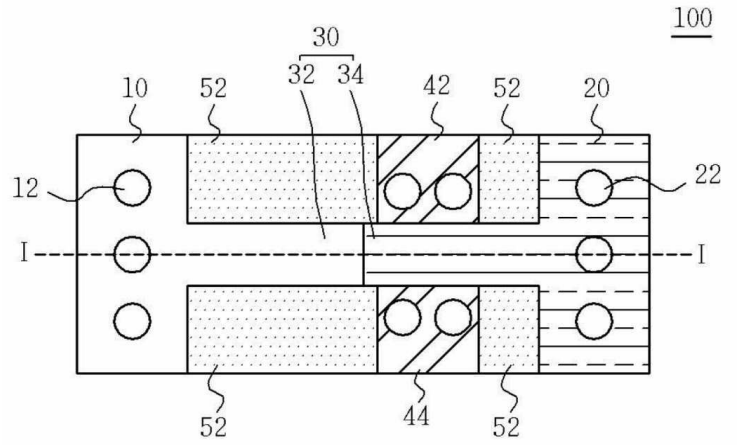
도면16


100
30
10
52
42
32
34
52
20
12
22
I
I
52
44
52

도면17


100
30
32
34
12
22
54
70
10
20
60
I
52
40
52
I'

도면18


100
30
32
34
10
52
42
52
20
12
22
I
I
52
44
52

도면19

