



(12)发明专利申请

(10)申请公布号 CN 107112997 A

(43)申请公布日 2017.08.29

(21)申请号 201580054558.0

(74)专利代理机构 北京律盟知识产权代理有限公司 11287

(22)申请日 2015.10.06

代理人 杨林勋

(30)优先权数据

2014-206853 2014.10.08 JP

(51)Int.Cl.

H03K 19/177(2006.01)

(85)PCT国际申请进入国家阶段日

2017.04.07

H01L 21/82(2006.01)

(86)PCT国际申请的申请数据

PCT/JP2015/078311 2015.10.06

(87)PCT国际申请的公布数据

W02016/056536 JA 2016.04.14

(71)申请人 太阳诱电株式会社

地址 日本东京

(72)发明人 吉田英明 胜满德 小堤博之

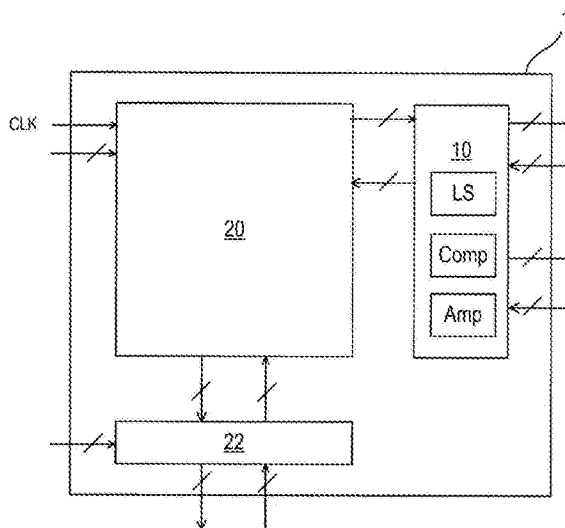
权利要求书3页 说明书17页 附图17页

(54)发明名称

可重构半导体装置

(57)摘要

本发明能够将可重构设备与模拟电路以单芯片形成,且利用可重构设备来控制模拟电路。可重构半导体装置(1)具备:多个逻辑部(20),利用地址线或数据线相互连接;以及模拟部(10),具有多个输入输出部及输出放大器;且所述各逻辑部(20)具备:多条地址线;多条数据线;存储单元组件;以及地址解码器,将地址信号解码,并将解码信号输出至所述存储单元组件;所述多个逻辑部(20)与所述模拟部(10)安装在同一芯片封装内。



1. 一种可重构半导体装置,具备:
多个逻辑部,利用地址线或数据线相互连接;以及
模拟部,具有多个输入输出部及输出放大器;且
所述各逻辑部具备:多条地址线;多条数据线;存储单元组件;以及地址解码器,将地址信号解码,并将解码信号输出至所述存储单元组件;
所述多个逻辑部与所述模拟部安装在同一芯片封装内。
2. 根据权利要求1所述的半导体装置,其还具备处理器,
所述多个逻辑部、所述模拟部以及所述处理器经由总线相互连接,
所述多个逻辑部通过将构成数据写入至所述存储单元组件而重构逻辑电路,根据所述构成数据来执行所述处理器的一部分功能。
3. 根据权利要求1或2所述的半导体装置,其中所述处理器保存所述构成数据,并且将所述保存的构成数据输出至所述多个逻辑部,而重构所述多个逻辑部。
4. 根据权利要求1至3中任一项所述的可重构半导体装置,其中所述存储单元组件作为由真值表数据构成的配线元件及/或逻辑元件,进行所述模拟部的控制或设定。
5. 根据权利要求1至4中任一项所述的可重构半导体装置,其中所述模拟部具有数字输入输出、电平移位器电路以及放大器,
所述模拟线与电平移位器电路的输出连接,所述数据线与所述放大器输入连接。
6. 根据权利要求1至5中任一项所述的可重构半导体装置,其中所述存储单元组件作为多查找表而动作。
7. 根据权利要求4至6中任一项所述的可重构半导体装置,其中所述模拟部具有第1数字输入、第2数字输入、第1放大器以及第2放大器,
所述真值表数据将任一所述数字输入与任一所述放大器连接。
8. 根据权利要求1至7中任一项所述的可重构半导体装置,其中所述各逻辑部具备:
多条地址线;
多条数据线;
时钟信号线,接收系统时钟信号;
第1及第2存储单元组件,与时钟信号同步地动作;
第1地址解码器,将地址信号解码,并将解码信号输出至所述第1存储单元组件;
第2地址解码器,将地址信号解码,并将解码信号输出至所述第2存储单元组件;以及
地址转换检测部,当检测出从所述多条地址线输入的地址信号的转换时,产生内部时钟信号,并将所述内部时钟信号输出至所述第1存储单元组件;且
所述第1存储单元组件与所述内部时钟信号同步地动作,所述第2存储单元组件与所述系统时钟信号同步地动作。
9. 根据权利要求1至8中任一项所述的可重构半导体装置,其构成为:连接于所述第1存储单元组件的数据线与连接于所述第2存储单元组件的数据线相互连接,并输出逻辑和,以及,
在未使用任一存储单元组件的情况下,对该未使用的存储单元组件全部写入0。
10. 根据权利要求8或9所述的半导体装置,其还具备:
第3及第4存储单元组件,与时钟信号同步地动作;

第3地址解码器,将地址信号解码,并将解码信号输出至所述第3存储单元组件;以及第4地址解码器,将地址信号解码,并将解码信号输出至所述第4存储单元组件;且构成

为:
所述第3存储单元组件与所述内部时钟信号同步地动作,所述第4存储单元组件与所述系统时钟信号同步地动作,且,

所述第1及第2地址解码器将从所述多条地址线的一部分输入的地址解码,

所述第3及第4地址解码器将从所述多条地址线的另一部分输入的地址解码。

11.根据权利要求10所述的可重构半导体装置,其存储以不产生跨及所述第1及第3存储单元组件的逻辑运算作为禁止逻辑的方式而构成的真值表数据。

12.一种可重构半导体装置的控制方法,

所述半导体装置具备:

多个逻辑部,利用地址线或数据线相互连接;以及模拟部,具有多个输入输出部及输出放大器;

所述各逻辑部具备:多条地址线;多条数据线;存储单元组件;以及地址解码器,将地址信号解码,并将解码信号输出至所述存储单元组件;

所述多个逻辑部与所述模拟部安装在同一芯片封装内,

所述模拟部具有第1数字输入、第2数字输入、第1放大器以及第2放大器,

所述各逻辑部具备:

多条地址线;

多条数据线;

时钟信号线,接收系统时钟信号;

第1地址解码器;以及

第1存储单元组件,具有多个存储单元,且与时钟信号同步地动作;

所述第1地址解码器将所述地址信号解码,并将解码信号输出至所述第1存储单元组件,

保存在所述第1存储单元组件的真值表数据将任一所述数字输入与任一所述放大器连接。

13.根据权利要求12所述的可重构半导体装置的控制方法,其中所述逻辑部具备:

第2地址解码器;

第2存储单元组件,具有多个存储单元,且与时钟信号同步地动作;以及

地址转换检测部,当检测出从所述多条地址线输入的地址信号的转换时,产生内部时钟信号,并将所述内部时钟信号输出至所述第1存储单元组件;

所述第2地址解码器将所述地址信号解码,并将解码信号输出至所述第2存储单元组件,

所述第1存储单元组件与所述内部时钟信号同步地动作,

所述第2存储单元组件与所述系统时钟信号同步地动作。

14.根据权利要求13所述的可重构半导体装置的控制方法,其中该可重构半导体装置还具备:

第3及第4存储单元组件,与时钟信号同步地动作;

第3地址解码器,将地址信号解码,并将解码信号输出至所述第3存储单元组件;以及第4地址解码器,将地址信号解码,并将解码信号输出至所述第4存储单元组件;且所述第3存储单元组件与所述内部时钟信号同步地动作,所述第4存储单元组件与所述系统时钟信号同步地动作,且,

所述第1及第2地址解码器将从所述多条地址线的一部分输入的地址解码,

所述第3及第4地址解码器将从所述多条地址线的另一部分输入的地址解码。

15. 根据权利要求12至14中任一项所述的可重构半导体装置,其中所述存储单元组件存储构成配线元件及/或逻辑元件的真值表数据,作为多查找表而动作。

16. 一种程序,用来控制可重构半导体装置,其特征在于,

所述半导体装置具备:

多个逻辑部,利用地址线或数据线相互连接;以及模拟部,具有多个输入输出部及输出放大器;

所述各逻辑部具备:多条地址线;多条数据线;存储单元组件;以及地址解码器,将地址信号解码,并将解码信号输出至所述存储单元组件;

所述多个逻辑部与所述模拟部安装在同一芯片封装内,

所述模拟部具有第1数字输入、第2数字输入、第1放大器以及第2放大器,

所述各逻辑部具备:

多条地址线;

多条数据线;

时钟信号线,接收系统时钟信号;

第1地址解码器;以及

第1存储单元组件,具有多个存储单元,且与时钟信号同步地动作;且所述程序用来执行如下处理:

使保存在所述第1存储单元组件的真值表数据将任一所述数字输入与任一所述放大器连接。

17. 一种存储媒体,存储权利要求16所述的程序。

可重构半导体装置

技术领域

[0001] 本发明涉及一种可重构半导体装置。

背景技术

[0002] 近年来,通过基于半导体制造工艺的微细化所实现的高集成化,在一个LSI (Large Scale Integration,大规模集成电路)上集成系统的大部分而成的SoC (System-on-a-Chip,系统芯片)逐渐变得普遍。将SoC与在基板安装多个单功能LSI的情况进行比较的话,产生较多优点,如印刷基板上的占有面积的削减、高速化、低耗电、成本降低等。

[0003] 例如,提出有具备硬件宏块、电力控制部以及多阈值CMOS (complementary metal oxide semiconductor,互补金属氧化物半导体)逻辑电路的片上系统(专利文献1)。该片上系统能够通过硬件宏块进行断电,而减少片上系统整体的漏电流。

[0004] 背景技术文献

[0005] 专利文献

[0006] 专利文献1:日本专利特开2013-219699号公报

发明内容

[0007] [发明要解决的问题]

[0008] 近年来,FPGA (field-programmable gate array,现场可编程门阵列)等可重构设备的微细化不断进展。由于模拟电路需要比半导体装置高的动作电压及电流,难以进行微细化,因此尤其在微细化得以进展的FPGA等中,无法将模拟电路搭载在同一芯片,必须在外部准备模拟电路。另一方面,在如SoC等将包含半导体装置及模拟电路的系统单芯片化的情况下,当需要模拟电路等的修正时,每次均需要电路设计。

[0009] 解决所述问题的方式是如以下项目组所示,能够将可重构设备与模拟电路以单芯片形成,利用可重构设备来控制模拟电路。

[0010] [项目1]

[0011] 一种可重构半导体装置,具备:

[0012] 多个逻辑部,利用地址线或数据线相互连接;以及

[0013] 模拟部,具有多个输入输出部及输出放大器;且

[0014] 所述各逻辑部具备:多条地址线;多条数据线;存储单元组件;以及地址解码器,将地址信号解码,并将解码信号输出至所述存储单元组件;

[0015] 所述多个逻辑部与所述模拟部安装在同一芯片封装内。

[0016] [项目2]

[0017] 根据项目1所述的半导体装置,其还具备处理器,

[0018] 所述多个逻辑部、所述模拟部以及所述处理器经由总线相互连接,

[0019] 所述多个逻辑部通过将构成数据写入至所述存储单元组件而重构逻辑电路,根据所述构成数据来执行所述处理器的一部分功能。

[0020] [项目3]

[0021] 根据项目1或2所述的半导体装置,其中所述处理器保存所述构成数据,并且将所述保存的构成数据输出至所述多个逻辑部,而重构所述多个逻辑部。

[0022] [项目4]

[0023] 根据项目1至3中任一项所述的可重构半导体装置,其中所述存储单元组件作为由真值表数据所构成的配线元件及/或逻辑元件,进行所述模拟部的控制或设定。

[0024] [项目5]

[0025] 根据项目1至4中任一项所述的可重构半导体装置,其中所述模拟部具有数字输入输出、电平移位器电路以及放大器,

[0026] 所述模拟线与电平移位器电路的输出连接,所述数据线与所述放大器输入连接。

[0027] [项目6]

[0028] 根据项目1至5中任一项所述的可重构半导体装置,其中所述存储单元组件作为多查找表而动作。

[0029] [项目7]

[0030] 根据项目2至6中任一项所述的可重构半导体装置,其中所述模拟部具有第1数字输入、第2数字输入、第1放大器以及第2放大器,

[0031] 所述真值表数据将任一所述数字输入与任一所述放大器连接。

[0032] [项目8]

[0033] 根据项目1至7中任一项所述的可重构半导体装置,其中所述各逻辑部具备:

[0034] 多条地址线;

[0035] 多条数据线;

[0036] 时钟信号线,接收系统时钟信号;

[0037] 第1及第2存储单元组件,与时钟信号同步地动作;

[0038] 第1地址解码器,将地址信号解码,并将解码信号输出至所述第1存储单元组件;

[0039] 第2地址解码器,将地址信号解码,并将解码信号输出至所述第2存储单元组件;以及

[0040] 地址转换检测部,当检测出从所述多条地址线输入的地址信号的转换时,产生内部时钟信号,并将所述内部时钟信号输出至所述第1存储单元组件;且

[0041] 所述第1存储单元组件与所述内部时钟信号同步地动作,所述第2存储单元组件与所述系统时钟信号同步地动作。

[0042] [项目9]

[0043] 根据项目1至8中任一项所述的可重构半导体装置,其构成为:连接于所述第1存储单元组件的数据线与连接于所述第2存储单元组件的数据线相互连接,并输出逻辑和,以及,

[0044] 在未使用任一存储单元组件的情况下,对该未使用的存储单元组件全部写入0。

[0045] [项目10]

[0046] 根据项目8或9所述的可重构半导体装置,其还具备:

[0047] 第3及第4存储单元组件,与时钟信号同步地动作;

[0048] 第3地址解码器,将地址信号解码,且将解码信号输出至所述第3存储单元组件;以

及

[0049] 第4地址解码器,将地址信号解码,并将解码信号输出至所述第4存储单元组件;且构成为:

[0050] 所述第3存储单元组件与所述内部时钟信号同步地动作,所述第4存储单元组件与所述系统时钟信号同步地动作,且,

[0051] 所述第1及第2地址解码器将从所述多条地址线的一部分输入的地址解码,

[0052] 所述第3及第4地址解码器将从所述多条地址线的另一部分输入的地址解码。

[0053] [项目11]

[0054] 根据项目10所述的可重构半导体装置,其存储以不产生跨及所述第1及第3存储单元组件的逻辑运算作为禁止逻辑的方式而构成的真值表数据。

[0055] [项目12]

[0056] 一种可重构半导体装置的控制方法,

[0057] 所述半导体装置具备:

[0058] 多个逻辑部,利用地址线或数据线相互连接;以及模拟部,具有多个输入输出部及输出放大器;

[0059] 所述各逻辑部具备:多条地址线;多条数据线;存储单元组件;以及地址解码器,将地址信号解码,并将解码信号输出至所述存储单元组件;

[0060] 所述多个逻辑部与所述模拟部安装在同一芯片封装内,

[0061] 所述模拟部具有第1数字输入、第2数字输入、第1放大器以及第2放大器,

[0062] 所述各逻辑部具备:

[0063] 多条地址线;

[0064] 多条数据线;

[0065] 时钟信号线,接收系统时钟信号;

[0066] 第1地址解码器;以及

[0067] 第1存储单元组件,具有多个存储单元,且与时钟信号同步地动作;

[0068] 所述第1地址解码器将所述地址信号解码,并将解码信号输出至所述第1存储单元组件,

[0069] 保存在所述第1存储单元组件的真值表数据将任一所述数字输入与任一所述放大器连接。

[0070] [项目13]

[0071] 根据项目12所述的可重构半导体装置的控制方法,其中所述逻辑部具备:

[0072] 第2地址解码器;

[0073] 第2存储单元组件,具有多个存储单元,且与时钟信号同步地动作;以及

[0074] 地址转换检测部,当检测出从所述多条地址线输入的地址信号的转换时,产生内部时钟信号,并将所述内部时钟信号输出至所述第1存储单元组件;

[0075] 所述第2地址解码器将所述地址信号解码,并将解码信号输出至所述第2存储单元组件,

[0076] 所述第1存储单元组件与所述内部时钟信号同步地动作,

[0077] 所述第2存储单元组件与所述系统时钟信号同步地动作。

- [0078] [项目14]
- [0079] 根据项目13所述的可重构半导体装置的控制方法,其中该可重构半导体装置还具备:
- [0080] 第3及第4存储单元组件,与时钟信号同步地动作;
- [0081] 第3地址解码器,将地址信号解码,并将解码信号输出至所述第3存储单元组件;以及
- [0082] 第4地址解码器,将地址信号解码,并将解码信号输出至所述第4存储单元组件;且
- [0083] 所述第3存储单元组件与所述内部时钟信号同步地动作,所述第4存储单元组件与所述系统时钟信号同步地动作,且,
- [0084] 所述第1及第2地址解码器将从所述多条地址线的一部分输入的地址解码,
- [0085] 所述第3及第4地址解码器将从所述多条地址线的另一部分输入的地址解码。
- [0086] [项目15]
- [0087] 根据项目12至14中任一项所述的可重构半导体装置,其中所述存储单元组件存储构成配线元件及/或逻辑元件的真值表数据,作为多查找表而动作。
- [0088] [项目16]
- [0089] 一种程序,用来控制可重构半导体装置,其特征在于,
- [0090] 所述半导体装置具备:
- [0091] 多个逻辑部,利用地址线或数据线相互连接;以及模拟部,具有多个输入输出部及输出放大器;
- [0092] 所述各逻辑部具备:多条地址线;多条数据线;存储单元组件;以及地址解码器,将地址信号解码,并将解码信号输出至所述存储单元组件;
- [0093] 所述多个逻辑部与所述模拟部安装在同一芯片封装内,
- [0094] 所述模拟部具有第1数字输入、第2数字输入、第1放大器以及第2放大器,
- [0095] 所述各逻辑部具备:
- [0096] 多条地址线;
- [0097] 多条数据线;
- [0098] 时钟信号线,接收系统时钟信号;
- [0099] 第1地址解码器;以及
- [0100] 第1存储单元组件,具有多个存储单元,且与时钟信号同步地动作;且所述程序用来执行如下处理:
- [0101] 使保存在所述第1存储单元组件的真值表数据将任一所述数字输入与任一所述放大器连接。
- [0102] [项目17]
- [0103] 一种存储媒体,存储项目16所述的程序。
- [0104] [发明效果]
- [0105] 本发明的一实施方式是使用同步存储器,能够进行同步/非同步切换,且实现可重构半导体装置。

附图说明

- [0106] 图1A是表示本实施方式的MRLD (Memory based Reconfigurable Logic Device, 基于存储器的可重构逻辑设备) 芯片的一例的平面布局图。
- [0107] 图1B是表示本实施方式的MRLD芯片的一例的剖视图。
- [0108] 图2A是表示本实施方式的具模拟电路MRLD芯片的详细例的平面布局图的第1例。
- [0109] 图2B是表示图2A所示的MRLD芯片的动作例的图。
- [0110] 图2C是表示本实施方式的具模拟电路MRLD芯片的详细例的平面布局图的第2例。
- [0111] 图2D是搭载在MRLD芯片的处理器的一例。
- [0112] 图2E是模拟电路的AD (Analog to Digital, 模拟-数字) 转换器的一例。
- [0113] 图3是表示本实施方式的半导体装置的整体构成的第1例的图。
- [0114] 图4是概略性地表示将包含两个存储单元组件的MLUT (Multi Look up Table, 多查找表) 横向堆积而构成的MLUT的图。
- [0115] 图5是表示使用了大容量存储器的MLUT的一例的图。
- [0116] 图6是表示图5所示MLUT的电路例的图。
- [0117] 图7是对使用了图5所示MLUT的MRLD进行说明的图。
- [0118] 图8是表示可进行同步/非同步切换的MLUT的电路例的图。
- [0119] 图9是本实施方式的地址转换检测部的电路图。
- [0120] 图10是图9所示地址转换检测的信号的时序图。
- [0121] 图11是表示MLUT的一例的图。
- [0122] 图12是表示作为逻辑电路而动作的MLUT的一例的图。
- [0123] 图13是表示图12所示逻辑电路的真值表的图。
- [0124] 图14是表示作为连接元件而动作的MLUT的一例的图。
- [0125] 图15是表示图14所示连接元件的真值表的图。
- [0126] 图16是表示通过具有4个AD对的MLUT而实现的连接元件的一例的图。
- [0127] 图17是表示1个MLUT作为逻辑元件及连接元件而动作的一例的图。
- [0128] 图18表示图17所示的逻辑元件及连接元件的真值表。
- [0129] 图19是表示通过具有AD对的MLUT而实现的逻辑动作及连接元件的一例的图。
- [0130] 图20是表示外部系统与MRLD的连接一例的概念图。
- [0131] 图21是表示信息处理装置的硬件构成的一例。

具体实施方式

[0132] 以下,参照附图,基于以下构成,对可重构半导体装置进行说明。依次对1.MRLD芯片、2.MRLD、3.MLUT、4.同步/非同步MLUT、5.MLUT的逻辑动作以及6.真值表数据的产生方法进行说明。

[0133] 1.MRLD芯片

[0134] 将可重构逻辑设备称为MRLD (Memory based Reconfigurable Logic Device) (注册商标)。MRLD与通过存储单元组件实现电路构成的“MPLD (Memory-based Programmable Logic Device, 基于存储器的可编程逻辑设备)” (注册商标) 同样,在各MLUT间不介置配线元件而直接连接的方面共通,但在有效地活用以存储器IP (Intellectual Property, 知识产权) 的形式所供给的同步SRAM (Static Random Access Memory, 静态随机存取存储器) 的

功能方面被加以区别。

[0135] 图1A是表示本实施方式的MRLD芯片的一例的平面布局图。图1A所示的具模拟电路MRLD芯片1(以下,称为“MRLD芯片”)具备:多个逻辑部20,利用地址线或数据线相互连接;以及模拟部10,具有多个输入输出部及输出放大器;所述各逻辑部20具备:多条地址线;多条数据线;存储单元组件;以及地址解码器,将地址信号解码,并将解码信号输出至所述存储单元组件;所述多个逻辑部与所述模拟部安装在同一芯片封装内。此外,逻辑部20为MRLD20。

[0136] 图1B是表示本实施方式的MRLD芯片的一例的剖视图。MRLD20与模拟部10被树脂2覆盖,且载置在中介层基板3上。MRLD20与模拟部10经由中介层基板3上的基板电极或金线而电性连接。中介层基板3进而介隔外部端子4载置在印刷配线基板5上。

[0137] 半导体设备的各种功能经过复杂的步骤而实现制入硅芯片上的集成电路。由于该硅芯片非常纤细,因此在微量的污物或水分等的影响下便不再动作。而且,还存在光成为误动作的原因的情况。为了防止这种困扰,利用封装来保护硅芯片。

[0138] 虽然半导体制造工艺处于微细化趋势,但本实施方式的具模拟电路MRLD芯片1的制造是通过也能制造模拟电路的半导体制造工艺来进行。由此,牺牲微细化的效果而进行单芯片化,具有所述芯片化效果,并且减轻了模拟电路的设计负荷。

[0139] 再次返回图1A,在模拟部10具有电平移位器(LS)、比较器(Comp)、放大器(Amp)。电平移位器是通过未图示的两个电源电压而被控制,如果向输入电压施加各个电源电压,那么能够升压或降压。比较器是将两个电压的大小进行比较且根据其比较结果输出不同的值的元件。比较器具备两个输入端子,如果对各输入端子施加模拟电压,那么根据所输入的电压哪一个较大而切换输出的值。也可将电平移位器设置在比较器的出口,或将电平移位器设置在放大器的入口等,在模拟部10内组合多个电路。

[0140] MRLD芯片1还具有构成组件22。构成组件22具有将MRLD20的构成数据读取或写入的功能。

[0141] 图2A是表示本实施方式的具模拟电路MRLD芯片的详细例的平面布局图。以下所示的表1表示图2A所示的MRLD芯片1的信号名及端子功能。图2A所示的MRLD20搭载 12×12 个MLUT(在下文叙述)。MRLD芯片1的模拟部10搭载多个电平移位器(LS)、比较器(Comp)、可编程增益放大器(PGA)等模拟电路。具有模拟电源5V、逻辑电源1.8V、GND:0V、引脚数144pin。

[0142] MLUT具有同步用、非同步用两个 $16\text{word} \times 8\text{bit}$ 的存储单元组件。构成组件22从外部端子的总线输入构成数据,向MLUT个别地写入构成数据。

[0143] 在MRLD芯片1的外部设置有距离传感器111、比较器VREF(voltage reference,参考电压)用分压电路112、马达驱动器113。MRLD芯片1利用模拟部10接收从外部机器(距离传感器111及比较器VREF用分压电路112)的输入,利用电平移位器调整信号电压后,MRLD20接收输入作为地址信号。而且,MRLD芯片1利用PGA将MRLD20的数据输出信号放大,并输出至马达驱动器113。

[0144] [表1]

[0145]

信号名	位宽	输入输出	端子功能	说明	
[系统]					
CLK	1	I	PD	逻辑同步用时钟/配置用时钟	1.8 V 系
RESETB	1	I	PU	硬件复位-配置电路	1.8 V 系
[模式控制]					
MLCTRL	1	I	PU	MRLD 动作模式 1=配置 0=用户	1.8 V 系
[MRLD 配置控制/地址/数据]					
OEN	1	I	PU	读取使能 1=数据输入 0=数据输出	1.8 V 系
WEN	1	I	PU	写入使能 1=无效 0=写入	1.8 V 系
ADC<3:0>	4	I	PD	配置列地址	1.8 V 系
ADR<3:0>	4	I	PD	配置行地址	1.8 V 系
ADM<5:0>	6	I	PD	配置 LUT 地址	1.8 V 系
DATA<7:0>	8	IO	PD	配置数据	1.8 V 系
MPIO_T	13	IO	PD	MRLD 逻辑动作用端子(顶部)	1.8 V 系
MPIO_L	22	IO	PD	MRLD 逻辑动作用端子(左)	1.8 V 系
MPIO_B	13	IO	PD	MRLD 逻辑动作用端子(底部)	1.8 V 系
LUTIN	1	I	PD	LUT 端子输入 1.8 V 系	5 V 系
LUTOUT	1	O		LUT 端子输出 1.8 V 系	5 V 系
LUTHIN<5:0>	6	I	PD	LUT 端子输入 5 V 系	5 V 系
LUTHOUT<5:0>	6	O		LUT 端子输出 5 V 系	5 V 系
[自动配置]					
SCL	1	O		I2C 时钟	1.8 V 系
SDA	1	IO		I2C 数据	1.8 V 系
IFCLK	1	I	PD	I2C IF 用时钟	1.8 V 系
IFSEL	1	I	PD	平行或 I2C 使用选择 0=平行、1=I2C	1.8 V 系
CONFDONE	1	O		配置结束信号	1.8 V 系
CONFSTART	1	I	PD	自动配置开始	1.8 V 系
[模拟]					
INLS0	1	I		电平移位器输入 1.8 V 系	1.8 V 系
INLS1	1	I		电平移位器输入 5 V 系	5 V 系
OUTLS0	1	O		电平移位器输出 5 V 系	5 V 系
OUTLS1	1	O		电平移位器输出 1.8 V 系	1.8 V 系
COMPIN<4:0>	5	I		比较器输入	5 V 系
COMPVREF<4:0>	5	I		比较器参考输入	5 V 系
COMPOUT<4:0>	5	O		比较器输出	5 V 系
PGAIN	1	I		可编程增益放大器输入	5 V 系
PGAOUT	1	O		可编程增益放大器输出	5 V 系
PGREF	1	I		可编程增益放大器参考输入	5 V 系
PGGAIN<2:0>	3	I		可编程增益放大器增益设定	5 V 系
PG_EN	1	I	PD	可编程增益放大器使能 0=关 1=开	5 V 系
COMP_EN	1	I	PD	比较器使能 0=关 1=开	5 V 系
[电源]					
VDDL	7			核心电源 1.8 V	
VDDH	3			模拟电源 5 V	
VSSL	7			核心 GND 1.8 V	
VSSH	3			模拟 GND 5 V	
N.C	2			NC	
合计	144				

[0146] 图2B是表示图2A所示的MRLD芯片的动作例的图。在外部配置有距离传感器111。以

下,使用动作例对MRLD芯片1的功能进行说明。

[0147] 在图2B中,除图2A所示的例子以外,在MRLD芯片1的外部,还具有状态显示LED114、马达的转数设定电路115、马达的旋转控制开关116。

[0148] 距离传感器的控制(以虚线的信号线表示)

[0149] MRLD可使用内置的比较器,监测距离传感器的输出。

[0150] 进而,从位于MRLD芯片1外部的比较器VREF用分压电路112向比较器的VREF输入各个电压。距离传感器111的输出连接于全部比较器的输入。距离传感器111输出电压。将该电压与各VREF比较,且比较器输出H或L。通过5V→1.8V的电平移位器将该信号输入至MRLD20。MRLD20将该信号输出至MPIO_x(x为所使用的端子),并点亮LED114。

[0151] 马达驱动器的控制(以虚线的信号线表示)

[0152] 输入至MRLD20的比较器的输出在MRLD20内产生其OR(或)逻辑,对马达驱动器113进行ON(开)/OFF(关)控制。马达驱动器113是根据VREF的值进行PWM(Pulse Width Modulation,脉宽调制)控制。利用MRLD芯片1中内置的PGA,设定对马达驱动器的VREF。从MPIO_x输入3bit的信号,从MRLD20通过1.8V→5V电平移位器进行PGA的增益设定。增益设定可设定为1倍、2倍、5倍、10倍。

[0153] PGA的输入(PGAIN)是预先输入固定电压,通过将其进行增益设定而使PGAOUT的电压可变,由此改变马达速度。马达的旋转ON/OFF、正转/反转的控制也从MPIO_x输入,在比较器输出以及MRLD内取逻辑,通过1.8V→5V电平移位器输入至马达驱动器的控制端子(FIN/RIN)。

[0154] 由此,例如可使用距离传感器111的输入,控制马达驱动器113的输出。此外,如图2B的虚线所例示,通过重构MRLD20,能够切换为距离传感器111A至马达驱动器113A、距离传感器111A至马达驱动器113B、距离传感器111B至马达驱动器113A、距离传感器111B至马达驱动器113B的任一个的动作控制。进而,也可进行距离传感器111A至马达驱动器113A及距离传感器111B至马达驱动器113B、以及距离传感器111A至马达驱动器113B及距离传感器111B至马达驱动器113A的同时动作等。

[0155] 如此,仅通过变更MRLD20的构成数据,便能够提供模拟部10的重构功能。

[0156] 图2C是表示本实施方式的具模拟电路MRLD芯片的详细例的平面布局图的第2例。图2C所示的MRLD芯片1除模拟部10及MRLD20以外,还具备处理器50。MRLD20、模拟部10以及处理器50经由总线70相互连接。

[0157] 总线控制器72在将MRLD20的真值数据经由总线70写入时,控制总线70的数据,且将外部与MRLD20连接,并且控制各个区块(MRLD20、模拟部10以及处理器50)的信号(数据)。

[0158] 例如,为模拟部10及MRLD20间的信号、模拟部10及处理器50间的信号、处理器50及MRLD20间的信号。这时,总线控制器72以信号彼此不碰撞的方式控制信号的传送。

[0159] 利用总线控制器72,使模拟部10、MRLD20、处理器50间的配线共用,由此能够实现配线面积的最小化。

[0160] 模拟部10除图2A及图2B以外,还具有模数转换电路AD。

[0161] 图2D是搭载在MRLD芯片的处理器的一例。处理器50具有依照运算命令执行运算处理的处理器核心52、ROM(Read Only Memory,只读存储器)53、RAM(Random Access Memory,随机存取存储器)54、PWM(Pulse Width Modulation)电路56、时钟电路57、计时器电路58,

它们经由内部总线51而连接。

[0162] 处理器50也可从MRLD芯片1的外部读入数据或程序,而且,也可读入保存在MRLD20内的数据或程序。所读入的数据存储在RAM54。

[0163] 处理器50将MLUT30的真值数据(构成数据)作为所述数据而保存,且输出至MRLD20,从而重构MRLD20。

[0164] MRLD20是基于从处理器50发送的真值数据而重构,由此执行处理器50的一部分功能。

[0165] MRLD芯片1内的MRLD20能够构成处理器50的功能(例如,处理器核心的运算功能、RAM、PWM、时钟、计时器)。与处理器50相比,MRLD20在并列处理方面优异,因此通过利用MRLD20构成处理器50所不具有的并列处理功能,能够提高MRLD芯片1的重构性。

[0166] 可使处理器50进行对MRLD芯片1的系统管理,使其控制MRLD20的逻辑功能及模拟功能。

[0167] 图2E是模拟部所含的模数转换电路AD的一例。图2E所示的模数转换电路将从外部输入的模拟信号转换为12比特的数字信号。模数转换电路具备4个单位转换电路102,单位转换电路102分别具备ADC(Analog to Digital Converter,模数转换器)、DAC(Digital To Analog Converter,数模转换器)以及AMP。利用1个单位转换电路102进行数字化后,处于后段的单位转换电路将在数字转换中所输入的模拟信号转换为数字,由此实现12比特的AD转换。通过1个单位转换电路逐一处理,而利用管线进行信号处理。

[0168] 此外,除图2E所示的AD转换电路以外,还可为逐次比较型(分辨率高,速度也快)、 $\Delta-\Sigma$ 型(分辨率可达到最高,但转换速度慢)、快闪型(高速性最佳,但难以发挥分辨率且电路构成大)等。

[0169] 2.MRLD

[0170] 图3是表示本实施方式的半导体装置的整体构成的一例的图。图3所示的20是MRLD的一例。MRLD20具有多个利用同步SRAM的MLUT30、配置为阵列状的MLUT阵列60、特定进行MLUT30的存储器读取动作、写入动作的行解码器12及列解码器14。

[0171] MLUT30包含同步SRAM。在存储器的存储元件中分别存储被视为真值表的数据,由此,MLUT30进行作为逻辑元件、或连接元件、或逻辑元件及连接元件而动作的逻辑动作。

[0172] 在MRLD20的逻辑动作中,使用以实线所示的逻辑用地址LA及逻辑用数据LD的信号。逻辑用地址LA作为逻辑电路的输入信号而使用。并且,逻辑用数据LD作为逻辑电路的输出信号而使用。MLUT30的逻辑用地址LA与邻接的MLUT的逻辑动作数据LD的数据线连接。

[0173] 通过MRLD20的逻辑动作所实现的逻辑是通过存储在MLUT30的真值表数据来实现。若干MLUT30以作为AND(与)电路、加算器等的组合电路的逻辑元件动作。其他MLUT30以连接实现组合电路的MLUT30间的连接元件动作。MLUT30用来实现逻辑元件及连接元件的真值表数据的重写是通过对存储器的写入动作来进行。

[0174] MRLD20的写入动作是根据写入用地址AD及写入用数据WD来进行,读取动作是根据写入用地址AD及读取用数据RD来进行。

[0175] 写入用地址AD是特定出MLUT30内的存储单元的地址。写入用地址AD通过m条信号线,特定出 2^m 的数值即n个存储单元。行解码器12经由m条信号线接收MLUT地址,并且将MLUT地址解码,选择并特定出成为存储器动作的对象的MLUT30。存储器动作地址是在

存储器的读取动作、写入动作该两者的情况下使用,且经由m条信号线而通过行解码器12、列解码器14解码,选择成为对象的存储单元。此外,在本实施方式中,如下所述,逻辑用地址LA的解码是通过MLUT内的解码器进行。

[0176] 行解码器12依照读取使能信号re、写入使能信号we等控制信号,将写入用地址AD的m比特中的x比特解码,并对MLUT30输出解码地址n。解码地址n是作为特定出MLUT30内的存储单元的地址而使用。

[0177] 列解码器14将写入用地址AD的m比特中的y比特解码,具有与行解码器12同样的功能,对MLUT30输出解码地址n,并且输入写入用数据WD,并输出读取用数据RD。

[0178] 此外,在MLUT的阵列为s行t列的情况下,将 $n \times t$ 比特的数据从MLUT阵列60输入至行解码器12。此处,为了选择各行各各自的MLUT,行解码器输出o行量的re、we。也就是说,o行相当于MLUT的s行。此处,通过将o比特中的仅1比特设为主动,而选择特定存储单元的字线。并且,为了使t个MLUT输出n比特的数据,从MLUT阵列60选择 $n \times t$ 比特的数据,在选择其中的1列时使用列解码器14。

[0179] 3. MLUT

[0180] 图4是概略性地表示将包含2存储单元组件的MLUT横向堆积而构成的MLUT的图。图4所示的MLUT30从左方向有图5所示的地址A0L~A7L的输入,以及,从右方向有图5所示的地址A0R~A7R的输入,而且,向左方向有图5所示的数据D0L~D7L的输出,向右方向有图5所示的数据D0R~D7R的输出。n值=8的MLUT在以往方式中成为1M比特,CLB(Configurable Logic Block,可重构逻辑块)相当为4M比特而大规模化。相对于此,本申请中如下所述,包含8K(256字 \times 16比特 \times MLUT两个)比特。

[0181] 图6是表示使用大容量存储器的MLUT的一例的图。

[0182] 图6是表示图5所示的MLUT的电路例的图。图6所示的MLUT30具有存储单元组件31A、31B。存储单元组件例如为SRAM。如图6所示,存储单元组件31A具有由来自一边的第1多条地址线所特定且对第1多条地址线的两倍数量的第1多条数据线进行输出的多个存储单元,存储单元组件31B具有由来自另一边的第2多条地址线所特定且对第2多条地址线的两倍数量的第2多条数据线进行输出的多个存储单元,MLUT30将第1多条数据线以及第2多条数据线的一部分输出至一边,并且将第1多条数据线以及第2多条数据线的另一部分输出至另一边。

[0183] 各存储单元组件朝每一方向将真值表数据存储在存储单元。因此,在存储单元组件31A及31B,分别存储从右向左方向用真值表数据以及从左向右方向用真值表数据。也就是说,MLUT存储分别规定特定的数据输出方向的两个真值表数据。

[0184] 使各存储单元组件的数据数相比于地址数增加,并且将从各存储单元组件进行数据输出的方向设为双向,由此,能够减少需要的存储单元的数量,且能够进行向双向的数据输出。

[0185] 图7表示比图6所示的MLUT更详细的电路例。图7所示的MLUT30具有存储单元组件31A、31B、地址解码器11A、11B、地址选择器15A、15B、I/O(input/output,输入/输出)缓冲器12A、12B以及数据选择器13A、13B。存储单元组件31A、31B分别具有地址解码器、地址选择器、以及I/O缓冲器及数据选择器。向存储单元组件31A、31B的输入地址分别成为地址A0L~A7L、A8~A15以及地址A0R~A7R、A8~A15。因此,存储单元组件31A、31B成为2的16次方(65,

536) 字×8比特的512K的大容量。

[0186] 在图7中,存储单元组件31A、31B分别具有地址A0L~A7L、A8~A15以及地址A0R~A7R、A8~A15的输入。

[0187] 此外,图6是概略图,未表示作为存储单元组件的周边电路的解码器等,关于解码器是在各存储单元组件的每一个准备图7中所说明的解码器11A、11B,且这些解码器11A、11B配置在地址选择器15A、15B与存储单元组件31A、31B之间。由此,解码器也可将从地址选择器15A、15B输出的全部地址解码。

[0188] 地址选择器15A、15B是用来切换逻辑动作用地址线或写入用地址的选择电路。在存储单元为单端口的情况下,需要这些地址选择器15A、15B。在将存储单元设为双端口的情况下,不需要这些地址选择器15A、15B。数据选择器13A、13B是切换输出数据或写入数据WD的选择电路。

[0189] 即便MRLD不经由专用的小型SRAM的相关半导体设计试制、制造,也可利用以往的大容量存储器元件。在利用芯片构成MRLD时,使用存储器IP(Intellectual Property),但在以往的MLUT所谋求的微小存储器容量中,地址解码器或读出放大器的面积变大而使存储器本身的构成比率变为50%以下。该情况也成为MRLD的负担,导致效率差。如果成为大容量存储器,那么地址解码器或读出放大器的比率降低,存储器使用效率提高。因此,大容量存储器的本申请在MRLD芯片的情况下有效。

[0190] 4.同步/非同步MLUT

[0191] 本实施方式的MLUT具备同步动作用存储单元组件与非同步动作用存储单元组件。同步动作用存储单元组件或非同步动作用存储单元组件构成对,而作为逻辑元件及/或连接元件动作的存储单元组件为任一个。由于将两者的数据进行线或(wired OR)连接或通过OR电路进行连接,因此在不动作的存储单元组件存储全部“0”的数据。

[0192] 图8是表示能够进行同步/非同步切换的MLUT的电路例的图。图8所示的MLUT30具有存储单元组件31A~31D、地址解码器11A~11D、I/O(输入输出)缓冲器13A~13D、选择电路32A~32D、数据选择电路33以及地址转换检测部35。地址转换检测部35包含ATD(Address Transition Detector,地址转换检测器)电路,将时钟以及所发送的逻辑地址与上次发送的逻辑地址进行比较,从而检测地址转换。地址转换检测部35与图9所示相同。

[0193] 4.1地址转换检测部

[0194] 图9是本实施方式的地址转换检测部的电路图。图9所示的地址转换检测部35具有或非门(NOR)电路110A、110B、或门(OR)电路120、互斥或(EOR)电路130、延迟电路140A~140C、触发器(FF)150、反相器160B以及D锁存器170。

[0195] 图10是图9所示的地址转换检测的信号时序图。以下,对图9及图10进行说明,对地址转换检测的电路动作进行说明。

[0196] 信号S1是从处理器输出的地址输入信号。信号S2是D锁存器的输出。D锁存器170在信号S1发生变化的情况下,以固定期间内不变化的方式进行锁存。其原因在于,因噪音等而忽视后续的地址转换。

[0197] 信号S3是从D锁存器170输出的延迟信号。延迟信号如图10所示,通过上升及下降制作时钟,且为了产生信号S4的时钟宽度,而通过延迟电路140B使之延迟。

[0198] 作为时钟信号而产生的信号S4检测变化,并从EOR130输出。在EOR130中,由于被输

入延迟电路140B的输入与输出,因此如果两者的信号电平不同,那么输出信号电平“高”。由此,能够检测地址转换。图10所示的S4的时间T1表示从逻辑地址的变化检测起至FF取入为止的时间,时间T2表示从逻辑地址变化检测起至存储单元组件读取为止的时间。

[0199] 在OR电路120中,输入信号S4以及其他地址转换的信号,输出OR运算值。通过延迟电路140C使OR电路120的输出延迟,输出信号S5。

[0200] 信号S5是从延迟电路140C输出的延迟信号,等待D锁存器170的使能信号并进行时钟输入。

[0201] 信号S6是信号S5的信号延长,使能信号的脉冲产生。NOR电路110A将作为信号S5与S6的NOR运算值的信号S7输出。并且,信号S7成为D锁存器170的使能信号。信号S8是通过反相器160A将信号S5反转所得的信号,在FF150中作为地址信号的锁存的时钟而使用。信号S9是作为处于后段的存储单元组件31A以及31C的使能而被利用,信号S10是作为存储单元组件31A以及31C的时钟 (atd_clk) 而被利用,信号S11是作为存储单元组件31A以及31C的地址而被利用。图10的信号S10表示从逻辑地址的变化检测起至从存储器读取为止的时间。

[0202] 如此,在进行处理器核心210的数据要求的情况下,由于其地址变化而产生时钟,驱动存储器,因此在需要时存储器动作,在不需要时不驱动存储器,而能够自主地实现低耗电化。

[0203] 4.2信号线

[0204] 在下述表2对图8所示的信号线进行说明。

[0205] [表2]

[0206] *mlctrl=0/1:逻辑模式/配置模式

[0207] sram_ck

	mlctrl	sram_ck(async)		mlctrl	sram_ck(sync)
[0208]	0	atd_clk		-	clk
	1	clk			

[0209] sram_ce

	reset	mlctrl	sram_ce(async)		reset	mlctrl	sram_ce(sync)
[0210]	1	0	atd_ce		1	0	0
	1	1	ce		1	1	ce
	0	1	0		0	1	0
	所述以外		1		所述以外		1

[0211] sram_address

	reset	mlctrl	sram_ce(async)		reset	mlctrl	sram_ce(sync)
[0212]	1	0	atd_address		1	0	0
	1	1	mad		1	1	ce
	所述以外		0		所述以外		0

[0213] 4.3同步/非同步存储单元组件

[0214] 存储单元组件31A~31D为同步SRAM。存储单元组件31A~31D分别存储用来向左方向及右方向连接的真值表数据。存储单元组件31B及31D与系统时钟同步地动作。另一方面,存储单元组件31A及31C由于与下述地址转换电路35所产生的ATD产生时钟(也称为“内部时钟信号”)同步地动作,因此相对于时钟(系统时钟)非同步地动作。由于ATD产生时钟与系统

时钟信号相比以高频率动作,因此存储单元组件31A、31C从MLUT30外部看似非同步动作,由此提供非同步的功能。

[0215] 除了同步的功能要件,存储单元组件31A及31C具有与图6及图7所示的存储单元组件31A及31B相同的功能。存储单元组件31B及31D也同样。

[0216] 地址解码器11A及11B均是将左侧输入的地址A0~A3解码,并将解码信号分别输出至存储单元组件31A及31B,将存储单元组件31A及31B的字线设为主动。

[0217] 地址解码器11C及11D将从右侧输入的地址A4~A7解码,分别将解码信号输出至存储单元组件31C及31D,将存储单元组件31C及31D的字线设为主动。

[0218] 而且,地址解码器11A及11C将SRAM地址非同步信号(sram_address (async))解码,地址解码器11A及11C将SRAM地址同步信号(sram_address (sync))解码,并将由解码信号所特定出的存储单元组件的字线活化。

[0219] 在图8所示的例子中,各存储单元组件为16word×8bit的存储器区块。存储单元组件31A及31B可在同步模式下使用16word×8bit×2,在非同步模式下使用16word×8bit×2。同步与非同步无法同时动作,例如在将逻辑数据写入至同步动作存储单元组件的情况下,对非同步动作存储单元组件必须全部写入“0”。

[0220] 此外,如图所示,存储单元组件的数据输出可设为线或(wired OR)、也可设为或(OR)逻辑电路。

[0221] 4.4选择电路

[0222] 选择电路32A~32D是选择非同步动作存储单元组件31A及31C、或同步动作存储单元组件31B及31D的运动的电路。

[0223] 选择电路32A当根据选择信号(Select)选择非同步动作时,选择在地址转换电路35所产生的atd_ad锁存地址(图9所示的S11),并作为SRAM地址非同步信号(sram_address (async))输出。在未选择非同步动作的情况下,直接输出逻辑地址。

[0224] 选择电路32B当根据选择信号(Select)选择非同步动作时,选择在地址转换电路35所产生的ATD产生时钟并输出。在未选择非同步动作的情况下,直接输出时钟。

[0225] 选择电路32C当根据选择信号(Select)选择非同步动作时,选择在地址转换电路35所产生的ATD产生芯片并输出。在未选择非同步动作的情况下,直接输出SRAM芯片使能。

[0226] 选择电路32D当根据选择信号(Select)选择同步动作时,直接输出逻辑地址。

[0227] 4.2禁止逻辑

[0228] 而且,作为存储器分割的特性,有禁止逻辑构成。使用表3所示的两个真值表,对禁止逻辑的必要性进行说明。

[0229] [表3]

真值表 1

实例	A0	A1	D0
a	0	0	0
b	0	1	0
c	1	0	0
d	1	1	1

真值表 2

实例	A0	A4	D0
a	0	0	0
b	0	1	0
c	1	0	0
d	1	1	1

[0231] 在真值表1中,表示有使用A0、A1构成AND电路且输出至D0的真值表。在真值表2中,表示有使用A0、A4构成AND电路且输出至D0的真值表。由于真值表1时的逻辑仅可在使用A3-

A0的存储单元组件31A进行逻辑运算,因此只要将“0”写入至其他存储单元组件,那么通过OR运算,不受其他存储单元组件的输出值的影响,从而不会产生禁止逻辑的问题。

[0232] 另一方面,在真值表2的逻辑的情况下,使用A3-A0的存储单元组件无法识别c、d。使用A7-A4的SRAM无法识别b、d。如此,跨及两个存储单元组件的逻辑运算在两个真值表中无法获得正确的值,因此将跨及两个存储单元组件的逻辑运算作为禁止逻辑。由此,在逻辑构成的情况下,必须在各存储单元组件内部实现逻辑。因此,在本实施方式的真值表数据中,以不产生所述禁止逻辑的方式产生逻辑。

[0233] 4.5 I/O缓冲器

[0234] I/O(输入输出)缓冲器13A~13D与时钟以及ATD产生时钟的任一个同步地,从存储单元组件的数据线读取数据,由此提供FF的功能。此外,I/O(输入输出)缓冲器13A~13D包含将从存储单元的位线输出的电压放大的读出放大器。

[0235] 选择电路33将SRAM数据输出(0_data)依照选择信号作为SRAM数据输出以及逻辑数据输出的任一个输出。

[0236] 5MLUT的逻辑动作

[0237] A. 逻辑元件

[0238] 图11是表示MLUT的一例的图。在图11中,为了简化说明,省略对地址选择器11、输入输出缓冲器12以及数据选择器13的记载。图11所示的MLUT30A、30B分别具有4个逻辑用地址输入LA线A0~A3、4个逻辑动作用数据线D0~D3、 $4 \times 16 = 64$ 个存储元件40以及地址解码器9。逻辑动作用数据线D0~D3将16个存储元件40分别串联连接。地址解码器9是以基于输入至逻辑用地址输入LA线A0~A3的信号,选择连接于16条字线的任一条的4个存储元件的方式而构成。该4个存储元件分别连接于逻辑动作用数据线D0~D3,将存储在存储元件的数据输出至逻辑动作用数据线D0~D3。例如,在将适当的信号输入至逻辑用地址输入LA线A0~A3的情况下,能够以选择4个存储元件40A、40B、40C及40D的方式而构成。此处,存储元件40A连接于逻辑动作用数据线D0,存储元件40B连接于逻辑动作用数据线D1,存储元件40D连接于逻辑动作用数据线D2,存储元件40D连接于逻辑动作用数据线D3。并且,存储在存储元件40A~40D的信号输出至逻辑动作用数据线D0~D3。如此,MLUT30A、30B从逻辑用地址输入LA线A0~A3接收逻辑用地址输入LA,通过该逻辑用地址输入LA将地址解码器9所选择的4个存储元件40中所存储的值作为逻辑动作用数据分别输出至逻辑动作用数据线D0~D3。此外,MLUT30A的逻辑用地址输入LA线A2与邻接的MLUT30B的逻辑动作用数据线D0连接,MLUT30A将从MLUT30B输出的逻辑动作用数据作为逻辑用地址输入LA而接收。而且,MLUT30A的逻辑动作用数据线D2与MLUT30B的逻辑用地址输入LA线A0连接,MLUT30A所输出的逻辑动作用数据作为逻辑用地址输入LA而被MLUT30B接收。例如,MLUT30A的逻辑动作用数据线D2基于输入至MLUT30A的逻辑用地址输入LA线A0~A3的信号,将连接于逻辑动作用数据线D2的16个存储元件的任一个中所存储的信号输出至MLUT30B的逻辑用地址输入LA线A0。同样地,MLUT30B的逻辑动作用数据线D0基于输入至MLUT30B的逻辑用地址输入LA线A0~A3的信号,将连接于逻辑动作用数据线D0的16个存储元件的任一个中所存储的信号输出至MLUT30A的逻辑用地址输入LA线A2。如此,MLUT彼此的连结是使用1对地址线及数据线。以下,如MLUT30A的逻辑用地址输入LA线A2与逻辑动作用数据线D2,将用于MLUT的连结的地址线及数据线的对称称为“AD对”。

[0239] 此外,在图11中,MLUT30A、30B所具有的AD对为4,AD对的数量如下所述,并不特别限定于4。

[0240] 图12是表示作为逻辑电路动作的MLUT的一例的图。在本例中,将逻辑用地址输入LA线A0及A1设为2输入NOR(或非门)电路701的输入,将逻辑用地址输入LA线A2及A3设为2输入NAND(与非)电路702的输入。并且,构成如下逻辑电路:将2输入NOR电路701的输出与2输入NAND电路702的输出向2输入NAND电路703输入,将2输入NAND电路703的输出向逻辑动作数据用数据线D0输出。

[0241] 图13是表示图12所示的逻辑电路的真值表的图。图12的逻辑电路由于为4输入,因此使用输入A0~A3的全部输入作为输入。另一方面,由于输出仅为1个,因此仅使用输出D0作为输出。在真值表的输出D1~D3栏记载有“*”。其表示可为“0”或“1”的任一值。然而,实际上为了重构而将真值表数据写入MLUT时,必须在这些栏中写入“0”或“1”的任一值。

[0242] B. 连接元件

[0243] 图14是表示作为连接元件而动作的MLUT的一例的图。图14中,作为连接元件的MLUT以如下的方式动作:将逻辑用地址输入LA线A0的信号输出至逻辑动作数据用数据线D1,将逻辑用地址输入LA线A1的信号输出至逻辑动作数据用数据线D2,将逻辑用地址输入LA线A2的信号输出至逻辑动作数据用数据线D3。作为连接元件的MLUT进而以将逻辑用地址输入LA线A3的信号输出至逻辑动作数据用数据线D0的方式动作。

[0244] 图15是表示图14所示的连接元件的真值表的图。图14所示的连接元件为4输入4输出。因此,使用输入A0~A3的全部输入与输出D0~D3的全部输出。根据图15所示的真值表,MLUT作为连接元件而动作,该连接元件将输入A0的信号输出至输出D1,将输入A1的信号输出至输出D2,将输入A2的信号输出至输出D3,将输入A3的信号输出至输出D0。

[0245] 图16是表示通过具有AD对0、AD对1、AD对2以及AD对3的4个AD对的MLUT而实现的连接元件的一例的图。AD0具有逻辑用地址输入LA线A0及逻辑动作数据用数据线D0。AD1具有逻辑用地址输入LA线A1及逻辑动作数据用数据线D1。AD2具有逻辑用地址输入LA线A2及逻辑动作数据用数据线D2。并且,AD3具有逻辑用地址输入LA线A3及逻辑动作数据用数据线D3。在图16中,二点链线表示将输入至AD对0的逻辑用地址输入LA线A0的信号输出至AD对1的逻辑动作数据用数据线D1的信号的流向。虚线表示将输入至AD对1的逻辑用地址输入LA线A1的信号输出至AD对2的逻辑动作数据用数据线D2的信号的流向。实线表示将输入至AD对2的逻辑用地址输入LA线A2的信号输出至AD对3的逻辑动作数据用数据线D3的信号的流向。单点链线表示将输入至AD对3的逻辑用地址输入LA线A3的信号输出至AD对0的逻辑动作数据用数据线D0的信号的流向。

[0246] 此外,在图16中,MLUT30所具有的AD对为4,但AD对的数量并不特别限定于4。

[0247] C. 逻辑元件与连接元件的组合功能

[0248] 图17是表示1个MLUT作为逻辑元件及连接元件而动作的一例的图。在图17所示的例子中,构成如下的逻辑电路:将逻辑用地址输入LA线A0及A1作为2输入NOR电路121的输入,将2输入NOR电路121的输出以及逻辑用地址输入LA线A2作为2输入NAND电路122的输入,将2输入NAND电路122的输出向逻辑动作数据用数据线D0输出。而且,与此同时,构成将逻辑用地址输入LA线A3的信号输出至逻辑动作数据用数据线D2的连接元件。

[0249] 图18表示图17所示的逻辑元件及连接元件的真值表。图17的逻辑动作使用输入D0~D3的3个输入,使用1个输出D0作为输出。另一方面,图18的连接元件构成将输入A3的信号

输出至输出D2的连接元件。

[0250] 图19是表示通过具有AD0、AD1、AD2及AD3的4个AD对的MLUT而实现的逻辑动作以及连接元件的一例的图。与图16所示的MLUT同样地,AD0具有逻辑用地址输入LA线A0及逻辑动作数据线D0。AD1具有逻辑用地址输入LA线A1及逻辑动作数据线D1。AD2具有逻辑用地址输入LA线A2及逻辑动作数据线D2。并且,AD3具有逻辑用地址输入LA线A3及逻辑动作数据线D3。如上所述,MLUT30通过1个MLUT30而实现3输入1输出的逻辑动作与1输入1输出的连接元件的两个动作。具体来说,逻辑动作使用AD对0的逻辑用地址输入LA线A0、AD对1的逻辑用地址输入LA线A1、AD对2的逻辑用地址输入LA线A2作为输入。并且,使用AD对0的逻辑动作数据线D0的地址线作为输出。而且,连接元件如虚线所示将输入至AD对3的逻辑用地址输入LA线A3的信号输出至AD对2的逻辑动作数据线D2。

[0251] 图20是表示外部系统与MRLD的连接的一例的概念图。外部系统120是通过信息处理装置或SoC而实现的装置。外部系统120与图5所示的MRLD20连接,接收从MRLD20的数据输出,并且进行页面切换判断的逻辑运算,经由该连接,将页面切换信号输出至地址A8~A15。外部系统通过搭载SoC,能够与MRLD20实现高功能化装置。

[0252] 6. 真值表数据的产生方法

[0253] 应用于利用第1及第2实施方式所说明的可重构半导体装置的真值表数据是通过执行逻辑构成用软件程序的信息处理装置而产生。

[0254] 图21表示信息处理装置的硬件构成的一例。信息处理装置210具有处理器211、输入部212、输出部213、存储部214以及驱动装置215。处理器211将用来设计输入至输入部212的配置/配线用软件、集成电路的C语言描述或硬件描述语言(HDL)等电路描述语言以及通过执行所述软件而产生的真值表数据存储在存储部214。而且,处理器211执行配置/配线用软件,对存储在存储部214的电路描述进行以下所示的配置/配线的处理,将真值表数据输出至输出部213。在输出部213,能够连接可重构半导体装置20(在图21中未示出),处理器211执行逻辑构成处理,将所产生的真值表数据经由输出部213写入至可重构半导体装置20。输出部213也可与外部网络连接。该情况下,经由网络收发逻辑构成用软件程序。驱动装置215是例如对DVD(Digital Versatile Disc,数字多功能盘)、闪存等存储媒体217进行读写的装置。驱动装置215包含使存储媒体217旋转的马达或在存储媒体217上读写数据的头等。此外,存储媒体217可存储逻辑构成用程序或真值表数据。驱动装置215可从所设置的存储媒体217读取程序。处理器211可将驱动装置215所读取的程序或真值表数据存储在存储部214。

[0255] 将真值表数据读入至可重构装置20,由此使真值表数据及硬件资源协同,通过该具体方法,构建作为逻辑元件及/或连接元件的功能。而且,真值表数据也可称为具有表示真值表这一逻辑构造的构造的数据。

[0256] 以上所说明的实施方式仅作为典型例而列举,对于业者来说,该各实施方式的构成要素的组合、变化以及变更显而易见,只要为业者便可明确,能够不脱离本发明的原理及权利要求书所述的发明的范围,而进行所述实施方式的各种变化。尤其,在MRLD的逻辑或连接动作中,将双向MLUT设为多向MLUT的动作可作为实施方式的变更。

[0257] [符号的说明]

[0258] 1 MRLD芯片

[0259]	2	树脂
[0260]	3	中介层基板
[0261]	4	外部端子
[0262]	10	模拟部
[0263]	11	地址选择器
[0264]	12	输入输出缓冲器
[0265]	13	数据选择器
[0266]	20	MRLD
[0267]	30	MLUT
[0268]	31	存储单元组件
[0269]	40	存储元件
[0270]	50	处理器
[0271]	60	MLUT阵列
[0272]	101	AD转换部
[0273]	102	单位转换电路
[0274]	110	或非门电路
[0275]	120	或电路
[0276]	130	互斥或电路
[0277]	140	延迟电路
[0278]	150	触发器
[0279]	160	反相器
[0280]	170	D锁存器

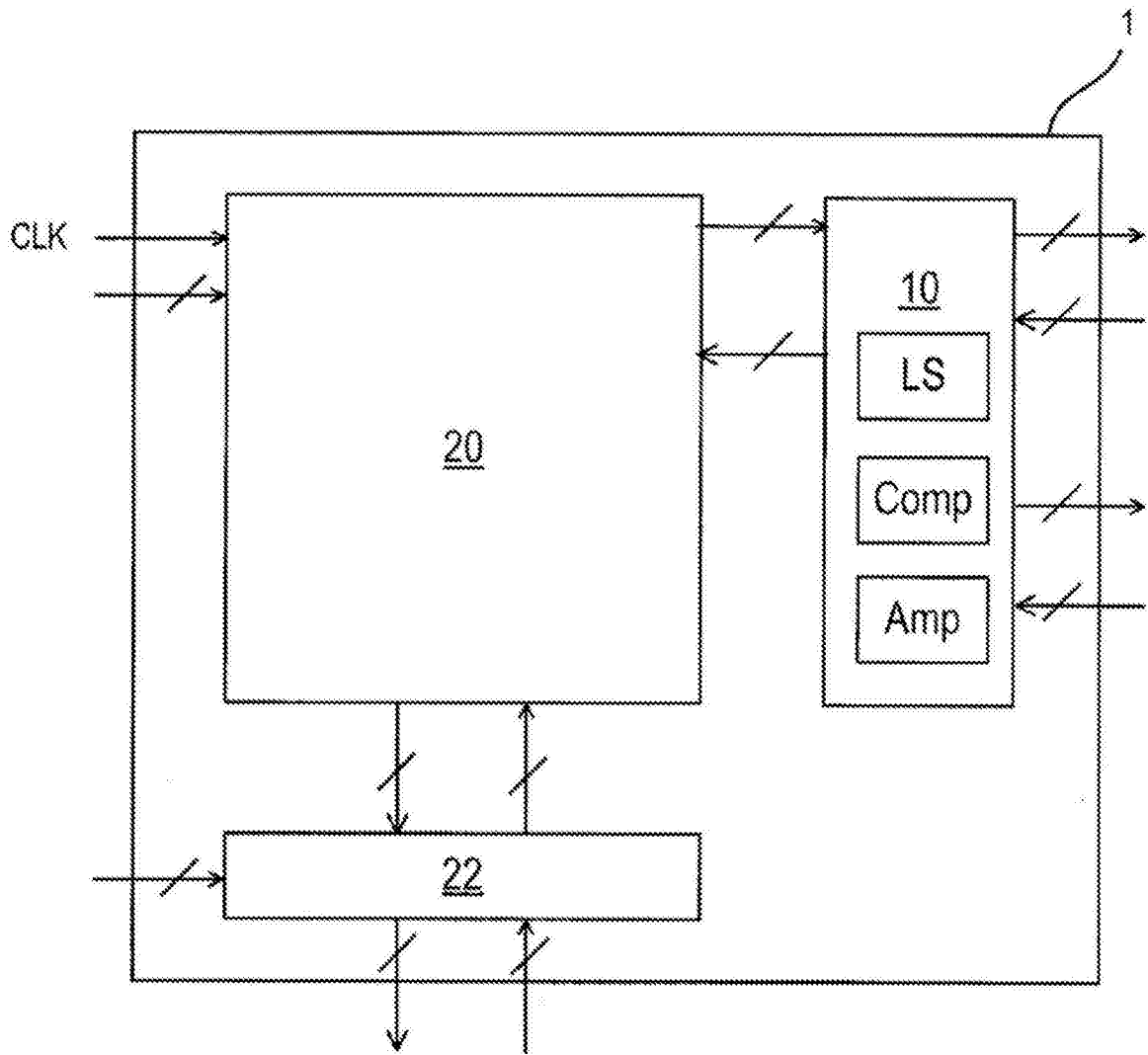


图1A

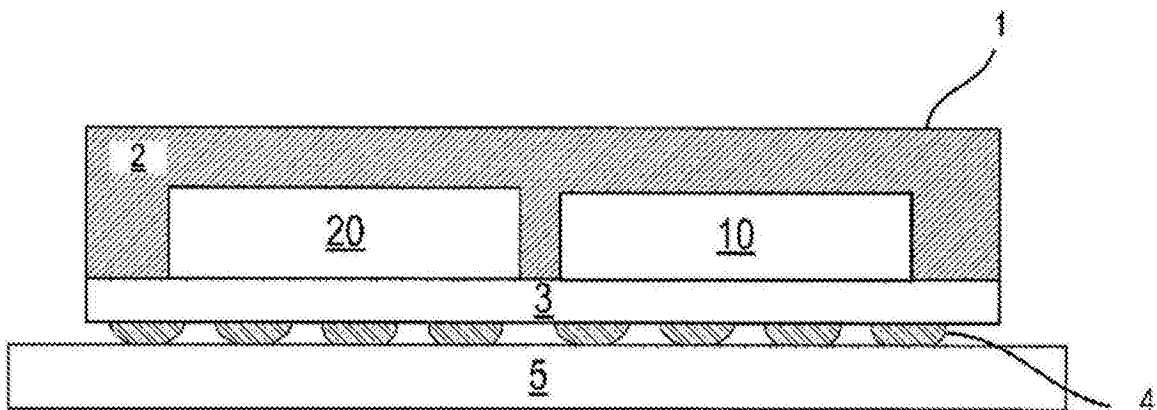


图1B

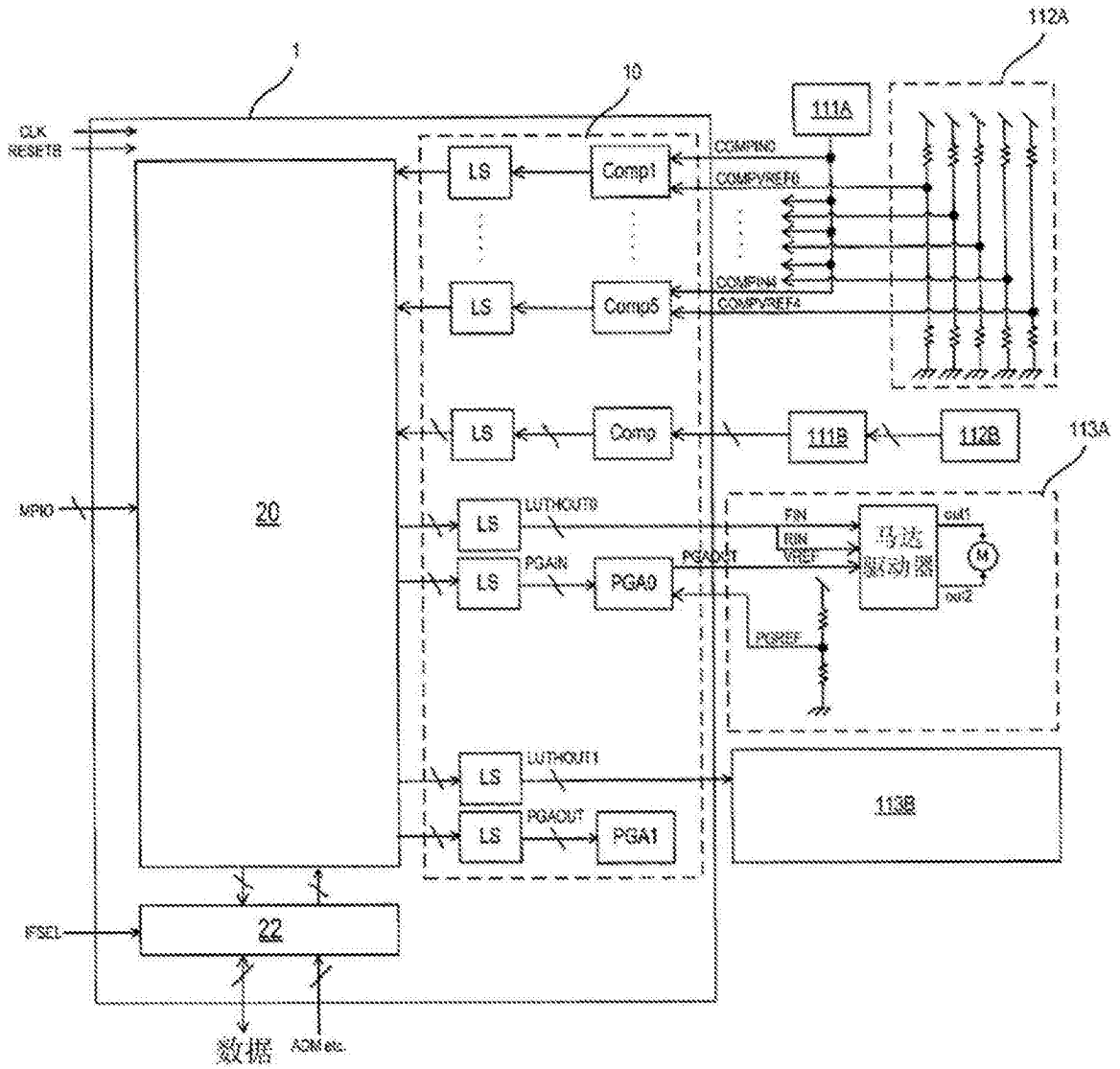


图2A

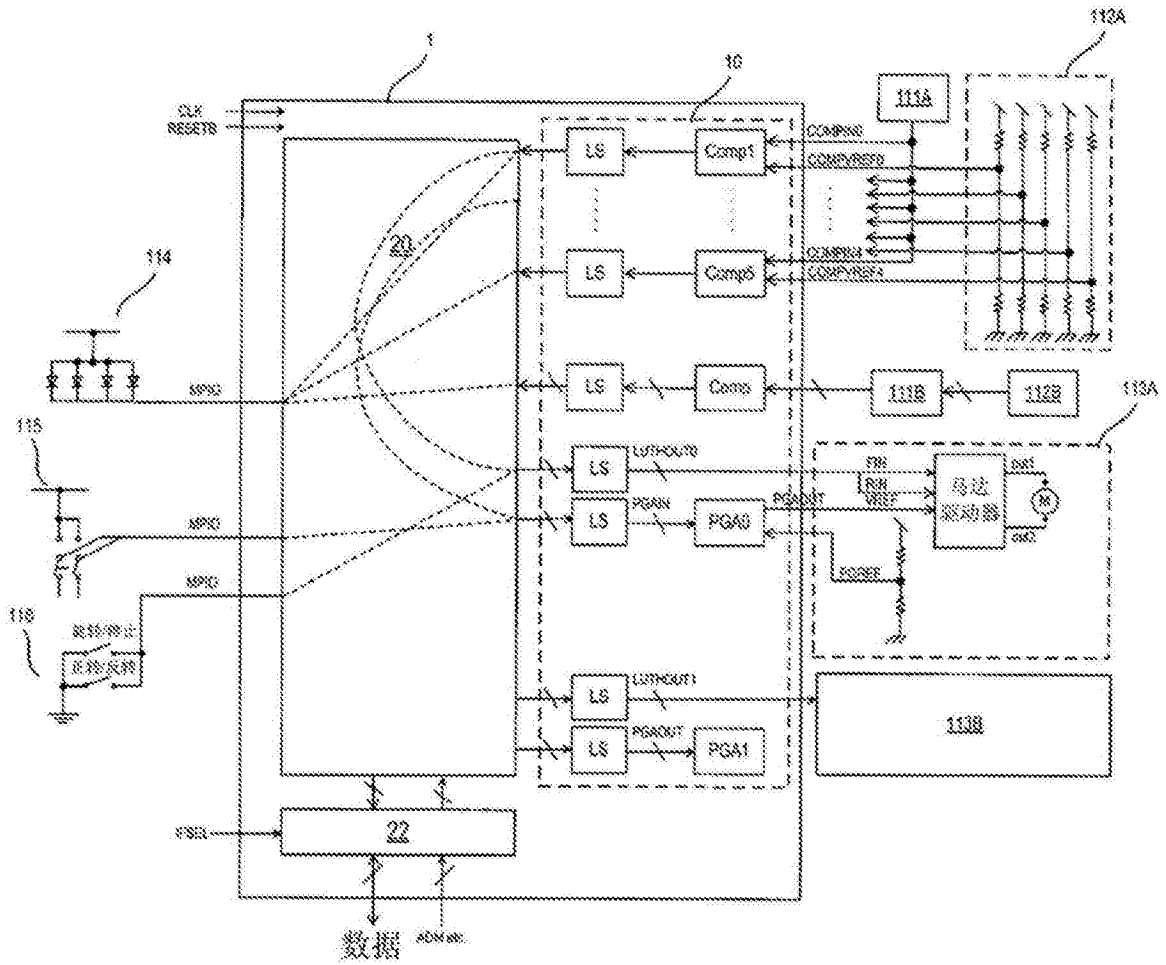


图2B

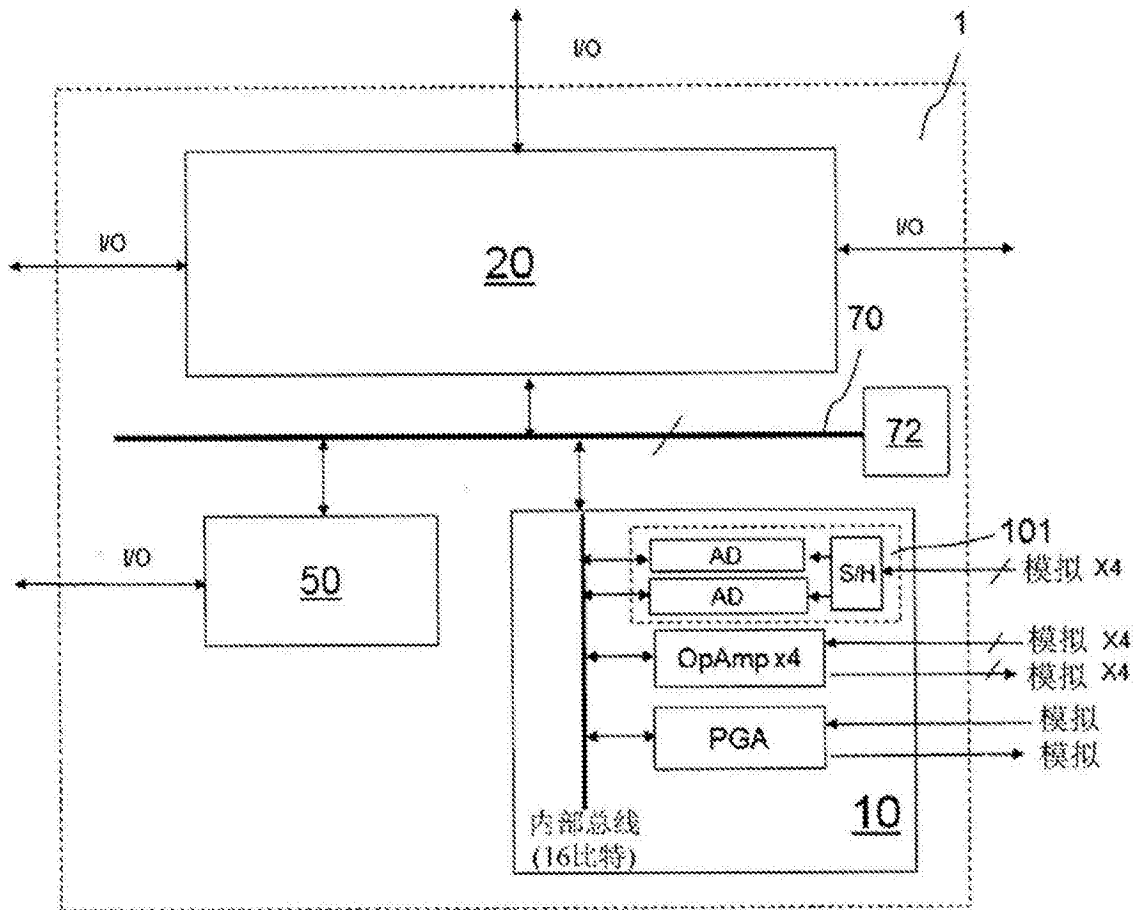


图2C

50

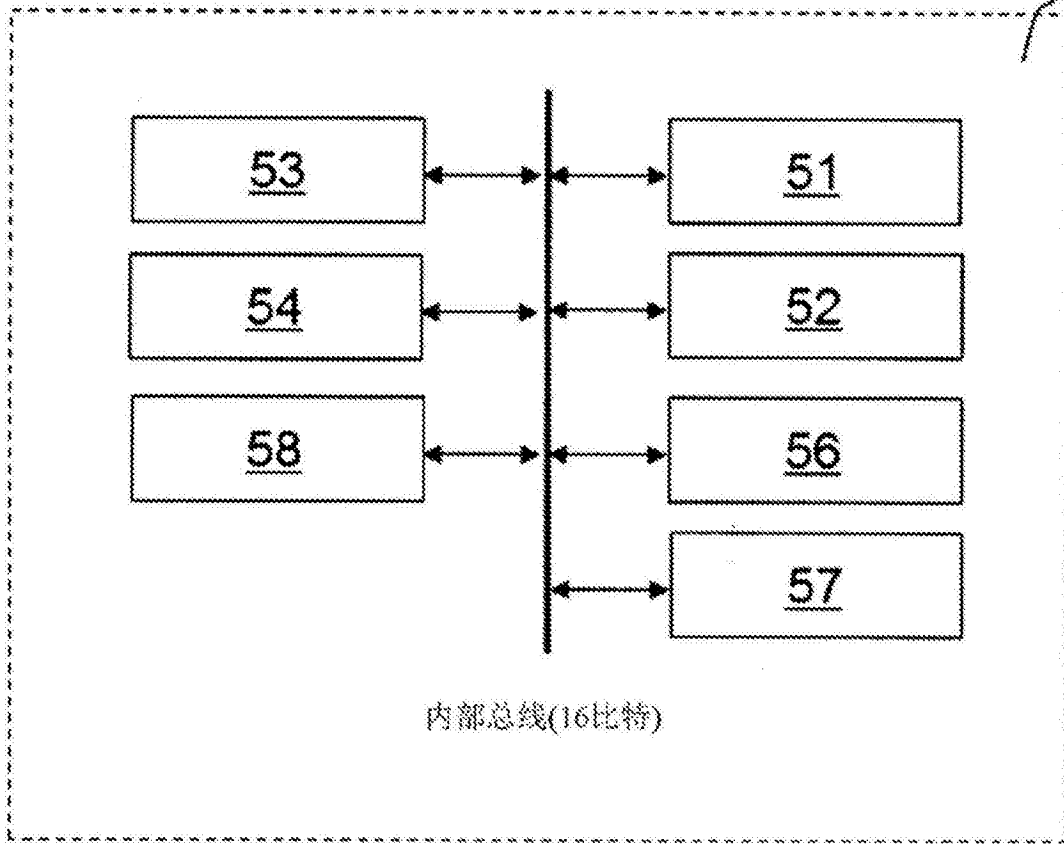


图2D

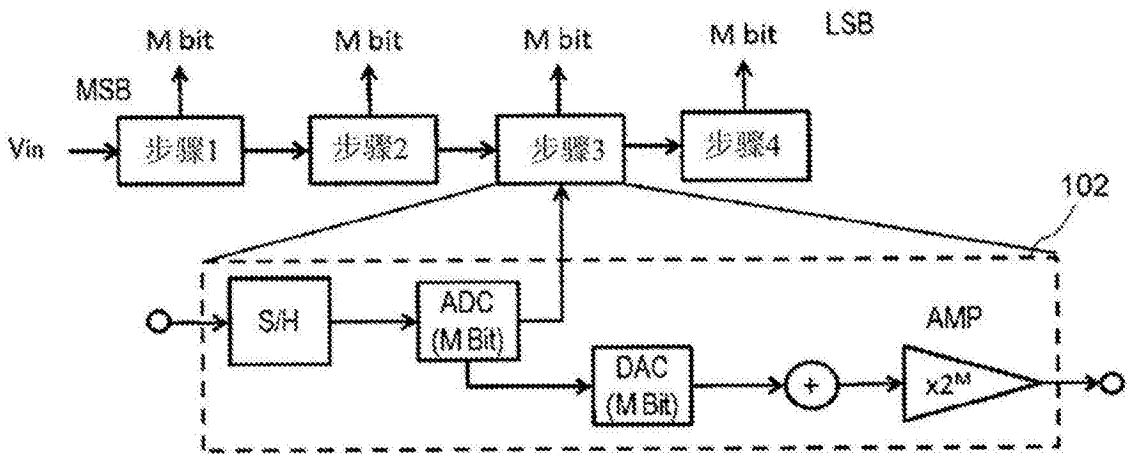


图2E

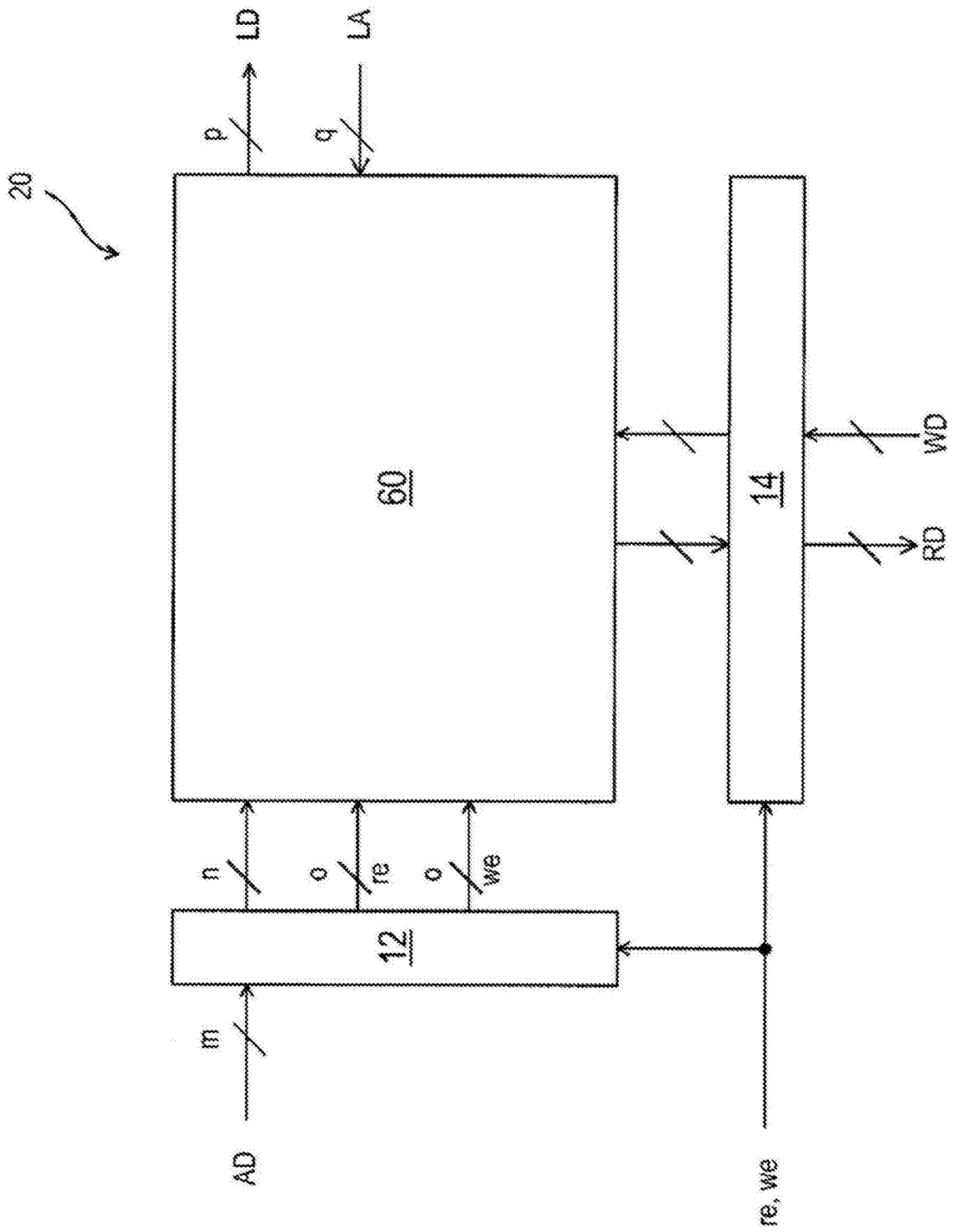


图3

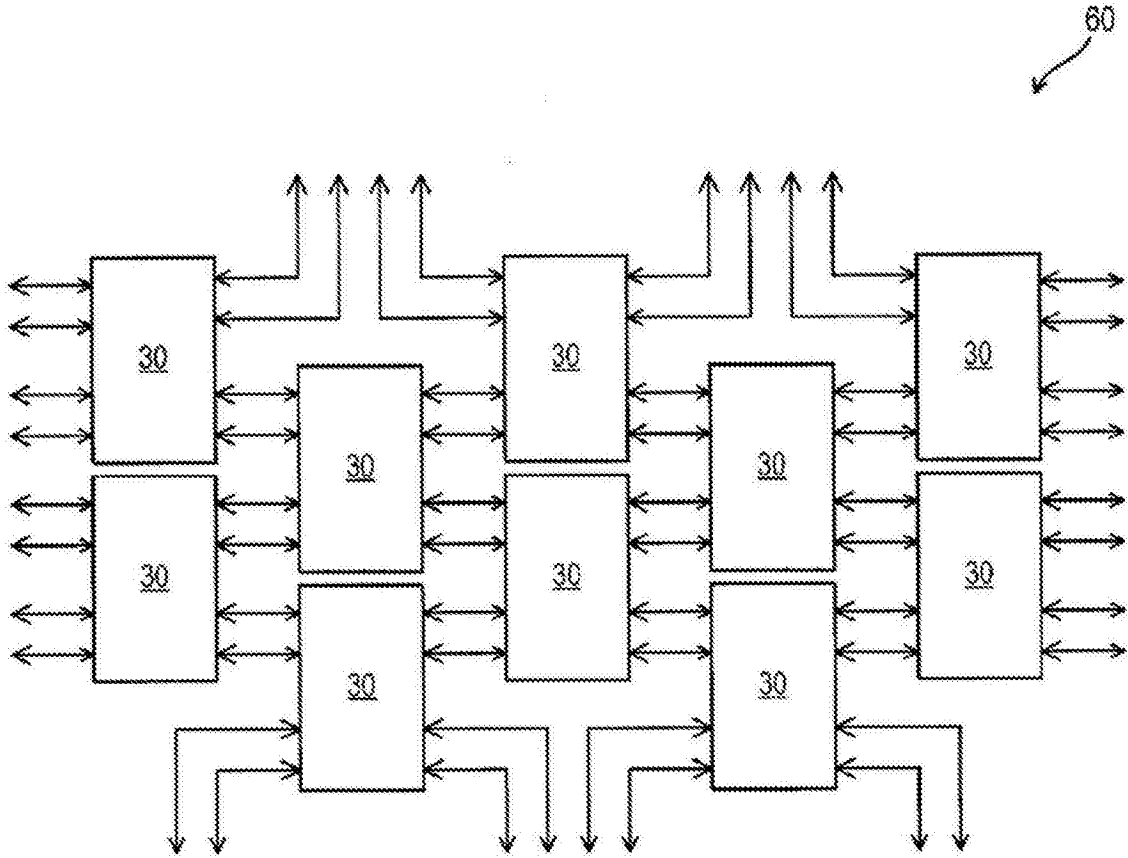


图4

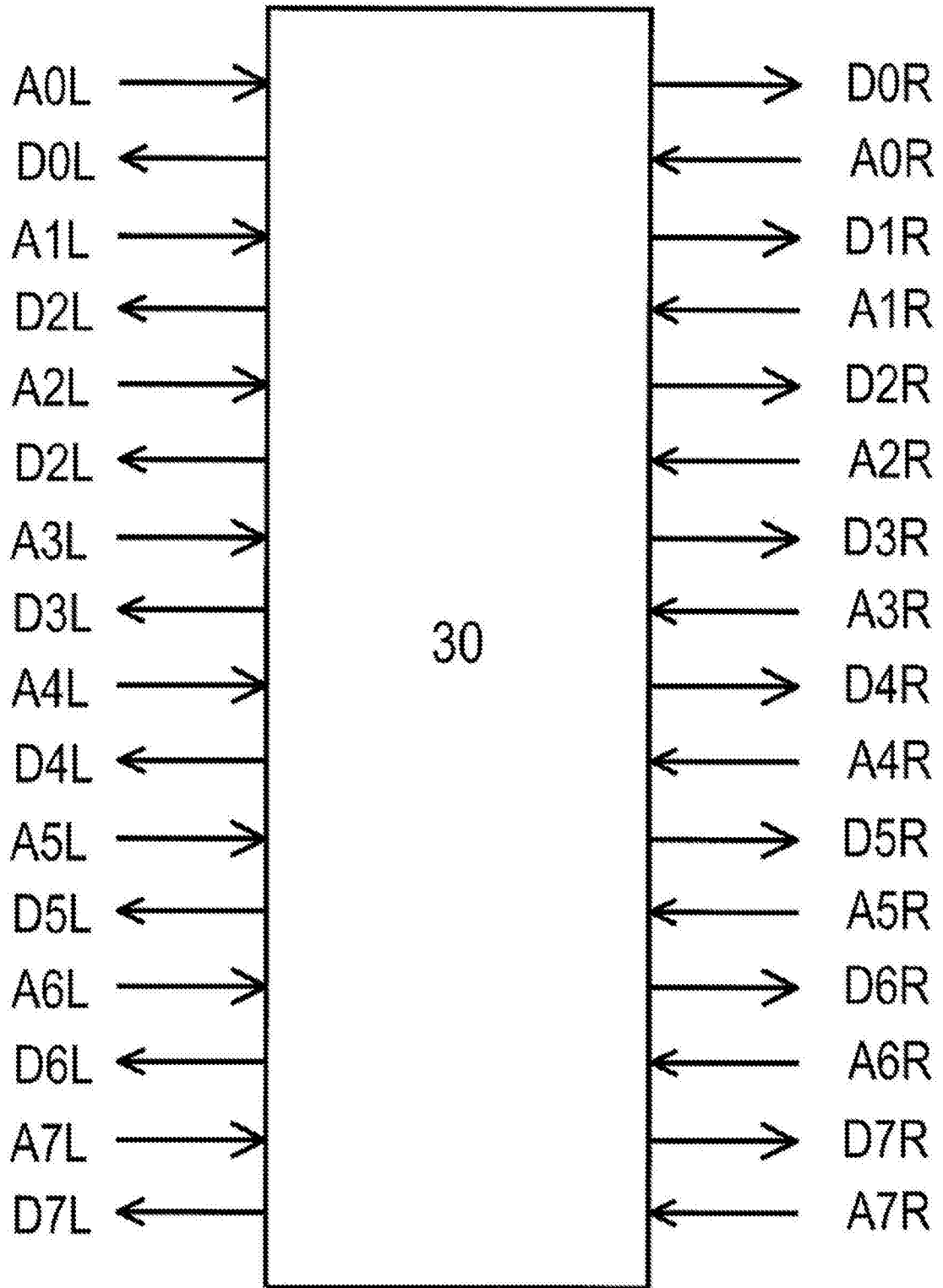


图5

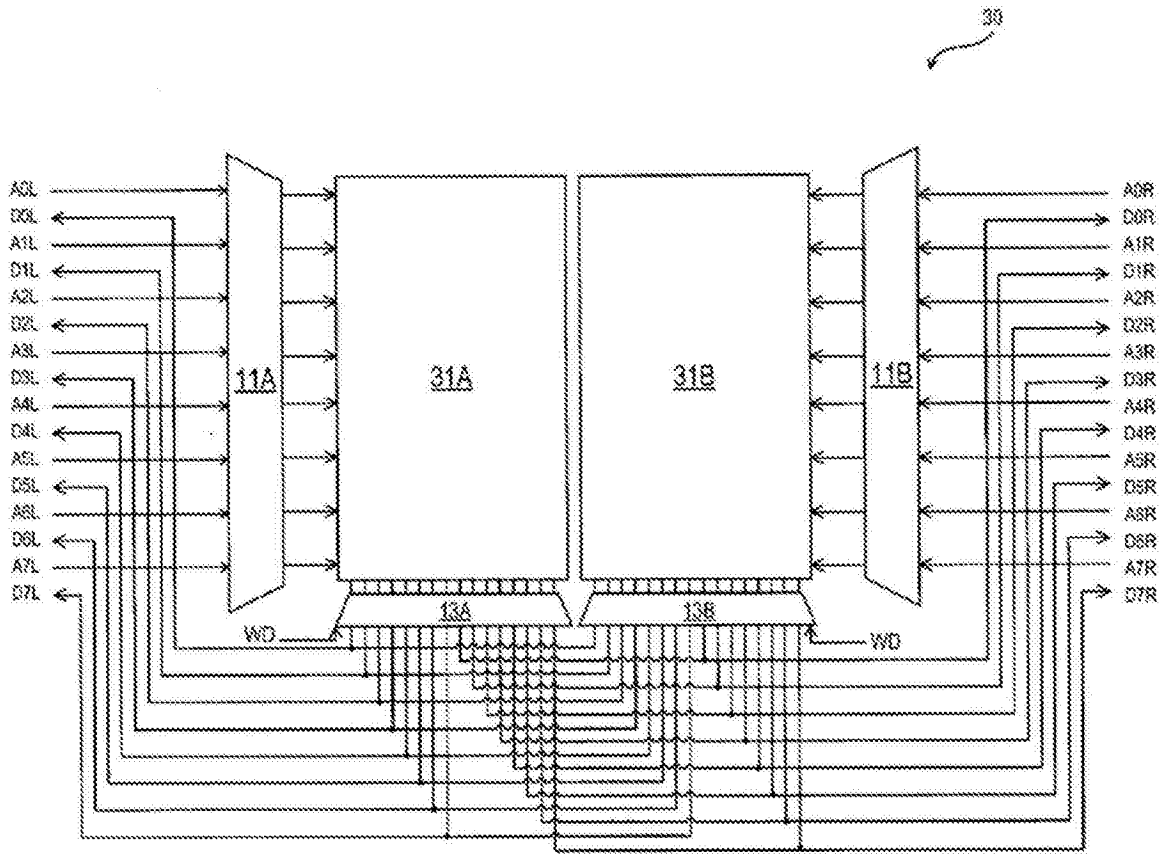


图6

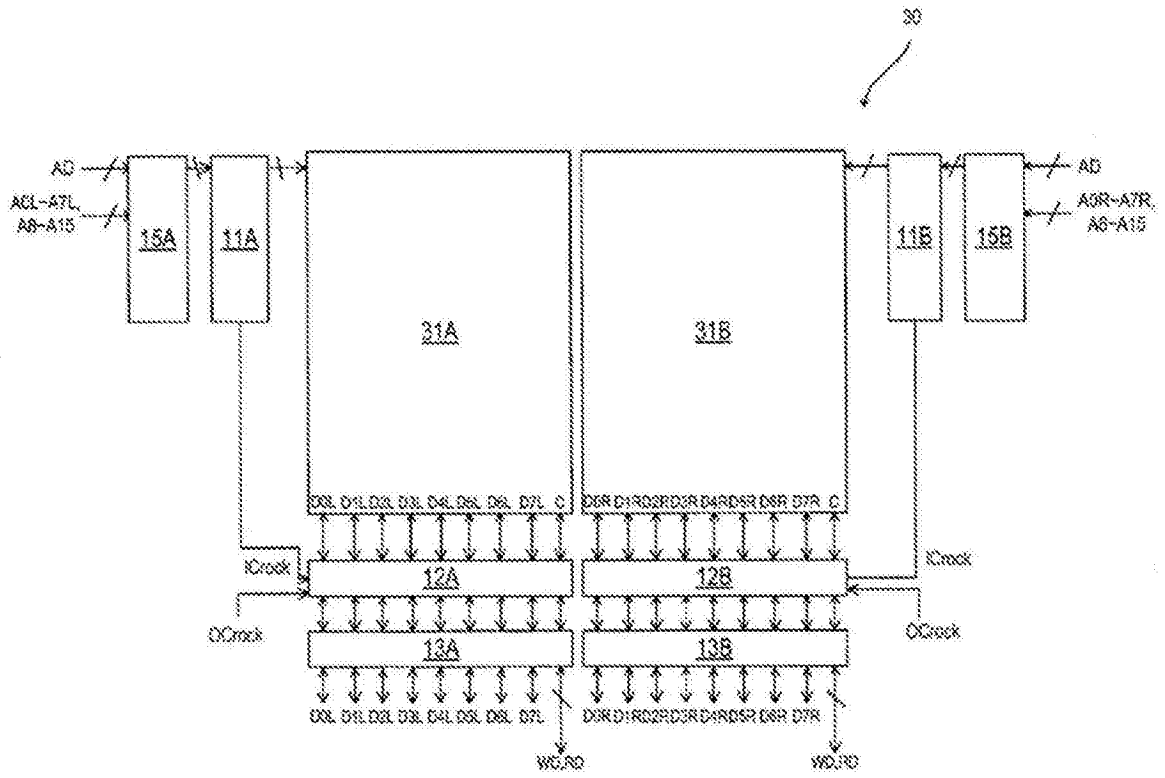


图7

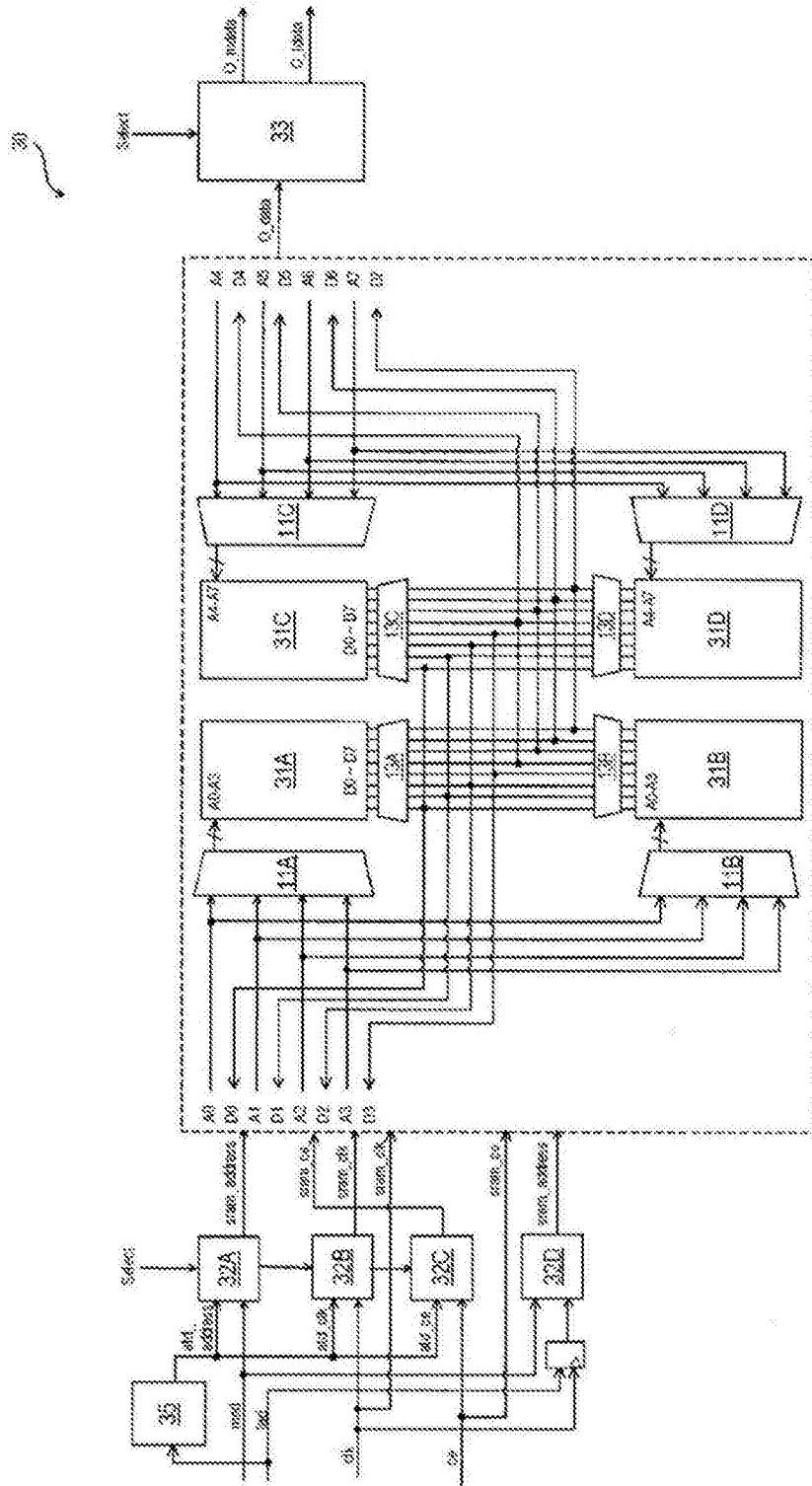


图8

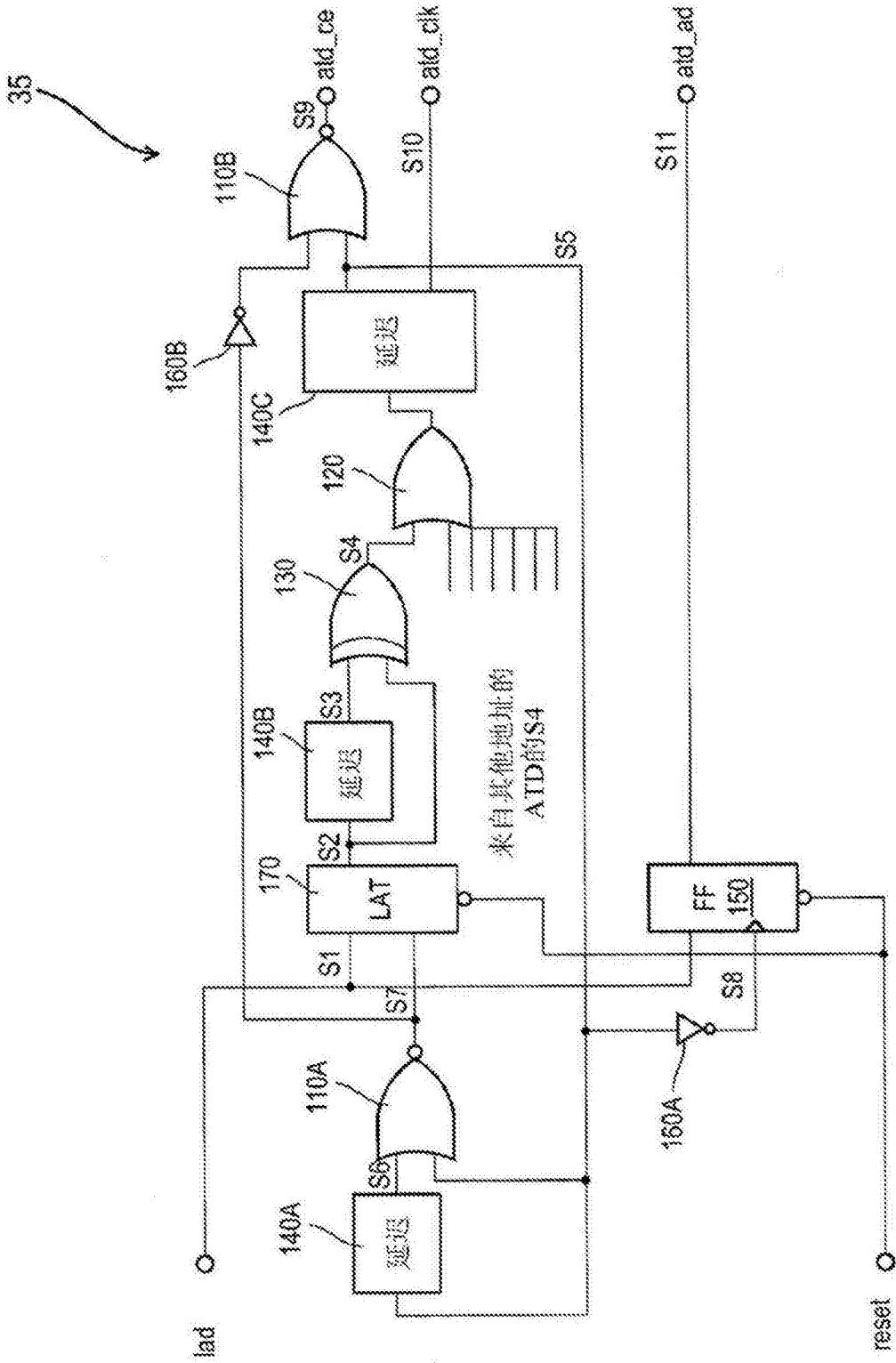


图9

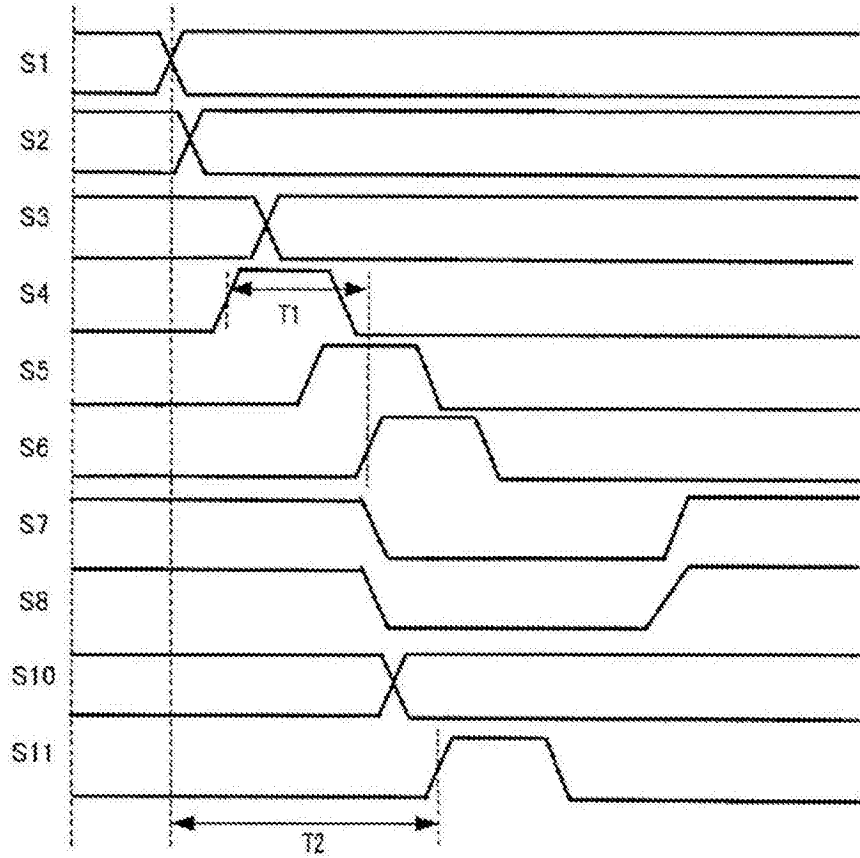


图10

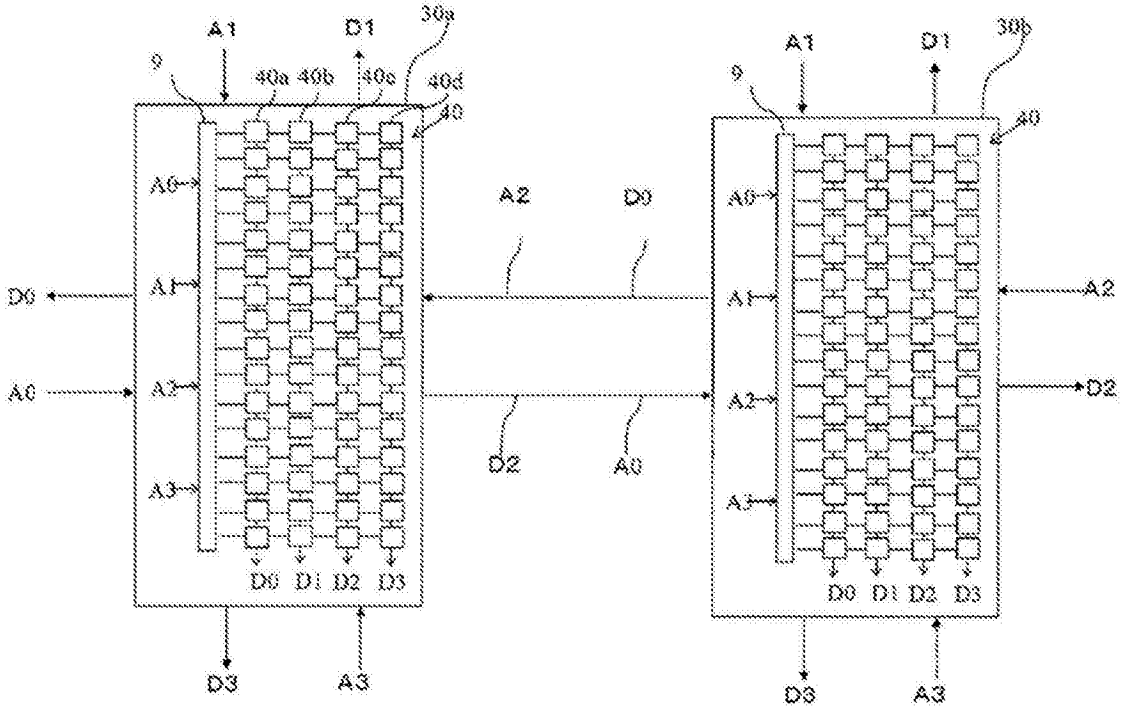


图11

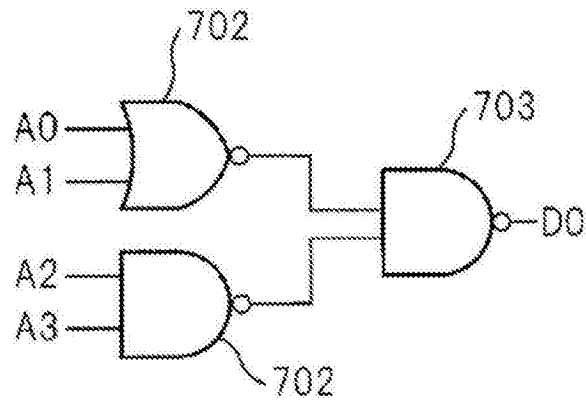


图12

A0	A1	A2	A3	D0	D1	D2	D3
0	0	0	0	0	*	*	*
1	0	0	0	1	*	*	*
0	1	0	0	1	*	*	*
1	1	0	0	1	*	*	*
0	0	1	0	0	*	*	*
1	0	1	0	1	*	*	*
0	1	1	0	1	*	*	*
1	1	1	0	1	*	*	*
0	0	0	1	0	*	*	*
1	0	0	1	1	*	*	*
0	1	0	1	1	*	*	*
1	1	0	1	1	*	*	*
0	0	1	1	1	*	*	*
1	0	1	1	1	*	*	*
0	1	1	1	1	*	*	*
1	1	1	1	1	*	*	*

图13

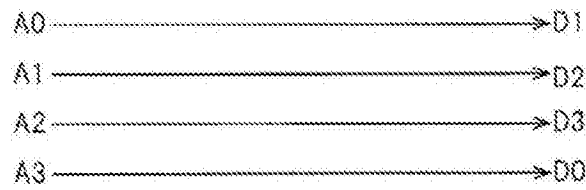


图14

A0	A1	A2	A3	D0	D1	D2	D3
0	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0
0	1	0	0	0	0	1	0
1	1	0	0	0	1	1	0
0	0	1	0	0	0	0	1
1	0	1	0	0	1	0	1
0	1	1	0	0	0	1	1
1	1	1	0	0	1	1	1
0	0	0	1	0	0	0	0
1	0	0	1	0	1	0	0
0	1	0	1	0	0	1	0
1	1	0	1	0	1	1	0
0	0	1	1	0	0	0	1
1	0	1	1	0	1	0	1
0	1	1	1	0	0	1	1
1	1	1	1	0	1	1	1

图15

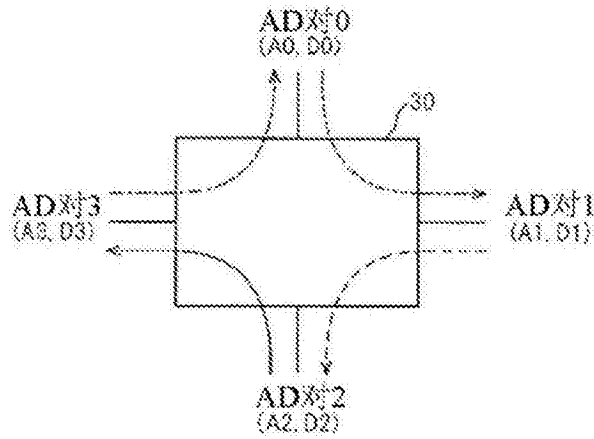


图16

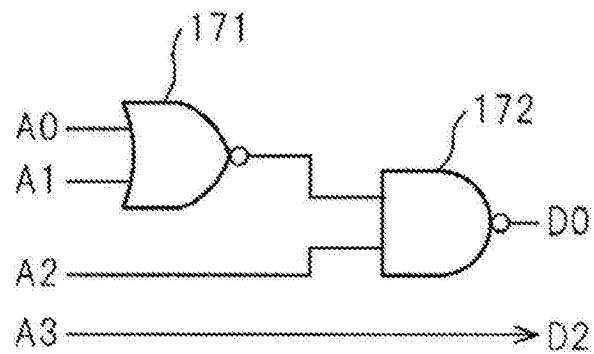


图17

A0	A1	A2	A3	D0	D1	D2	D3
0	0	0	0	0	*	0	*
1	0	0	0	0	*	0	*
0	1	0	0	0	*	0	*
1	1	0	0	0	*	0	*
0	0	1	0	0	*	0	*
1	0	1	0	0	*	0	*
0	1	1	0	0	*	0	*
1	1	1	0	0	*	0	*
0	0	0	1	0	*	1	*
1	0	0	1	0	*	1	*
0	1	0	1	0	*	1	*
1	1	0	1	0	*	1	*
0	0	1	1	0	*	1	*
1	0	1	1	0	*	1	*
0	1	1	1	0	*	1	*
1	1	1	1	0	*	1	*

图18

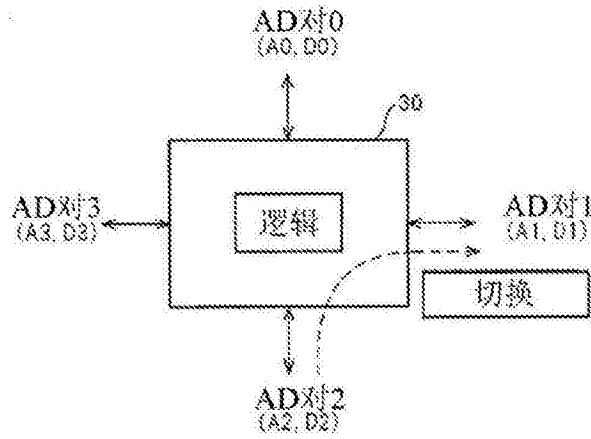


图19

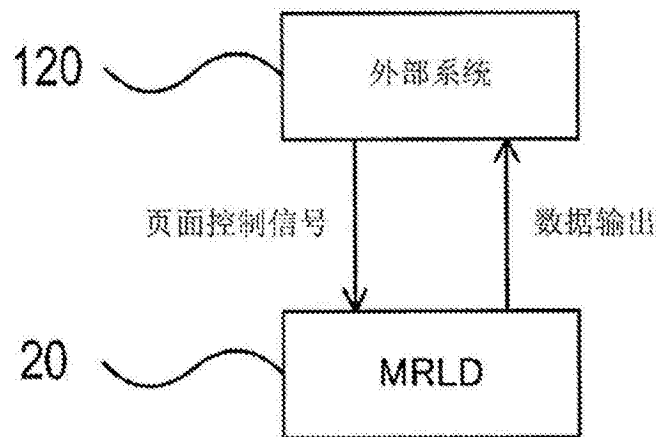


图20

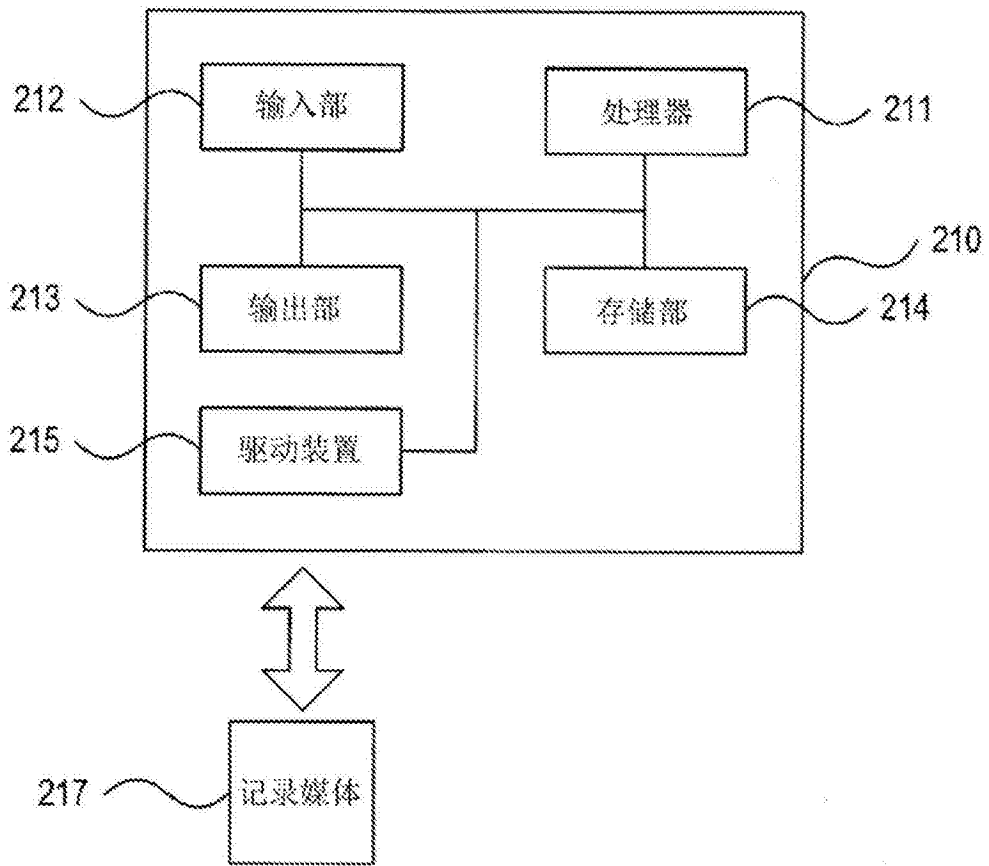


图21