

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4049429号

(P4049429)

(45) 発行日 平成20年2月20日(2008.2.20)

(24) 登録日 平成19年12月7日(2007.12.7)

(51) Int.Cl.
H03M 13/27 (2006.01)F I
H03M 13/27

請求項の数 14 (全 20 頁)

(21) 出願番号	特願平10-19500	(73) 特許権者	391030332
(22) 出願日	平成10年1月30日(1998.1.30)		アルカテルルーセント
(65) 公開番号	特開平10-224236		フランス共和国、754111パリ、セデ
(43) 公開日	平成10年8月21日(1998.8.21)		ックス 8 リュ・ラ ボエティ 54
審査請求日	平成16年8月19日(2004.8.19)	(74) 代理人	100062007
(31) 優先権主張番号	97400231.3		弁理士 川口 義雄
(32) 優先日	平成9年1月31日(1997.1.31)	(74) 代理人	100105393
(33) 優先権主張国	フランス(FR)		弁理士 伏見 直哉
		(72) 発明者	ピーターズ・ミゲル
			ベルギー国、ペー1200・ブリュッセル、アブニユ・ドユ・カステル・73
		審査官	矢頭 尚之
			最終頁に続く

(54) 【発明の名称】 デジタルデータ用のインタリーブ方法およびインタリーブ解除方法、インタリーブ装置およびインタリーブ解除装置および通信システム

(57) 【特許請求の範囲】

【請求項1】

着信データストリーム(ID)の着信データバイト(w1、...、w10)をインタリーブし、それにより発信インタリーブデータバイト(r1、...、r10)の発信インタリーブデータストリーム(OID)を発生し、前記着信データバイト(w1、...、w10)がメモリセルの三角形マトリックス(MAT)の行の尾部メモリセル内に書き込まれ、前記マトリックス(MAT)内のメモリセルの各行が先入れ先出し待ち行列(Fifo0、Fifo1、Fifo2、Fifo3、Fifo4)を表し、かつ前記発信インタリーブデータバイト(r1、...、r10)が前記行の頭部メモリセルから読み出され、それにより前記発信インタリーブデータストリーム(OID)を実現するインタリーブ方法であって、

前記三角形マトリックス(MAT)内の前記行の縦座標番号(0、1、2、3、4)に線形的に関連するある量の前記発信インタリーブデータバイト(r1、...、r10)が各行から読み出され、前記線形的な関連は適応的であり、

前記発信インタリーブデータストリーム(OID)を伝送線(TL)を介して伝送する伝送速度が増大または減少するときに、前記線形的に関連するある量の前記発信インタリーブデータバイト(r1、...、r10)の読み出しが実施され、前記線形的な関連は前記発信インタリーブデータストリームを伝送するための伝送速度に依存することを特徴とする方法。

【請求項2】

10

20

同時に前記三角形マトリックス (MAT) の各行内に、等しい量の前記着信データバイト ($w_1, \dots, w_{10}$) が書き込まれることを特徴とする請求項 1 に記載のインタリーブ方法。

【請求項 3】

前記伝送速度が実質上一定に保たれているときに、等しい量の前記着信データバイト ($w_1, \dots, w_{10}$) が前記三角形マトリックス (MAT) の各行内に書き込まれ、同時に等しい量の前記発信インタリーブデータバイト ($r_1, \dots, r_{10}$) が各行から読み出されることを特徴とする請求項 1 に記載のインタリーブ方法。

【請求項 4】

前記伝送速度が減少するときに、読み出された前記発信インタリーブデータバイト ($r_1, \dots, r_{10}$) の前記量が前記縦座標番号 (0、1、2、3、4) に正に関連することを特徴とする請求項 1 に記載のインタリーブ方法。

10

【請求項 5】

前記伝送速度が増大するときに、読み出された前記発信インタリーブデータバイト ($r_1, \dots, r_{10}$) の前記量が前記縦座標番号 (0、1、2、3、4) に負に関連することを特徴とする請求項 1 に記載のインタリーブ方法。

【請求項 6】

前記伝送速度が減少するときに、連続する発信インタリーブデータバイト ($r_1, \dots, r_{10}$) が、 l を前記三角形マトリックス (MAT) 内の行の数として、
行 l から、
行 $l-1$ および行 l から、
行 $l-2$ 、行 $l-1$ および行 l から、
以下、発信インタリーブデータバイトが行 l から行 $l-1$ まで読み出されるまで、同様に読み出されることを特徴とする請求項 4 に記載のインタリーブ方法。

20

【請求項 7】

第 1 の発信インタリーブデータバイトが行 l から読み出される前に、 $l-1$ 個のダミーバイトが生成され、前記発信インタリーブデータストリーム (OID) 内に挿入され、
第 1 の発信インタリーブデータバイトが行 $l-1$ から読み出される前に、 $l-2$ 個のダミーバイトが生成され、前記発信インタリーブデータストリーム (OID) 内に挿入され、
第 1 の発信インタリーブデータバイトが行 $l-2$ から読み出される前に、 $l-3$ 個のダミーバイトが生成され、前記発信インタリーブデータストリーム (OID) 内に挿入され、以下同様であることを特徴とする請求項 6 に記載のインタリーブ方法。

30

【請求項 8】

前記伝送速度が増大するときに、連続する発信インタリーブデータバイト ($r_1, \dots, r_{10}$) が、 l を前記三角形マトリックス (MAT) 内の行の数として、
行 0 から、
行 0 および行 1 から、
行 0、行 1 および行 2 から、
以下、発信インタリーブデータバイトが行 0 から行 $l-2$ まで読み出されるまで、同様に読み出されることを特徴とする請求項 5 に記載のインタリーブ方法。

40

【請求項 9】

第 1 の発信インタリーブデータバイトが行 0 から読み出された後で、 $l-1$ 個のダミーバイトが生成され、前記発信インタリーブデータストリーム (OID) 内に挿入され、
第 1 の発信インタリーブデータバイトが行 1 から読み出された後で、 $l-2$ 個のダミーバイトが生成され、前記発信インタリーブデータストリーム (OID) 内に挿入され、
第 1 の発信インタリーブデータバイトが行 2 から読み出された後で、 $l-3$ 個のダミーバイトが生成され、前記発信インタリーブデータストリーム (OID) 内に挿入され、以下同様であることを特徴とする請求項 8 に記載のインタリーブ方法。

【請求項 10】

50

着信インタリーブデータストリーム (IID) の着信インタリーブデータバイト (w1', . . . , w10') をインタリーブ解除し、それにより発信データバイト (r1', . . . , r10') の発信データストリーム (OD) を発生し、前記着信インタリーブデータバイト (w1', . . . , w10') がメモリセルの三角形マトリックス (MAT') の行の尾部メモリセル内に書き込まれ、前記マトリックス (MAT') 内のメモリセルの各行が先入れ先出し待ち行列 (Fifo0', Fifo1', Fifo2', Fifo3', Fifo4') を表し、かつ前記発信データバイト (r1', . . . , r10') が前記行の頭部メモリセルから読み出され、それにより前記発信データストリーム (OD) を実現するインタリーブ解除方法であって、

前記三角形マトリックス (MAT') 内の前記行の縦座標番号 (0, 1, 2, 3, 4) に線形的に関連するある量の前記着信インタリーブデータバイト (w1', . . . , w10') が前記三角形マトリックス (MAT') 内の各行内に書き込まれ、前記線形的な関連は適応的であり、

前記着信インタリーブデータストリーム (IID) を伝送線 (TL) を介して伝送する伝送速度が増大または減少するときに、前記線形的に関連するある量の前記着信インタリーブデータバイト (w1', . . . , w10') の書き込みが実施され、前記線形的な関連は前記発信インタリーブデータストリームを伝送するための伝送速度に依存することを特徴とする方法。

【請求項 11】

着信データストリーム (ID) の着信データバイト (w1, . . . , w10) を再順序付けし、それにより発信インタリーブデータバイト (r1, . . . , r10) の発信インタリーブデータストリーム (OID) を発生するために使用されるインタリーブ装置 (INTERLEAVER) であって、

a. それぞれメモリセルの三角形マトリックス (MAT) の各行を表すようになされた複数の先入れ先出し待ち行列 (Fifo0, Fifo1, Fifo2, Fifo3, Fifo4) を含むメモリ手段 (MEM) と、

b. 前記メモリ手段 (MEM) の入力に結合された出力を有し、書込みアドレスによって識別される一つの前記行の尾部メモリセル内に前記着信データバイト (w1, . . . , w10) の各データバイトを書き込むようになされた書込み手段 (WRITE) と、

c. 前記メモリ手段 (MEM) の出力に結合された入力に有し、読取りアドレスによって識別される一つの前記行の頭部メモリセルから前記発信インタリーブデータバイト (r1, . . . , r10) の各データバイトを読み出すようになされた読取り手段 (READ) と、

d. その第 1 の出力が前記書込み手段 (WRITE) のアドレス入力 (AI1) に結合され、かつその第 2 の出力が前記読取り手段 (READ) のアドレス入力 (AI2) に結合され、前記書込みアドレスおよび前記読取りアドレスを発生するようになされたアドレス発生手段 (ADDRESS) とを含み、

前記アドレス発生手段 (ADDRESS) がさらに、前記三角形マトリックス (MAT) 内の前記行の縦座標番号 (0, 1, 2, 3, 4) に線形的に関連するある量の読取りアドレスを各行ごとに発生するようになされ、前記線形的な関連は適応的であり、

前記インタリーブ装置 (INTERLEAVER) がさらに、

e. その出力が前記アドレス発生手段 (ADDRESS) の制御入力 (CI) に結合され、前記アドレス発生手段 (ADDRESS) を定常状態か、または遷移状態にするようになされた制御手段 (CTRL) を含み、さらに

f. 前記アドレス発生手段 (ADDRESS) が、前記遷移状態において前記読取りアドレスをこのようにして発生するようになされ、かつ前記定常状態において、前記三角形マトリックス (MAT) の各行ごとに、等しい量の読取りアドレスを発生し、同時に各行ごとに等しい量の書込みアドレスを発生するようになされたことを特徴とするインタリーブ装置 (INTERLEAVER)。

【請求項 12】

前記メモリ手段(MEM)がさらに、

g. 1を前記三角形マトリックス(MAT)内の行の数として、高々 $1 \times (1-1)$ 個のメモリセルからなり、前記着信データバイト($w1$ 、...、 $w10$)の一部を一時的に記憶するようになされたバッファを備えることを特徴とする請求項11に記載のインタリーブ装置(INTERLEAVER)。

【請求項13】

着信インタリーブデータストリーム(IID)の着信インタリーブデータバイト($w1'$ 、...、 $w10'$)を再順序付けし、それにより発信データバイト($r1'$ 、...、 $r10'$)の発信データストリーム(OD)を発生するために使用されるインタリーブ解除装置(DE-INTERLEAVER)であって、

10

a. それぞれメモリセルの三角形マトリックス(MAT')の各行を表すようになされた複数の先入れ先出し待ち行列(Fifo0'、Fifo1'、Fifo2'、Fifo3'、Fifo4')を含むメモリ手段(MEM')と、

b. 前記メモリ手段(MEM')の入力に結合された出力を有し、書込みアドレスによって識別される一つの前記行の尾部メモリセル内に前記着信インタリーブデータバイト($w1'$ 、...、 $w10'$)の各データバイトを書き込むようになされた書込み手段(WRITE')と、

c. 前記メモリ手段(MEM')の出力に結合された入力に有し、読取りアドレスによって識別される一つの前記行の頭部メモリセルから前記発信データバイト($r1'$ 、...、 $r10'$)の各データバイトを読み出すようになされた読取り手段(READ')と

20

d. その第1の出力が前記書込み手段(WRITE')のアドレス入力(AI1')に結合され、かつその第2の出力が前記読取り手段(READ')のアドレス入力(AI2')に結合され、前記書込みアドレスおよび前記読取りアドレスを発生するようになされたアドレス発生手段(ADDRESS')とを含み、

前記アドレス発生手段(ADDRESS')がさらに、前記三角形マトリックス(MAT')内の前記行の縦座標番号(0、1、2、3、4)に線形的に関連するある量の書込みアドレスを前記三角形マトリックス(MAT')の各行ごとに発生するようになされ、前記線形的な関連は適応的であり、

前記インタリーブ解除装置(DE-INTERLEAVER)がさらに、

30

e. その出力が前記アドレス発生手段(ADDRESS')の制御入力(CI')に結合され、前記アドレス発生手段(ADDRESS')を定常状態か、または遷移状態にするようになされた制御手段(CTRL')を含み、さらに

f. 前記アドレス発生手段(ADDRESS')が、前記遷移状態において前記書込みアドレスをこのようにして発生するようになされ、かつ前記定常状態において、前記三角形マトリックス(MAT')の各行ごとに、等しい量の読取りアドレスを発生し、同時に各行ごとに等しい量の書込みアドレスを発生するようになされたことを特徴とするインタリーブ解除装置(DE-INTERLEAVER)。

【請求項14】

前記メモリ手段(MEM')がさらに、

40

g. 1を前記三角形マトリックス(MAT')内の行の数として、高々 $1 \times (1-1) / 2$ 個のメモリセルからなり、前記着信インタリーブデータバイト($w1'$ 、...、 $w10'$)の一部を一時的に記憶するようになされたバッファを備えることを特徴とする請求項13に記載のインタリーブ解除装置(DE-INTERLEAVER)。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、請求項1の前提部分に定義されている着信データストリームをインタリーブする方法、請求項11の前提部分に定義されている着信インタリーブデータストリームをインタリーブ解除する方法、それぞれ請求項12および請求項15の前提部分に定義されて

50

いるインタリーブ装置およびインタリーブ解除装置、および請求項18の前提部分に定義されている通信システムに関する。

【0002】

【従来の技術】

そのようなインタリーブ方法およびインタリーブ解除方法、そのようなインタリーブ装置およびインタリーブ解除装置、およびそのような通信システムは、例えば、発明者 E l w y n R. B e r l e k a m p および P o T o n g の米国特許第 4 5 5 9 6 2 5 号「I n t e r l e a v e r s f o r d i g i t a l c o m m u n i c a t i o n s」から当技術分野においてすでに知られている。

【0003】

米国特許第 4 5 5 9 6 2 5 号に記載されている通信システムでは、符号化装置が冗長情報を数学的に規定される形で生成し、この冗長情報をコードワードのデータバイトに加える。次いで、独立に符号化された複数のコードワードのデータバイトがインタリーブ装置によって再順序付けされる。このようにすると、伝送リンクを介したコードワードの伝送は、持続時間の長いバースト雑音に対して免疫性がより高くなる。データシンボルを再順序付けすることによって、バーストエラーが独立に符号化されたコードワード上により均一に分配される。したがって、伝送されたコードワードの復号によるエラー訂正が向上する。要約すると、インタリーブ装置は、伝送線上の信号劣化または雑音の影響を様々なコードワードにより均一に分配するために複数のコードワードのデータバイトのシーケンスを変更する。インタリーブ装置内で、それへのデータバイトは、メモリセル内に入れられ、後でそれらがメモリに入った順序と異なる順序でこれらのメモリセルから読み出される。データバイトのインタリーブ遅延は、メモリに入ってからメモリから出るまでに経過する時間間隔であり、一般に考えているデータバイトが入ってから出るまでの時間中にメモリから読み出されるバイトの量として表される。同一のコードワードの二つのデータバイト間の発信インタリーブデータストリーム内のデータバイトの数に等しい他の重要なパラメータは、インタリーブ深さである。インタリーブ深さは、バースト雑音などに対する伝送の免疫性の向上の品質を示すものである。米国特許第 4 5 5 9 6 2 5 号に記載されているインタリーブ装置では、データバイトがそこに記憶されるメモリセルは、三角形マトリックス、すなわち米国特許第 4 5 5 9 6 2 5 号の図 4 a に示されている長方形マトリックス内の右上三角形を構成する。三角形マトリックスの各行が先入れ先出し待ち行列によって実施されるとき、着信データバイトがその行の尾部メモリセル内に記憶され、かつ発信データバイトが同時にその行の頭部メモリセルから読み出される場合、任意のバイトのインタリーブ遅延は、データバイトの元の位置に対して線形的に変化する。これは、上述の米国特許の段落 2、行 3 4 - 4 1 に記載されている。言い換えれば、データバイトのインタリーブ遅延、およびデータバイトがそこに記憶される行の縦座標は、周知の三角形インタリーブ装置内で線形的に相関させられる。伝送の雑音免疫性を定義するインタリーブ深さは、一定であり、マトリックスの行当たりの遅延増分によって決定される。この遅延増分は、マトリックスの連続する二つの行間の長さの差であり、メモリセルの量として表される。

【0004】

変化しやすい伝送速度を有する通信システムでは、インタリーブが伝送の雑音免疫性に及ぼす影響は、実際の伝送速度に依存する。例えば、第 1 の状況における伝送速度が第 2 の状況における伝送速度の半分である場合、持続時間の等しいバーストエラーは、第 2 の状況において、第 1 の状況において破損するデータバイトの量の 2 倍破損する。第 2 の状況におけるインタリーブ深さが第 1 の状況におけるそれに等しく、かつコードワードに加えられたエラー訂正コードがどちらの状況においても同じである場合、訂正することができるバーストエラーの最大持続時間として表される第 2 の状況における雑音免疫性は、第 1 の状況における雑音免疫性の半分しかない。通信システムの設計者は、通常、標準の仕様に一致するように消去訂正のある最小レベルを実現しなければならない。インタリーブ深さおよびエラー訂正コード長さは、設計者によって最悪の場合のシナリオにおいてこの最

10

20

30

40

50

小消去訂正レベルを満足するように選択される。変化しやすい伝送速度を有する通信システムでは、この最悪の場合のシナリオは、データが最も高い許容伝送速度において伝送される状況である。上述の周知のインタリーブ装置が使用され、かつデータがより低い伝送速度において伝送される場合、雑音免疫性は必要とされるよりもよくなるが、これは、このより低い伝送速度において最小所要レベルに対する雑音免疫性の正確な調整のために必要なよりも長いインタリーブ遅延によって報いられる。

【0005】

他の通信システムでは、伝送線に対するバースト雑音エラーの影響を回復する能力を伝送線、雑音汚染、サービス依存要件またはユーザ依存要件などの品質に関して修正することができるように適応できる雑音免疫性を備えることが賢明である。

10

【0006】

【発明が解決しようとする課題】

したがって、本発明の目的は、雑音免疫性を修正することができるか、または伝送線上の伝送速度と無関係にすることができるインタリーブ方法およびインタリーブ解除方法、インタリーブ装置およびインタリーブ解除装置、および周知のタイプの通信システムを提供することである。

【0007】

【課題を解決するための手段】

本発明によれば、この目的は、請求項1に定義されている着信データストリームをインタリーブする方法、請求項11に定義されているインタリーブデータストリームをインタリーブ解除する方法、それぞれ請求項12および請求項15に定義されているインタリーブ装置およびインタリーブ解除装置、および請求項18に定義されている通信システムによって実現される。

20

【0008】

上述の目的を実現する明らかな方法は、例えば、インタリーブメモリを完全に空にし、マトリックスの行当たりの遅延増分が増大するように三角形マトリックスを再フォーマットすることによって三角形マトリックスの形状を変更することである。例えば、伝送速度が変化するたびに行当たりの遅延増分を変更すると、インタリーブ深さがそれに応じて変化し、その結果雑音免疫性が伝送速度と実質上無関係になる。しかしながら、この明らかな方法は、伝送を妨害しなければならない場合、非常に長い遷移状態を伴うのであまり効率的ではない。

30

【0009】

本発明によれば、インタリーブ深さは、三角形アレイの形状を動的な方法で、すなわちインタリーブメモリ全体を空にすることなく変更することによって修正される。実際、マトリックスの行から読み出されたインタリーブデータバイトの数がこの行の縦座標に線形的に関連する場合、マトリックスの行当たりの遅延増分は減少するか、または増大する。例えば、1データバイトが行1から読み出され、二つのデータバイトが行2から読み出され、...、1-1データバイトが行1-1から読み出される場合、マトリックスの連続する二つの行間の長さの差（行当たりの遅延増分）は1だけ減少する。

【0010】

請求の範囲において使用される「含む」なる語は、以下に記載されている手段に限定されるものと解釈すべきではないことに留意されたい。したがって、「手段AおよびBを含む装置」なる表現の範囲は、構成要素AおよびBのみから構成される装置に限定すべきではない。これは、本発明に関して、装置のただ関連するだけの構成要素はAおよびBであることを意味する。

40

【0011】

同様に、これも請求の範囲において使用される「結合された」なる語は、直接接続にのみ限定されるものと解釈すべきではないことに留意されたい。したがって、「手段Bに結合された手段A」なる表現の範囲は、手段Aの出力が手段Bの入力に直接接続される装置またはシステムに限定すべきではない。これは、他の装置または手段を含む経路である経路

50

がAの出力とBの入力との間に存在することを意味するにすぎない。

【0012】

他の留意すべき点は、本発明のシステムおよび方法の明らかな変形例は、インタリーブマトリックスおよびインタリーブ解除マトリックスの列および行の役目が逆になったものであることである。本発明の適合性は、明らかにマトリックスの行が水平方向に示され、かつ列が垂直方向に示されている実施形態に限定されるものではない。明らかな理由で、本明細書全体にわたって「列」なる語と「行」なる語を置き換えた場合に同じ技術的結果が得られる。したがって、請求の範囲によって定義される保護の範囲も、「行」が水平構造に対して同義であり、したがって「列」が垂直構造に関連する本発明の実施形態に限定すべきではない。

10

【0013】

さらに、インタリーブマトリックスおよび／またはインタリーブ解除マトリックスの行または列の縦座標番号は、設計者の好みに応じて、下から上へ、上から下へ、左から右へまたは右から左へ増加することを強調する。したがって、三角形マトリックスは、上方、下方、左方向または右方向をさす上部を有する。設計者は、アドレス指定を縦座標の番号のその人の選択に一致させることのみが重要である。請求の範囲は、この選択に限定されるものであると解釈すべきではない。

【0014】

本発明のインタリーブ方法の他の特徴を請求項2に定義する。

【0015】

このようにすると、マトリックスの行から読み出される発信インタリーブデータバイトの量がこの行内に書き込まれたデータバイトの量と無関係になるので、あまり複雑でないインタリーブ装置を実現することができる。

20

【0016】

本発明の追加の特徴を請求項3に定義する。

【0017】

このようにすると、変化しやすい伝送速度を有するシステム内で雑音免疫性が一定に保たれる。

【0018】

ここで、また、本発明においてエラー保護を増大または減少させるために、一定の伝送速度を有するシステム内で、インタリーブ三角形マトリックスの行当たりの遅延増分を本発明に従って変更することができることに留意されたい。すでに上で示唆したように、バイトが本発明に従ってマトリックスから読み出されるかどうかを決定するために伝送速度の増大または減少以外の基準がそのようなシステム内で使用される。そのようなシステム内で、行当たりの遅延増分が増大した場合、インタリーブ深さはそれに応じて増大し、その結果エラー保護が改善される。同様に、行当たりの遅延増分が減少した場合、エラー保護は最悪になる。

30

【0019】

本発明の他の特徴を請求項4に定義する。

【0020】

このようにすると、伝送線上の伝送速度が実質上一定に保たれる場合、データバイトが周知の形で三角形マトリックスに書き込まれ、三角形マトリックスから読み出される。

40

【0021】

本発明の他の特徴を請求項5に定義する。

【0022】

実際、縦座標の番号が行の長さとともに増加するように三角形マトリックスの行が番号付けされている場合、行当たりの読み取られたインタリーブデータバイトの数が行の縦座標番号に正に関連するとき、行当たりの遅延増分は減少する。行当たりの遅延増分の減少は、インタリーブ深さの減少をもたらし、したがってバースト雑音免疫性の低下をもたらし。一方、伝送速度の減少は、バースト雑音免疫性に対して増大する効果を及ぼす。どちら

50

の効果も相殺され、それにより雑音免疫性が伝送速度と実質上無関係に保たれる。

【0023】

本発明の他の特徴を請求項6に定義する。

【0024】

実際、この場合も、縦座標番号が行の長さとともに増加するように三角形マトリックスの行が番号付けされている場合、マトリックスの行から読み出されたインタリーブデータバイトの量がこれらの行の縦座標番号に負に関連するならば、雑音免疫性は伝送速度の増大に対して実質上鈍感に保たれることが上述と同じ形で推論できる。

【0025】

インタリーブ深さを減少させるために、本発明の方法の第1の特定の実施形態では、請求項7に定義されているように発信データバイトを読み出す。

10

【0026】

実際、マトリックスの各行から読み出されるデータバイトの数は、行の縦座標番号に等しい。以下で説明するように、この実施形態では、インタリーブ装置内ならびにインタリーブ解除装置内にバッファが存在する必要がある。

【0027】

本発明のインタリーブ方法の第2の特定の実施形態では、インタリーブ深さを小さくするために発信データバイトを請求項8に定義されているように読み出す。

【0028】

このようにすると、マトリックスの各行から読み出されるデータバイトの数がこの場合も行の縦座標番号に等しくなる。ダミーバイトは、インタリーブ装置のところに挿入されるが、インタリーブ解除装置内でインタリーブ解除されない。この実施形態の利点は、インタリーブ解除装置のところにバッファを必要としないことであるが、インタリーブ装置バッファのサイズが、以下に示すように二倍になる。この実施形態の他の利点は、第1の特定の実施形態の場合よりもインタリーブ装置およびインタリーブ解除装置が得られ、インタリーブ深さを変更している間、雑音免疫性が一定に保たれることである。

20

【0029】

行当たりの遅延増分を増大させるために、第1の特定の実施形態を請求項9に定義し、第2の実施形態を請求項10に定義する。

【0030】

請求項7および8に定義されている遅延増分を減少させる実施形態と同様に、第2の実施形態は、あまり複雑でない形で実現することができ、インタリーブ装置内またはインタリーブ解除装置内にバッファを必要としない。第1の実施形態では、インタリーブ装置内にバッファが存在する必要があるが、ダミーバイトを転送するために使用される帯域幅がないのでより良いスループットが実現される。

30

【0031】

添付の図面に関して行った次の一実施形態についての説明を参照すれば、本発明の上記その他の目的および特徴がより明らかになり、また本発明自体が最もよく理解できよう。

【0032】

【発明の実施の形態】

40

図1に示される通信システムは、送信装置TX、受信装置RXおよび伝送線TLを含んでいる。送信装置TXは、データソースDATA SOURCE、エンコーダENCODER、インタリーブ装置INTERLEAVER、および変調装置MODを含んでいる。受信装置RXは、復調装置DMOD、インタリーブ解除装置DE-INTERLEAVER、デコーダDECODER、およびデータシンクDATA SINKを含んでいる。

【0033】

送信装置TXの出力は、伝送線TLを介して受信装置RXの入力に結合される。送信装置TX内では、データソースDATA SOURCE、エンコーダENCODER、インタリーブ装置INTERLEAVER、および変調装置MODが縦続接続される。変調装置MODの出力は、送信装置出力を介して伝送線TLに結合される。伝送線TLの他端は、

50

受信装置入力を介して復調装置DMODの入力に結合される。受信装置RX内では、復調装置DMOD、インタリーブ解除装置DE-INTERLEAVER、デコーダDECODER、およびデータシンクDATA SINKが縦続接続される。

【0034】

データソースDATA SOURCEは、ユーザデータバイトおよび／またはオーバーヘッドデータバイトを含んでいるデータストリームを発生する。これらのバイトの一定量は、単一のワードを構成し、これらのワードの各ワードは、エンコーダENCODERによって符号化される。これは、エンコーダENCODERが各ワードに冗長なバイトを加えることによってそれを事前定義された数学的方式に従って延長することを暗示する。これらの冗長なバイトおよび数学的方式は、受信装置RXが伝送されたワード内のエラーを検出し、おそらく訂正することを可能にする。エンコーダENCODERによって生成された延長されたワードは、コードワードと呼ばれ、インタリーブ装置INTERLEAVERの着信データストリームIDを構成する。着信データストリームIDの様々なコードワードのデータバイトを再順序付けすることによって、インタリーブ装置INTERLEAVERは、伝送線TL上のバースト雑音に対して着信データストリームIDよりもよく保護される発信インタリーブデータストリームOIDを発生する。変調装置MODは、最後に、伝送線TLを介して伝送すべき1つまたは複数の搬送波上で、データシンボル、すなわち変調方法の配列方式内の一つの点を表すデータストリームOIDのデータビットの組合せを変調する。

【0035】

受信装置RXにおいて、復調装置DMODは、搬送波からのデータシンボルを復調し、復調されたデータシンボルから着信インタリーブデータストリームIIDと呼ばれるデータバイトのストリームを発生する。着信インタリーブデータストリームIIDのバイトは、インタリーブ解除装置DE-INTERLEAVER内で再順序付けされ、それによりインタリーブ装置INTERLEAVERがバイトの順序に及ぼす影響が相殺され、発生した発信データストリームODが再びデータバイトの元のシーケンスを含むようになる。デコーダDECODER内では、すでに述べた数学的方式および冗長的に加えられたバイトの情報を使用して、伝送に起因するエラーが検出され、訂正される。このようにして決定されたデータストリームは、次いで任意の種類の端末、インタフェースなどであるデータシンクDATA SINKに適用される。

【0036】

図1の通信システム内で、インタリーブ装置INTERLEAVERおよびインタリーブ解除装置DE-INTERLEAVERは、伝送されたデータストリームに対して伝送速度独立インパルス雑音免疫性を与える。この目的を実現するINTERLEAVERおよびDE-INTERLEAVER構造をそれぞれ図2および図3に示し、次の段落で詳細に説明する。

【0037】

図2のインタリーブ装置INTERLEAVERは、書込み手段WRITE、読取り手段READ、メモリMEM、アドレス発生装置ADDRESS、およびコントローラCTRLを含んでいる。メモリMEMは、各行がメモリセルの先入れ先出し待ち行列によって構成されるメモリセルの三角形マトリックスMATを備えている。図2において、それぞれ縦座標0、1、2、3、4を有するマトリックスMATの五つの行は、増分的に増大する長さを有し、行当たりの増分がM=3である待ち行列Fifo0、Fifo1、Fifo2、Fifo3、Fifo4によって構成される。

【0038】

書込み手段WRITE、メモリMEM、読取り手段READは、インタリーブ装置INTERLEAVERの着信データ入力IDと発信インタリーブデータ出力OIDとの間に縦続接続される。コントローラCTRLの出力とアドレス発生装置ADDRESSの制御入力CIとは相互接続され、アドレス発生装置ADDRESSの二つの出力は、それぞれ書込み手段WRITEのアドレス入力AI1と読取り手段READのアドレス入力AI2と

に結合される。

【0039】

その着信データ入力IDを介してインタリーブ装置INTERLEAVERに適用された着信データバイトは、インタリーブマトリックスMATの待ち行列の尾部メモリセル内に書き込まれる。同時に、発信データバイトは、読取り手段READによってマトリックスMATの待ち行列の頭部メモリセルから読み出され、インタリーブ装置INTERLEAVERの発信データ出力OIDに適用される。書込み手段WRITEがそこに着信データバイトを記憶しなければならない待ち行列、および読取り手段READがそこから発信データバイトを読み取らなければならないメモリセルは、アドレス発生装置ADDRESSによって生成されたアドレスによって定義される。実際、アドレス発生装置ADDRESSは、後続の着信データバイトをそれに適用すべきインタリーブマトリックスMATの行を示す行座標または書込みアドレスの第1のシーケンス、および後続の発信データシンボルをそこから読み取るべきインタリーブマトリックスMATの行を示す行座標または読取りアドレスの第2のシーケンスを発生する。両方のシーケンスがどのように見えるかは、アドレス発生装置ADDRESSがコントローラCTRLによって設定されている状態に依存する。次の段落で、アドレス発生装置ADDRESSが設定される三つの状態について手短に説明する。

【0040】

アドレス発生装置ADDRESSが定常状態に設定されている場合、後続の着信データバイトは、マトリックスMATの後続の行に周期的に適用される。図2を参照すると、これは、第1の着信データバイトがFifo0に適用され、第2の着信データバイトがFifo1に適用され、第3の着信データバイトがFifo2に適用され、第4の着信データバイトがFifo3に適用され、第5の着信データバイトがFifo4に適用され、第6の着信データバイトが再びFifo0に適用されることを意味する。後続の発信データバイトは、まだこの定常状態中、マトリックスMATの後続の行から周期的に読み出される。これは、例えば、着信速度と発信速度が等しく、かつバイトがそこに書き込まれる各行からバイトが読み出される場合に実現される。各行は異なる長さを有するので、後で読み出されたデータバイトは、後でマトリックスMAT内に書き込まれない。

【0041】

アドレス発生装置ADDRESSが、インタリーブ深さがその間減少する遷移状態に設定されている場合、マトリックスMATの各行から読み出されるデータバイトの数は、その行の縦座標に正に線形的に関連する。この遷移状態が終わると、増分パラメータMは減少し、平均インタリーブ遅延（単一のデータバイトがインタリーブ装置INTERLEAVERに入ってから出るまでの時間）も減少する。

【0042】

アドレス発生装置ADDRESSが、インタリーブ深さがその間増大する遷移状態に設定されている場合、マトリックスMATの各行から読み出されるデータバイトの数は、その行の縦座標に負に線形的に関連する。この遷移状態が終わると、増分パラメータMは増大し、平均インタリーブ遅延も増大する。

【0043】

要約すると、インタリーブ装置INTERLEAVERからデータバイトを読み取るシーケンスは、状態ごとに異なる。これに関する詳細は後で示す。まず、図3に示されるインタリーブ解除装置DE-INTERLEAVERの構造について説明する。

【0044】

図3に示されるインタリーブ解除装置DE-INTERLEAVERは、書込み手段WRITE'、読取り手段READ'、メモリMEM'、アドレス発生装置ADDRESS'、およびコントローラCTRL'を含んでいる。メモリMEM'は、各行がメモリセルの先入れ先出し待ち行列によって構成されるメモリセルの三角形マトリックスMAT'を備えている。図3において、それぞれ縦座標0、1、2、3、4を有するマトリックスMAT'の五つの行は、減分的に縮小する長さを有し、行当たりの減分がM=3である待ち行

10

20

30

40

50

列 F i f o 0 '、F i f o 1 '、F i f o 2 '、F i f o 3 '、F i f o 4 ' によって構成される。

【0045】

書込み手段 W R I T E '、メモリ M E M '、読取り手段 R E A D ' は、インタリーブ解除装置 D E - I N T E R L E A V E R の着信インタリーブデータ入力 I I D と発信データ出力 O D との間に縦続接続される。コントローラ C T R L ' の出力とアドレス発生装置 A D D R E S S ' の制御入力 C I ' とは相互接続され、アドレス発生装置 A D D R E S S ' の二つの出力は、それぞれ書込み手段 W R I T E ' のアドレス入力 A I 1 ' と読取り手段 R E A D ' のアドレス入力 A I 2 ' とに結合される。

【0046】

その着信インタリーブデータ入力 I I D を介してインタリーブ解除装置 D E - I N T E R L E A V E R に適用された着信インタリーブデータバイトは、インタリーブ解除マトリックス M A T ' の待ち行列の尾部メモリセル内に書き込まれる。同時に、発信データバイトは、読取り手段 R E A D ' によってマトリックス M A T ' の待ち行列の頭部メモリセルから読み出され、インタリーブ解除装置 D E - I N T E R L E A V E R の発信データ出力 O D に適用される。書込み手段 W R I T E ' がそこに着信データバイトを書き込まなければならないメモリセル、および読取り手段 R E A D ' がそこから発信データバイトを推論しなければならないメモリセルは、アドレス発生装置 A D D R E S S ' によって生成されたアドレスによって定義される。このアドレス発生装置 A D D R E S S ' は、後続の着信インタリーブデータバイトをそれに適用すべきインタリーブマトリックス M A T ' の行を示す行座標または書込みアドレスの第1のシーケンス、および後続の発信データバイトをそこから読み取るべきインタリーブマトリックス M A T ' の行を示す行座標または読取りアドレスの第2のシーケンスを発生する。両方のシーケンスがどのように見えるかは、アドレス発生装置 A D D R E S S ' がコントローラ C T R L ' によって設定されている状態に依存する。次の段落で、再びアドレス発生装置 A D D R E S S ' が設定される三つの状態について手短かに説明する。

【0047】

アドレス発生装置 A D D R E S S ' が定常状態に設定されている場合、後続の着信インタリーブデータバイトは、マトリックス M A T ' の後続の行に周期的に適用され、後続の発信データバイトは、マトリックス M A T ' の後続の行から周期的に読み出される。したがって、発信バイトが待ち行列の頭部メモリセル内に書き込まれるたびに、発信バイトがこの待ち行列から読み出される。図2のインタリーブ装置 I N T E R L E A V E R 内の待ち行列の長さ、図3のインタリーブ解除装置 D E - I N T E R L E A V E R 内の対応する待ち行列の長さとの和は一定であるので、大域インタリーブ／インタリーブ解除遅延はすべてのバイトについて同じである。

【0048】

アドレス発生装置 A D D R E S S ' が、インタリーブ深さがその間減少する遷移状態に設定されている場合、マトリックス M A T ' の各行内に書き込まれるデータバイトの数は、その行の縦座標に正に線形的に関連する。この遷移状態が終わると、減分パラメータ M は減少し、平均インタリーブ解除遅延（インタリーブ解除装置 D E - I N T E R L E A V E R に入ってから出るまでの時間）も減少する。

【0049】

アドレス発生装置 A D D R E S S ' が、インタリーブ深さがその間増大する遷移状態に設定されている場合、マトリックス M A T ' の各行内に書き込まれるデータバイトの数は、その行の縦座標に負に線形的に関連する。この遷移状態が終わると、減分パラメータ M は増大し、平均インタリーブ解除遅延も増大する。

【0050】

要約すると、インタリーブ解除装置 D E - I N T E R L E A V E R 内にデータバイトを書き込むシーケンスは、状態ごとに異なる。これに関する詳細は次の段落で示す。

【0051】

次に、インタリーブマトリックスMATおよびインタリーブ解除マトリックスMAT'を上で定義した状態に充填する方法について詳細に説明する。まず、図4Aおよび図4Bを参照しながら、アドレス発生装置ADDRESSおよびADDRESS'が、遅延増分パラメータMが3に等しい定常状態において動作するときのマトリックスMATおよびMAT'を充填する方法について説明する。第二に、アドレス発生装置ADDRESSおよびADDRESS'が、遅延増分パラメータMが3から2に減少した遷移状態になったと仮定する。この状態におけるMATおよびMAT'を充填する方法については、図5Aおよび図5Bを参照しながら説明する。最後の段落において、アドレス発生装置ADDRESSおよびADDRESS'は、遅延増分パラメータMが3から4に増加した遷移状態に設定される。この最後の状態中のMATおよびMAT'を充填する方法については、図6Aおよび図6Bを参照しながら説明する。

10

【0052】

図4Aには、マトリックスMATが示されている。このマトリックスMATの各行は、左端側に尾部メモリセルを有し、右端側に頭部メモリセルを有する先入れ先出しメモリによって構成される。バイトがマトリックスMATのある行に適用された場合、バイトは、尾部メモリセル内に記憶される。ただし、このバイトを尾部メモリセル内に書き込む前に、頭部メモリセル内に含まれているバイトが読み出され、先入れ先出しメモリ内のすべてのバイトが頭部メモリセルのほうに一位置シフトされる。そのような先入れ先出しメモリは、ハードウェア（例えば、シフトレジスタ）の形か、またはソフトウェア（バイトが書き込まれるか、または読み出されるたびに尾部メモリセルポインタおよび頭部メモリセルポインタをプログラムに適合させることによって）の形で実現することができる。マトリックスMATのある行に適用されたバイトが受ける書込み読取り間遅延は、その行を構成する先入れ先出しメモリの長さに比例する。図4Aに示されるマトリックスは、縦座標0、1、2、3、4および先入れ先出しメモリFifo0、Fifo1、Fifo2、Fifo3、Fifo4を有する五つの行を含んでいる。MAT内のバイトが受ける遅延は、 $i \cdot M + 1$ に等しい。ここで、 i は行の縦座標を表し、 M は行当たりの遅延増分を表し、 1 はマトリックスMAT内の行の数を表す。

20

【0053】

図4Bのインタリーブ解除マトリックスMAT'は、図4AのインタリーブマトリックスMATと同じであるが、行座標が逆になっており、したがってインタリーブマトリックスMAT内の短い先入れ先出しメモリに対応する行座標は、インタリーブ解除マトリックスMAT'内の長い先入れ先出しメモリに対応する。

30

【0054】

バイトがインタリーブ装置INTERLEAVER内のある行、例えば行2に適用されたとき、バイトは、バイトが図1の伝送線TLを介して伝送すべきFifo2の頭部メモリセルから読み出された後でFifo2の尾部メモリセル内に記憶される。このバイトは、インタリーブ解除装置DE-INTERLEAVERによって受け取られたとき、バイトがFifo2'の頭部メモリセルから読み出された後でFifo2'の尾部メモリセル内に記憶される。インタリーブ装置INTERLEAVERのある行の書込み読取り間遅延と、インタリーブ解除装置DE-INTERLEAVERの対応する行の書込み読取り間遅延との和は一定であるので、各バイトは、同じ大域遅延を受ける。後続の着信バイトは、マトリックスMATの後続の行内に書き込まれる。第1のバイトは、インタリーブ遅延を受けず、直ちに受信装置に伝送される。したがって、Fifo0は、図4Aの空の待ち行列である。第2のバイトは、図4Aにw2によって示されるFifo1内に書き込まれる。第3のバイト、第4のバイト、第5のバイトは、それぞれFifo2、Fifo3、Fifo4に適用され、w3、w4、w5によって示されるメモリセルを充填する。第6のバイトは、再びFifo0を通過し、インタリーブ遅延を受けず、バイト7、8、9、10は、後でそれぞれw7、w8、w9、w10によって示されるFifo1、Fifo2、Fifo3、Fifo4の新しい尾部メモリセル内に記憶される。バイトを待ち行列の尾部メモリセル内に書き込む間、バイトが頭部メモリセルから読み出される。したがっ

40

50

て、第1のバイトは、インタリーブ遅延なしに伝送され、その次にバイト r_2 、 r_3 、 r_4 、 r_5 がそれぞれ $Fifo_1$ 、 $Fifo_2$ 、 $Fifo_3$ 、 $Fifo_4$ から読み出される。次いで、再びバイトがインタリーブ遅延なしに伝送され、そのバイトの次にバイト r_7 、 r_8 、 r_9 、 r_{10} が読み出される。図4Bにおいて接頭部 w および r とともに同様に使用されている索引は、バイトのインタリーブ着信ストリームがどのようにしてインタリーブマトリックス MAT' 内に記憶され、そこから読み出されて、非インタリーブ出力データストリームを構成するかを示す。図4Bにおいて、 $Fifo_4'$ は、この行に適用されたバイトがインタリーブ解除遅延を受けないことを示す空の待ち行列である。

【0055】

システムの定常状態中、インタリーブ装置およびインタリーブ解除装置の入力および出力における様々なビット伝送速度は等しいと考えられる。インタリーブ深さ D は、 $1 * M + 1$ に等しい。ここで、 1 は、この場合もインタリーブマトリックス MAT 内の行の数を表す。

10

【0056】

M が3から2に減少する遷移状態には、バイト w_1 を $Fifo_0$ のメモリセル内に書き込むことによって入る。バイトを $Fifo_0$ から読み出す代わりに、この場合バイト r_1 を $Fifo_4$ から読み出す。伝送すべき次のバイトは

$Fifo_3(r_2)$ および $Fifo_4(r_3)$

$Fifo_2(r_4)$ 、 $Fifo_3(r_5)$ および $Fifo_4(r_6)$

$Fifo_1(r_7)$ 、 $Fifo_2(r_8)$ $Fifo_3(r_9)$ および $Fifo_4(r_{10})$

20

から読み出す。

【0057】

一方、バイト $w_2 \sim w_{10}$ は、インタリーブ装置のメモリ内に書き込まれる。インタリーブ装置内のマトリックス MAT から読み出されたバイトは、受信装置に向かって伝送され、マトリックス MAT' の対応する行内のインタリーブ解除装置内に記憶される。したがって、図5Aのバイト $r_1 \sim r_{10}$ は、図5Bのバイト $w_1' \sim w_{10}'$ を表す。同様に、バイト $r_1' \sim r_{10}'$ は、マトリックス MAT' から読み出されて、図1のデコーダに適用されたインタリーブ解除出力データストリームを構成する。遷移状態中に書き込まれ、読み出されたバイトは、図5Aおよび図5Bに陰影を付けて灰色で示されている。遷移状態が終わると、サイズ $1(1-1)/2$ のバッファ BUF がインタリーブ装置（図5A参照）ならびにインタリーブ解除装置（図5B参照）内に現れる。遅延増分パラメータ $M=2$ を有するインタリーブ装置を得るために、これら二つのバッファ BUF を空にしなければならない。したがって、 $M=3$ から $M=2$ への遷移を実施するメモリ要件は、インタリーブ装置ならびにインタリーブ解除装置内の $1(1-1)/2$ 個のバイトである。このメモリは、マトリックス MAT および MAT' の先入れ先出し待ち行列の能力を高めることによって与えられるか、または先入れ先出し構造を有しない通常のメモリによって実施することができる。

30

【0058】

有用なバイトのみを伝送線 TL を介して伝送する代わりに、ダミーバイトを伝送されたデータストリーム中に挿入することができることに注目されたい。そのようなダミーバイトは、インタリーブ解除されない。上述の伝送シーケンスの代替伝送シーケンスを次に示す。

40

【0059】

四つのダミーバイトを伝送し、 $Fifo_4$ からのバイト r_1 を伝送する。

【0060】

三つのダミーバイトを伝送し、 $Fifo_3$ および $Fifo_4$ からのバイト r_2 および r_3 を伝送する。

【0061】

二つのダミーバイトを伝送し、 $Fifo_2$ 、 $Fifo_3$ および $Fifo_4$ からのバイト r

50

4、r 5、r 6を伝送する。

【0062】

一つのダミーバイトを伝送し、F i f o 1、F i f o 2、F i f o 3およびF i f o 4からのバイトr 7、r 8、r 9およびr 10を伝送する。

【0063】

遷移状態の上述のバージョンと比較して、後者の実施形態には、ダミーバイトを伝送するために伝送線T L上の帯域幅の一部を使用する欠点があるが、Mの修正中に免疫性を失うことがない利点がある。さらに、後者の実施形態は、インタリーブ解除装置内にバッファB U Fを必要としないが、インタリーブ装置バッファのサイズは二倍になる。

【0064】

伝送線T L上の伝送の伝送速度が増大した場合、インパルス雑音免疫性を一定に保つためにインタリーブ深さDも増大しなければならない。これは、この場合もMおよびマトリックスM A TおよびM A T'の構造を操作することによって実現することができる。次の段落で、図6 Aおよび図6 Bに示される遷移状態中にMをどのようにして3から4に増大させるかを明らかにする。

【0065】

Mを3から4に増大させる遷移段階は、インタリーブ内の1 (1-1) 個のバイトのバッファB U Fを充填することによって開始される。その後、次のバイトのシーケンスを伝送する。

【0066】

F i f o 0からのバイト (r 1)

F i f o 0からのバイト (r 2) およびF i f o 1からのバイト (r 3)

F i f o 0からのバイト (r 4)、F i f o 1からのバイト (r 5) およびF i f o 2からのバイト (r 6)

F i f o 0からのバイト (r 7)、F i f o 1からのバイト (r 8)、F i f o 2からのバイト (r 9) およびF i f o 3からのバイト (r 10)。

【0067】

この遷移状態中、伝送線T Lを介して伝送されたバイトは、インタリーブ解除装置メモリの対応する行内に書き込まれるが、インタリーブ解除装置メモリから読み出されるバイトはない。インタリーブ解除装置およびインタリーブ装置は、遷移状態後、遅延増分M=4を有する定常状態に戻る。インタリーブ装置メモリ内で、1 (1-1) / 2 個のメモリセルのバッファB U Fは、この場合バイトを含んでいる。遅延増分パラメータM=4を有するインタリーブ装置を得るために、このバッファB U Fを空にしなければならない。したがって、M=3からM=4への遷移を実施するメモリ要件は、インタリーブ装置内の1 (1-1) 個のバイトである。これは、マトリックスM A Tの先入れ先出しメモリF i f o 0、F i f o 1、F i f o 2、F i f o 3およびF i f o 4の能力を高めることによって与えられるか、またはバッファB U Fは先入れ先出し構造を有しない通常のメモリによって実施することができる。

【0068】

有用なバイトのみを伝送線T Lを介して伝送する代わりに、この場合もダミーバイトを伝送する代替実施形態が考えられることに注目されたい。その場合、バイトを伝送するシーケンスは次のようになる。

【0069】

四つのダミーバイトの後、F i f o 0からのバイト (r 1)

三つのダミーバイトの後、F i f o 0からのバイト (r 2) およびF i f o 1からのバイト (r 3)

二つのダミーバイトの後、F i f o 0からのバイト (r 4)、F i f o 1からのバイト (r 5) およびF i f o 2からのバイト (r 6)

一つのダミーバイトの後、F i f o 0からのバイト (r 7)、F i f o 1からのバイト (r 8)、F i f o 2からのバイト (r 9) およびF i f o 3からのバイト (r 10)。

【0070】

第1のバージョンと比較して、遷移状態の后者の実施形態には、この場合もダミーバイトを送送するために伝送線TL上の帯域幅の一部を使用する欠点があるが、Mの修正中に免疫性を失うことがない利点がある。さらに、后者の実施形態は、インタリーブ装置内にバッファBUFを必要せず、またアドレス発生装置があまり複雑にならない。

【0071】

本発明の適用性は、伝送線TLの伝送媒体によって制限されないことに留意されたい。特に、送信装置TXと受信装置RXの間の接続、例えば、ケーブル接続、電話回線、衛星接続、光ファイバ、空中無線リンクなどは、バースト雑音の影響を受け、したがって本発明による方法によって保護することができる。

10

【0072】

本発明は、VSDL（超高速デジタル加入者線）モデムなどで使用するのに非常に適している。これらのモデムは、電話回線を介して高いビット伝送速度でデジタルデータを転送することができる。電話回線は、特に回線が空中に引き延ばされている場合、いくつかのバースト雑音発生源の影響を受けることがある。無線愛好者による無線妨害、厳しい天候状態、呼出しおよび接続による過渡現象は、そのような電話回線による伝送に影響を及ぼすいくつかの雑音源である。本発明は、そのようなVSDLシステム内で伝送速度と無関係のインパルス雑音免疫性を与える魅力的な解決策であるが、本発明の適用性は、これらのシステムまたは同じタイプの変調および／または符号化を行う同様のシステムに限定されない。当業者なら理解できるように、変調装置およびエンコーダによって使用される変調構成および符号化方式はそれぞれ、本発明にとって重要ではない。

20

【0073】

さらに、本発明による送信装置TXおよび受信装置RXは、単一のトランシーバ内に統合することができることに留意されたい。これは、双方向伝送線との間でデータを送信し、受信するようになされたモデム内でそうである。送信装置および受信装置が統合されている場合、三角形インタリーブマトリックスMATおよび三角形インタリーブ解除マトリックスMAT'は、長方形インタリーブ／インタリーブ解除マトリックスを構成するようにグループ化される。明らかに、書込み手段WRITEならびにWRITE'、読取り手段READならびにREAD'、アドレス発生装置ADDRESSならびにADDRESS'、コントローラCTRLならびにCTRL'の機能も結合して、それぞれ一つの書込みユニット、一つの読取りユニット、一つのアドレス指定ユニット、一つの制御ユニットに統合される。

30

【0074】

さらに、本発明によれば、遅延増分パラメータMを複数のユニットによって増大または減少させることができることに留意されたい。増大プロセスの場合と同様に減少プロセスの場合も、上述の遷移状態を複数回実行することは十分である。

【0075】

以上、本発明の原理について、特定の装置に関して説明したが、この説明は、例として行ったものにすぎず、本発明の範囲を限定するものとして行ったものではないことを理解されたい。

40

【図面の簡単な説明】

【図1】本発明による通信システムの一実施形態の概略ブロック図である。

【図2】本発明によるインタリーブ装置INTERLEAVERの一実施形態の概略ブロック図である。

【図3】本発明によるインタリーブ解除装置DE-INTERLEAVERの一実施形態の概略ブロック図である。

【図4A】遅延増分Mが3である定常状態中に周知の方法に従うインタリーブメモリをデータバイトで充填する方法を示す図である。

【図4B】遅延増分Mが3である定常状態中に周知の方法に従うインタリーブ解除メモリをデータバイトで充填する方法を示す図である。

50

【図 5 A】遅延増分 M が 3 から 2 に減少した遷移状態中にインタリーブメモリをデータバイトで充填する方法を示す図である。

【図 5 B】遅延増分 M が 3 から 2 に減少した遷移状態中にインタリーブ解除メモリをデータバイトで充填する方法を示す図である。

【図 6 A】遅延増分 M が 3 から 4 に増加した遷移状態中にインタリーブメモリをデータバイトで充填する方法を示す図である。

【図 6 B】遅延増分 M が 3 から 4 に増加したこの遷移状態中にインタリーブ解除メモリをデータバイトで充填する方法を示す図である。

【符号の説明】

TX 送信装置

10

RX 受信装置

TL 伝送線

DATA SOURCE データソース

ENCODER エンコーダ

INTERLEAVER インタリーブ装置

MOD 変調装置

DMOD 復調装置

DE-INTERLEAVER インタリーブ解除装置

DECODER デコーダ

DATA SINK データシンク

20

Fifo0、Fifo1、Fifo2、Fifo3、Fifo4、Fifo0'、Fifo1'、Fifo2'、Fifo3'、Fifo4' 先入れ先出し待ち行列

WRITE、WRITE' 書込み手段

READ、READ' 読取り手段

MEM、MEM' メモリ

ADDRESS、ADDRESS' アドレス発生装置

CTRL、CTRL' コントローラ

MAT、MAT' 三角形マトリックス

CI、CI' 制御入力

AI1、AI1'、AI2、AI2' アドレス入力

30

ID 着信データストリーム

OID 発信インタリーブデータストリーム

IID 着信インタリーブデータストリーム

OD 発信データストリーム

w1、w2、w3、w4、w5、w6、w7、w8、w9、w10 着信データバイト

w1'、w2'、w3'、w4'、w5'、w6'、w7'、w8'、w9'、w10'

着信インタリーブデータバイト

r1、r2、r3、r4、r5、r6、r7、r8、r9、r10 発信インタリーブデータバイト

r1'、r2'、r3'、r4'、r5'、r6'、r7'、r8'、r9'、r10'

40

発信データバイト

【図 1】

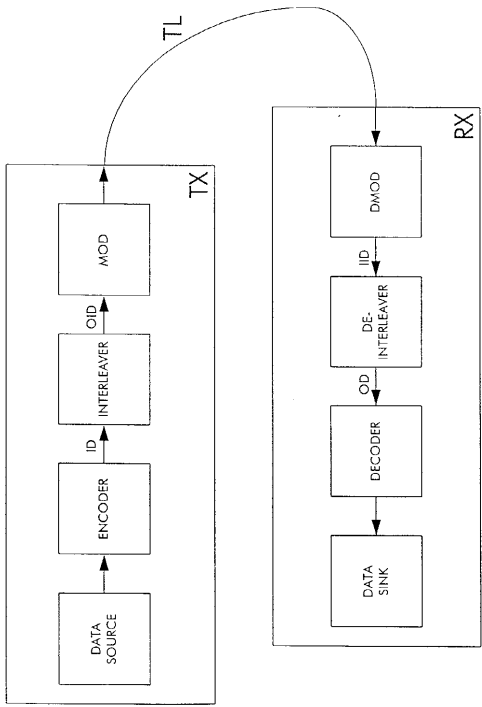


Fig. 1

【図 2】

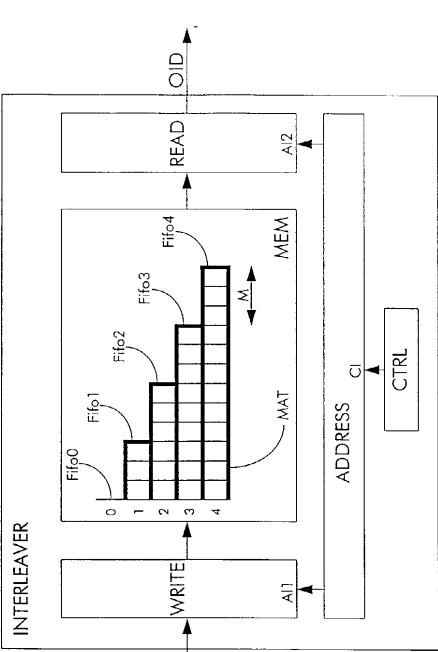


Fig. 2

【図 3】

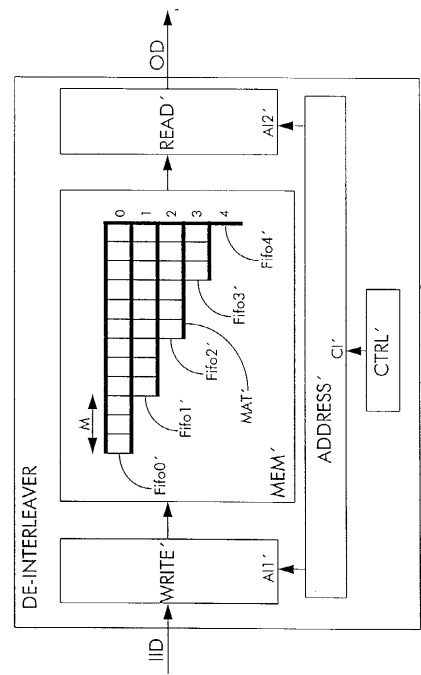


Fig. 3

【図 4 A】

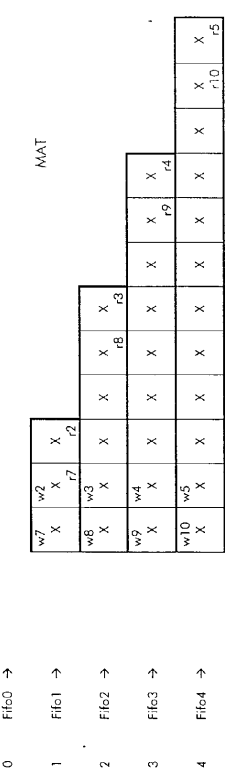


Fig. 4A

【図 4 B】

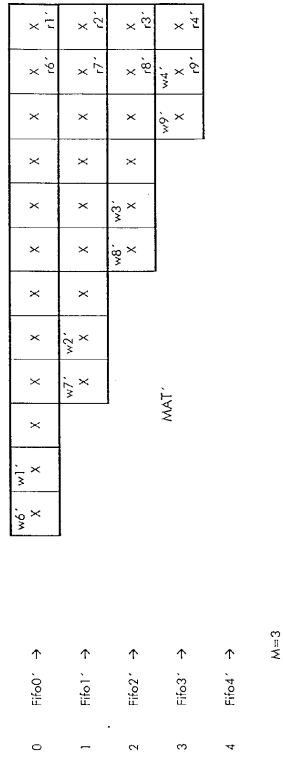


Fig. 4B

【図 5 A】

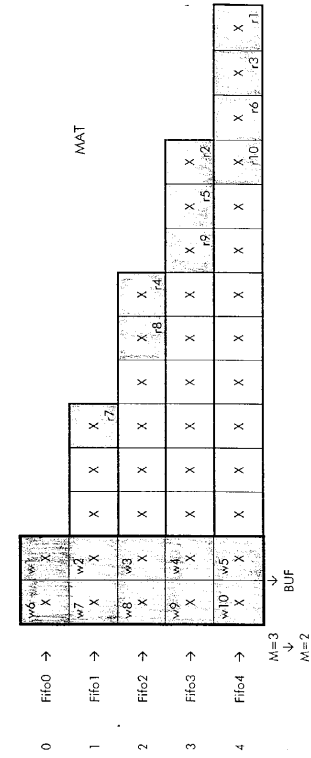


Fig. 5A

【図 5 B】



Fig. 5B

【図 6 A】

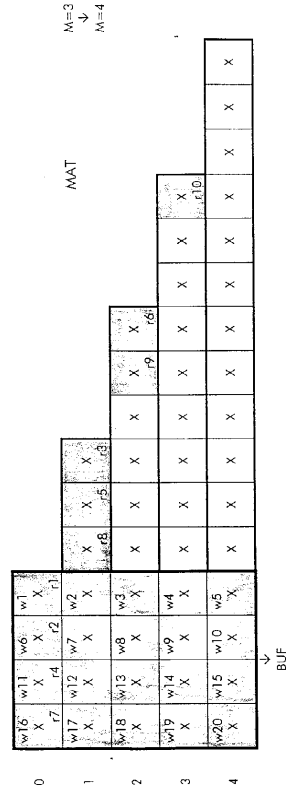


Fig. 6A

フロントページの続き

(56)参考文献 国際公開第96/031020 (WO, A1)

仁尾 浩一 他, デジタル放送の技術と動向, 画像情報工学と放送技術, 日本, 社団法人テレビジョン学会, 1996年 1月20日, 第50巻第1号, pp.24-41, P32 図12

(58)調査した分野(Int.Cl., DB名)

H03M 13/27