

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7481865号
(P7481865)

(45)発行日 令和6年5月13日(2024.5.13)

(24)登録日 令和6年5月1日(2024.5.1)

(51)国際特許分類 F I
H 0 1 L 23/50 (2006.01) H 0 1 L 23/50 A
H 0 1 L 23/50 K

請求項の数 12 (全14頁)

(21)出願番号	特願2020-43371(P2020-43371)	(73)特許権者	000005810 マクセル株式会社 京都府乙訓郡大山崎町大山崎小泉 1 番地
(22)出願日	令和2年3月12日(2020.3.12)	(74)代理人	100148138 弁理士 森本 聡
(65)公開番号	特開2021-145060(P2021-145060 A)	(72)発明者	五郎丸 佑也 京都府乙訓郡大山崎町大山崎小泉 1 番地 マクセル株式会社内
(43)公開日	令和3年9月24日(2021.9.24)	(72)発明者	上田 旺 京都府乙訓郡大山崎町大山崎小泉 1 番地 マクセル株式会社内
審査請求日	令和4年12月26日(2022.12.26)	審査官	庄司 一隆

最終頁に続く

(54)【発明の名称】 半導体装置用基板、および半導体装置

(57)【特許請求の範囲】

【請求項 1】

基板(16)の表面に、外部電極(3)が形成されている半導体装置用基板であって、外部電極(3)は、基板(16)の表面に形成される第3表面層(7)と、第3表面層(7)の表面に形成される外部電極本体部(9)と、外部電極本体部(9)の表面に形成される第4表面層(13)とを備えており、

外部電極(3)の外部電極本体部(9)が非磁性のNi-Pで形成されており、外部電極(3)の外部電極本体部(9)のピッカース硬度が400~600HVであり、外部電極(3)の外部電極本体部(9)の表面粗さは、0.2μm~0.3μmであり、第4表面層(13)の厚みは1.5μm以上、6.0μm以下であることを特徴とする半導体装置用基板。

10

【請求項 2】

外部電極(3)の外部電極本体部(9)が、Ni-Pの電解めっき層で形成されている請求項1に記載の半導体装置用基板。

【請求項 3】

外部電極(3)の総厚み(T1)が20~100μmである請求項1または2に記載の半導体装置用基板。

【請求項 4】

基板(16)の表面に、半導体素子(1)の搭載パッド(2)と、外部電極(3)とが形成されている半導体装置用基板であって、

20

搭載パッド(2)は、基板(16)の表面に形成される第1表面層(6)と、第1表面層(6)の表面に形成される搭載パッド本体部(8)と、搭載パッド本体部(8)の表面に形成される第2表面層(12)とを備えており、

外部電極(3)は、基板(16)の表面に形成される第3表面層(7)と、第3表面層(7)の表面に形成される外部電極本体部(9)と、外部電極本体部(9)の表面に形成される第4表面層(13)とを備えており、

搭載パッド(2)の搭載パッド本体部(8)と、外部電極(3)の外部電極本体部(9)とが、それぞれ非磁性のNi-Pで形成されており、

搭載パッド(2)の搭載パッド本体部(8)と、外部電極(3)の外部電極本体部(9)のピッカース硬度が400~600HVであり、

搭載パッド(2)の搭載パッド本体部(8)と、外部電極(3)の外部電極本体部(9)の表面粗さは、0.2μm~0.3μmであり、

第2表面層(12)と第4表面層(13)の厚みは1.5μm以上、6.0μm以下であることを特徴とする半導体装置用基板。

【請求項5】

搭載パッド(2)の搭載パッド本体部(8)と、外部電極(3)の外部電極本体部(9)とが、それぞれNi-Pの電解めっき層で形成されている請求項4に記載の半導体装置用基板。

【請求項6】

搭載パッド(2)と外部電極(3)のそれぞれの総厚み(T1)が20~100μmである請求項4または5に記載の半導体装置用基板。

【請求項7】

半導体素子(1)と外部電極(3)が電氣的に接続され、樹脂(5)の内部に封止されている半導体装置であって、

外部電極(3)が、半導体装置の実装面(S)に露出する第3表面層(7)と、第3表面層(7)の表面に形成される外部電極本体部(9)と、外部電極本体部(9)の表面に形成される第4表面層(13)とを備えており、

外部電極(3)の外部電極本体部(9)が非磁性のNi-Pで形成されており、

外部電極(3)の外部電極本体部(9)のピッカース硬度が400~600HVであり、

外部電極(3)の外部電極本体部(9)の表面粗さは、0.2μm~0.3μmであり、

第4表面層(13)の厚みは1.5μm以上、6.0μm以下であることを特徴とする半導体装置。

【請求項8】

外部電極(3)の外部電極本体部(9)が、Ni-Pの電解めっき層で形成されている請求項7に記載の半導体装置。

【請求項9】

外部電極(3)の総厚み(T1)が20~100μmである請求項7または8に記載の半導体装置。

【請求項10】

搭載パッド(2)に固定された半導体素子(1)と外部電極(3)が電氣的に接続され、半導体素子(1)と搭載パッド(2)と外部電極(3)が樹脂(5)の内部に封止されている半導体装置であって、

搭載パッド(2)が、半導体装置の実装面(S)に露出する第1表面層(6)と、第1表面層(6)の表面に形成される搭載パッド本体部(8)と、搭載パッド本体部(8)の表面に形成される第2表面層(12)とを備えており、

外部電極(3)が、半導体装置の実装面(S)に露出する第3表面層(7)と、第3表面層(7)の表面に形成される外部電極本体部(9)と、外部電極本体部(9)の表面に形成される第4表面層(13)とを備えており、

搭載パッド(2)の搭載パッド本体部(8)、および外部電極(3)の外部電極本体部(9)が非磁性のNi-Pで形成されており、

10

20

30

40

50

搭載パッド(2)の搭載パッド本体部(8)と、外部電極(3)の外部電極本体部(9)のビッカース硬度が400~600HVであり、

搭載パッド(2)の搭載パッド本体部(8)と、外部電極(3)の外部電極本体部(9)の表面粗さは、0.2μm~0.3μmであり、

第2表面層(12)と第4表面層(13)の厚みは1.5μm以上、6.0μm以下であることを特徴とする半導体装置。

【請求項11】

搭載パッド(2)の搭載パッド本体部(8)と、外部電極(3)の外部電極本体部(9)とが、それぞれNi-Pの電解めっき層で形成されている請求項10に記載の半導体装置。

【請求項12】

搭載パッド(2)と外部電極(3)のそれぞれの総厚み(T1)が20~100μmである請求項10または11に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、基板上に搭載パッドや外部電極が形成されている半導体装置用基板と、半導体装置用基板の製造方法、および該半導体装置用基板を用い、半導体素子が実装され、半導体素子および外部電極などが樹脂封止されている半導体装置に関する。

【背景技術】

【0002】

本発明の半導体装置用基板では、搭載パッドと外部電極の本体部とを非磁性のNi-Pで形成するが、Ni-P層を備えた搭載パッドや外部電極は特許文献1の半導体装置に開示されている。特許文献1の半導体装置は、半導体素子と外部電極が樹脂中に封止されており、搭載パッドの搭載パッド本体部、および外部電極の電極本体部を非磁性のCu層で形成し、Cu層と半導体装置の実装面側に露出する表面層の間に非磁性のNi-P層を備えている。表面層はレジスト体で覆われていない基板上にAuを電鍍して形成されており、Ni-P層はAu層上に無電解めっき処理を施して形成されている。Cu層はNi-P層上にCuを電鍍してレジスト体の厚みを越える状態で形成されており、その上部周縁にはオーバーハング部が形成されている。Cu層の上面には、ストライクめっき処理によってAu層が形成され、さらにAu層の上面に電鍍処理を施してAg層が形成されている。

【先行技術文献】

【特許文献】

【0003】

【文献】特開2010-40679号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献1の半導体装置によれば、搭載パッドの搭載パッド本体部、および外部電極の電極本体部が、それぞれ非磁性のCu層とNi-P層とで形成されているので、搭載パッドに磁気に感応する半導体素子が固定されている場合でも、半導体素子に対して磁気的な悪影響を及ぼすことがない。しかし、電鍍処理と、無電解めっき処理と、電鍍処理と、ストライクめっき処理と、電鍍処理を順次施してAu層、Ni-P層、Cu層、Au層、Ag層を積層形成するので、半導体装置の製造工数が増え、その分だけ製造コストが嵩むのを避けられない。

【0005】

本発明の目的は、非磁性の搭載パッド(搭載パッド本体部)や外部電極(外部電極本体部)の構造を簡素化して、磁気に感応しない半導体装置用基板や半導体装置をより安価に提供できるようにすることにある。

【課題を解決するための手段】

【0006】

10

20

30

40

50

本発明の半導体装置用基板は、基板 16 の表面に、外部電極 3 が形成されている。外部電極 3 は、基板 16 の表面に形成される第 3 表面層 7 と、第 3 表面層 7 の表面に形成される外部電極本体部 9 と、外部電極本体部 9 の表面に形成される第 4 表面層 13 とを備えている。外部電極 3 の外部電極本体部 9 が非磁性の Ni - P で形成されている。外部電極 3 の外部電極本体部 9 のビッカース硬度は 400 ~ 600 HV である。外部電極 3 の外部電極本体部 9 の表面粗さは、0.2 μm ~ 0.3 μm である。第 4 表面層 13 の厚みは 1.5 μm 以上、6.0 μm 以下である。

【0007】

外部電極 3 の外部電極本体部 9 は、Ni - P の電解めっき層で形成されている。

【0009】

外部電極 3 の総厚み T1 は 20 ~ 100 μm である。

【0010】

本発明の別の半導体装置用基板は、基板 16 の表面に半導体素子 1 の搭載パッド 2 と外部電極 3 が形成されている。搭載パッド 2 は、基板 16 の表面に形成される第 1 表面層 6 と、第 1 表面層 6 の表面に形成される搭載パッド本体部 8 と、搭載パッド本体部 8 の表面に形成される第 2 表面層 12 とを備えている。外部電極 3 は、基板 16 の表面に形成される第 3 表面層 7 と、第 3 表面層 7 の表面に形成される外部電極本体部 9 と、外部電極本体部 9 の表面に形成される第 4 表面層 13 とを備えている。搭載パッド 2 の搭載パッド本体部 8 と、外部電極 3 の外部電極本体部 9 は、それぞれ非磁性の Ni - P で形成されている。搭載パッド 2 の搭載パッド本体部 8 と、外部電極 3 の外部電極本体部 9 のビッカース硬度は 400 ~ 600 HV である。搭載パッド 2 の搭載パッド本体部 8 と、外部電極 3 の外部電極本体部 9 の表面粗さは、0.2 μm ~ 0.3 μm である。第 2 表面層 12 と第 4 表面層 13 の厚みは 1.5 μm 以上、6.0 μm 以下である。

【0011】

搭載パッド 2 の搭載パッド本体部 8 と外部電極 3 の外部電極本体部 9 とが、それぞれ Ni - P の電解めっき層で形成されている。

【0013】

搭載パッド 2 と外部電極 3 のそれぞれの総厚み T1 は 20 ~ 100 μm である。

【0016】

本発明の半導体装置では、半導体素子 1 と外部電極 3 が電氣的に接続され、樹脂 5 の内部に封止されている。外部電極 3 は、半導体装置の実装面 S に露出する第 3 表面層 7 と、第 3 表面層 7 の表面に形成される外部電極本体部 9 と、外部電極本体部 9 の表面に形成される第 4 表面層 13 とを備えている。外部電極 3 の外部電極本体部 9 が非磁性の Ni - P で形成されている。外部電極 3 の外部電極本体部 9 のビッカース硬度は 400 ~ 600 HV である。外部電極 3 の外部電極本体部 9 の表面粗さは、0.2 μm ~ 0.3 μm である。第 4 表面層 13 の厚みは 1.5 μm 以上、6.0 μm 以下である。

【0017】

外部電極 3 の外部電極本体部 9 は、Ni - P の電解めっき層で形成されている。

【0019】

外部電極 3 の総厚み T1 は 20 ~ 100 μm である。

【0020】

本発明の別の半導体装置では、搭載パッド 2 に固定された半導体素子 1 と外部電極 3 が電氣的に接続され、半導体素子 1 と搭載パッド 2 と外部電極 3 が樹脂 5 の内部に封止されている。搭載パッド 2 は、半導体装置の実装面 S に露出する第 1 表面層 6 と、第 1 表面層 6 の表面に形成される搭載パッド本体部 8 と、搭載パッド本体部 8 の表面に形成される第 2 表面層 12 を備えている。外部電極 3 は、半導体装置の実装面 S に露出する第 3 表面層 7 と、第 3 表面層 7 の表面に形成される外部電極本体部 9 と、外部電極本体部 9 の表面に形成される第 4 表面層 13 を備えている。搭載パッド 2 の搭載パッド本体部 8、および外部電極 3 の外部電極本体部 9 が非磁性の Ni - P で形成されている。搭載パッド 2 の搭載パッド本体部 8 と、外部電極 3 の外部電極本体部 9 のビッカース硬度は 400 ~ 600 H

10

20

30

40

50

Vである。搭載パッド2の搭載パッド本体部8と、外部電極3の外部電極本体部9の表面粗さは、 $0.2\ \mu\text{m} \sim 0.3\ \mu\text{m}$ である。第2表面層12と第4表面層13の厚みは $1.5\ \mu\text{m}$ 以上、 $6.0\ \mu\text{m}$ 以下である。

【0021】

搭載パッド2の搭載パッド本体部8と外部電極3の外部電極本体部9は、それぞれNi-Pの電解めっき層で形成されている。

【0023】

搭載パッド2と外部電極3のそれぞれの総厚みT1は $20 \sim 100\ \mu\text{m}$ である。

【発明の効果】

【0024】

本発明の半導体装置用基板では、外部電極3が基板16の表面に形成される第3表面層7と、第3表面層7の表面に形成される外部電極本体部9と、外部電極本体部9の表面に形成される第4表面層13とを備えるようにした。また、外部電極3の外部電極本体部9は非磁性のNi-Pで形成するようにした。こうした半導体装置用基板によれば、表面層に非磁性の薄いNi-P層を形成したうえで、Ni-P層に厚いCu層を形成し、さらにオーバーハング部に薄いAu層を形成していた従来の半導体装置用基板に比べて、外部電極本体部9の構造を簡素化できる。また、外部電極本体部9の全体を非磁性のNi-Pで形成するので、外部電極本体部9の全体を磁気に感応しないものとすることができる。したがって、本発明の半導体装置用基板を使用して、磁気に感応する半導体素子1を備えた半導体装置、例えば磁気センサーを構成するような場合には、半導体装置の磁気安定性を向上しながら全体コストを削減できる。

【0025】

外部電極3の外部電極本体部9が、Ni-Pの電解めっき層で形成されるようにした。こうした半導体装置用基板によれば、外部電極本体部9をストライクめっき処理などの下地処理を行う必要もなく容易に形成することができる。因みに、外部電極本体部をCuで構成する場合には、基板の表面に表面層を形成した後、ストライクめっき処理を施す必要があり、その分だけ半導体装置のコストが高くなるのを避けられなかった。

【0026】

外部電極3の外部電極本体部9のピッカース硬度を $400 \sim 600\ \text{HV}$ とするのは、外部電極本体部9のピッカース硬度が $400\ \text{HV}$ 未満であると、基板16を物理的に剥離除去する時や、完成した半導体装置において、外部電極3が脱落するおそれがあり、ピッカース硬度が $600\ \text{HV}$ を越えると、外部電極3に負荷がかかった時に割れが生じやすくなるからである。

【0027】

外部電極3の総厚みT1が $20\ \mu\text{m}$ 未満であると、基板16を物理的に剥離除去する時や、完成した半導体装置において、外部電極3が脱落するおそれがあり、外部電極3の総厚みT1が $100\ \mu\text{m}$ を越えると生産性(コスト面)が悪くなる。

【0028】

本発明の別の半導体装置用基板では、搭載パッド2が基板16の表面に形成される第1表面層6と、第1表面層6の表面に形成される搭載パッド本体部8と、搭載パッド本体部8の表面に形成される第2表面層12を備えるようにした。さらに、外部電極3が、基板16の表面に形成される第3表面層7と、第3表面層7の表面に形成される外部電極本体部9と、外部電極本体部9の表面に形成される第4表面層13とを備えるようにした。また、搭載パッド2の搭載パッド本体部8と、外部電極3の外部電極本体部9は、それぞれ非磁性のNi-Pで形成するようにした。こうした半導体装置用基板によれば、表面層に非磁性の薄いNi-P層を形成したうえで、Ni-P層に厚いCu層を形成し、さらにオーバーハング部に薄いAu層を形成していた従来の半導体装置用基板に比べて、搭載パッド本体部8および外部電極本体部9の構造を簡素化できる。また、搭載パッド本体部8および外部電極本体部9の全体を非磁性のNi-Pで形成するので、搭載パッド本体部8および外部電極本体部9の全体を磁気に感応しないものとすることができる。したがって、

10

20

30

40

50

本発明の半導体装置用基板を使用して、磁気に感応する半導体素子 1 を備えた半導体装置、例えば磁気センサーを構成するような場合には、半導体装置の磁気安定性を向上しながら全体コストを削減できる。

【0029】

搭載パッド 2 の搭載パッド本体部 8 と、外部電極 3 の外部電極本体部 9 が、それぞれ Ni - P の電解めっき層で形成されるようにした。こうした半導体装置用基板によれば、搭載パッド本体部 8 および外部電極本体部 9 をストライクめっき処理などの下地処理を行う必要もなく容易に形成することができるので、その分だけ半導体装置を安価に提供できる。

【0030】

搭載パッド 2 の搭載パッド本体部 8 と、外部電極 3 の外部電極本体部 9 のビッカース硬度を 400 ~ 600 HV とするのは、搭載パッド本体部 8 と外部電極本体部 9 のビッカース硬度が 400 HV 未満であると、基板 16 を物理的に剥離除去する時や、完成した半導体装置において、搭載パッド 2 や外部電極 3 が脱落するおそれがあり、ビッカース硬度が 600 HV を越えると、搭載パッド 2 や外部電極 3 に負荷がかかった時に割れが生じやすくなるからである。

【0031】

搭載パッド 2 と外部電極 3 のそれぞれの総厚み T1 が 20 μm 未満であると、基板 16 を物理的に剥離除去する時や、完成した半導体装置において、搭載パッド 2 および外部電極 3 が脱落するおそれがあり、搭載パッド 2 および外部電極 3 のそれぞれの総厚み T1 が 100 μm を越えると生産性（コスト面）が悪くなる。

【0032】

本発明の半導体装置用基板の製造方法においては、レジストパターンニング工程と、第 1 金属層形成工程と、本体部形成工程と、第 2 金属層形成工程を経て外部電極 3 を形成するようにした。また、本体部形成工程においては、第 3 表面層 7 の表面に Ni - P の電解めっき処理を施して、外部電極本体部 9 を形成するようにした。こうした半導体装置用基板の製造方法によれば、第 1 金属層形成工程を経た基板 16 に Ni - P の電解めっき処理を施すだけで、磁気に感応しない外部電極本体部 9 を備えた半導体装置用基板を形成できる。したがって、表面層に非磁性の薄い Ni - P 層を形成したうえで、Ni - P 層にオーバーハング部を備えた厚い Cu 層を形成していた従来の半導体装置用基板に比べて、磁気に感応しない外部電極本体部 9 を備えた半導体装置用基板を低コストで形成できる。

【0033】

本発明の半導体装置用基板の別の製造方法においては、上記と同様のレジストパターンニング工程と、第 1 金属層形成工程と、本体部形成工程と、第 2 金属層形成工程を経て搭載パッド 2 と外部電極 3 を形成する。また、本体部形成工程においては、第 1 表面層 6 と第 3 表面層 7 の表面に Ni - P の電解めっき処理を施して、搭載パッド本体部 8 と外部電極本体部 9 を形成するようにした。こうした半導体装置用基板の製造方法によれば、上記と同様に、第 1 金属層形成工程を経た基板 16 に Ni - P の電解めっき処理を施すだけで、磁気に感応しない搭載パッド本体部 8 と外部電極本体部 9 を備えた半導体装置用基板を形成できる。したがって、従来の半導体装置用基板に比べて、磁気に感応しない搭載パッド本体部 8 と外部電極本体部 9 を備えた半導体装置用基板を低コストで形成できる。

【0034】

本発明の半導体装置では、半導体素子 1 と外部電極 3 が電氣的に接続されて、樹脂 5 の内部に封止されている。外部電極 3 は、半導体装置の実装面 S に露出する第 3 表面層 7 と、第 3 表面層 7 の表面に形成される外部電極本体部 9 と、外部電極本体部 9 の表面に形成される第 4 表面層 13 を備えるようにした。また、外部電極 3 の外部電極本体部 9 を非磁性の Ni - P で形成するようにした。こうした半導体装置によれば、表面層に非磁性の薄い Ni - P 層を形成したうえで、Ni - P 層に厚い Cu 層を形成し、さらにオーバーハング部に薄い Au 層を形成していた従来の半導体装置に比べて、外部電極本体部 9 の構造を簡素化できる。また、外部電極本体部 9 の全体を非磁性の Ni - P で形成するので、外部電極本体部 9 の全体を磁気に感応しないものとすることができる。したがって、磁気に感

10

20

30

40

50

応する半導体素子 1 を備えた半導体装置、例えば磁気センサーの場合には、半導体装置の磁気安定性を向上しながら全体コストを削減できる。加えて、搭載パッド 2 を省略できる分だけ半導体装置の構造を簡素化して、その製造コストを削減できる。

【 0 0 3 5 】

外部電極 3 の外部電極本体部 9 は、Ni - P の電解めっき層で形成するようにした。こうした半導体装置によれば、外部電極本体部 9 を、ストライクめっき処理などの下地処理を行う必要もなく容易に形成することができ、その分だけ半導体装置をさらに安価に提供できる。

【 0 0 3 6 】

外部電極 3 の外部電極本体部 9 のピッカース硬度を 400 ~ 600 HV とした。こうした半導体装置において、外部電極本体部 9 のピッカース硬度が 400 HV 未満であると、基板 16 を物理的に剥離除去する時や、完成した半導体装置において、外部電極 3 が脱落するおそれがある。また、ピッカース硬度が 600 HV を越えると、外部電極 3 に負荷がかかった時に割れが生じやすくなる。

10

【 0 0 3 7 】

外部電極 3 の総厚み T1 は 20 ~ 100 μm とした。こうした半導体装置において、外部電極 3 の総厚み T1 が 20 μm 未満であると、基板 16 を物理的に剥離除去する時や、完成した半導体装置において、外部電極 3 が脱落するおそれがあり、外部電極 3 の総厚み T1 が 100 μm を越えると生産性（コスト面）が悪くなる。

【 0 0 3 8 】

搭載パッド 2 に固定された半導体素子 1 と外部電極 3 が電氣的に接続され、これらの各部材 1・2・3 が樹脂 5 の内部に封止されている別の半導体装置では、搭載パッド 2 が、第 1 表面層 6 と、第 1 表面層 6 の表面に形成される搭載パッド本体部 8 と、搭載パッド本体部 8 の表面に形成される第 2 表面層 12 とを備えるようにした。また、外部電極 3 は、半導体装置の実装面 5 に露出する第 3 表面層 7 と、第 3 表面層 7 の表面に形成される外部電極本体部 9 と、外部電極本体部 9 の表面に形成される第 4 表面層 13 を備えるようにした。さらに、搭載パッド本体部 8 および外部電極本体部 9 は非磁性の Ni - P で形成されるようにした。こうした半導体装置によれば、上記の半導体装置と同様に、従来の半導体装置に比べて、搭載パッド本体部 8 と外部電極本体部 9 の構造を簡素化できる。また、搭載パッド本体部 8 および外部電極本体部 9 の全体を非磁性の Ni - P で形成するので、搭載パッド本体部 8 および外部電極本体部 9 の全体を磁気に感応しないものとしてすることができる。したがって、磁気に感応する半導体素子 1 を備えた半導体装置、例えば磁気センサーの場合には、半導体装置の磁気安定性を向上しながら全体コストを削減できる。

20

30

【 0 0 3 9 】

搭載パッド 2 の搭載パッド本体部 8 と外部電極 3 の外部電極本体部 9 は、それぞれ Ni - P の電解めっき層で形成するようにした。こうした半導体装置によれば、搭載パッド本体部 8 および外部電極本体部 9 をストライクめっき処理などの下地処理を行う必要もなく容易に形成することができるので、その分だけ半導体装置を安価に提供できる。

【 0 0 4 0 】

搭載パッド 2 の搭載パッド本体部 8 と外部電極 3 の外部電極本体部 9 のピッカース硬度を 400 ~ 600 HV とした。こうした半導体装置において、搭載パッド本体部 8 と外部電極本体部 9 のピッカース硬度が 400 HV 未満であると、基板 16 を物理的に剥離除去する時や、完成した半導体装置において、搭載パッド 2 や外部電極 3 が脱落するおそれがある。また、ピッカース硬度が 600 HV を越えると、搭載パッド 2 や外部電極 3 に負荷がかかった時に割れが生じやすくなる。

40

【 0 0 4 1 】

搭載パッド 2 と外部電極 3 のそれぞれの総厚み T1 は 20 ~ 100 μm とした。こうした半導体装置において、搭載パッド 2 と外部電極 3 のそれぞれの総厚み T1 が 20 μm 未満であると、基板 16 を物理的に剥離除去する時や、完成した半導体装置において、搭載パッド 2 や外部電極 3 が脱落するおそれがあり、搭載パッド 2 と外部電極 3 のそれぞれの

50

総厚み T_1 が $100\mu\text{m}$ を越えると生産性(コスト面)が悪くなる。

【図面の簡単な説明】

【0042】

【図1】本発明の実施例1に係る半導体装置の縦断正面図である。

【図2】半導体装置を底面側から見た斜視図である。

【図3】(a)~(f)は、本発明の実施例1に係る半導体装置用基板の製造過程を示す説明図である。

【図4】(a)~(d)は、本発明の実施例1に係る半導体装置の製造過程を示す説明図である。

【図5】本発明の実施例2に係る半導体装置の縦断正面図である。

10

【図6】本発明の実施例3に係る半導体装置の縦断正面図である。

【発明を実施するための形態】

【0043】

(実施例1) 図1ないし図4に本発明の実施例1に係る半導体装置用基板およびその製造過程と、半導体装置用基板上に半導体素子1が実装された半導体装置を示す。図1に示すように半導体装置は、磁気に感応する(磁界の影響を受けやすい)半導体素子1と、半導体装置の実装面Sに露出する搭載パッド2および6個の外部電極3と、半導体素子1と外部電極3とを電氣的に接続するワイヤー4とを、絶縁性の樹脂(封止材)5の内部に封止して構成されており、表面実装用のユニット電子部品(半導体装置)として使用される。搭載パッド2は半導体装置の実装面Sの中央に配置され、外部電極3は搭載パッド2を間に挟む状態で3個ずつ直線列状に配置されている。半導体装置は扁平な直方体状に形成されている。

20

【0044】

図1に示すように、搭載パッド2と外部電極3とは、それぞれ半導体装置の実装面Sに露出する第1表面層6および第3表面層7と、第1表面層6に連続する搭載パッド本体部8と、第3表面層7に連続する外部電極本体部9と、両本体部8・9の表面を覆う第2表面層12、および第4表面層13とを備えている。搭載パッド本体部8と外部電極本体部9とは、それぞれ非磁性のNi-Pで形成されており、各表面層6・7・12・13はそれぞれ金、銀、パラジウム、スズなどのいずれか1種の非磁性の金属(貴金属)からなる単層、または2種以上の金属(貴金属)が積層された層で構成されている。この実施例では、実装面Sに露出する第1表面層6および第3表面層7を金で形成し、両本体部8・9の表面を覆う第2表面層12および第4表面層13は銀で形成した。

30

【0045】

半導体装置は、半導体装置用基板を形成する過程と、半導体装置用基板に半導体素子1を実装する過程を経て形成される。半導体装置用基板は、基板16の表面にパターンレジストを形成するレジストパターンニング工程と、レジストパターンニング工程で形成されたパターンレジストを用いて基板16の表面に第1表面層6と第3表面層7を形成する第1金属層形成工程と、第1表面層6および第3表面層7の表面に、搭載パッド本体部8と外部電極本体部9を形成する本体部形成工程と、搭載パッド本体部8と外部電極本体部9の表面に第2表面層12と第4表面層13を形成する第2金属層形成工程を経て形成される。この後、半導体素子1の実装工程、ワイヤー4を用いたボンディング工程、樹脂封止工程、基板剥離工程、ダイシング工程を経て半導体装置が完成する。以下に半導体装置用基板と半導体装置の製造過程の概略を説明する。

40

【0046】

図3(a)に示すようにレジストパターンニング工程では、導電性の金属板で形成した基板16の表面に感光性のフィルムレジストをラミネートしてレジスト層17を形成し、該レジスト層17の表面にパターンフィルム18を密着させ、紫外線光ランプ19から紫外線光を照射して露光する。このとき、紫外線光はパターンフィルム18に形成した透光孔20に面しているレジスト層17に照射されて、露光したレジスト層17を硬化させる。パターンフィルム18で遮蔽されたレジスト層17の未露光部は現像により溶解除去され

50

、図3(b)に示すように露光部分のみが基板16上に残り、露光部分の間に搭載パッド2および外部電極3を形成するための通孔を有するパターンレジストが形成される。

【0047】

図3(c)に示すように第1金属層形成工程では、めっき前処理(脱脂、酸浸漬、酸化膜除去、活性化、化学エッチング、電解処理、ストライクメッキなど)が施された基板16を電鍍槽に浸漬し、先のパターンレジストに露出している基板16に金を電鍍(めっき)して第1表面層6および第3表面層7を形成する。このとき、第1表面層6および第3表面層7の厚みは $0.04\mu\text{m}$ 以上 $1.0\mu\text{m}$ 以下とすることが好ましく、本実施例では $0.1\mu\text{m}$ になるように電鍍(めっき)時間を調整した。第1表面層6および第3表面層7の厚みが $0.04\mu\text{m}$ 未満であると、半導体装置の実装時のはんだ濡れ性が悪い。また、Ni-P層(搭載パッド本体部8および外部電極本体部9)と基板16の密着性が強固になりすぎて、基板16を剥離除去するのが困難になるおそれがある。また、第1表面層6および第3表面層7の厚みが $1.0\mu\text{m}$ を越えると、実装された半導体装置のはんだ接合強度を悪化させるおそれがある。

10

【0048】

次の本体部形成工程では、図3(d)に示すように基板16を再び電鍍槽に浸漬し、表面層6・7の表面側にNi-Pの電解めっき処理を施して搭載パッド本体部8と外部電極本体部9とを形成する。このとき、電鍍(めっき)処理時間を調整することで、搭載パッド本体部8(搭載パッド2)と外部電極本体部9(外部電極3)の上部に、オーバーハング部10・11を形成することができる。オーバーハング部10・11は、本体部形成工程において、各本体部8・9をレジスト層17の厚さを越えて電鍍(めっき)することで形成され、オーバーハング部10・11の周縁部分(先端部分)は先の硬化しているレジスト層17側へ張出して形成される。なお、第1表面層6や第3表面層7を形成せずに、基板16の表面にNi-P層を直接形成した場合には、Ni-P層と基板16が強固に密着するため、基板16を剥離除去するのが困難となる。

20

【0049】

Ni-P層で形成された搭載パッド2の搭載パッド本体部8と外部電極3の外部電極本体部9の表面粗さ(算術平均粗さRa)は、 $0.2\sim 0.3\mu\text{m}$ であり、各本体部8・9の表面に形成する第2表面層12および第4表面層13の厚みを薄く形成することにより、各表面層12・13の表面状態が各本体部8・9の表面に倣って現れることになる。因みに、第2表面層12と第4表面層13の表面が平滑すぎると、半導体素子1の搭載パッド2に対する搭載性はよくなるものの、樹脂5との密着性が悪くなる。また、第2表面層12と第4表面層13の表面が粗すぎると、半導体素子1の電極と外部電極3を電氣的に接続するときのボンディング性が悪くなる。なお、搭載パッド本体部と外部電極本体部がNiで形成してある場合の各表面層の表面粗さ(算術平均粗さRa)は $0.3\sim 0.5\mu\text{m}$ であり、Ni-P層で形成した搭載パッド2と外部電極3の表面が、若干ではあるものの平滑に形成されている。

30

【0050】

次の第2金属層形成工程では、図3(e)に示すように各本体部8・9の表面に銀を電鍍(めっき)して第2表面層12と第4表面層13を形成する。このとき、各表面層12・13の厚みは $1.5\mu\text{m}$ 以上 $6.0\mu\text{m}$ 以下であることが好ましく、本実施例では $2\mu\text{m}$ になるように電鍍(めっき)時間が調整される。各表面層12・13の厚みが $1.5\mu\text{m}$ 未満であると、ボンディング性が悪くなり、各表面層12・13の厚みが $6.0\mu\text{m}$ を越えると、コストが高む不利がある。なお、各表面層12・13が各本体部8・9の表面に密着形成しにくい場合には、各表面層12・13の電鍍(めっき)前に、各本体部8・9の表面にめっき前処理を行って、各表面層12・13の各本体部8・9に対する密着性を高めることが望ましい。搭載パッド本体部8と外部電極本体部9とは、搭載パッド2と外部電極3のそれぞれの総厚みT1が $20\sim 100\mu\text{m}$ の範囲内になるようにすることが好ましく、本実施例では搭載パッド2と外部電極3のそれぞれの総厚みT1が $40\mu\text{m}$ となるように形成した。第2表面層12と第4表面層13の厚みが薄ければ、磁気センサー

40

50

(半導体素子 1) への影響は少なくなる。ただし、半導体素子 1 の特性や各表面層 1 2・1 3 の厚みや面積によっては、磁気センサー (半導体素子 1) への影響の度合いが変わることもある。

【 0 0 5 1 】

第 2 金属層形成工程を経て得られた半導体装置用基板のブランクに残っているレジスト層 1 7 を除去することにより、図 3 (f) に示すように基板 1 6 上に搭載パッド 2 と外部電極 3 とが形成された半導体装置用基板を得ることができる。上記の半導体装置用基板における複数個の各本体部 8・9 に対して硬度の計測を行ったところ、搭載パッド本体部 8 および外部電極本体部 9 のピッカース硬度は 4 0 0 ~ 6 0 0 H V であった。また、レジスト層 1 7 が除去された状態の半導体装置用基板について、搭載パッド 2 および外部電極 3 のシヤ強度試験を行って、搭載パッド 2 および外部電極 3 と基板 1 6 の密着度合いを確認した。シヤ強度試験では、基板 1 6 を固定したうえで、搭載パッド 2 および外部電極 3 の周側面にシヤツールをあてがい、シヤツールに基板 1 6 と平行な力を作用させて、搭載パッド 2 および外部電極 3 が基板 1 6 から脱落時の荷重を計測する。本実施例の半導体装置用基板におけるシヤ強度の目標値は、1 0 0 ~ 5 0 0 g であり、計測結果の平均荷重は 2 9 7 g であった。搭載パッド本体部および外部電極本体部が N i で形成してある従来の半導体装置用基板におけるシヤ強度は、平均荷重が 3 2 4 g であるので、ほぼ同等のシヤ強度を発揮できている。なお、搭載パッド 2 および外部電極 3 と基板 1 6 の密着強度が小さいと、半導体素子 1 を実装するとき、ボンディング処理を行うとき、樹脂封止処理などを行う場合に、搭載パッド 2 および外部電極 3 が基板 1 6 から脱落するおそれがある。また、搭載パッド 2 および外部電極 3 と基板 1 6 の密着強度が大きすぎると、基板 1 6 を剥離除去するのが困難となる。

【 0 0 5 2 】

以上により得られた半導体装置用基板に対する半導体素子 1 の実装工程では、図 4 (a) に示すように搭載パッド 2 上に接合材 (はんだ、ペースト、テープ、ダイアタッチフィルムなど) を介在させて半導体素子 1 を固定し、図 4 (b) に示すように半導体素子 1 の上面の電極と外部電極 3 を金や銅などの細線からなるワイヤー 4 で結線する。半導体素子 1 と外部電極 3 との電氣的接続を行ってボンディング工程が終了したら、樹脂封止工程へ移行する。樹脂封止工程では、基板 1 6 の表面側を上型となる成形用金型に装着し、基板 1 6 に下型の役割を担わせて、熱硬化性のエポキシ樹脂を成形用金型内に注入して加熱し硬化させる。このとき、図 4 (c) に示すように、基板 1 6 上では、一つの半導体装置となる搭載パッド 2 と複数の外部電極 3 との組合せが多数整列状態のままに封止され、半導体装置が多数つながった状態となっている。

【 0 0 5 3 】

続いて、図 4 (d) に示すように基板 1 6 を除去することにより、各半導体装置の底部 (実装面 S) に搭載パッド 2 (第 1 表面層 6) や外部電極 3 (第 3 表面層 7) の裏面側が露出した状態となる。基板 1 6 の除去には、例えば半導体装置側から基板 1 6 を物理的に引き剥がして除去 (剥離) する方法を用いる。基板 1 6 として強度及び剥離性に優れるステンレス材を用いることで、半導体装置側から基板 1 6 を引き剥がして速やかに剥離除去することができる。この他に、基板 1 6 が他の金属材料、例えば、銅材である場合には、基板 1 6 を除去する方法として、基板 1 6 をエッチング液に浸漬して溶解させる方法を用いることもできる。その後、ダイシング処理 (切断処理) を行うことにより半導体装置を得ることができる。

【 0 0 5 4 】

以上説明したように、上記実施例の半導体装置においては、搭載パッド 2 の搭載パッド本体部 8 と外部電極 3 の外部電極本体部 9 とを、それぞれ非磁性の N i - P で形成するようにしたので、表面層に非磁性の N i - P 層を無電解めっきで形成したうえで、N i - P 層にオーバーハング部を備えた C u 層を形成し、さらに C u 層に薄い A u 層を形成していた従来の半導体装置に比べて、搭載パッド本体部 8 と外部電極本体部 9 の構造を簡素化できる。また、搭載パッド本体部 8 と外部電極本体部 9 の全体を非磁性の N i - P で形成し

て、両者（搭載パッド本体部 8 と外部電極本体部 9）が磁気に感応することを解消（非磁性化）できるので、磁気に感応する半導体素子 1 を備えた半導体装置、例えば磁気センサーを構成した場合でも、磁気的な影響を及ぼすことを防ぐことができ、半導体装置の信頼性向上に寄与できる。

【 0 0 5 5 】

搭載パッド 2 の搭載パッド本体部 8 と外部電極 3 の外部電極本体部 9 とを、それぞれ Ni - P の電解めっき層で形成したので、従来の半導体装置に比べて、搭載パッド 2 と外部電極 3 とを形成するためのめっき工程数を削減することが可能となり、その分だけ半導体装置をさらに安価に提供できる。

【 0 0 5 6 】

搭載パッド 2 の搭載パッド本体部 8 と外部電極 3 の外部電極本体部 9 のビッカース硬度は 400 ~ 600 HV であることが好ましい。搭載パッド本体部 8 と外部電極本体部 9 のビッカース硬度を 400 ~ 600 HV の範囲で形成することにより、搭載パッド 2 と外部電極 3 の強度（剛性）を確保でき、従来品に比べて搭載パッド 2 や外部電極 3 の厚さを薄く形成した場合でも、搭載パッド 2 や外部電極 3 の脱落を防ぐことができる。

【 0 0 5 7 】

搭載パッド 2 と外部電極 3 のそれぞれの総厚み T1 は 20 ~ 100 μm であることが好ましい。搭載パッド 2 と外部電極 3 のそれぞれの総厚み T1 が 20 μm 未満であると、樹脂 5 との接触面積が小さく、基板 16 を物理的に剥離除去する時や、完成した半導体装置において、搭載パッド 2 や外部電極 3 が脱落するおそれがあり、搭載パッド 2 と外部電極 3 のそれぞれの総厚み T1 が 100 μm を越えると、搭載パッド 2 と外部電極 3 を形成するのに時間を要し、生産性（コスト面）が悪くなる。

【 0 0 5 8 】

（実施例 2） 図 5 は本発明の実施例 2 に係る半導体装置を示している。実施例 2 では、搭載パッド 2 が省略された半導体装置用基板に対して半導体素子 1 の実装工程を実施して半導体装置を形成した。半導体素子 1 は易剥離性の接合材で基板 16 上の所定位置に固定する。本実施例の半導体装置では、半導体素子 1 の底面と外部電極 3 の第 3 表面層 7 とが半導体装置の実装面 5 に露出する状態で半導体素子 1 が樹脂 5 の内部に封止されて、半導体素子 1 と外部電極 3 がワイヤー 4 で電氣的に接続されている。外部電極 3 は、実施例 1 と同様に、第 3 表面層 7 と、外部電極本体部 9 と、第 4 表面層 13 で構成されている。外部電極本体部 9 は、第 3 表面層 7 の表面に Ni - P の電解めっき処理を施して形成されている。他は実施例 1 の半導体装置と同じであるので、同じ部材に同じ符号を付して、その説明を省略する。後述する実施例 3 においても同じとする。こうした半導体装置によれば、搭載パッド 2 を省略できる分だけ半導体装置の構造を簡素化して、その製造コストを削減できる。

【 0 0 5 9 】

（実施例 3） 図 6 は本発明の実施例 3 に係る半導体装置を示している。実施例 3 では、搭載パッド 2 が省略された半導体装置用基板に対して、半導体素子 1 が対をなす外部電極 3 を跨ぐ状態で接合材を介して固定するようにした。本実施例の半導体装置では、外部電極 3 の第 3 表面層 7 が半導体装置の実装面 5 に露出する状態で半導体素子 1 が樹脂 5 の内部に封止されて、半導体素子 1 と外部電極 3 がワイヤー 4 で電氣的に接続されている。外部電極本体部 9 は、第 3 表面層 7 の表面に Ni - P の電解めっき処理を施して形成されている。実施例 3 の半導体装置においても、半導体素子 1 を支持する搭載パッド 2 を省略することができる。こうした半導体装置によれば、実施例 2 の半導体装置と同様に、搭載パッド 2 を省略できる分だけ半導体装置の構造を簡素化して、その製造コストを削減できる。なお、半導体素子 1 と外部電極 3 はワイヤ接合（ワイヤボンディング）に替えてフリップチップ接合（フリップチップボンディング）で電氣的に接続してあってもよく、この場合には接合材を省略できる。

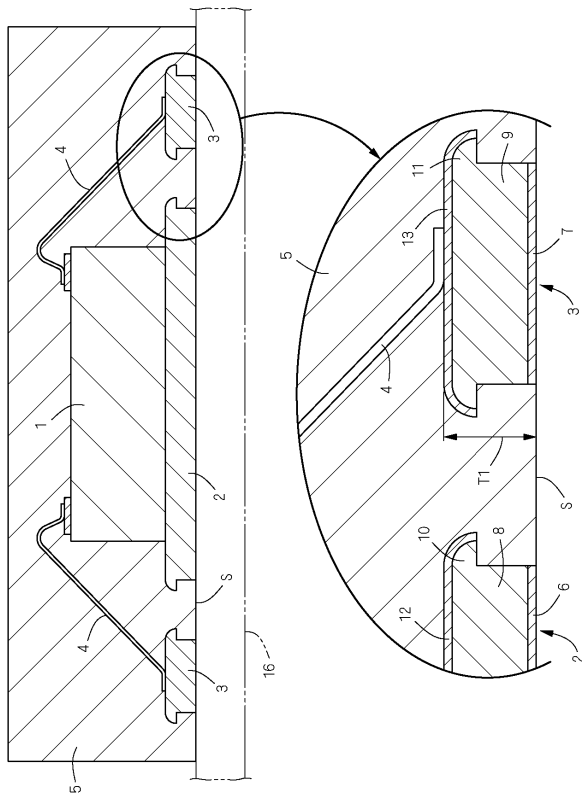
【 符号の説明 】

【 0 0 6 0 】

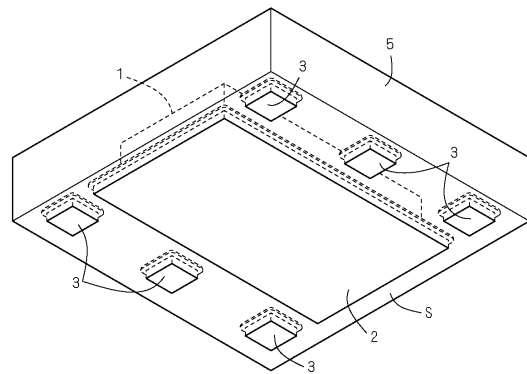
- 1 半導体装置
- 2 搭載パッド
- 3 外部電極
- 4 ワイヤー
- 5 樹脂
- 6 第1表面層
- 7 第3表面層
- 8 搭載パッド本体部
- 9 外部電極本体部
- 10・11 オーバーハング部
- 12 第2表面層
- 13 第4表面層
- 16 基板
- 17 レジスト層
- S 実装面

【図面】

【図1】



【図2】



10

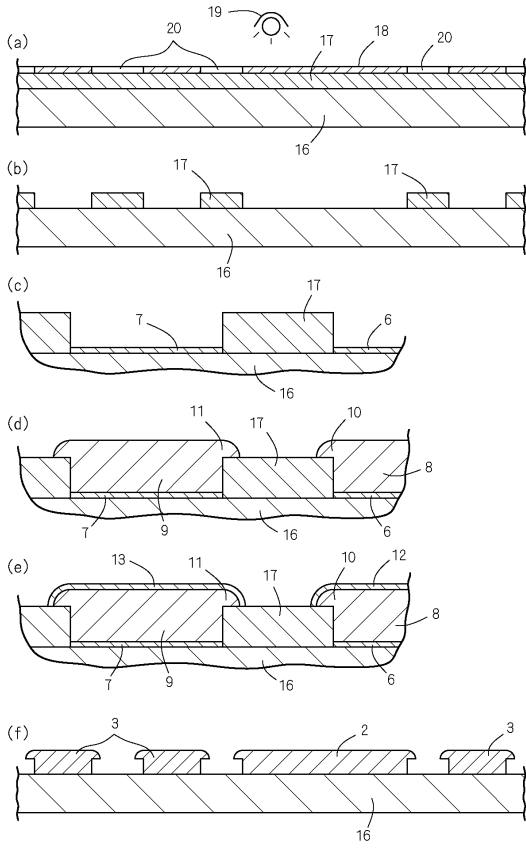
20

30

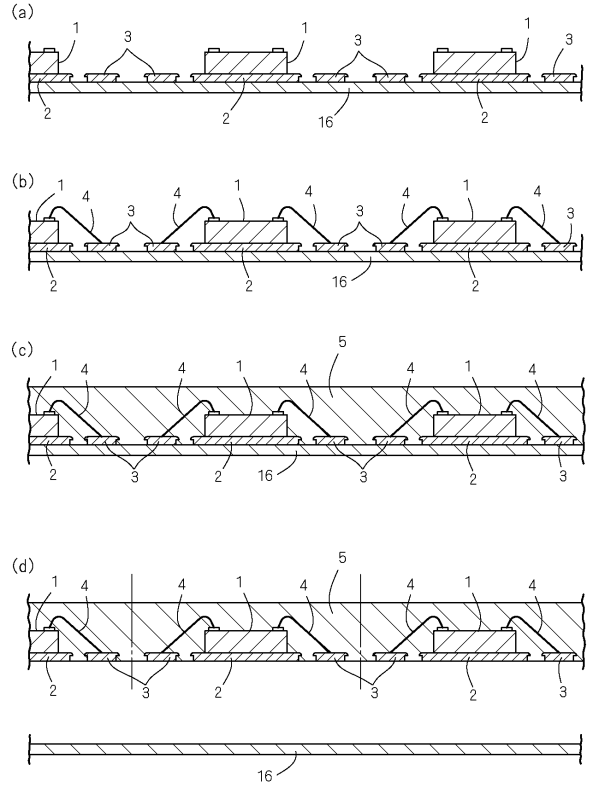
40

50

【図3】



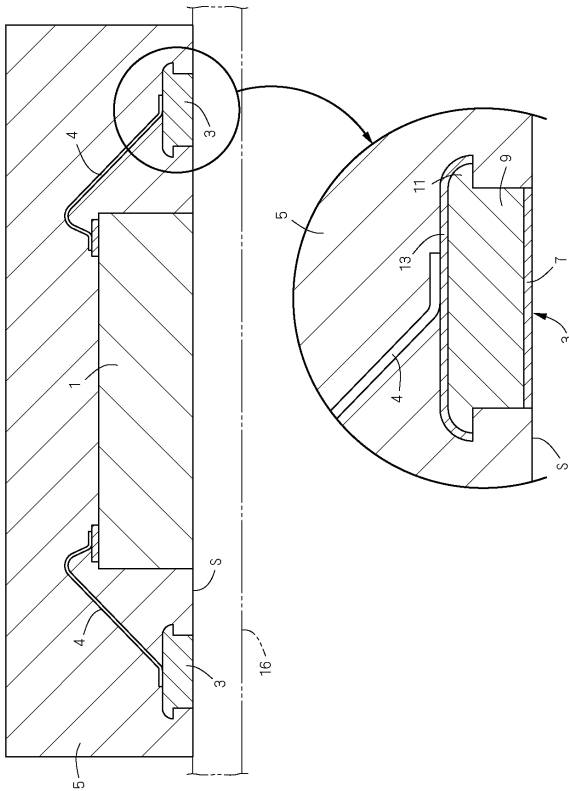
【図4】



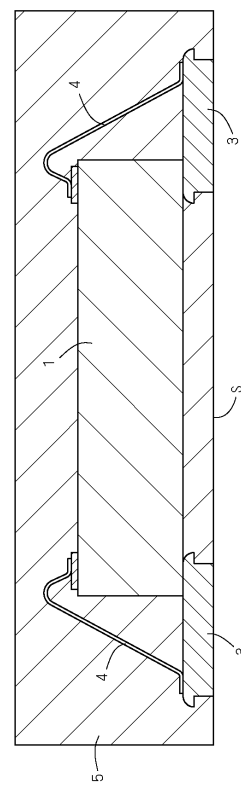
10

20

【図5】



【図6】



30

40

50

フロントページの続き

- (56)参考文献 特開2004-214265(JP,A)
特開2010-040679(JP,A)
特開2014-216431(JP,A)
特開平05-326783(JP,A)
特開2005-227134(JP,A)
特開2011-104909(JP,A)
特開2001-189214(JP,A)
特開平10-242372(JP,A)
- (58)調査した分野 (Int.Cl., DB名)
H01L 23/50