

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-270107

(P2006-270107A)

(43) 公開日 平成18年10月5日(2006.10.5)

(51) Int. Cl.	F I	テーマコード (参考)
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 8 C	5 F 1 1 O
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 1 8 E	
	H O 1 L 29/78 6 1 8 A	

審査請求 未請求 請求項の数 83 O L (全 28 頁)

(21) 出願番号	特願2006-83846 (P2006-83846)	(71) 出願人	390019839
(22) 出願日	平成18年3月24日 (2006.3.24)		三星電子株式会社
(31) 優先権主張番号	10-2005-0024543		S a m s u n g E l e c t r o n i c s
(32) 優先日	平成17年3月24日 (2005.3.24)		C o . , L t d .
(33) 優先権主張国	韓国 (KR)		大韓民国443-742京畿道水原市靈通
(31) 優先権主張番号	11/303,408		区梅灘洞416
(32) 優先日	平成17年12月16日 (2005.12.16)	(74) 代理人	100064908
(33) 優先権主張国	米国 (US)		弁理士 志賀 正武
		(74) 代理人	100089037
			弁理士 渡邊 隆
		(74) 代理人	100108453
			弁理士 村山 靖彦
		(74) 代理人	100110364
			弁理士 実広 信哉

最終頁に続く

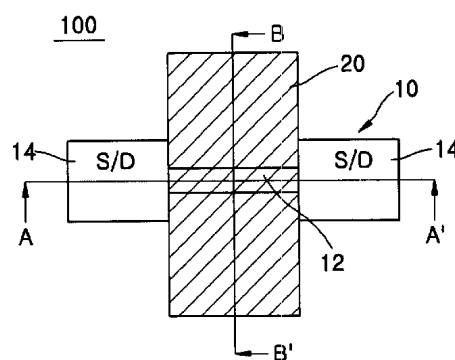
(54) 【発明の名称】 ラウンド状のナノワイヤートランジスタチャンネルを備える半導体素子及びその製造方法

(57) 【要約】

【課題】円形のナノワイヤーチャンネルを有するF E T及びその製造方法を提供する。

【解決手段】半導体基板上にソース及びドレイン領域を形成し、ソース及びドレイン領域の間に複数の予備チャンネル領域が連結され、予備チャンネル領域がエッチングされ、エッチングされた予備チャンネル領域がアニーリングされて実質的に円形の断面形状を有するF E Tチャンネル領域を形成するF E Tの製造方法である。

【選択図】図1



【特許請求の範囲】

【請求項 1】

半導体基板上にソース及びドレイン領域を形成する工程と、
前記ソース及びドレイン領域の間に連結された複数の予備チャンネル領域を形成する工程と、

前記予備チャンネル領域をエッチングする工程と、

エッチングされた前記予備チャンネル領域をアニーリングして、円形の断面形状を有する F E T チャンネル領域を形成する工程と、を含むことを特徴とする F E T の製造方法。

【請求項 2】

前記予備チャンネル領域は、長方形の断面形状を有することを特徴とする請求項 1 に記載の F E T の製造方法。 10

【請求項 3】

前記予備チャンネル領域は、その断面にコーナーを有することを特徴とする請求項 1 に記載の F E T の製造方法。

【請求項 4】

前記エッチングは、H C l を含む雰囲気で行われることを特徴とする請求項 1 に記載の F E T の製造方法。

【請求項 5】

前記エッチングは、H₂ を含む雰囲気で行われることを特徴とする請求項 1 に記載の F E T の製造方法。 20

【請求項 6】

前記エッチングは、H C l 及び H₂ を含む雰囲気で行われることを特徴とする請求項 1 に記載の F E T の製造方法。

【請求項 7】

前記 H C l 対 H₂ の流量比は、3 : 7 ないし 1 : 1 であることを特徴とする請求項 6 に記載の F E T の製造方法。

【請求項 8】

前記 H C l 対 H₂ の流量比は、3 : 5 であることを特徴とする請求項 6 に記載の F E T の製造方法。

【請求項 9】

前記エッチングは、600 ないし 900 の温度で行われることを特徴とする請求項 1 に記載の F E T の製造方法。 30

【請求項 10】

前記エッチングは、1 ないし 120 秒間行われることを特徴とする請求項 1 に記載の F E T の製造方法。

【請求項 11】

前記エッチングは、10 ないし 100 T o r r の圧力で行われることを特徴とする請求項 1 に記載の F E T の製造方法。

【請求項 12】

前記アニーリングは、H₂ を含む雰囲気で行われることを特徴とする請求項 1 に記載の F E T の製造方法。 40

【請求項 13】

前記アニーリングは、H₂ が 1 ないし 500 s c c m の流量で導入されつつ行われることを特徴とする請求項 1 に記載の F E T の製造方法。

【請求項 14】

前記アニーリングは、600 ないし 900 の温度で行われることを特徴とする請求項 1 に記載の F E T の製造方法。

【請求項 15】

前記アニーリングは、10 ないし 800 秒間行われることを特徴とする請求項 1 に記載の F E T の製造方法。

【請求項 16】

前記予備チャンネル領域を形成した後で得られた結果物を洗浄して、前記結果物から酸化膜を除去する工程をさらに含むことを特徴とする請求項 1 に記載の F E T の製造方法。

【請求項 17】

前記洗浄は、 H_2 、Ar 及び He のうち少なくとも一つを含む雰囲気で行われることを特徴とする請求項 16 に記載の F E T の製造方法。

【請求項 18】

前記洗浄は、600 ないし 900 の温度で行われることを特徴とする請求項 16 に記載の F E T の製造方法。

【請求項 19】

前記洗浄は、1 ないし 500 s c c m のガス流量で行われることを特徴とする請求項 16 に記載の F E T の製造方法。

【請求項 20】

前記洗浄は、1 ないし 5 分間行われることを特徴とする請求項 16 に記載の F E T の製造方法。

【請求項 21】

前記洗浄は、0.1 ないし 10 T o r r の圧力で行われることを特徴とする請求項 16 に記載の F E T の製造方法。

【請求項 22】

前記複数の予備チャンネル領域を形成する工程は、チャンネル層と前記チャンネル層に垂直に隣接した犠牲層とを形成する工程を含むことを特徴とする請求項 1 に記載の F E T の製造方法。

【請求項 23】

前記チャンネル層及び犠牲層は、エピタキシャル方法により形成されることを特徴とする請求項 22 に記載の F E T の製造方法。

【請求項 24】

前記チャンネル層は、シリコン層であることを特徴とする請求項 22 に記載の F E T の製造方法。

【請求項 25】

前記犠牲層は、S i G e 層であることを特徴とする請求項 22 に記載の F E T の製造方法。

【請求項 26】

前記複数の予備チャンネル領域を形成する工程は、前記予備チャンネル領域のうち少なくとも一つの正面が前記ソース及びドレイン領域の正面に垂直の方向に前記ソース及びドレイン領域の正面に対してオフセットされるように、前記チャンネル層を所望の寸法でトリミングする工程をさらに含むことを特徴とする請求項 22 に記載の F E T の製造方法。

【請求項 27】

前記トリミング工程では、前記チャンネル層をエッチングすることを特徴とする請求項 26 に記載の F E T の製造方法。

【請求項 28】

前記チャンネル層は、C D E 方法でエッチングすることを特徴とする請求項 27 に記載の F E T の製造方法。

【請求項 29】

前記複数の予備チャンネル領域を形成する工程は、前記チャンネル層及び犠牲層上に前記 F E T チャンネル領域を区分するための領域を限定するマスク層を形成する工程をさらに含むことを特徴とする請求項 22 に記載の F E T の製造方法。

【請求項 30】

前記複数の予備チャンネル領域を形成する工程は、チャンネル層に垂直に隣接した複数の犠牲層を形成する工程を含むことを特徴とする請求項 1 に記載の F E T の製造方法。

【請求項 31】

10

20

30

40

50

前記犠牲層は、S i G e からなることを特徴とする請求項 3 0 に記載の F E T の製造方法。

【請求項 3 2】

前記犠牲層は、下部犠牲層と、前記下部犠牲層より低い G e 濃度を有する上部犠牲層とを備えることを特徴とする請求項 3 1 に記載の F E T の製造方法。

【請求項 3 3】

前記予備チャンネル領域のエッチング工程と前記エッチングされた予備チャンネル領域のアニーリング工程との間に、工程チャンバをパージする工程をさらに含むことを特徴とする請求項 1 に記載の F E T の製造方法。

【請求項 3 4】

前記エッチング工程及びアニーリング工程は、少なくとも 2 回行われることを特徴とする請求項 1 に記載の F E T の製造方法。

【請求項 3 5】

前記エッチング工程と後続のアニーリング工程との間にパージ工程をさらに含むことを特徴とする請求項 3 4 に記載の F E T の製造方法。

【請求項 3 6】

前記 F E T チャンネル領域上にゲート絶縁層を形成する工程をさらに含むことを特徴とする請求項 1 に記載の F E T の製造方法。

【請求項 3 7】

前記 F E T チャンネル領域を取り囲むゲートを形成する工程をさらに含むことを特徴とする請求項 1 に記載の F E T の製造方法。

【請求項 3 8】

前記ゲートは、ポリシリコンからなることを特徴とする請求項 3 7 に記載の F E T の製造方法。

【請求項 3 9】

前記ゲートは、金属からなることを特徴とする請求項 3 7 に記載の F E T の製造方法。

【請求項 4 0】

少なくとも一つのチャンネル層及び少なくとも一つの犠牲層を基板上に交互に積層する工程と、

前記交互に積層された少なくとも一つのチャンネル層及び少なくとも一つの犠牲層に連結された前記基板上にソース及びドレイン領域を形成する工程と、

前記交互に積層された少なくとも一つのチャンネル層及び少なくとも一つの犠牲層をパターンニングして、前記ソース及びドレイン領域に連結された複数の予備チャンネル領域を形成する工程と、

前記少なくとも一つの犠牲層の残りの部分を除去する工程と、

前記予備チャンネル領域をエッチングする工程と、

前記エッチングされた予備チャンネル領域をアニーリングして、実質的に円形の断面を有する F E T チャンネル領域を形成する工程と、を含むことを特徴とする F E T の製造方法。

【請求項 4 1】

前記予備チャンネル領域は、実質的に長方形の断面形状を有することを特徴とする請求項 4 0 に記載の F E T の製造方法。

【請求項 4 2】

前記予備チャンネル領域は、その断面にコーナーを有することを特徴とする請求項 4 0 に記載の F E T の製造方法。

【請求項 4 3】

前記少なくとも一つのチャンネル層及び前記少なくとも一つの犠牲層は、エピタキシャル方法で形成されることを特徴とする請求項 4 0 に記載の F E T の製造方法。

【請求項 4 4】

前記少なくとも一つのチャンネル層は、シリコン層であることを特徴とする請求項 4 0

10

20

30

40

50

に記載の F E T の製造方法。

【請求項 4 5】

前記少なくとも一つの犠牲層は、S i G e 層であることを特徴とする請求項 4 0 に記載の F E T の製造方法。

【請求項 4 6】

前記複数の予備チャンネル領域を形成する工程は、前記予備チャンネル領域のうち少なくとも一つの正面が前記ソース及びドレイン領域の正面に垂直の方向に前記ソース及びドレイン領域の正面に対してオフセットされるように、前記少なくとも一つのチャンネル層を所望の寸法でトリミングする工程をさらに含むことを特徴とする請求項 4 0 に記載の F E T の製造方法。

10

【請求項 4 7】

前記トリミング工程では、前記少なくとも一つのチャンネル層をエッチングすることを特徴とする請求項 4 6 に記載の F E T の製造方法。

【請求項 4 8】

前記少なくとも一つのチャンネル層は、C D E 方法でエッチングすることを特徴とする請求項 4 7 に記載の F E T の製造方法。

【請求項 4 9】

前記複数の予備チャンネル領域を形成する工程は、前記少なくとも一つのチャンネル層及び少なくとも一つの犠牲層上に、前記 F E T チャンネル領域を区分するための領域を限定するマスク層を形成する工程をさらに含むことを特徴とする請求項 4 0 に記載の F E T の製造方法。

20

【請求項 5 0】

前記複数の予備チャンネル領域を形成する工程は、チャンネル層に垂直に隣接した複数の犠牲層を形成する工程を含むことを特徴とする請求項 4 0 に記載の F E T の製造方法。

【請求項 5 1】

前記犠牲層は、S i G e からなることを特徴とする請求項 5 0 に記載の F E T の製造方法。

【請求項 5 2】

前記犠牲層は、下部犠牲層と、前記下部犠牲層より低い G e 濃度を有する上部犠牲層とを備えることを特徴とする請求項 5 1 に記載の F E T の製造方法。

30

【請求項 5 3】

前記予備チャンネル領域のエッチング工程と前記エッチングされた予備チャンネル領域のアニーリング工程との間に、工程チャンバをパージする工程をさらに含むことを特徴とする請求項 4 0 に記載の F E T の製造方法。

【請求項 5 4】

前記 F E T チャンネル領域上にゲート絶縁層を形成する工程をさらに含むことを特徴とする請求項 4 0 に記載の F E T の製造方法。

【請求項 5 5】

前記 F E T チャンネル領域を取り囲むゲートを形成する工程をさらに含むことを特徴とする請求項 4 0 に記載の F E T の製造方法。

40

【請求項 5 6】

前記ゲートは、ポリシリコンからなることを特徴とする請求項 5 5 に記載の F E T の製造方法。

【請求項 5 7】

前記ゲートは、金属からなることを特徴とする請求項 3 7 に記載の F E T の製造方法。

【請求項 5 8】

半導体基板上にソース及びドレイン領域を形成する工程と、

前記ソース及びドレイン領域の間に連結される複数の予備チャンネル領域を形成する工程であって、(i) チャンネル層と前記チャンネル層に垂直に隣接した犠牲層とを形成する工程と、(i i) 前記予備チャンネル領域のうち少なくとも一つの正面が前記ソース及

50

びドレイン領域の正面に垂直の方向に前記ソース及びドレイン領域の正面に対してオフセッされるように、前記チャンネル層を所望の寸法でトリミングする工程と、を含む前記複数の予備チャンネル領域を形成する工程と、

前記予備チャンネル領域をエッチングする工程と、

前記エッチングされた予備チャンネル領域をアニーリングして、実質的に円形の断面形状を有するFETチャンネル領域を形成する工程と、を含むことを特徴とするFETの製造方法。

【請求項59】

前記予備チャンネル領域は、実質的に長方形の断面形状を有することを特徴とする請求項58に記載のFETの製造方法。

10

【請求項60】

前記予備チャンネル領域は、その断面にコーナーを有することを特徴とする請求項58に記載のFETの製造方法。

【請求項61】

前記予備チャンネル領域を形成した後、その結果物から酸化膜を除去するために前記結果物を洗浄する工程をさらに含むことを特徴とする請求項58に記載のFETの製造方法。

【請求項62】

前記チャンネル層及び前記犠牲層は、エピタキシャル方法で形成されることを特徴とする請求項58に記載のFETの製造方法。

20

【請求項63】

前記チャンネル層は、シリコン層であることを特徴とする請求項58に記載のFETの製造方法。

【請求項64】

前記犠牲層は、SiGe層であることを特徴とする請求項58に記載のFETの製造方法。

【請求項65】

前記トリミング工程では、前記チャンネル層をエッチングすることを特徴とする請求項58に記載のFETの製造方法。

【請求項66】

前記チャンネル層は、CDE方法でエッチングすることを特徴とする請求項65に記載のFETの製造方法。

30

【請求項67】

前記複数の予備チャンネル領域を形成する工程は、前記チャンネル層に垂直に隣接した複数の犠牲層を形成する工程を含むことを特徴とする請求項58に記載のFETの製造方法。

【請求項68】

前記犠牲層は、SiGeからなることを特徴とする請求項67に記載のFETの製造方法。

【請求項69】

前記犠牲層は、下部犠牲層と、前記下部犠牲層より低いGe濃度を有する上部犠牲層とを備えることを特徴とする請求項68に記載のFETの製造方法。

40

【請求項70】

前記予備チャンネル領域のエッチング工程と前記エッチングされた予備チャンネル領域のアニーリング工程との間に、工程チャンバをパージする工程をさらに含むことを特徴とする請求項58に記載のFETの製造方法。

【請求項71】

前記FETチャンネル領域上にゲート絶縁層を形成する工程をさらに含むことを特徴とする請求項58に記載のFETの製造方法。

【請求項72】

50

前記 F E T チャンネル領域を取り囲むゲートを形成する工程をさらに含むことを特徴とする請求項 50 に記載の F E T の製造方法。

【請求項 73】

前記ゲートは、ポリシリコンからなることを特徴とする請求項 72 に記載の F E T の製造方法。

【請求項 74】

前記ゲートは、金属からなることを特徴とする請求項 72 に記載の F E T の製造方法。

【請求項 75】

半導体基板上にソース及びドレイン領域を形成する工程と、

前記ソース及びドレイン領域の間に連結される複数の予備チャンネル領域を形成する工程であって、(i) チャンネル層と前記チャンネル層に垂直に隣接した犠牲層とを形成する工程と、(i i) 前記予備チャンネルの正面が前記ソース及びドレイン領域の正面に垂直の方向に前記ソース及びドレイン領域の正面に対してオフセットされるように、前記チャンネル層を所望の寸法でトリミングする工程と、を含む前記複数の予備チャンネル領域を形成する工程と、

前記犠牲層の残りの部分を除去する工程と、

前記トリミングされたチャンネル層をエッチングする工程と、

前記エッチングされたチャンネル層をアニーリングして、実質的に円形の断面形状を有する F E T チャンネル領域を形成する工程と、を含むことを特徴とする F E T の製造方法。

【請求項 76】

半導体基板上にソース及びドレイン領域を形成する工程と、

チャンネル層と前記チャンネル層に垂直に隣接した犠牲層とを形成して、前記ソース及びドレイン領域の間に連結される複数の予備チャンネル領域を形成する工程と、

前記犠牲層の残りの部分を除去する工程と、

前記予備チャンネル領域をエッチングする工程と、

前記エッチングされた予備チャンネル領域をアニーリングして、実質的に円形の断面形状を有する F E T チャンネル領域を形成する工程と、を含むことを特徴とする F E T の製造方法。

【請求項 77】

半導体基板上にソース及びドレイン領域を形成する工程と、

前記ソース及びドレイン領域の間に連結される複数の予備チャンネル領域を形成する工程と、

前記予備チャンネル領域をエッチングする工程と、

前記エッチングされた予備チャンネル領域をアニーリングして、実質的に円形の断面形状を有する F E T チャンネル領域を形成する工程と、を含むことを特徴とする F E T の製造方法。

【請求項 78】

半導体基板と、

前記半導体基板上のソース及びドレイン領域と、

前記ソース及びドレイン領域の間に連結される複数の F E T チャンネル領域と、を備え、

前記 F E T チャンネル領域は、実質的に円形の断面形状を有し、前記 F E T チャンネル領域は、前記 F E T チャンネル領域のうち少なくとも一つの正面が前記ソース及びドレイン領域の正面に垂直の方向に前記ソース及びドレイン領域の正面に対してオフセットされるように、所望の寸法でトリミングされていることを特徴とする F E T。

【請求項 79】

前記 F E T チャンネル領域上にゲート絶縁層をさらに備えることを特徴とする請求項 78 に記載の F E T。

【請求項 80】

前記 F E T チャンネル領域を取り囲むゲートをさらに備えることを特徴とする請求項 7 8 に記載の F E T。

【請求項 8 1】

前記ゲートは、ポリシリコンからなることを特徴とする請求項 7 8 に記載の F E T。

【請求項 8 2】

前記ゲートは、金属からなることを特徴とする請求項 7 8 に記載の F E T。

【請求項 8 3】

半導体基板と、

前記半導体基板上のソース及びドレイン領域と、

前記ソース及びドレイン領域の間に連結される F E T チャンネル領域と、を備え、

前記 F E T チャンネル領域は、実質的に円形の断面形状を有し、前記 F E T チャンネル領域は、前記 F E T チャンネル領域の正面が前記ソース及びドレイン領域の正面に垂直の方向に前記ソース及びドレイン領域の正面に対してオフセットされるように所望の寸法でトリミングされていることを特徴とする F E T。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体基板上の F E T (F i e l d E f f e c t T r a n s i s t o r) 及びその製造方法に係り、特にラウンド状、すなわち円形のナノワイヤーチャンネルを有する F E T 及びその製造方法に関する。

【背景技術】

【0002】

半導体素子の用途が拡大されるにつれて、高度に集積された高速の半導体素子への要求が増加している。半導体素子の集積度が増加するにつれて、デザインルールは順次に小さくなっている。デザインルールが小さくなれば、短チャンネル効果を引き起こす。チャンネル幅の減少は、狭チャンネル効果を引き起こし、この狭チャンネル効果は、ソース/ドレイン領域での電位がチャンネル領域に大きい影響を及ぼす。通常、狭チャンネル効果によりしきい電圧が高くなる。しかし、S T I (S h a l l o w T r e n c h I s o l a t i o n) を利用する素子の場合には、チャンネル幅が非常に狭くてしきい電圧が低くなりうる。これは、逆狭チャンネル効果と称す。短チャンネル効果及び/または狭チャンネル効果の発生を防止するために、新たな構造を有する多様な F E T が提案された。

【0003】

最近、特に半導体分野のうちナノサイズ技術において、トランジスタの駆動電流を増加させ、短チャンネル効果を低下させるための努力があった。前記の所望の結果を得るために、従来技術で幾つかの技術が利用され、その例として R C A T (R e c e s s e d C h a n n e l A r r a y T r a n s i s t o r)、F i n F E T (F i n - t y p e F E T) 及び G A T (G a t e - A l l - a r o u n d T r a n s i s t o r) 技術がある。

【0004】

それらのそれぞれの従来の素子及びその製造方法では、一つまたはそれ以上の短所がある。例えば、それらの従来の素子は、高速動作を行う能力に制限がある。さらに、それらの従来の素子では、製造上の限界、例えばドライエッチングにより具現されうるエッチング深さの限界により、離隔されたチャンネル層の数が制限される。

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明の目的は、前記の従来技術での問題点を解決するためのものであって、一つまたはそれ以上のナノワイヤーチャンネルを有する F E T 及びその製造方法を提供するところにある。

【課題を解決するための手段】

10

20

30

40

50

【0006】

本発明の一様態によれば、本発明によるFETの製造方法では、半導体基板上にソース及びドレイン領域を形成する。前記ソース及びドレイン領域の間に連結された複数の予備チャンネル領域を形成する。予備チャンネル領域をエッチングする。エッチングされた予備チャンネル領域をアニーリングして、円形の断面形状を有するFETチャンネル領域を形成する。

【0007】

一実施形態において、前記予備チャンネル領域は、長方形の断面形状を有する。一実施形態において、前記予備チャンネル領域は、その断面にコーナーを有する。

【0008】

一実施形態において、前記エッチングは、HCl及びH₂のうち一つまたは二つを含む雰囲気で行われる。一実施形態において、前記HCl対H₂の流量比は、3:7ないし1:1である。特定の一実施形態において、前記HCl対H₂の流量比は、3:5である。

【0009】

一実施形態において、前記エッチングは、600ないし900の温度で行われる。前記エッチングは、1ないし120秒間行われる。前記エッチングは、10ないし100 Torrの圧力で行われる。

【0010】

一実施形態において、前記アニーリングは、H₂を含む雰囲気で行われる。前記アニーリングは、H₂が1ないし500 sccmの流量で導入されつつ行われる。前記アニーリングは、600ないし900の温度、特に810の温度で行われる。前記アニーリングは、10ないし800秒間、特に500秒間行われる。

【0011】

一実施形態において、前記方法は、前記予備チャンネル領域を形成した後、得られた結果物を洗浄して前記結果物から酸化膜を除去する工程をさらに含む。前記洗浄は、H₂、Ar及びHeのうち少なくとも一つを含む雰囲気で行われる。前記洗浄は、600ないし900の温度で行われる。前記洗浄は、1ないし500 sccmのガス流量で行われる。前記洗浄は、1ないし5分間行われる。前記洗浄は、0.1ないし10 Torrの圧力で行われる。一実施形態において、前記複数の予備チャンネル領域を形成する工程は、チャンネル層と前記チャンネル層に垂直に隣接した犠牲層とを形成する工程を含む。一実施形態において、前記チャンネル層及び犠牲層は、エピタキシャル方法により形成される。一実施形態において、前記チャンネル層はシリコン層である。一実施形態において、前記犠牲層はSiGe層である。

【0012】

一実施形態において、前記複数の予備チャンネル領域を形成する工程は、前記予備チャンネル領域のうち少なくとも一つの正面が前記ソース及びドレイン領域の正面に垂直の方向に前記ソース及びドレイン領域の正面に対してオフセットされるように、前記チャンネル層を所望の寸法でトリミングする工程をさらに含む。前記トリミング工程では、前記チャンネル層をエッチングする。前記チャンネル層は、CDE (Chemical Dry Etch) 方法でエッチングされうる。

【0013】

一実施形態において、前記複数の予備チャンネル領域を形成する工程は、前記チャンネル層及び犠牲層上に、前記FETチャンネル領域を区分するための領域を限定するマスク層を形成する工程をさらに含む。

【0014】

一実施形態において、前記複数の予備チャンネル領域を形成する工程は、チャンネル層に垂直に隣接した複数の犠牲層を形成する工程を含む。前記犠牲層は、SiGeからなる。前記犠牲層は、下部犠牲層と、前記下部犠牲層より低いGe濃度を有する上部犠牲層とを備える。

【0015】

10

20

30

40

50

一実施形態において、前記方法は、前記予備チャンネル領域のエッチング工程と前記エッチングされた予備チャンネル領域のアニールング工程との間に、工程チャンバをパージする工程をさらに含む。

【0016】

一実施形態において、前記エッチング工程及びアニールング工程は、少なくとも2回行われる。一実施形態において、前記方法は、前記エッチング工程と後続のアニールング工程との間にパージ工程をさらに含む。

【0017】

一実施形態において、前記方法は、前記FETチャンネル領域上にゲート絶縁層を形成する工程をさらに含む。

【0018】

一実施形態において、前記方法は、前記FETチャンネル領域を取り囲むゲートを形成する工程をさらに含む。前記ゲートは、ポリシリコンからなりうる。また、前記ゲートは、金属からなりうる。

【0019】

本発明の他の様態によれば、本発明によるFETの製造方法では、少なくとも一つのチャンネル層及び少なくとも一つの犠牲層を基板上に交互に積層する。前記交互に積層された少なくとも一つのチャンネル層及び少なくとも一つの犠牲層に連結された前記基板上に、ソース及びドレイン領域を形成する。前記交互に積層された少なくとも一つのチャンネル層及び少なくとも一つの犠牲層をパターンニングして、前記ソース及びドレイン領域に連結された複数の予備チャンネル領域を形成する。前記少なくとも一つの犠牲層の残りの部分を除去する。前記予備チャンネル領域をエッチングする。前記エッチングされた予備チャンネル領域をアニールングして、実質的に円形の断面を有するFETチャンネル領域を形成する。

【0020】

一実施形態において、前記予備チャンネル領域は、実質的に長方形の断面形状を有する。一実施形態において、前記予備チャンネル領域は、その断面にコーナーを有する。

【0021】

一実施形態において、前記少なくとも一つのチャンネル層及び前記少なくとも一つの犠牲層は、エピタキシャル方法で形成される。

【0022】

一実施形態において、前記少なくとも一つのチャンネル層はシリコン層である。一実施形態において、前記少なくとも一つの犠牲層はSiGe層である。

【0023】

一実施形態において、前記複数の予備チャンネル領域を形成する工程は、前記予備チャンネル領域のうち少なくとも一つの正面が前記ソース及びドレイン領域の正面に垂直の方向に前記ソース及びドレイン領域の正面に対してオフセットされるように、前記少なくとも一つのチャンネル層を所望の寸法でトリミングする工程をさらに含む。一実施形態において、前記トリミング工程では、前記少なくとも一つのチャンネル層をエッチングする。前記少なくとも一つのチャンネル層は、CDE方法でエッチングされうる。

【0024】

一実施形態において、前記複数の予備チャンネル領域を形成する工程は、前記少なくとも一つのチャンネル層及び少なくとも一つの犠牲層上に、前記FETチャンネル領域を区分するための領域を限定するマスク層を形成する工程をさらに含む。一実施形態において、前記複数の予備チャンネル領域を形成する工程は、チャンネル層に垂直に隣接した複数の犠牲層を形成する工程を含む。前記犠牲層は、SiGeからなる。一実施形態において、前記犠牲層は、下部犠牲層と、前記下部犠牲層より低いGe濃度を有する上部犠牲層とを備える。

【0025】

一実施形態において、前記予備チャンネル領域のエッチング工程と前記エッチングされ

10

20

30

40

50

た予備チャンネル領域のアニール工程との間に、工程チャンバをパージする工程をさらに含む。

【0026】

一実施形態において、前記FETチャンネル領域上にゲート絶縁層を形成する。

【0027】

一実施形態において、前記方法は、前記FETチャンネル領域を取り囲むゲートを形成する工程をさらに含む。前記ゲートは、ポリシリコンからなりうる。また、前記ゲートは、金属からなりうる。

【0028】

本発明の他の様態によれば、本発明によるFETの製造方法では、半導体基板上にソース及びドレイン領域を形成する。前記ソース及びドレイン領域の間に連結される複数の予備チャンネル領域を形成するが、(i)チャンネル層と前記チャンネル層に垂直に隣接した犠牲層とを形成する工程と、(ii)前記予備チャンネル領域のうち少なくとも一つの正面が前記ソース及びドレイン領域の正面に垂直の方向に前記ソース及びドレイン領域の正面に対してオフセットされるように、前記チャンネル層を所望の寸法でトリミングする工程とを含む方法により、前記複数の予備チャンネル領域を形成する。前記予備チャンネル領域をエッチングする。前記エッチングされた予備チャンネル領域をアニールして、実質的に円形の断面形状を有するFETチャンネル領域を形成する。

10

【0029】

一実施形態において、前記予備チャンネル領域は、実質的に長方形の断面形状を有する。一実施形態において、前記予備チャンネル領域は、その断面にコーナーを有する。

20

【0030】

一実施形態において、前記方法は、前記予備チャンネル領域を形成した後、その結果物から酸化膜を除去するために前記結果物を洗浄する工程をさらに含む。

【0031】

一実施形態において、前記チャンネル層及び前記犠牲層は、エピタキシャル方法で形成される。

【0032】

前記チャンネル層は、シリコン層からなりうる。前記犠牲層は、SiGe層からなりうる。

30

【0033】

一実施形態において、前記トリミング工程では、前記チャンネル層をエッチングする。前記チャンネル層は、CDE方法でエッチングされうる。一実施形態において、前記複数の予備チャンネル領域を形成する工程は、前記チャンネル層に垂直に隣接した複数の犠牲層を形成する工程を含む。前記犠牲層は、SiGeからなりうる。前記犠牲層は、下部犠牲層と、前記下部犠牲層より低いGe濃度を有する上部犠牲層とを備える。

【0034】

一実施形態において、前記方法は、前記予備チャンネル領域のエッチング工程と前記エッチングされた予備チャンネル領域のアニール工程との間に、工程チャンバをパージする工程をさらに含む。

40

【0035】

一実施形態において、前記方法は、前記FETチャンネル領域上にゲート絶縁層を形成する工程をさらに含む。

【0036】

一実施形態において、前記方法は、前記FETチャンネル領域を取り囲むゲートを形成する工程をさらに含む。一実施形態において、前記ゲートは、ポリシリコンからなりうる。前記ゲートは、金属からなりうる。

【0037】

本発明の他の様態によれば、本発明によるFETの製造方法では、半導体基板上にソース及びドレイン領域を形成する。前記ソース及びドレイン領域の間に連結される複数の予

50

備チャンネル領域を形成するが、(i)チャンネル層と前記チャンネル層に垂直に隣接した犠牲層とを形成する工程と、(i i)前記予備チャンネルの正面が前記ソース及びドレイン領域の正面に垂直の方向に前記ソース及びドレイン領域の正面に対してオフセットされるように、前記チャンネル層を所望の寸法でトリミングする工程とを含む方法により、前記複数の予備チャンネル領域を形成する。前記犠牲層の残りの部分を除去する。前記トリミングされたチャンネル層をエッチングする。前記エッチングされたチャンネル層をアニーリングして、実質的に円形の断面形状を有するF E Tチャンネル領域を形成する。

【 0 0 3 8 】

本発明の他の様態によれば、本発明によるF E Tの製造方法では、半導体基板上にソース及びドレイン領域を形成する。チャンネル層と前記チャンネル層に垂直に隣接した犠牲層とを形成して、前記ソース及びドレイン領域の間に連結される複数の予備チャンネル領域を形成する。前記犠牲層の残りの部分を除去する。前記予備チャンネル領域をエッチングする。前記エッチングされた予備チャンネル領域をアニーリングして、実質的に円形の断面形状を有するF E Tチャンネル領域を形成する。

10

【 0 0 3 9 】

本発明の他の様態によれば、本発明によるF E Tの製造方法では、半導体基板上にソース及びドレイン領域を形成する。前記ソース及びドレイン領域の間に連結される複数の予備チャンネル領域を形成する。前記予備チャンネル領域をエッチングする。前記エッチングされた予備チャンネル領域をアニーリングして、実質的に円形の断面形状を有するF E Tチャンネル領域を形成する。

20

【 0 0 4 0 】

本発明の他の様態によれば、本発明によるF E Tは、半導体基板、前記半導体基板上のソース及びドレイン領域、及び前記ソース及びドレイン領域の間に連結される複数のF E Tチャンネル領域を備え、前記F E Tチャンネル領域は、実質的に円形の断面形状を有し、前記F E Tチャンネル領域は、前記F E Tチャンネル領域のうち少なくとも一つの正面が前記ソース及びドレイン領域の正面に垂直の方向に前記ソース及びドレイン領域の正面に対してオフセットされるように、所望の寸法でトリミングされている。

【 0 0 4 1 】

一実施形態において、前記F E Tは、前記F E Tチャンネル領域上に形成されたゲート絶縁層をさらに備える。

30

【 0 0 4 2 】

一実施形態において、前記F E Tは、前記F E Tチャンネル領域を取り囲むゲートをさらに備える。

【 0 0 4 3 】

一実施形態において、前記F E Tの前記ゲートは、ポリシリコンからなる。一実施形態において、前記F E Tのゲートは、金属からなる。

【 0 0 4 4 】

本発明の他の様態によれば、本発明によるF E Tは、半導体基板、前記半導体基板上のソース及びドレイン領域、及び前記ソース及びドレイン領域の間に連結されるF E Tチャンネル領域を備え、前記F E Tチャンネル領域は、実質的に円形の断面形状を有し、前記F E Tチャンネル領域は、前記F E Tチャンネル領域の正面が前記ソース及びドレイン領域の正面に垂直の方向に前記ソース及びドレイン領域の正面に対してオフセットされるように、所望の寸法でトリミングされている。

40

【 発明の効果 】

【 0 0 4 5 】

本発明によれば、エッチング工程及びH₂を使用するアニーリング工程を利用して、F E Tにラウンド状(円形)のナノワイヤーチャンネルが形成される。このF E Tの製造方法によれば、長方形のナノワイヤーチャンネルを有する通常のF E Tのコーナーに発生する電界集中現象が低下する。ラウンド状のナノワイヤーチャンネルの形成において、H₂アニーリングを比較的低温で行う。高温でアニーリングすれば、シリコンマイグレーション

50

ン効果によりF E Tチャンネルが切断されるか、または遮られる形状のナノワイヤーチャンネルが得られる。また、犠牲層として使われる最上層のS i G e層は、他の層より高いG e含量を有させる。これにより、エッチング時に最上層のS iチャンネル層の消耗を防止できる。自己整列されたトランジスタゲートを形成するために、ダマシン工程を利用できる。

【発明を実施するための最良の形態】

【0046】

本発明の前記特徴、他の特徴及び利点は、添付図面を参照して説明する本発明の望ましい状態についての詳細な説明から明らかになる。添付図面において、類似した参照符号は、相異なる図面に対して同じ部分を表す。添付図面は、正確に記載されたものではなく、本発明の原理を説明するのに必要な部分は強調されている。添付図面において、明確性のために層及び領域の厚さが誇張されている。

10

【0047】

次の詳細な説明において、ある層が他の層または基板上に形成されると記載されるとき、前記層は、他の層上にまたは基板上に形成されるか、または第3の層が前記層と前記他の層または基板との間に介在されうる。

【0048】

図1は、本発明の実施形態によってラウンド状または円形のナノワイヤーチャンネルを有するF E Tの概略的な平面図である。図2Aは、図1のA - A'線の図1のF E Tの一実施形態の概略的な断面図である。図2Bは、図1のB - B'線の図2AのF E Tの一実施形態の概略的な断面図である。

20

【0049】

図1、図2A及び図2Bに示すように、本発明のF E Tの構造は、半導体基板110を備える。前記基板110上には、ソース/ドレイン領域14が形成されている。前記ソース/ドレイン領域14は、図示したように順次に積層された第1S i G e層14a、S i層14b及び第2S i G e層14cの積層構造を含む。前記第1及び第2S i G e層及び前記S i層は、エピタキシャル層からなりうる。前記S i層14bは、ソース/ドレイン領域14の間でライン“X”に沿って延びるラウンド状のナノワイヤーチャンネル領域12を備える。前記ナノワイヤーチャンネル領域12の下部の領域で、基板110の一部が基板の表面上に突出している。図2Bに示すように、前記ナノワイヤーチャンネル領域12及び前記基板110の突出部は、距離dほど離隔されている。素子分離領域116により、F E Tが他の素子から分離されている。前記ナノワイヤーチャンネル領域12の周囲は、シリコン酸化物のような物質からなるゲート絶縁層30により取り囲まれている。また、前記ゲート絶縁層30は、前記基板の突出部を取り囲む。ポリシリコン、金属またはポリシリコンと金属との組み合わせのような物質からなるゲート20は、前記ナノワイヤーチャンネル領域12を取り囲む。前記ゲート20は、前記ゲート絶縁層30により前記ナノワイヤーチャンネル領域12と相互に分離されている。

30

【0050】

図3は、図1のA - A'線の図1のF E Tの他の実施形態の概略的な断面図である。図3の素子100Bは、第1及び第2S i G e層14a、14c及び前記S i層14bの多重層積層構造の代わりに、単一のS i層14dを有するという点で、図2A及び図2Bの構成と異なる。前記S i層14dは、素子のソース/ドレイン領域の役割を行い、素子のラウンド状のナノワイヤーチャンネル12を提供する。

40

【0051】

図4Aは、図1のA - A'線の本発明によるF E Tのさらに他の実施形態の概略的な断面図である。図4Bは、図1のB - B'線の図4AのF E Tの概略的な断面図である。

【0052】

図4A及び図4Bに示すように、F E T100Cが単一のナノワイヤーでない複数、すなわち二つのラウンド状のナノワイヤーチャンネル112a、112bを備えるという点で、前述した実施形態と異なる。F E T100Cは、半導体基板110を備える。前記基

50

板 1 1 0 上には、ソース/ドレイン領域 1 1 4 が形成されている。前記ソース/ドレイン領域 1 1 4 は、図示したように順次に積層された第 1 SiGe 層 1 1 4 a、第 1 Si 層 1 1 4 b、第 2 SiGe 層 1 1 4 c、第 2 Si 層 1 1 4 d 及び第 3 SiGe 層 1 1 4 e の積層構造を含む。前記第 1、第 2 及び第 3 SiGe 層 1 1 4 a, 1 1 4 c, 1 1 4 e、前記第 1 及び第 2 Si 層 1 1 4 b, 1 1 4 d は、エピタキシャル層から構成される。前記第 1 Si 層 1 1 4 b は、ソース/ドレイン領域 1 1 4 の間でライン “ X_1 ” に沿って延びる第 1 ラウンド状のナノワイヤーチャンネル領域 1 1 2 a を備える。前記第 2 Si 層 1 1 4 d は、ソース/ドレイン領域 1 1 4 の間でライン “ X_2 ” に沿って延びる第 2 ラウンド状のナノワイヤーチャンネル領域 1 1 2 b を備える。前記ナノワイヤーチャンネル領域 1 1 2 a, 1 1 2 b の下部の領域で、基板 1 1 0 の一部が基板の表面上に突出している。図 4 B に示すように、前記第 1 ナノワイヤーチャンネル領域 1 1 2 a 及び前記基板 1 1 0 の突出部は、距離 d_1 ほど離隔されている。また、前記第 2 ナノワイヤーチャンネル領域 1 1 2 b 及び前記基板 1 1 0 の突出部は、距離 d_2 ほど離隔されている。素子分離領域 1 1 6 により、FET 1 0 0 C が他の素子から分離されている。前記第 1 及び第 2 ナノワイヤーチャンネル領域 1 1 2 a, 1 1 2 b の周囲は、シリコン酸化物のような物質からなるゲート絶縁層 3 0 により取り囲まれている。また、前記ゲート絶縁層 3 0 は、前記基板の突出部を取り囲む。ポリシリコン、金属またはポリシリコンと金属との組み合わせのような物質からなるゲート 2 0 は、前記第 1 及び第 2 ナノワイヤーチャンネル領域 1 1 2 a, 1 1 2 b を取り囲む。前記ゲート 2 0 は、前記ゲート絶縁層 3 0 により前記第 1 及び第 2 ナノワイヤーチャンネル領域 1 1 2 a, 1 1 2 b と相互に分離されている。

【0053】

図 5 は、図 1 の A - A' 線の図 1 の FET のさらに他の実施形態の概略的な断面図である。図 5 の素子 1 0 0 D は、第 1、第 2 及び第 3 SiGe 層 1 1 4 a, 1 1 4 c, 1 1 4 e、前記第 1 及び第 2 Si 層 1 1 4 b, 1 1 4 d の多重層の積層構造の代わりに、単一の Si 層 1 1 4 f を有するという点で、図 4 A 及び図 4 B の構成と異なる。前記 Si 層 1 1 4 f は、素子のソース/ドレイン領域の役割を行い、素子のラウンド状のナノワイヤーチャンネル 1 1 2 a, 1 1 2 b を提供する。

【0054】

図 6 A は、図 1 の A - A' 線の本発明による FET のさらに他の実施形態の概略的な断面図である。図 6 B は、図 1 の B - B' 線の図 6 A の FET の概略的な断面図である。

【0055】

図 6 A 及び図 6 B に示すように、FET 1 0 0 E が単一のナノワイヤーチャンネル 1 2 または二つのナノワイヤーチャンネル 1 1 2 a, 1 1 2 b ではない複数、すなわち三つのラウンド状のナノワイヤーチャンネル 2 1 2 a, 2 1 2 b, 2 1 2 c を備えるという点で、前述した実施形態と異なる。FET 1 0 0 E は、半導体基板 1 1 0 を備える。前記基板 1 1 0 上には、ソース/ドレイン領域 2 1 4 が形成されている。前記ソース/ドレイン領域 2 1 4 は、図示したように順次に積層された第 1 SiGe 層 2 1 4 a、第 1 Si 層 2 1 4 b、第 2 SiGe 層 2 1 4 c、第 2 Si 層 2 1 4 d、第 3 SiGe 層 2 1 4 e、第 3 Si 層 2 1 4 f 及び第 4 SiGe 層 2 1 4 g の積層構造を含む。前記第 1、第 2、第 3 及び第 4 SiGe 層 2 1 4 a, 2 1 4 c, 2 1 4 e, 2 1 4 g、前記第 1、第 2 及び第 3 Si 層 2 1 4 b, 2 1 4 d は、エピタキシャル層から構成される。前記第 1 Si 層 2 1 4 b は、ソース/ドレイン領域 2 1 4 の間でライン “ X_3 ” に沿って延びる第 1 ラウンド状のナノワイヤーチャンネル領域 2 1 2 a を備える。前記第 2 Si 層 2 1 4 d は、ソース/ドレイン領域 2 1 4 の間でライン “ X_4 ” に沿って延びる第 2 ラウンド状のナノワイヤーチャンネル領域 2 1 2 b を備える。前記第 3 Si 層 2 1 4 f は、ソース/ドレイン領域 2 1 4 の間でライン “ X_5 ” に沿って延びる第 3 ラウンド状のナノワイヤーチャンネル領域 2 1 2 c を備える。前記ナノワイヤーチャンネル領域 2 1 2 a, 2 1 2 b, 2 1 2 c の下部の領域で、基板 1 1 0 の一部が基板の表面上に突出している。図 6 B に示すように、前記第 1 ナノワイヤーチャンネル領域 1 1 2 a 及び前記基板 1 1 0 の突出部は、距離 d_3 ほど離隔されている。また、前記第 2 ナノワイヤーチャンネル領域 2 1 2 b 及び前記基板 1 1 0

の突出部は、距離 d_4 ほど離隔されている。また、前記第 3 ナノワイヤーチャンネル領域 2 1 2 c 及び前記基板 1 1 0 の突出部は、距離 d_5 ほど離隔されている。素子分離領域 1 1 6 により、F E T 1 0 0 E が他の素子から分離されている。前記第 1、第 2 及び第 3 ナノワイヤーチャンネル領域 2 1 2 a, 2 1 2 b, 2 1 2 c の周囲は、シリコン酸化物のような物質からなるゲート絶縁層 3 0 により取り囲まれている。また、前記ゲート絶縁層 3 0 は、前記基板の突出部を取り囲む。ポリシリコン、金属またはポリシリコンと金属との組み合わせのような物質からなるゲート 2 0 は、前記第 1、第 2 及び第 3 ナノワイヤーチャンネル領域 2 1 2 a, 2 1 2 b, 2 1 2 c を取り囲む。前記ゲート 2 0 は、前記ゲート絶縁層 3 0 により、前記第 1、第 2 及び第 3 ナノワイヤーチャンネル領域 2 1 2 a, 2 1 2 b, 2 1 2 c と相互に分離されている。

10

【 0 0 5 6 】

図 7 は、図 1 の A - A' 線の図 1 の F E T のさらに他の実施形態の概略的な断面図である。図 7 の素子 1 0 0 F は、第 1、第 2、第 3 及び第 4 S i G e 層 2 1 4 a, 2 1 4 c, 2 1 4 e, 2 1 4 g、前記第 1、第 2 及び第 3 S i 層 2 1 4 b, 2 1 4 d, 2 1 4 f の多重層の積層構造の代わりに、単一の S i 層 2 1 4 h を有するという点で、図 6 A 及び図 6 B の構成と異なる。前記 S i 層 2 1 4 h は、素子のソース/ドレイン領域の役割を行い、素子のラウンド状のナノワイヤーチャンネル 2 1 2 a, 2 1 2 b, 2 1 2 c を提供する。

【 0 0 5 7 】

図 8 は、本発明による F E T のラウンド状のナノワイヤーチャンネル及びゲートを形成する工程を説明するフローダイアグラムである。図 9 A ないし図 9 D は、本発明による F E T のラウンド状のナノワイヤーチャンネル及びゲートを形成する工程をステップ別に説明する概略的な斜視図である。ここで説明する本発明によるナノワイヤーチャンネル、ゲート及び F E T の形成工程は、本明細書に記載されたあらゆる実施形態による F E T に適用されうる。特に、後述する形成工程は、F E T のラウンド状のナノワイヤーチャンネルの数に関係なく適用可能である。

20

【 0 0 5 8 】

図 8、図 9 A ないし図 9 D に示すように、ステップ S 5 0 で、多角形の断面形態を有する活性 S i パターンを形成する。例えば、特に図 9 A に示すように、ほぼ長方形の断面 4 0 2 a 及び平坦な外側表面 4 0 2 b を有する活性 S i パターン 4 0 2 を形成できる。

【 0 0 5 9 】

次いで、ステップ S 6 0 で、洗浄工程を行って前記活性 S i パターン 4 0 2 上に形成されうる酸化膜を除去する。

30

【 0 0 6 0 】

次いで、ステップ S 7 0 で、前記活性 S i パターン 4 0 2 の四角コーナーを除去するためのエッチングを行う。アニーリングステップを行ってラウンド状の S i ナノワイヤーチャンネル 4 0 4 を完成する。図 9 B に示したように、前記チャンネル 4 0 4 は、ほぼ円形の断面 4 0 4 a を有する。

【 0 0 6 1 】

次いで、ステップ S 8 0 で、図 9 C に示したように、前記ラウンド状の S i ナノワイヤーチャンネル 4 0 4 を取り囲むゲート絶縁層 4 0 6 を形成する。

40

【 0 0 6 2 】

次いで、ステップ S 9 0 で、図 9 D に示したように、前記ゲート絶縁層 4 0 6 及びラウンド状の S i ナノワイヤーチャンネル 4 0 4 を取り囲むゲート電極 4 0 8 を形成する。前記ゲート電極 4 0 8 は、ポリシリコン、金属またはポリシリコンと金属との組み合わせのような導電性材料からなる。

【 0 0 6 3 】

図 1 0 は、前記長方形のナノワイヤーチャンネル 4 0 2 から前記ラウンド状の S i ナノワイヤーチャンネル 4 0 4 を形成する工程を説明するフローダイアグラムである。図 1 0 について、後で詳細に説明する。

【 0 0 6 4 】

50

図 1 1 A ないし図 1 1 M は、本発明の実施形態によって本発明の F E T を製造する工程を順に説明するための概略的な斜視図である。図 1 1 A に示すように、シリコン基板 5 0 0 を準備する。前記基板 5 0 0 の上面に第 1 S i G e 層 5 1 2 を形成する。前記第 1 S i G e 層 5 1 2 は、5 ないし 5 0 n m の厚さを有し、1 5 ないし 2 0 % の G e 含量を有する。前記第 1 S i G e 層 5 1 2 上に活性 S i 層 5 1 4 を形成する。前記 S i 層 5 1 4 は、後続工程を経て F E T のラウンド状のナノワイヤーチャンネル領域が形成される層である。前記 S i 層 5 1 4 上に第 2 S i G e 層 5 1 6 を形成する。前記第 2 S i G e 層 5 1 6 は、5 ないし 5 0 n m の厚さに形成され、5 ないし 1 0 % の G e 含量を有する。後続のエッチング工程中に上部の S i G e 消耗量が少なく S i 層 5 1 4 に損傷を及ぼさないことによって、優秀なナノワイヤーチャンネルを確保可能にするために、前記第 2 S i G e 層 5 1 6 は、より少ない G e 含量を有するように形成されうる。一実施形態において、前記第 1 及び第 2 S i G e 層 5 1 2 , 5 1 6 、 S i 層 5 1 4 は、5 ないし 5 0 n m の厚さまでエピタキシャル成長する。

10

【 0 0 6 5 】

次いで、前記第 2 S i G e 層 5 1 6 上にキャッピング層 5 1 8 を形成する。前記キャッピング層 5 1 8 は、後続のエッチング工程のためにシリコン窒化物 (S i N) に対して高いエッチング選択比を有する物質、例えばシリコン酸化物からなるバッファ層となりうる。次いで、例えば S i N からなるハードマスク層を前記バッファ酸化膜、すなわちキャッピング層 5 1 8 上に形成する。フォトリソグラフィ及びエッチング工程を利用して前記ハードマスク層をパターンニングして、前記キャッピング層 5 1 8 上にハードマスクパターン 5 2 0 を形成する。

20

【 0 0 6 6 】

図 1 1 B に示すように、前記ハードマスクパターン 5 2 0 をエッチングマスクとして利用して結果物をエッチングして、S T I (S h a l l o w T r e n c h I s o l a t i o n) トレンチ 5 2 2 を形成する。一実施形態において、前記トレンチの深さは 1 5 0 ないし 3 5 0 n m である。

【 0 0 6 7 】

図 1 1 C に示すように、次いで、前記トレンチ 5 2 2 内に S T I 5 2 4 を形成する。前記 S T I 5 2 4 は、H D P (H i g h D e n s i t y P l a s m a) 工程により酸化物を蒸着することによって形成される。H D P 工程後、C M P (C h e m i c a l M e c h a n i c a l P o l i s h i n g) 工程を行って前記ハードマスクパターン 5 2 0 の上面を露出させる。図示したように、C M P 工程中に使われるスラリーは、H D P 酸化膜で形成される前記 S T I 5 2 4 に対して前記ハードマスクパターン 5 2 0 よりさらに高い研磨速度を表して、前記 S T I 5 2 4 とハードマスクパターン 5 2 0 との間に段差が形成される。

30

【 0 0 6 8 】

次いで、図 1 1 D に示すように、前記ハードマスクパターン 5 2 0 及び前記 S T I 5 2 4 の一部をリン酸で除去して、結果物の上面に前記キャッピング層 5 1 8 及び S T I 5 2 4 の上面を露出させる。

【 0 0 6 9 】

次いで、図 1 1 E に示すように、前記結果物の上面に第 2 ハードマスクパターン 5 3 0 を形成する。このために、結果物の上面に S i N からなるハードマスク層を形成した後、フォトリソグラフィ工程及びエッチング工程を利用して前記ハードマスク層をパターンニングする。

40

【 0 0 7 0 】

次いで、図 1 1 F に示すように、前記第 2 ハードマスクパターン 5 3 0 をエッチングマスクとして得られた結果物をエッチングして、S T I リセス 5 3 2 を形成する。前記リセス 5 3 2 の深さは、前記第 1 及び第 2 S i G e 層 5 1 2 , 5 1 6 及び S i 層 5 1 4 の総厚よりさらに深く制御する。すなわち、前記リセス 5 3 2 は、エピタキシャル成長された S i G e 層及び S i 層の底面よりさらに深く延びる。その結果、残っているエピタキシャル

50

成長された SiGe 層及び Si 層とその直下に位置する基板部分との幅が図面に “ W_1 ” で表示されている。

【0071】

次いで、図 11G に示すように、前記 SiGe 層 512, 516 の残りの部分、Si 層 514a の残りの部分、及びそれらのエピタキシャル成長した層の直下にある幅 “ W_1 ” の基板の隆起部分をエッチングにより選択的にトリミングして、エピタキシャル層とその下部の基板の隆起部分との幅を “ W_2 ” にする。このとき、エッチングは、例えば 400 W、225 mTorr、250 の条件で、 CF_4 及び O_2 がそれぞれ 60 及び 150 sccm の量で供給される雰囲気下で CDE 工程を利用して 20 秒間行うことが望ましい。前記幅 W_2 は、形成しようとするナノワイヤーの最終サイズによって選択される。CDE を行うことによって、チャンネル幅が W_2 に減少すると共に、チャンネルの断面形状が長方形となる。図 11H は、図 11G の構造を 90° 回転させたものであって、得られた結果物の構造を明確に示す。

10

【0072】

次いで、図 11I に示すように、チャンネル領域である Si 層 514a の上面及び底面にある SiGe 層 512, 516 を除去して、前記チャンネル領域 514a を完全に露出させる。よく分かるように、この過程を経た後、前記基板 500 のうち前記チャンネル領域 514a の下部に残っている四角形部分は、前記 Si 層 514a の下部に残ることになる。このステップは、 CH_3COOH (または、 CH_3COH) + HF + DIW (脱イオン水) (+ H_2O_2 + 界面活性剤など) を含むエッチング液を使用するウェットエッチングにより行われる。

20

【0073】

次いで、図 11J に示すように、長方形の断面を有するチャンネル領域 514a からラウンド状または円形の断面を有するナノワイヤーチャンネル 514b を形成する。これは、前記ラウンド状または円形の断面を有するナノワイヤーチャンネル 514b が得られるまで、前記長方形の断面を有するチャンネル領域 514a に対してエッチング及びアニーリングを反復して行う。

【0074】

図 10 は、長方形の断面を有するナノワイヤーであるチャンネル領域 514a からラウンド状のナノワイヤーチャンネル 514b を形成する工程を説明するフローダイアグラムである。まず、 H_2 雰囲気下で選択的な洗浄ステップ S100 を行う。一実施形態において、前記洗浄は、100% H_2 雰囲気下で行われる。他の方法として、 H_2 を含むか、または含まない Ar 及び / または He 雰囲気を利用することもできる。一実施形態では、0.1 ないし 10 Torr の圧力、600 ないし 900 の温度で洗浄を行う。特定の一実施形態では、700 ないし 800 の温度で洗浄を行う。洗浄ステップでのガス流量は 1 ないし 500 sccm にし、工程時間は 1 ないし 5 分間にする。

30

【0075】

洗浄ステップ後、ステップ S200 で、前記長方形の断面を有するナノワイヤーチャンネル領域 514a の四つのコーナーがエッチングされる。前記エッチングは、工程チャンバ内に HCl 及び H_2 ガスの組み合わせを導入することによって行われる。特定の一実施形態において、エッチング中の HCl の流量は 100 ないし 2000 sccm であり、 H_2 のガス流量は 100 ないし 2000 sccm である。 HCl : H_2 の流量比は、5 : 5 ないし 3 : 7 にする。特定の一実施形態において、 HCl : H_2 の流量比は、300 sccm : 500 sccm である。エッチング温度は 600 ないし 900 にし、圧力は 10 ないし 100 Torr にする。エッチング時間は、1 ないし 120 秒の範囲内にする。

40

【0076】

ステップ S200 のエッチングは、少なくとも三つの可能な条件下で行われうる。比較的長時間の低温エッチング時には、エッチング温度を 600 ないし 700 にする。比較的短時間の高温エッチング時には、エッチング温度を 850 ないし 900 にする。前記した二つの条件間の中間程度の時間及び中間程度の温度下でのエッチング時には、750

50

ないし 820 内の温度で行われうる。

【0077】

エッチング工程後には、ステップ S300 で低温アニーリングを行ってラウンド状のナノワイヤーチャンネル領域 514b を形成する。アニーリングは、 H_2 ガス雰囲気で行う。一実施形態では、0.1 ないし 10 Torr の圧力でアニーリングを行う。圧力が低ければ、工程時間が短縮される。一実施形態では、600 ないし 900 の温度で 10 ないし 800 秒間アニーリングを行う。一実施形態では、 H_2 ガス流量が 1 ないし 500 sccm である。特定の一実施形態では、約 810 の温度及び 5 Torr の圧力で 500 秒間アニーリングを行う。

【0078】

エッチング及びアニーリングステップを所望するほど複数回反復して、最終のラウンド状のナノワイヤーチャンネル 514b を形成できる。アニーリングステップ S300 と後続の反復するエッチングステップ S200 との間にパージステップ S400 を行って、工程チャンバからアニーリング H_2 ガスを除去できる。前記パージは、Ar、He 及び H_2 ガスのうち少なくとも一つを使用して行われうる。

【0079】

パージステップ S400 後、ステップ S500 でチャンネル 514b が所望するサイズ及び/または形状であるか否かを判断する。もし、前記チャンネル 514b が適切な形状及びサイズであれば、工程を終了する。そうでなければ、ステップ S200 に戻って他のエッチング、アニーリング S300 及び選択的なパージ S400 のサイクルを開始する。

【0080】

図 11K に示すように、ラウンド状のナノワイヤーチャンネル 514b が形成された後、得られた構造上に前記ラウンド状のナノワイヤーチャンネル 514b を取り囲むようにゲート絶縁層を形成する。前記ゲート絶縁層は、前記構造物上で O_2 ガスを使用して SiO_2 を成長させることによって形成されうる。次いで、ポリシリコン、金属またはそれらの組み合わせからなるゲート材料を蒸着して、前記ラウンド状のナノワイヤーチャンネル 514b を取り囲む。次いで、前記ゲート材料を CMP のような方法で平坦化して、前記ナノワイヤーチャンネル 514b を取り囲むゲート 540 を形成する。

【0081】

次いで、図 11L に示すように、前記第 2 ハードマスクパターン 530 を除去する。図 11M は、ゲートパターン 540 が仮想線で表示された最終構造を示す。図 11M には、ラウンド状のナノワイヤーチャンネル 514b 及び基板 500 の隆起部分が示されており、それらは、本発明のエッチング及びアニーリングによりラウンド状になっている。

【0082】

よく分かるように、FET を製造する本実施形態は、チャンネル領域の数に関係なく適用可能である。チャンネル領域の数が増える場合、初期ステップで交互に形成される $SiGe$ 層及び Si 層の数が増加する。

【0083】

図 2A は、図 11L の I I a - I I a' 線の断面に対応する図面である。同様に、図 2B は、図 11L の I I b - I I b' 線の断面に対応する図面である。

【0084】

図 12A ないし図 12K は、本発明の他の実施形態によって本発明による FET の製造工程をステップ別に説明するための図面である。図 12A ないし図 12K の実施形態で利用される初期ステップは、図 11A ないし図 11D を参照して説明した実施形態で説明した通りである。残りのステップについては、図 11A ないし図 11M を参照して説明したステップと類似した場合、それらのステップについての説明は反復しない。図 12A ないし図 12F は、図 11D の X I I - X I I' 線の断面図である。図 12G ないし図 12K は、本発明の実施形態による FET の製造工程をステップ別に説明するための概略的な斜視図である。

【0085】

10

20

30

40

50

図 1 2 A には、図 1 1 A ないし図 1 1 D のステップを行った後に得られた構造が示されている。

【 0 0 8 6 】

次いで、図 1 2 B に示すように、前記構造上にハードマスクパターン 6 3 0 を形成する。前記ハードマスクパターン 6 3 0 は、S i N 層をパターンニングして得られる。

【 0 0 8 7 】

次いで、図 1 2 C に示すように、前記構造上にリセス領域 6 3 2 を形成する。これは、前記ハードマスクパターン 6 3 0 をエッチングマスクとして利用して、前記第 1 エピタキシャル S i G e 層 5 1 2 より深くトレンチをエッチングする方法で行われうる。

【 0 0 8 8 】

次いで、図 1 2 D に示すように、前記リセス 6 3 2 内に S i 層 6 4 0 をエピタキシャル成長させて、前記リセス 6 3 2 を部分的に満たす。一実施形態では、前記エピタキシャル S i 層 6 4 0 が第 2 エピタキシャル S i G e 層 5 1 6 より高く成長する。

【 0 0 8 9 】

次いで、図 1 2 E に示すように、前記エピタキシャル S i 層 6 4 0 上で前記ハードマスクパターン 6 3 0 に隣接して、例えば S i N からなる他のハードマスクパターンを形成する。

【 0 0 9 0 】

図 1 2 F 及び図 1 2 G に示すように、前記ハードマスクパターン 6 3 0 を除去して第 2 エピタキシャル S i G e 層 5 1 6 の上面及び S T I 絶縁層 5 2 4 の上面を露出させる。

【 0 0 9 1 】

次いで、図 1 2 H に示すように、前記構造でエッチングにより前記 S T I 絶縁層 5 2 4 の一部を除去してダマシンリセス領域 5 3 2 を形成して、第 1 及び第 2 S i G e 層 5 1 2 , 5 1 6 、 S i 層 5 1 4 及びエピタキシャル層 5 1 2 , 5 1 4 , 5 1 6 の下部にある基板 5 0 0 の部分からなるスタックの側面を露出させる。

【 0 0 9 2 】

次いで、図 1 2 I に示すように、前記構造でエッチングにより、望ましくは、C D E により、前記第 1 及び第 2 S i G e 層 5 1 2 , 5 1 6 、 S i 層 5 1 4 及びエピタキシャル層 5 1 2 , 5 1 4 , 5 1 6 の下部にある基板 5 0 0 の隆起部分をトリミングする。図示したように、前記トリミングによりエピタキシャル S i 層 6 4 0 の一部が露出される。

【 0 0 9 3 】

次いで、図 1 2 J に示すように、チャンネル領域 5 1 4 a の上部及び下部にある前記第 1 及び第 2 S i G e 層 5 1 2 , 5 1 6 を除去して、チャンネル領域 5 1 4 a を完全に露出させる。よく分かるように、このステップ後に、チャンネル領域 5 1 4 a の下部には、基板 5 0 0 の長方形の隆起部分が残っている。このステップは、 CH_3COOOH (または、 CH_3COOH) + HF + DIW (脱イオン水) (+ H_2O_2 + 界面活性剤など) を含むエッチング液を使用するウェットエッチングにより行われる。

【 0 0 9 4 】

次いで、図 1 2 K に示すように、図 1 0 を参照して説明したようにチャンネル領域 5 1 4 a を洗浄、エッチング及びアニーリングして、ラウンド状のナノワイヤーチャンネル領域 5 1 4 b を形成する。本実施形態から分かるように、F E T のソース/ドレイン領域は、エピタキシャル S i G e 及び S i 層のスタック構造とは異なり、単一のエピタキシャル S i 層 6 4 0 から形成されている。また、本実施形態から分かるように、前述した実施形態と同様に、本実施形態は、チャンネル領域の数に関係なく適用されうる。チャンネル領域の数が多くなるほど、S i G e 層及び S i 層の初期形成時の交互の積層数がさらに多くなる。

【 0 0 9 5 】

以上、本発明を例示的な実施形態を挙げて詳細に説明したが、本発明は、前記実施形態に限定されず、本発明の技術的思想及び範囲内で当業者により色々な変形及び変更が可能である。

10

20

30

40

50

【産業上の利用可能性】

【0096】

本発明による半導体素子の微細パターンの形成方法は、大規模、高集積の半導体回路素子を製造するのに有効に適用できる。

【図面の簡単な説明】

【0097】

【図1】本発明の実施形態によるラウンド状または円形のナノワイヤーチャンネルを有するFETの概略的な平面図である。

【図2A】図1のA-A'線における、図1のFETの一実施形態の概略的な断面図である。

10

【図2B】図1のB-B'線における、図2AのFETの一実施形態の概略的な断面図である。

【図3】図1のA-A'線における、図1のFETの他の実施形態の概略的な断面図である。

【図4A】図1のA-A'線における、本発明によるFETのさらに他の実施形態の概略的な断面図である。

【図4B】図1のB-B'線における、図4AのFETの概略的な断面図である。

【図5】図1のA-A'線における、図1のFETのさらに他の実施形態の概略的な断面図である。

【図6A】図1のA-A'線における、本発明によるFETのさらに他の実施形態の概略的な断面図である。

20

【図6B】図1のB-B'線における、図6AのFETの概略的な断面図である。

【図7】図1のA-A'線における、図1のFETのさらに他の実施形態の概略的な断面図である。

【図8】本発明によるFETのラウンド状のナノワイヤーチャンネル及びゲートを形成する工程を説明するフローダイアグラムである。

【図9A】本発明によるFETのラウンド状のナノワイヤーチャンネル及びゲートを形成する工程をステップ別に説明する概略的な斜視図である。

【図9B】本発明によるFETのラウンド状のナノワイヤーチャンネル及びゲートを形成する工程をステップ別に説明する概略的な斜視図である。

30

【図9C】本発明によるFETのラウンド状のナノワイヤーチャンネル及びゲートを形成する工程をステップ別に説明する概略的な斜視図である。

【図9D】本発明によるFETのラウンド状のナノワイヤーチャンネル及びゲートを形成する工程をステップ別に説明する概略的な斜視図である。

【図10】本発明の実施形態によって、長方形のナノワイヤーチャンネルからラウンド状のナノワイヤーチャンネルを形成する工程を説明するフローダイアグラムである。

【図11A】本発明の実施形態によって本発明のFETを製造する工程をステップ別に説明する概略的な斜視図である。

【図11B】本発明の実施形態によって本発明のFETを製造する工程をステップ別に説明する概略的な斜視図である。

40

【図11C】本発明の実施形態によって本発明のFETを製造する工程をステップ別に説明する概略的な斜視図である。

【図11D】本発明の実施形態によって本発明のFETを製造する工程をステップ別に説明する概略的な斜視図である。

【図11E】本発明の実施形態によって本発明のFETを製造する工程をステップ別に説明する概略的な斜視図である。

【図11F】本発明の実施形態によって本発明のFETを製造する工程をステップ別に説明する概略的な斜視図である。

【図11G】本発明の実施形態によって本発明のFETを製造する工程をステップ別に説明する概略的な斜視図である。

50

【図 1 1 H】本発明の実施形態によって本発明の F E T を製造する工程をステップ別に説明する概略的な斜視図である。

【図 1 1 I】本発明の実施形態によって本発明の F E T を製造する工程をステップ別に説明する概略的な斜視図である。

【図 1 1 J】本発明の実施形態によって本発明の F E T を製造する工程をステップ別に説明する概略的な斜視図である。

【図 1 1 K】本発明の実施形態によって本発明の F E T を製造する工程をステップ別に説明する概略的な斜視図である。

【図 1 1 L】本発明の実施形態によって本発明の F E T を製造する工程をステップ別に説明する概略的な斜視図である。

10

【図 1 1 M】本発明の実施形態によって本発明の F E T を製造する工程をステップ別に説明する概略的な斜視図である。

【図 1 2 A】本発明の他の実施形態によって本発明の F E T を製造する工程をステップ別に説明する概略的な図面である。

【図 1 2 B】本発明の他の実施形態によって本発明の F E T を製造する工程をステップ別に説明する概略的な図面である。

【図 1 2 C】本発明の他の実施形態によって本発明の F E T を製造する工程をステップ別に説明する概略的な図面である。

【図 1 2 D】本発明の他の実施形態によって本発明の F E T を製造する工程をステップ別に説明する概略的な図面である。

20

【図 1 2 E】本発明の他の実施形態によって本発明の F E T を製造する工程をステップ別に説明する概略的な図面である。

【図 1 2 F】本発明の他の実施形態によって本発明の F E T を製造する工程をステップ別に説明する概略的な図面である。

【図 1 2 G】本発明の他の実施形態によって本発明の F E T を製造する工程をステップ別に説明する概略的な図面である。

【図 1 2 H】本発明の他の実施形態によって本発明の F E T を製造する工程をステップ別に説明する概略的な図面である。

【図 1 2 I】本発明の他の実施形態によって本発明の F E T を製造する工程をステップ別に説明する概略的な図面である。

30

【図 1 2 J】本発明の他の実施形態によって本発明の F E T を製造する工程をステップ別に説明する概略的な図面である。

【図 1 2 K】本発明の他の実施形態によって本発明の F E T を製造する工程をステップ別に説明する概略的な図面である。

【符号の説明】

【 0 0 9 8 】

1 0 半導体基板

1 2 ナノワイヤーチャンネル領域

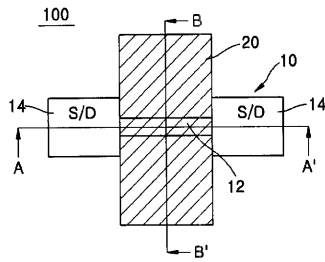
1 4 ソース/ドレイン領域

2 0 ゲート

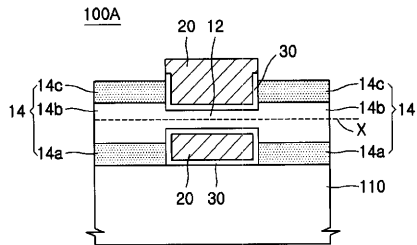
1 0 0 F E T

40

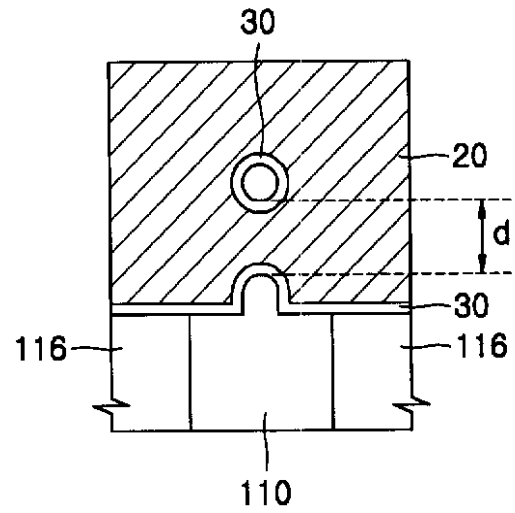
【図 1】



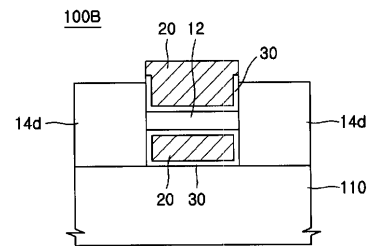
【図 2 A】



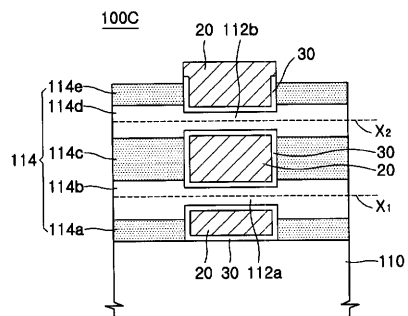
【図 2 B】



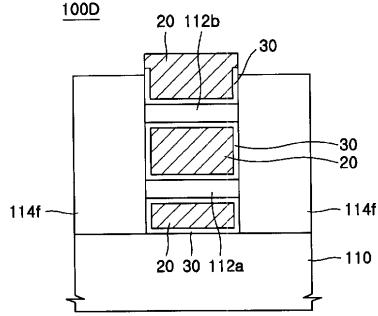
【図 3】



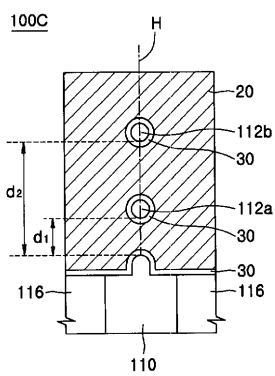
【図 4 A】



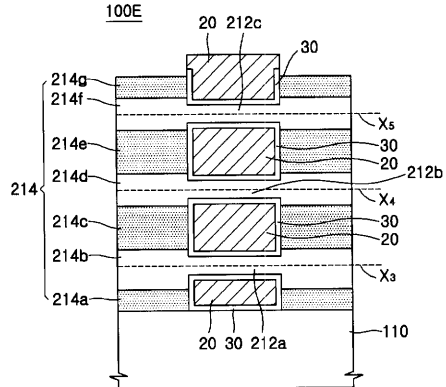
【図 5】



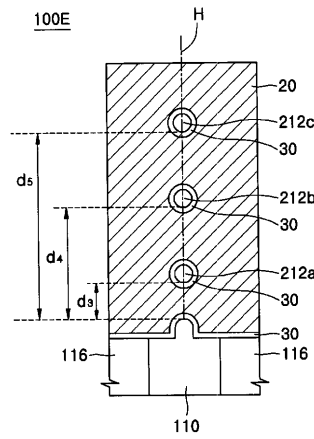
【図 4 B】



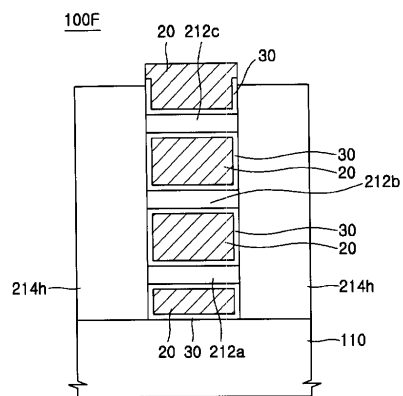
【図 6 A】



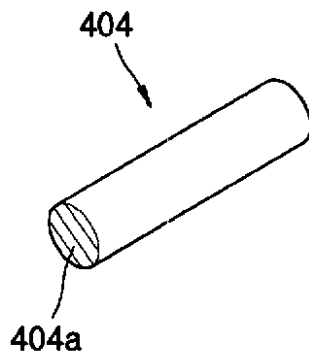
【図 6 B】



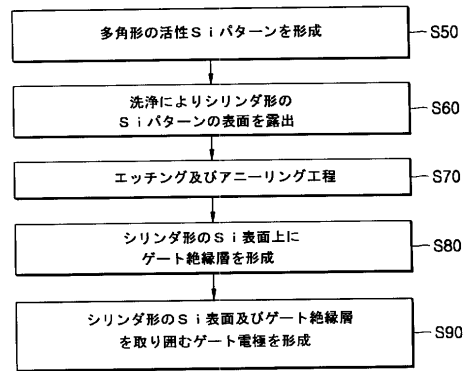
【図 7】



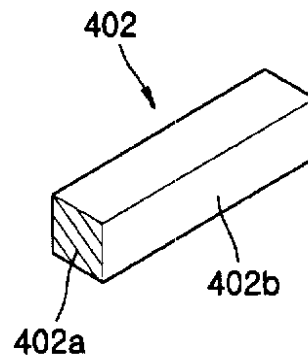
【図 9 B】



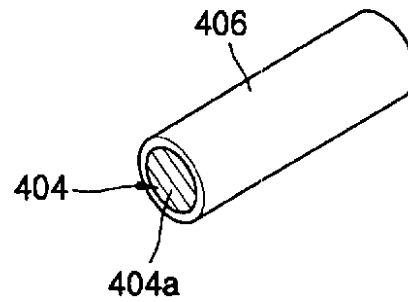
【図 8】



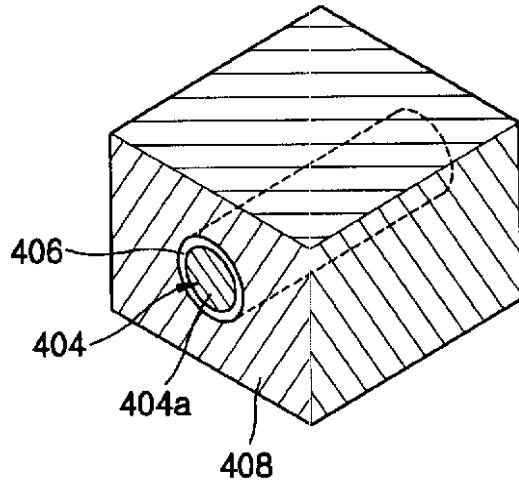
【図 9 A】



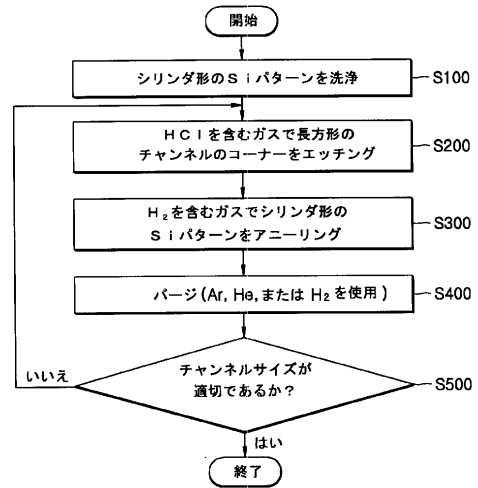
【図 9 C】



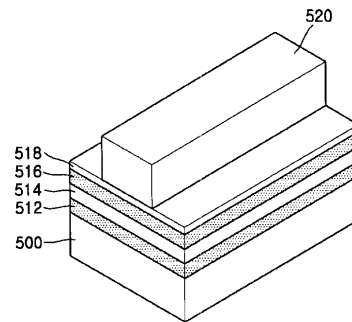
【図 9 D】



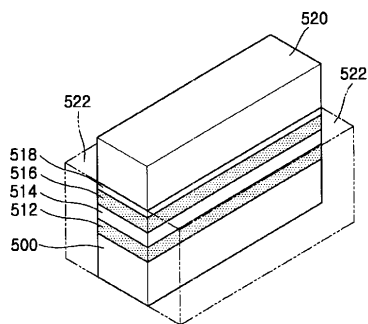
【図 10】



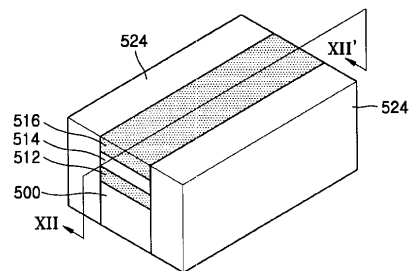
【図 11 A】



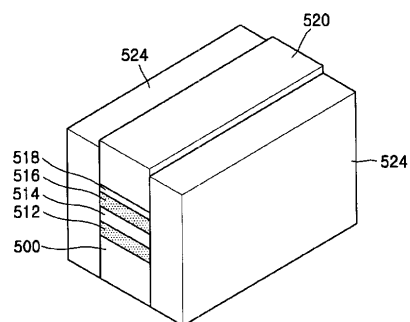
【図 11 B】



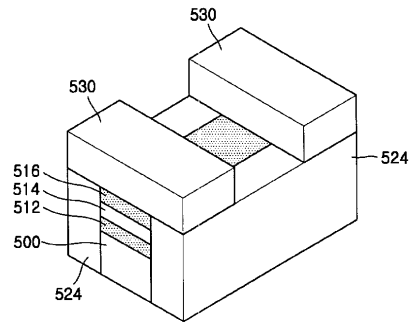
【図 11 D】



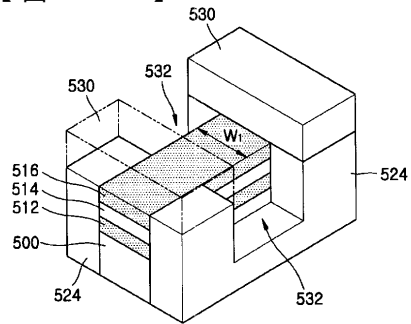
【図 11 C】



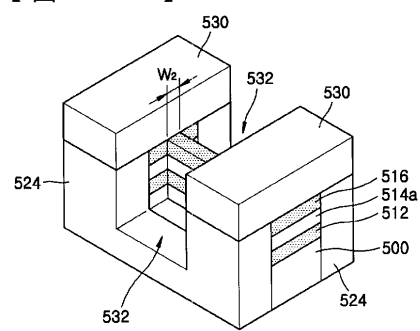
【図 11 E】



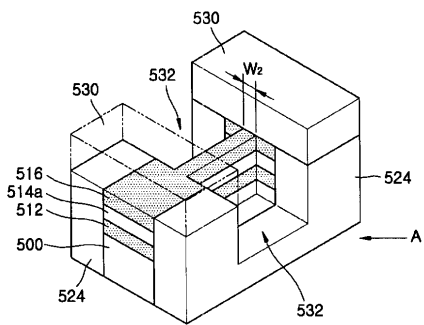
【図 1 1 F】



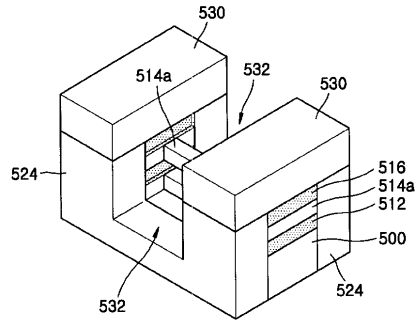
【図 1 1 H】



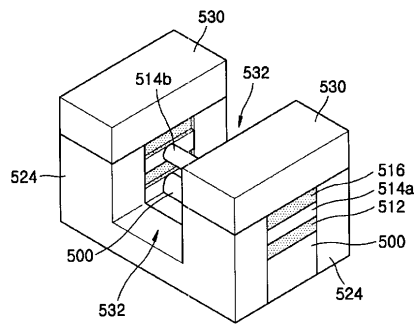
【図 1 1 G】



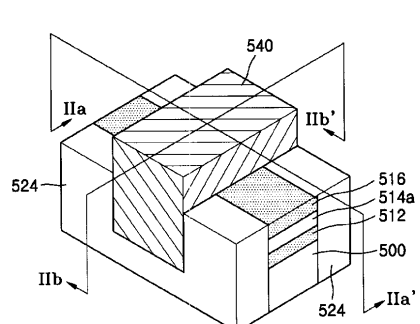
【図 1 1 I】



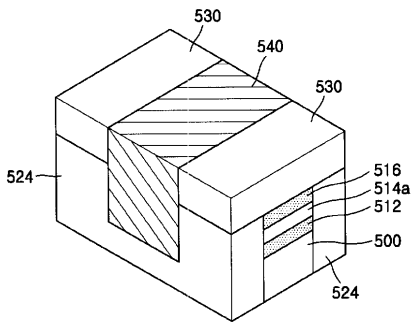
【図 1 1 J】



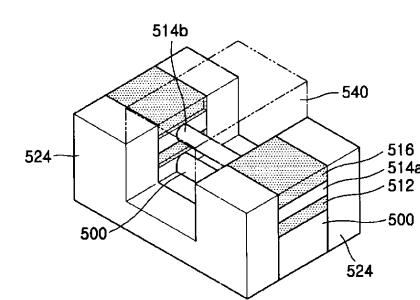
【図 1 1 L】



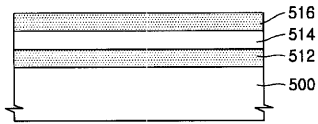
【図 1 1 K】



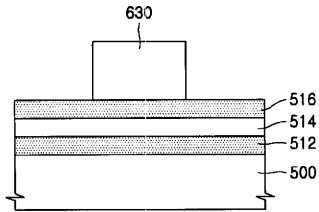
【図 1 1 M】



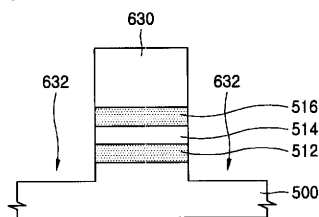
【図 1 2 A】



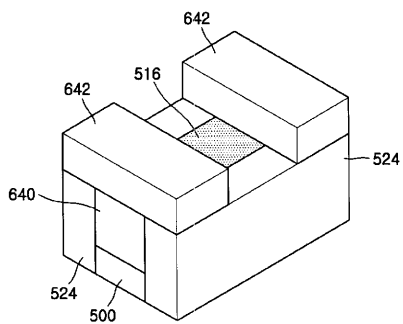
【図 1 2 B】



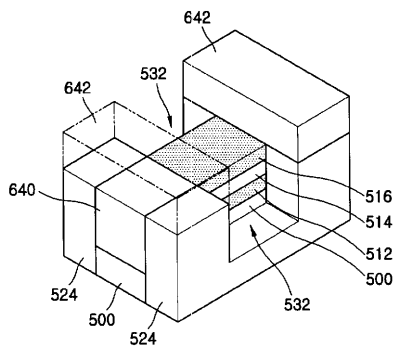
【図 1 2 C】



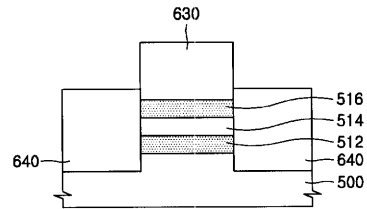
【図 1 2 G】



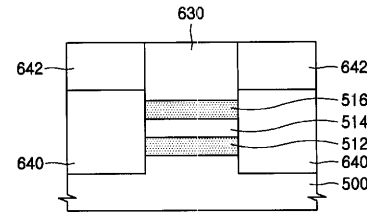
【図 1 2 H】



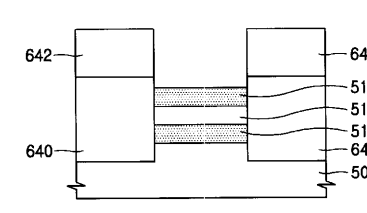
【図 1 2 D】



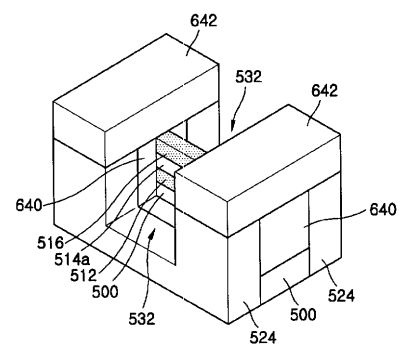
【図 1 2 E】



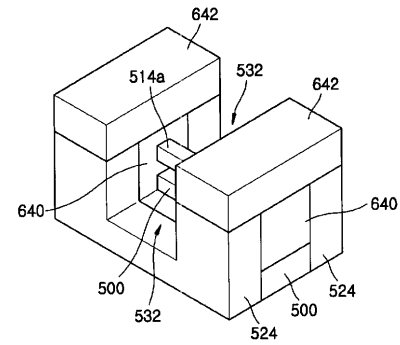
【図 1 2 F】



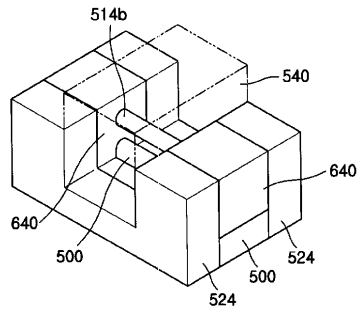
【図 1 2 I】



【図 1 2 J】



【図 12 K】



フロントページの続き

(72)発明者 李 成泳

大韓民国京畿道龍仁市器興區書川同 7 0 5 番地 現代ホームタウンアパート 1 0 2 棟 1 3 0 3 號

(72)発明者 申 東石

大韓民国京畿道龍仁市器興區書川同 7 0 5 番地 現代ホームタウンアパート 1 0 7 棟 1 4 0 2 號

F ターム(参考) 5F110 AA07 AA21 CC01 DD05 EE09 EE22 FF02 GG02 GG12 GG19

GG22 GG30 GG42 GG58 HK08 HK21 HM02 NN62