



MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA TUTELA DELLA PROPRIETÀ INDUSTRIALE
UFFICIO ITALIANO BREVETTI E MARCHI

UIBM

DOMANDA NUMERO	101990900134131
Data Deposito	31/07/1990
Data Pubblicazione	31/01/1992

Priorità	8698/1990
Nazione Priorità	KR
Data Deposito Priorità	

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
H	03	K		

Titolo

CIRCUITO LOGICO A SEMICONDUTTORI AVENTE DUE INGRESSI ED UNA USCITA
--

48183A90

SIB 88672
90PA841/SS

DESCRIZIONE dell'invenzione industriale dal titolo:
"CIRCUITO LOGICO A SEMICONDUTTORI AVENTE DUE INGRESSI
ED UNA USCITA"

della ditta della Repubblica di Corea: SAMSUNG ELECTRONICS
CO., LTD.

con sede in SUWON CITY, Kyounggi-do, REP. DI COREA

=.=.=.=.=.

DESCRIZIONE

BASE TECNICA DELLA INVENZIONE

La presente invenzione si riferisce a circuiti logici per un dispositivo a semiconduttori, in particolare circuiti NAND e NOR aventi due ingressi e un'uscita impiegati per una integrazione spinta su un dispositivo a semiconduttori.

Generalmente, i circuiti logici NAND e NOR sono ampiamente impiegati per predcodificatori, decodificatori, ecc. Tuttavia, dato che la tecnologia per la fabbricazione di dispositivi a semiconduttori ha richiesto circuiti a integrazione sempre più spinta, è desiderabile che venga tenuto conto della superficie occupata dalla geometria concessa a predcodificatori e decodificatori.

Le figure 1A e 1B illustrano rispettivamente un esempio di circuiti convenzionali NAND e NOR.

Facendo riferimento alla figura 1A, un cir-

cuito convenzionale NAND comprende primi e secondi transistori 3 e 4 del tipo MOS a canale P collegati in parallelo tra un terminale di sorgente di tensione ed un primo nodo 1, e primi e secondi transistori 5 e 6 del tipo MOS a canale N collegati in serie tra il primo nodo 1 e massa.

Ambedue le porte dei primi transistori 3 MOS a canale P e del primo transistore 5 MOS a canale N sono collegate con un terminale di ingresso A, mentre ambedue le porte dei secondi transistori MOS a canale P e del secondo transistore 6 MOS a canale N sono collegate con l'altro terminale B di ingresso. Inoltre, il primo nodo 1 è collegato con il terminale 10 di uscita. Il funzionamento di questo circuito logico convenzionale viene descritto in termini di logica positiva nel modo seguente:

Se almeno uno degli stati logici applicati ai terminali di ingresso A e B rappresenta un logico 0, cioè, uno stato di basso, almeno uno dei primi e secondi transistori 3,4 del tipo MOS a canale P si trova in conduzione ed almeno uno dei primi e secondi transistori 5,6 MOS a canale N non si trova in conduzione, per cui il terminale 10 di uscita assume il livello logico 1, cioè uno stato alto. In altre parole,

se ambedue gli stati logici applicati ai terminali di ingresso A e B rappresentano uno stato di alto, i primi e secondi transistori 3 e 4 MOS a canale P non sono in conduzione, ed ambedue i primi e secondi transistori 5 e 6 del tipo MOS a canale N sono in conduzione, per cui il terminale 10 di uscita assume uno stato di livello basso. Conseguentemente, la figura 1A fornisce un circuito logico del tipo NAND.

Facendo riferimento alla figura 1B, una porta NOR convenzionale è costituita da primi e secondi transistori 16,17 del tipo MOS a canale P collegati in serie tra il terminale di sorgente di tensione ed un primo nodo 15, e primi e secondi transistori 18, 19 del tipo MOS a canale N sono collegati in parallelo tra il primo nodo 15 e massa.

Le porte del primo transistor 16 del tipo MOS a canale P e del primo transistor 18 del tipo MOS a canale N sono collegate con un terminale di ingresso C, mentre le porte del secondo transistor 17 del tipo MOS a canale P e del secondo transistor 19 del tipo MOS a canale N sono collegate con l'altro terminale di ingresso D. Il primo nodo 15 è collegato con il terminale 23 di uscita. Il funzionamento di questo circuito NOR viene descritto in termini di logica positiva nel modo seguente:

Se almeno uno degli stati logici applicati ai terminali C e D di ingresso rappresenta un 1 logico, cioè uno stato di livello alto, almeno uno dei primi e secondi transistori 16,17 del tipo MOS a canale P non è in conduzione, ed almeno uno dei primi e secondi transistori 18, 19 del tipo MOS a canale N si trova in conduzione, per cui il terminale 23 di uscita assume uno 0 logico, cioè uno stato di livello basso. In altre parole, se ambedue gli stati logici applicati ai terminali C e D rappresentano uno stato di livello basso, i primi e secondi transistori 16,17 del tipo MOS a canale P si trovano tutti in conduzione, e i primi e secondi transistori 18, 19 di tipo MOS a canale N sono tutti non conduttori, per cui il terminale 23 di uscita assume uno stato a livello alto. Conseguentemente, la figura 1B serve come circuiti logico del tipo NOR.

Come descritto precedentemente facendo riferimento alle figure 1A e 1B, dato che i circuiti logici convenzionali aventi due ingressi e una uscita che servono come porte NAND e NOR sono costituiti da due transistori MOS a canale P e da due transistori MOS a canale N, questo è limitato a ridurre la superficie della geometria per la progettazione di circuiti logici NAND e NOR. Di conseguenza è molto difficile integrare a livello spinto un chip di semiconduttore im-

piegando circuiti NAND e NOR di tipo convenzionale.

SOMMARIO DELLA INVENZIONE

Lo scopo della presente invenzione è quello di fornire un circuito logico avente due ingressi ed una uscita che possa ridurre considerevolmente la superficie della geometria richiesta per la progettazione di un circuito logico.

Secondo la presente invenzione, si fornisce un circuito logico avente due ingressi e una uscita comprendente un primo transistor ad effetto di campo a porta isolata avente una porta collegata con uno dei due terminali di ingresso, un assorbitore collegato con l'altro terminale di ingresso o il terminale di uscita, e una sorgente collegata con il terminale di uscita o l'altro terminale di ingresso; e un secondo transistor ad effetto di campo a porta isolata avente un assorbitore collegato con detto terminale di uscita, una porta collegata con detto primo terminale di ingresso, e una sorgente collegata ad una sorgente di tensione o tensione di massa.

La presente invenzione verrà ora descritta specificamente facendo riferimento ai disegni allegati soltanto a titolo di esempio.

BREVE DESCRIZIONE DEI DISEGNI

La figura 1A illustra un esempio di un cir-

cuito NAND convenzionale;

la figura 1B illustra un esempio di un circuito NOR convenzionale;

la figura 2A illustra un esempio di circuito logico NAND avente due ingressi e una uscita, secondo la presente invenzione;

la figura 2B illustra un esempio di un circuito logico NOR avente due ingressi e una uscita, secondo la presente invenzione;

la figura 3A mostra la tabella di verità per il circuito logico NAND della figura 2A; e

la figura 3B mostra la tabella di verità per il circuito logico NOR di figura 2B.

DESCRIZIONE PARTICOLAREGGIATA DELLA FORMA DI REALIZZAZIONE
PREFERITA

Le figure 2A e 2B illustrano rispettivamente circuiti logici NAND e NOR aventi due ingressi ed una uscita, secondo la presente invenzione.

Il circuito logico NAND di figura 2A comprende un transistor 32 del tipo MOS a canale N avente una porta collegata con un terminale di ingresso A e un assorbitore e sorgente collegati tra l'altro terminale di ingresso $\bar{B}$ ed il terminale di uscita 35, ed un transistor 33 MOS a canale P avente una porta collegata con il primo terminale di ingresso A e una sorgente e un assorbitore

collegati tra una sorgente di tensione 31 ed il terminale 35 di uscita.

Il circuito logico NOR di figura 2B è costituito da un transistor 38 del tipo MOS a canale P avente una porta collegata con un primo terminale di ingresso C e una sorgente ed assorbitore collegati tra l'altro terminale di ingresso $\bar{D}$ e il terminale di uscita 40, ed un transistor 39 MOS a canale N avente una porta collegata con il primo terminale di ingresso C ed un assorbitore e sorgente collegati tra il terminale 40 di uscita e massa.

Verrà ora descritto più specificamente facendo riferimento alle figure 2A, 2B, 3A, e 3B il funzionamento dei circuiti logici secondo l'invenzione.

In primo luogo, verrà descritto il circuito di figura 2A in termini di logica positiva facendo riferimento alla figura 3A che rappresenta tabelle di verità.

Se al primo terminale di ingresso A viene applicato un livello logico 0, il transistor 32 MOS a canale N non è in conduzione mentre il transistor 33 MOS a canale P si trova in conduzione, per cui la uscita diviene un 1 logico quale che sia lo stato dell'altro terminale $\bar{B}$ di ingresso che è invertito.

D'altro canto, se al primo terminale di ingresso A viene applicato un livello logico 1, il transistore 33 MOS a canale P non si trova in conduzione e il transistore 32 MOS a canale N si trova in conduzione. In questo caso, se l'altro terminale di ingresso $\bar{B}$ assume il livello logico 1, il terminale 35 di uscita assume il livello logico 0. Alternativamente, se all'altro terminale di ingresso $\bar{B}$ viene applicato un livello logico 0, il terminale di uscita assumerà il livello logico 1. Conseguentemente, il circuito della figura 2A può essere usato come circuito logico NAND il cui terminale 35 di uscita assume lo stato logico 0 soltanto quando ambedue i terminali di ingresso A e $\bar{B}$ sono portati al livello logico 1.

Ora, verrà descritto il circuito di figura 2B in termini di logica positiva facendo riferimento alla figura 3B.

Se il primo terminale di ingresso C viene portato al livello logico 1, il transistore 38 MOS a canale P non si trova in conduzione ed il transistore MOS a canale N si trova in conduzione, per cui il terminale di uscita assume il livello logico 0 quale che sia lo stato dell'altro terminale $\bar{D}$ di ingresso che è stato invertito.

Se, d'altro canto, il primo terminale C di

ingresso viene portato al livello logico 0, il transistore 39 MOS a canale N non si trova in conduzione e il transistore 38 MOS a canale P si trova in conduzione. In questo caso, se l'altro terminale di ingresso $\bar{D}$ che è invertito assume il livello logico 1, il transistore 38 MOS a canale P si trova in conduzione, per cui il terminale 40 di uscita assume il livello logico 0. Alternativamente, se l'altro terminale $\bar{D}$ di ingresso è portato al livello logico 0, ambedue i transistori 38 e 39 MOS a canale N e MOS a canale P, non sono in conduzione, per cui il terminale di uscita assume il livello logico 1. Conseguentemente, il circuito della figura 2B è utile come circuito logico NOR il cui terminale 40 di uscita assume il livello logico 1 soltanto quando ambedue i terminali di ingresso C e $\bar{D}$ sono portati al livello logico 0.

Conseguentemente, la presente invenzione fornisce circuiti logici NAND e NOR aventi due ingressi e una uscita che impiegano soltanto due transistori ad effetto di campo a porta isolata, il che riduce considerevolmente l'area della geometria per la progettazione del circuito logico, realizzando quindi un chip a semiconduttori a integrazione spinta.

RIVENDICAZIONI

1. Circuito logico avente due ingressi e una uscita

ingresso viene portato al livello logico 0, il transistore 39 MOS a canale N non si trova in conduzione e il transistore 38 MOS a canale P si trova in conduzione. In questo caso, se l'altro terminale di ingresso $\bar{D}$ che è invertito assume il livello logico 1, il transistore 38 MOS a canale P si trova in conduzione, per cui il terminale 40 di uscita assume il livello logico 0. Alternativamente, se l'altro terminale $\bar{D}$ di ingresso è portato al livello logico 0, ambedue i transistori 38 e 39 MOS a canale N e MOS a canale P, non sono in conduzione, per cui il terminale di uscita assume il livello logico 1. Conseguentemente, il circuito della figura 2B è utile come circuito logico NOR il cui terminale 40 di uscita assume il livello logico 1 soltanto quando ambedue i terminali di ingresso C e $\bar{D}$ sono portati al livello logico 0.

Conseguentemente, la presente invenzione fornisce circuiti logici NAND e NOR aventi due ingressi e una uscita che impiegano soltanto due transistori ad effetto di campo a porta isolata, il che riduce considerevolmente l'area della geometria per la progettazione del circuito logico, realizzando quindi un chip a semiconduttori a integrazione spinta.

RIVENDICAZIONI

1. Circuito logico avente due ingressi e una uscita

comprendente:

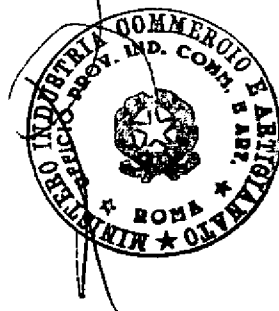
un primo transistoro ad effetto di campo a porta isolata avente una porta collegata con uno di due terminali di ingresso, un assorbitore collegato con l'altro terminale di ingresso o terminale di uscita, e una sorgente collegata con il terminale di uscita o con l'altro terminale d'ingresso; e

un secondo transistoro ad effetto di campo a porta isolata, avente un assorbitore collegato con detto terminale di uscita, una porta collegata con detto primo terminale di ingresso, e una sorgente collegata con una sorgente di tensione o tensione di massa.

2. Circuito logico come rivendicato nella rivendicazione 1, caratterizzato dal fatto che detto primo transistoro ad effetto di campo a porta isolata è del tipo N o del tipo P e detto secondo transistoro ad effetto di campo a porta isolata è del tipo P o del tipo N.

p.p. SAMSUNG ELECTRONICS CO., LTD.

Olivero Tonda
(scr. Albo n. 83)



48183A90

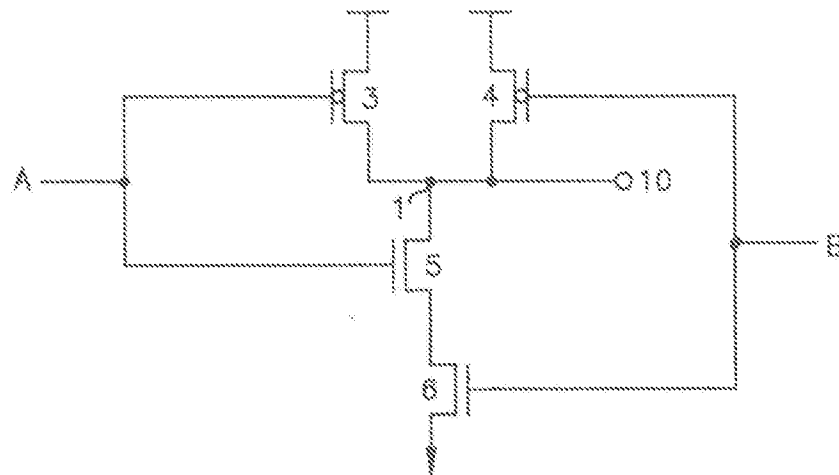


FIG. 1A

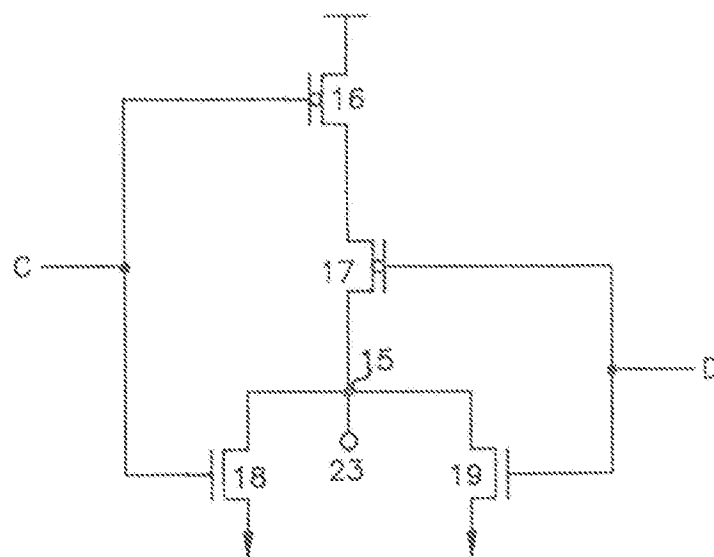
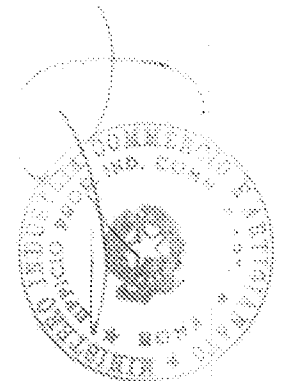


FIG. 1B



RECEIVED
JUL 10 1988
INDUSTRIAL PROPERTY OFFICE
OF THE REPUBLIC OF KOREA

48183A90

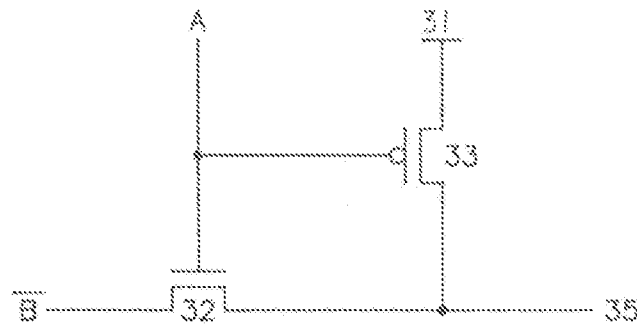


FIG. 2A

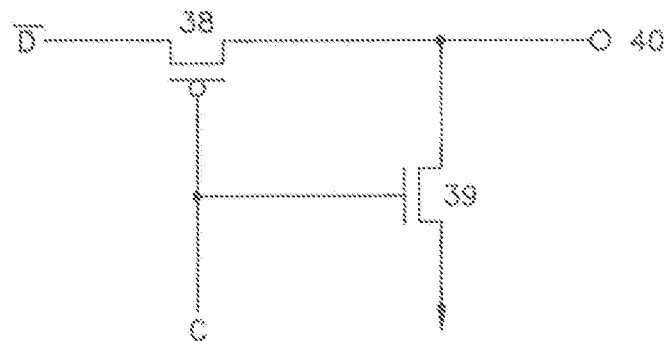
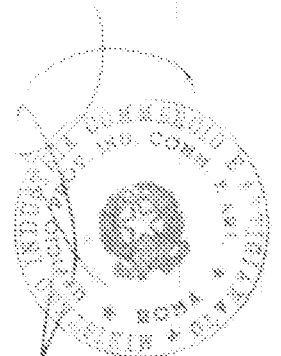


FIG. 2B



48 183 A90

C	D	$\bar{D}$	
0	0	1	0
0	1	0	1
1	0	1	0
1	1	0	0

FIG. 3B

A	B	$\bar{B}$	
0	0	1	1
0	1	0	1
1	0	1	0
1	1	0	1

FIG. 3A

