

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 3 月 28 日 (28.03.2024)



(10) 国际公布号
WO 2024/060604 A1

(51) 国际专利分类号:
G06F 30/3947 (2020.01) **G06F 30/398** (2020.01)

(21) 国际申请号: PCT/CN2023/089247

(22) 国际申请日: 2023 年 4 月 19 日 (19.04.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202211157022.X 2022 年 9 月 21 日 (21.09.2022) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

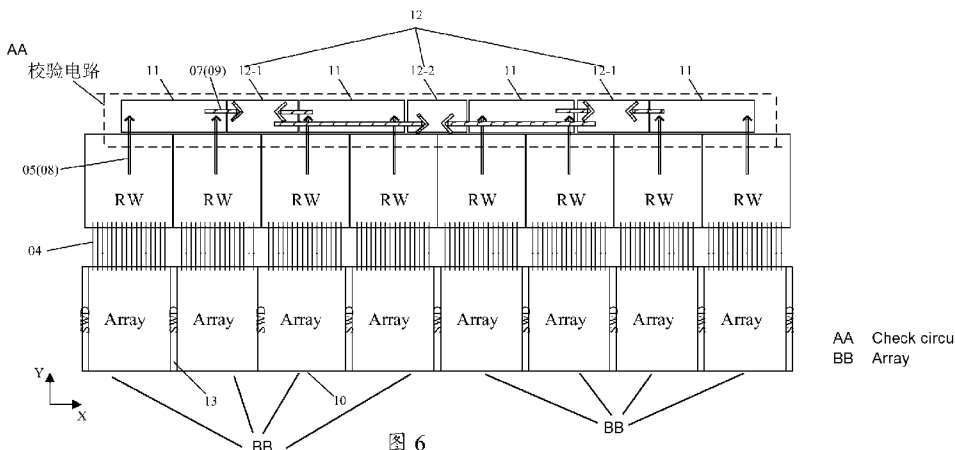
(72) 发明人: 常小卫 (CHANG, Xiaowei); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(74) 代理人: 北京派特恩知识产权代理有限公司 (CHINA PAT INTELLECTUAL PROPERTY OFFICE); 中国北京市海淀区苏州街3号大恒科技大厦南座五层503, Beijing 100080 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) Title: SEMICONDUCTOR STRUCTURE, LAYOUT STRUCTURE, AND MEMORY

(54) 发明名称: 半导体结构、版图结构以及存储器



(57) Abstract: Disclosed are a semiconductor structure, a layout structure, and a memory. The semiconductor structure comprises: a plurality of memory cell arrays arranged in parallel in a first direction, a plurality of read-write control circuits located on one side of the memory cell arrays in a second direction and arranged in parallel in the first direction, and a check circuit located on the side of the read-write control circuits distant from the memory cell arrays, wherein the second direction is perpendicular to the first direction; each read-write control circuit is connected to a corresponding memory cell array by means of a first data line and is used for controlling to write data to or read data from the memory cell array; and the check circuit is connected to each read-write control circuits by means of a second data line and is used for checking the data.

(57) 摘要: 公开了一种半导体结构、版图结构以及存储器, 该半导体结构包括: 沿第一方向并列排布的多个存储单元阵列、位于存储单元阵列在第二方向上的一侧且沿第一方向并列排布的多个读写控制电路, 以及位于读写控制电路远离存储单元阵列的一侧的校验电路, 第二方向垂直于第一方向; 其中, 每一读写控制电路通过第一数据线连接对应的一个存储单元阵列, 用于控制向存储单元阵列写入或读出数据, 校验电路通过第二数据线连接读写控制电路, 用于对数据进行校验。

SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

半导体结构、版图结构以及存储器

相关申请的交叉引用

本公开基于申请号为 202211157022.X、申请日为 2022 年 09 月 21 日的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的
5 全部内容在此引入本公开作为参考。

技术领域

本公开涉及但不限于一种半导体结构、版图结构以及存储器。

背景技术

动态随机存储器（Dynamic Random Access Memory, DRAM）由于其
10 存储密度高、传输速度快等特点，广泛应用于现代电子系统中。动态随机存储器通常包括核心存储区和外围电路区，其中，核心存储区用于设置多个存储单元，用于对数据信息进行存储，外围电路区通过数据线与存储单元电连接，以使得存储单元完成对数据信息的存储或者读取。

随着半导体技术的发展，存储单元的集成度越来越高，外围电路与
15 存储单元之间的连接线路也越来越复杂，增大存储器的制备工艺难度，同时使得存储器的功耗也越来越高，进而降低存储器的性能。

发明内容

有鉴于此，本公开实施例提供了一种半导体结构、版图结构以及存储器。

20 第一方面，本公开实施例提供了一种半导体结构，包括：

多个存储单元阵列，所述存储单元阵列沿第一方向并列排布；

沿所述第一方向并列排布的多个读写控制电路，位于所述存储单元阵列在第二方向上的一侧且每一所述读写控制电路通过第一数据线连接对应的一个所述存储单元阵列，所述读写控制电路用于控制向所述存储单元阵列
25 写入或读出数据，所述第二方向垂直于所述第一方向；

校验电路，所述校验电路位于所述读写控制电路远离所述存储单元阵列的一侧且所述校验电路通过第二数据线连接所述读写控制电路，所述校验电路用于对所述数据进行校验。

5 在一些实施例中，每个所述存储单元阵列连接多条沿所述第二方向延伸的所述第一数据线；

所述读写控制电路包括多个子电路，每个所述子电路通过一条所述第一数据线连接所述读写控制电路对应的所述存储单元阵列。

在一些实施例中，所述校验电路至少包括：

10 多个第一级校验单元，所述第一级校验单元连接至少一个所述读写控制电路，用于对所述读写控制电路读取的数据或待写入的数据进行校验，得到第一级校验结果；

其中，所述第一级校验单元位于所述读写控制电路远离所述存储单元阵列的一侧且沿所述第一方向排布。

在一些实施例中，所述校验电路还包括：

15 至少一个第二级校验单元，连接至少一个所述第一级校验单元，用于对所述第一级校验结果进行校验，得到第二级校验结果；

其中，所述第二级校验单元与所述第一级校验单元沿所述第一方向交替排布，或所述第二级校验单元位于所述第一级校验单元远离所述读写控制电路的一侧。

20 在一些实施例中，所述校验电路还包括：

校验存储单元，与所述第二级校验单元连接，用于存储所述第二级校验结果中的最终校验结果。

25 在一些实施例中，所述半导体结构，还包括：第一金属层和第二金属层；所述第二金属层位于所述第一金属层上层；所述第一级校验单元与所述读写控制电路通过位于所述第一金属层的导线连接；

所述第二级校验单元与其他所述校验电路通过位于所述第二金属层的导线连接。

30 在一些实施例中，所述第一级校验单元与所述读写控制电路通过所述第一金属层中的至少一个第一导线连接，所述第一导线沿所述第二方向延伸；

所述第二级校验单元与其他所述校验电路通过所述第二金属层中的至少一个第二导线连接，所述第二导线沿所述第一方向延伸。

在一些实施例中，所述第一级校验单元，连接两个相邻的所述读写控制电路。

在一些实施例中，多个所述第二级校验单元包括：至少一个第一校验单元和至少一个第二校验单元；

5 所述第一校验单元，连接至少一个所述第一级校验单元，用于对所述第一级校验结果进行第一校验；

所述第二校验单元，连接至少一个所述第一校验单元，用于对所述第一校验的结果进行第二校验，并输出最终校验结果。

在一些实施例中，所述半导体结构，包括：

10 8个所述存储单元阵列和8个所述读写控制电路，每个所述读写控制电路包括16个子电路；其中，每个所述存储单元阵列通过16条所述第一数据线连接对应的所述读写控制电路的所述子电路；

4个所述第一级校验单元和3个所述第二级校验单元；其中，3个所述第二级校验单元包括：两个第一校验单元和一个第二校验单元；所述第一级校验单元与所述第二级校验单元沿所述第一方向交替排布。

在一些实施例中，所述半导体结构，包括：

所述第一级校验单元通过第一金属层中的第一导线连接两个相邻的所述读写控制电路，所述第一导线沿所述第二方向延伸；

20 所述第一校验单元通过第二金属层中的第二导线连接两个所述第一级校验单元，所述第二导线沿所述第一方向延伸；

所述第二校验单元通过第二金属层中的第二导线连接两个所述第一校验单元连接，所述第二导线沿所述第一方向延伸。

在一些实施例中，所述半导体结构，还包括：多个子字线驱动器；

25 所述子字线驱动器与所述存储单元阵列沿所述第一方向交替排布；所述子字线驱动器用于控制所述存储单元阵列中的字线。

第二方面，本公开实施例提供了一种存储器，包括如本公开第一个方面所述的半导体结构。

第三方面，本公开实施例提供了一种版图结构，包括：

多个沿第一方向并列排布的存储单元阵列版图；

30 与所述存储单元阵列版图一一对应的多个沿所述第一方向并列排布的读写控制电路版图，所述读写控制电路版图位于所述存储单元阵列在第二方向上的一侧，所述第二方向垂直于所述第一方向；

沿所述第二方向延伸的多条第一数据线图形，所述第一数据线图形位于所述读写控制电路版图靠近所述存储单元阵列版图的一侧，所述存储单元阵列版图通过所述第一数据线图形连接对应的所述读写控制电路版图。

在一些实施例中，所述版图结构还包括：

- 5 多个沿所述第一方向并列排布的多个校验电路版图；至少一个所述校验电路版图与至少一个所述读写控制电路版图连接；

所述校验电路版图位于所述读写控制电路版图远离所述存储单元阵列版图的一侧。

- 10 本公开实施例提供的半导体结构中，存储单元阵列沿第一方向并列排布，读写控制电路位于所述存储单元阵列在第二方向上的一侧且沿第一方向并列排布，第二方向垂直于第一方向；校验电路位于所述读写控制电路远离所述存储单元阵列的一侧。本公开提供的半导体结构，通过将校验电路设置于读写控制电路远离存储单元阵列的一侧，使存储单元阵列与读写控制电路在第二方向上——对应，使得存储单元阵列与读写控制电路可以
15 通过直线型导线实现连接，优化了读写控制电路与存储单元阵列之间的连接线路，从而降低存储器的制备工艺难度，同时降低存储器在数据传输过程中的功耗，提高数据传输的速度。

附图说明

图 1 为本公开实施例提供的一种半导体结构的示意图一；

- 20 图 2 为本公开实施例提供的一种半导体结构的示意图二；

图 3 为本公开实施例提供的半导体结构中的存储单元阵列与读写控制电路的一种连接方式示意图；

图 4 为本公开实施例提供的一种包括第一级校验电路和第二级校验电路的半导体结构的示意图一；

- 25 图 5 为本公开实施例提供的一种包括第一级校验电路和第二级校验电路的半导体结构的示意图二；

图 6 为本公开实施例提供的一种包括子字线驱动器的半导体结构的示意图。

具体实施方式

- 30 为了便于理解本公开，下面将参照相关附图更详细地描述本公开公开

的示例性实施方式。虽然附图中显示了本公开的示例性实施方式，然而应当理解，可以以各种形式实现本公开，而不应被这里阐述的具体实施方式所限制。相反，提供这些实施方式是为了能够更透彻地理解本公开，并且能够将本公开公开的范围完整的传达给本领域的技术人员。

5 在下文的描述中，给出了大量具体的细节以便提供对本公开更为彻底的理解。然而，对于本领域技术人员而言显而易见的是，本公开可以无需一个或多个这些细节而得以实施。在一些实施例中，为了避免与本公开发生混淆，对于本领域公知的一些技术特征未进行描述；即，这里可以不描述实际实施例的全部特征，不详细描述公知的功能和结构。

10 一般地，术语可以至少部分地从上下文中的使用来理解。例如，至少部分地取决于上下文，如本文中所用的术语“一个或多个”可以用于以单数意义描述任何特征、结构或特性，或者可以用于以复数意义描述特征、结构或特性的组合。类似地，诸如“一”或“所述”的术语同样可以被理解为传达单数用法或传达复数用法，这至少部分地取决于上下文。另外，属于“基于”
15 可以被理解为不一定旨在传达排他的一组因素，并且可以替代地允许存在不一定明确地描述的附加因素，这同样至少部分地取决于上下文。

 除非另有定义，本文所使用的术语的目的仅在于描述具体实施例并且不作为本公开的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组
20 成”和/或“包括”，当在该说明书中使用时，确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

 为了彻底理解本公开，将在下列的描述中提出详细的步骤以及详细的
25 结构，以便阐释本公开的技术方案。本公开的较佳实施例详细描述如下，然而除了这些详细描述外，本公开还可以具有其他实施方式。

 半导体存储器是一种利用半导体电路进行存取的存储器，其中，DRAM 以其快速的存储速度和高集成度被广泛应用于各个领域。

 在一些实施例中，在 DRAM 中设置校验电路，校验读取的数据是否
30 准确，从而获得更高的数据读写可靠性，如图 1 所示的一种 DRAM 的局部结构示意图。图 1 所示的半导体结构包括：多个沿第一方向 X 并列排布的存储单元阵列 10；多个读写控制电路 RW 和多个纠错码(Error Correcting

Code, ECC) 校验电路, 读写控制电路 RW 通过多条数据线与存储单元阵列 10 连接, 用于控制向所述存储单元阵列 10 写入或读出数据; 校验电路通过金属层 (未在图中示出) 与读写控制电路 RW 连接, 从而获取存储单元阵列 10 的数据并对其进行校验。

5 参考图 1, 读写控制电路 RW 与 ECC 校验电路位于存储单元阵列 10 在垂直于第一方向 X 的第二方向 Y 上的一侧, 且沿第一方向 X 交替排布。图 1 所示的半导体结构的布局方式, 虽然使得半导体结构更加紧密, 在一定程度上提高存储器的集成度, 但是也造成了读写控制电路 RW 连接的数据线 01 与存储单元阵列 10 连接的数据线 02 在第二方向 Y 上不能一一对应, 在
10 这种情况下, 读写控制电路 RW 与存储单元阵列 10 不能通过直线型的导线连接, 还需要在两者之间的数据线进行跳线处理才能实现导通, 如图 1 所示, 在数据线 01 和数据线 02 之间增加导线 03, 使读写控制电路 RW 与存储单元阵列 10 之间的线路导通。这样使存储器的电路变得更加复杂, 增大存储器制备工艺的难度; 并且在数据线之间跳线会增大电路中的电阻, 降
15 低数据传输的速度, 从而增大存储器的功耗, 降低存储器的性能。

有鉴于此, 本公开实施例提供一种半导体结构, 版图结构以及存储器。

图 2 为本公开实施例提供的一种半存储块的半导体结构示意图。参考图 2 所示, 该半导体结构, 包括:

20 多个存储单元阵列 10, 所述存储单元阵列 10 沿第一方向 X 并列排布;
沿第一方向 X 并列排布的多个读写控制电路 RW, 位于存储单元阵列 10 在第二方向 Y 上的一侧且每一读写控制电路 RW 通过第一数据线 04 连接对应的一个存储单元阵列 10, 读写控制电路 RW 用于控制向所述存储单元阵列 10 写入或读出数据, 第二方向 Y 垂直于所述第一方向 X;

25 校验电路, 位于读写控制电路 RW 远离所述存储单元阵列 10 的一侧且通过第二数据线 05 连接所述读写控制电路 RW, 校验电路用于对存储单元阵列 10 中的数据进行校验。

在本公开实施例中, 存储单元阵列 10 用于存储数据, 从而实现半导体存储器的存储功能。示例性地, 存储单元阵列 10 中可以包括字线、位线和存储单元等等, 存储单元中还进一步包括存储电容和晶体管, 晶体管的控制端与字线连接, 晶体管的第一端与存储电容连接, 晶体管的第二端与位线连接。当字线控制晶体管导通时, 存储电容与位线之间导通, 从而实现
30

数据信息的读写，即，当进行数据信息的读取时，存储电容将存储的数据信息传输至位线；当进行数据信息的写入时，位线将待写入的数据信息发送至存储电容。本公开实施例中的多个存储单元阵列 10 沿第一方向 X 并列排布，构成一个存储块，该存储块可以是一个完整的存储体 20 (bank)，也可以
5 可以是存储体 20 (bank) 的一半，还可以是其他，本公开实施例对此不作限制。

读写控制电路 RW 是与存储单元阵列 10 连接并控制存储单元阵列 10 进行数据读写的逻辑电路模块。例如，读写控制电路 RW 可以用于接收读写使能信号 (如读使能信号 RdEn 和写使能信号 WrEn)，以及将要写入的数据
10 数据发送至存储单元阵列 10 或者接收读取的数据，从而实现控制存储单元阵列 10 写入或读出数据的功能。示例性地，在读写操作期间，读写控制电路 RW 可以根据写使能信号 WrEn 执行写入操作以将数据存储到由地址选择的存储单元阵列 10 中，并且根据读使能信号 RdEn 执行读取操作以输出存储单元阵列 10 中存储的数据。

每个读写控制电路 RW 可以通过第一数据线 04 连接对应的一个存储单元阵列 10，通过第二数据线 05 连接校验电路，从而实现与存储单元阵列 10 和校验电路进行数据交互，进而将从存储单元阵列 10 中写入或读出的数据
15 数据传输至校验电路。第一数据线 04 可以是连接至存储单元阵列 10，并用于向每个存储单元所连接的电路提供写入数据的信号线。示例性地，可以将要写入的数据通过第一数据线 04 传递至存储单元所连接的位线，并在写入过程中将位线上的信号进一步传递至存储单元。

校验电路与读写控制电路 RW 连接，并可以获取从存储单元阵列 10 读出或要写入存储单元阵列 10 的数据并进行相应的运算，进而校验存储单元阵列 10 中的数据信息是否准确，并输出校验结果，从而提高存储单元阵列
20 10 的数据读写可靠性。每个校验电路可以用于校验一个或多个存储阵列的数据信息。在本公开实施例中，校验电路可以是奇偶校验电路或者纠错码 ECC 校验电路，也可以是其他的一种校验电路或多种组合的校验电路等，对此不作限定。

在一实施例中，校验电路具体可以为 ECC 校验电路，用于存储器和处理器之间传输数据的检错纠错。具体地，在存储器向处理器中传输数据的过程中，当数据从存储器输出时，生成传输数据的 ECC 校验码，当数据传输至处理器，基于 ECC 校验码对传输数据进行检错纠错，进行检错纠错后，
30

舍弃 ECC 校验码并输出纠正后的数据。在处理器向存储器中传输数据的过程中，当数据从处理器输出时，生成传输数据的 ECC 校验码，当传输数据传输至存储器，基于 ECC 校验码对传输数据进行检错纠错，进行检错纠错后，舍弃 ECC 校验码并输出纠正后的数据。

5 在本公开实施例中，存储单元阵列 10 沿第一方向 X 并列排布；读写控制电路 RW 位于存储单元阵列 10 在第二方向 Y 上的一侧且沿第一方向 X 并列排布；校验电路位于读写控制电路 RW 远离所述存储单元阵列 10 的一侧。

10 本公开实施例通过将校验电路设置于读写控制电路 RW 远离存储单元阵列 10 的一侧，使得每个读写控制电路 RW 与其对应的存储单元阵列 10 在第二方向 Y 上一一对应，使得存储单元阵列 10 与读写控制电路 RW 可以通过直线型导线实现连接。相比于将校验电路与读写控制电路 RW 交替摆放的方式，本公开实施例的设置优化了读写控制电路 RW 与存储单元阵列 10 之间的连接线路，从而降低存储器的制备工艺难度，同时降低存储器
15 在数据传输过程中的功耗，提高数据传输的速度。

 在一些实施例中，如图 3 所示，每个存储单元阵列 10 连接多条沿第二方向 Y 延伸的第一数据线 04；

 读写控制电路 RW 包括多个子电路 06，每个子电路 06 通过一条所述第一数据线 04 连接读写控制电路 RW 对应的存储单元阵列 10。

20 在本公开实施例中，每个存储单元阵列 10 包括多个存储单元，为保证存储单元阵列 10 写入或读出数据的效率，每个存储单元阵列 10 通过多条第一数据线 04 与读写控制电路 RW 连接。存储单元阵列 10 可以通过第一数据线 04 接收要写入的数据或者输出存储的数据。本公开实施例中每个存储单元阵列 10 连接的多条第一数据线 04 沿第一方向 X 并列排布，
25 且第一数据线 04 为沿第二方向 Y 延伸的直线型导线。

 读写控制电路 RW 中的子电路 06 是与存储单元阵列 10 连接并控制存储单元阵列 10 进行数据读写的逻辑电路模块。读写控制电路 RW 中的子电路 06 位于其对应的存储单元阵列 10 在第二方向 Y 的一侧，多个子电路 06 沿第一方向 X 并列排布，存储单元阵列 10 连接的多条第一数据线
30 04 与其对应的读写控制电路 RW 中的子电路 06 在第二方向 Y 上一一对应，每个子电路 06 通过一条第一数据线 04 连接读写控制电路 RW 对应的存储单元阵列 10，从而读写控制电路 RW 可以通过多条第一数据线 04

接收读取的数据或者存储单元阵列 10 将要写入的数据发送至存储单元阵列 10。

本公开通过使存储单元阵列 10 连接的第一数据线 04 与读写控制电路 RW 中的子电路 06 在第二方向 Y 上一一对应，使得沿第二方向 Y 延伸的直线型的第一数据线 04 可以连接存储单元阵列 10 与读写控制电路 RW。由于读写控制电路 RW 位于其对应的存储单元阵列 10 在第二方向 Y 上的一侧，本公开的设置进一步优化了读写控制电路 RW 与存储单元阵列 10 之间的连接线路，降低存储器的制备工艺难度。

在一些实施例中，如图 4 所示，校验电路至少包括：

多个第一级校验单元 11，第一级校验单元 11 连接至少一个读写控制电路 RW，用于对读写控制电路 RW 读取的数据或待写入的数据进行校验，得到第一级校验结果；

其中，第一级校验单元 11 位于读写控制电路 RW 远离存储单元阵列 10 的一侧且沿第一方向 X 排布。

第一级校验单元 11 是与读写控制电路 RW 连接并对读写控制电路 RW 读取的数据或待写入的数据进行校验的计算电路模块，第一级校验单元 11 通过第二数据线 05 连接读写控制电路 RW，每个第一级校验单元 11 可以连接一个或者多个读写控制电路 RW，并对其所连接的一个或多个读写控制电路 RW 中读取的数据或待写入的数据进行校验，得到第一级校验结果。示例性的，如果第一级校验单元 11 连接两个读写控制电路 RW，则在一次校验过程中，同时对两个读写控制电路 RW 对应的两个存储单元阵列 10 中的数据进行校验，得到第一级校验结果。

第一级校验单元 11 位于读写控制电路 RW 远离存储单元阵列 10 的一侧，第一级校验单元 11 可以沿第一方向 X 并列排布，也可以沿第一方向 X 分散排布。在本公开实施例中，第一级校验单元 12-1 沿第一方向 X 分散排布，使得每个第一级校验单元 11 尽可能靠近与其对应的读写控制电路 RW，从而缩短第一级校验单元 11 与读写控制电路 RW 之间的连接线路，减小线路中的电阻，从而降低存储器在数据传输过程中的功耗；同时使得第一级校验单元 11 与读写控制电路 RW 之间的连接更容易实现，优化读写控制电路 RW 与第一级校验单元 11 之间的连接线路，降低存储器的制备工艺难度。

需要说明的是，第一级校验单元 11 在一次校验过程中能够校验的数据

是有限的，可以根据第一级校验单元 11 每次能够校验的数据的字节数以及每个存储单元阵列 10 所能储存的数据的字节数，来确定一个第一级校验单元 11 一次能够校验的存储单元阵列 10 的数量，进而确定一个第一级校验单元 11 连接的读写控制电路 RW 的数量。例如，每个存储单元阵列 10 一次读或一次写 16 比特数据，第一级校验单元 11 每次可以同时 5 对 32 比特数据进行校验，则每个第一级校验单元 11 一次可以校验 2 个存储单元阵列 10 中的数据，因此，每个第一级校验单元 11 可以连接 2 个读写控制电路 RW，对这 2 个读写控制电路 RW 连接的 2 个存储单元阵列 10 中的数据进行校验，得到第一级校验结果。

10 另一方面，也可以根据第一级校验单元 11 每次能够校验的数据量，以及存储块中的所有存储单元阵列 10 一次读或一次写的数据量，来确定存储体 20 所需的第一级校验单元 11 的数量。例如，半个存储体 20 中包含 8 个存储单元阵列 10，每个存储单元阵列 10 能够一次读或一次写 16 比特数据，即一次读或一次写 128 比特数据，第一级校验单元 11 每次可以同时 15 对 32 字节数据进行校验，则该半个存储体 20 需要 4 个第一级校验单元 11。

在一些实施例中，如图 4 所示，所述校验电路还包括：

至少一个第二级校验单元 12，连接至少一个第一级校验单元 11，用于对第一级校验结果进行校验，得到第二级校验结果；

其中，第二级校验单元 12 与第一级校验单元 11 沿第一方向 X 交替排 20 布，或第二级校验单元 12 位于第一级校验单元 11 远离读写控制电路 RW 的一侧。

需要说明的是，校验电路每次能够校验的数据是有限的，为了提高校验电路的校验速度和校验效率，以保证半导体存储器中数据读写可靠性，校验电路中可以通过设置不同等级的校验单元对存储单元中的数据进行多 25 次校验。

在本实施例中，如图 4 所示，校验电路包括第一级校验单元 11 和第二级校验单元 12，第一级校验单元 11 是与读写控制电路 RW 连接并对读写控制电路 RW 读取的数据或待写入的数据进行校验的计算电路模块，第二级校验单元 12 是与第一级校验单元 11 连接并对第一级校验结果进行校验的 30 计算电路模块。示例性地，校验电路中的第一级校验单元 11 首先对存储单元阵列 10 中的数据进行校验，得到第一级校验结果；第一级校验单元 11 通过第三数据线 07 与第二级校验单元 12 连接，并通过第三数据线 07 将第

一级校验结果传输至第二级校验单元 12, 然后第二级校验单元 12 对第一校验结果进行校验, 得到第二级校验结果。

在本公开实施例中, 如图 4 所示, 第二级校验单元 12 与第一级校验单元 11 均位于读写控制电路 RW 远离所述存储单元阵列 10 的一侧, 且第二级校验单元 12 与第一级校验单元 11 沿第一方向 X 交替排布, 使第二级校验单元 12 位于其连接的第一级校验单元 11 之间, 从而缩短第二级校验单元 12 与第一级校验单元 11 之间的连接线路, 减小线路中的电阻, 从而降低存储器在数据传输过程中的功耗; 同时使得第二级校验单元 12 与第一级校验单元 11 之间的连接更容易实现, 优化第二级校验单元 12 与第一级校验单元 11 之间的连接线路, 降低存储器的制备工艺难度。

在一示例中, 如图 5 所示, 第一级校验单元 11 位于读写控制电路 RW 远离存储单元阵列 10 的一侧, 第二级校验单元 12 位于第一级校验单元 11 远离所述读写控制电路 RW 的一侧, 使读写控制电路 RW, 第一级校验单元 11 与第二级校验单元 12 沿第二方向 Y 依次排布。其中, 第一级校验单元 11 与读写控制电路 RW 通过第二数据线 05 连接, 第二级校验单元 12 与第一级校验单元 11 通过第三数据线 07 连接, 第二数据线 05 与第三数据线 07 的走线方向相同。示例性的, 第二数据线 05 与第三数据线 07 均沿第二方向 Y 延伸, 有利于在同一个制程工艺中同时形成第二数据线 05 和第三数据线 07, 从而简化工艺流程。

需要说明的是, 第二级校验单元 12 可以连接一个第一级校验单元 11, 也可以连接多个第一级校验单元 11。第二级校验单元 12 每次能够校验的数据是有限的, 通过第二级校验单元 12 每次能够校验的数据的字节数以及第一级校验结果中的数据的字节数, 来确定第二级校验单元 12 所连接的第一级校验单元 11 的数量。例如, 第一级校验单元 11 每次可以校验 32 字节数据, 即第一级校验单元 11 中包括该 32 字节数据的第一级校验结果; 如果第二级校验单元 12 每次可以校验 64 字节数据的第一级校验结果, 则每个第二级校验单元 12 可以连接两个第一级校验单元 11。

在一些实施例中, 所述校验电路还包括:

校验存储单元, 与第二级校验单元 12 连接, 用于存储第二级校验结果中的最终校验结果。

校验存储单元是一个逻辑电路模块, 可以控制将校验电路中的最终校验结果存储到对应的存储单元阵列 10 中。在存储器向处理器中传输数据的

过程中，当数据从存储器输出时，校验电路对数据进行校验并生成最终校验结果；当数据传输至处理器，基于最终校验结果对传输的数据进行检错纠错，进行检错纠错后，舍弃最终校验结果并输出纠正后的数据。

在本实施例中，校验电路首先通过连接的第一级校验单元 11 对存储单元阵列 10 中的数据进行校验，得到第一级校验结果；再通过第二级校验单元 12 对第一校验结果进行校验，得到第二级校验结果，第二级校验结果中至少包括一个最终校验结果；第二级校验单元 12 通过第四数据线与校验存储单元连接，并通过第四数据线将第二级校验结果中的最终校验结构传输至校验存储单元，校验存储单元接收并存储第二级校验结果中的最终校验结果；最后，校验存储单元控制将最终的校验结果存储到对应的存储单元阵列 10 中。

在一些实施例中，所述半导体结构，还包括：第一金属层和第二金属层；第二金属层位于第一金属层上层；

第一级校验单元 11 与读写控制电路 RW 通过位于所述第一金属层的导线连接；

第二级校验单元 12 与其他校验电路通过位于所述第二金属层的导线连接。

第一金属层和第二金属层主要用于作为导体，可以导通读写控制电路，第一级校验单元以及第二级校验单元之间的连接。第一金属层和第二金属层的材料包括但不限于钛、钽、钼、镍、铂、钴、钨、锆、钨，可以通过化学气相沉积 (Chemical Vapor Deposition, CVD)、原子层沉积 (Atomic Layer Deposition, ALD) 或物理气相沉积 (Physical Vapor Deposition, PVD) 等形成。

如图 4 所示，第一级校验单元 11 通过多条第二数据线 05 与读写控制电路 RW 连接；第二级校验单元 12 通过第三数据线 07 与其他校验电路连接，其他校验电路包括第一级校验单元 11 以及其他第二级校验单元 12。这里，第二数据线 05 可以是位于第一金属层中的导线，第三数据线 07 可以是位于第二金属层的导线，即第一级校验单元 11 与读写控制电路 RW 通过位于第一金属层的导线连接，第二级校验单元 12 与其他校验电路通过位于第二金属层的导线连接。

示例性的，如图 4 所示，第一级校验单元 11 位于读写控制电路 RW 在第二方向上的一侧，连接第一级校验单元 11 与读写控制电路 RW 的第二数

据线 05 可以沿第二方向 Y 延伸；第二级校验电路与第一级校验电路沿第一方向 X 交替排布，第二级校验单元 12 与其他校验电路（第一级校验单元 11 或其他第二级校验单元 12）的第三数据线 07 可以沿第一方向 X 延伸，因此，图 4 所示半导体结构中的第二数据线 05 和第三数据线 07 相互垂直。

5 通过不同层的金属层作为导体来实现读写控制电路 RW 与校验电路之间的连接，以及校验电路之间的连接，可以减少存储器中不同线路之间的短路以及电路之间的耦合效应，进而提高存储器的性能。

在一些实施例中，第一级校验单元 11 与读写控制电路 RW 通过第一金属层中的至少一个第一导线 08 连接，第一导线 08 沿所述第二方向 Y 延伸；

10 第二级校验单元 12 与其他校验电路通过第二金属层中的至少一个第二导线 09 连接，第二导线 09 沿第一方向 X 延伸。

如图 4 所示，本实施例中的读写控制电路 RW 位于存储单元阵列 10 在第二方向 Y 上的一侧，第一级校验单元 11 位于读写控制电路 RW 远离存储单元阵列 10 的一侧，即第一级校验单元 11 位于读写控制电路 RW 在第二方向 Y 上的一侧，因此，第一级校验单元 11 可以通过沿第二方向 Y 延伸的导线连接读写控制电路 RW。本实施例中的第一级校验单元 11 和第二级校验单元 12 沿第一方向 X 交替排布，因此，第二校验单元 12-2 可以通过沿第一方向 X 延伸的导线连接第一级校验单元 11 或其他第二级校验单元 12。

20 在本实施例中，如图 4 所示，在第一金属层中布置沿第二方向 Y 延伸的第一导线 08，在第二金属层布置沿第一方向 X 延伸的第二导线 09，第一级校验单元 11 与读写控制电路 RW 通过第一金属层中的一个或者多个第一导线 08 连接，第一导线 08 可以将读写控制电路 RW 读取的数据或待写入的数据传输至第一级校验单元 11；第二级校验单元 12 与其他校验电路（第一级校验单元 11 或者其他第二级校验单元 12）通过第二金属层中的一个或多个第二导线 09 连接，第二导线 09 可以实现第二级校验单元 12 与第一级校验单元 11 之间的数据交互，以及多个第二级校验单元 12 之间的数据交互。

30 在一些实施例中，如图 4 所示，第一级校验单元 11 连接两个相邻的读写控制电路 RW。

在本实施例中，第一级校验单元 11 可以同时两个存储单元阵列 10 中的数据进行校验，每个存储单元阵列 10 通过一个读写控制电路 RW 将数

据传输至第一级校验单元 11，因此，第一级校验单元 11 通过连接两个读写控制电路 RW，对两个存储单元阵列 10 中的数据同时进行校验。

在本实施例中，第一级校验单元 11 连接的两个读写控制电路 RW 相邻，可以缩短第一级校验单元 11 与读写控制电路 RW 之间的连接线路，减小电路中的电阻。

在一些实施例中，如图 4 所示，多个第二级校验单元 12 包括：至少一个第一校验单元 12-1 和至少一个第二校验单元 12-2；

第一校验单元 12-1，连接至少一个所述第一级校验单元 11，用于对第一级校验结果进行第一校验；

第二校验单元 12-2，连接至少一个所述第一校验单元 12-1，用于对第一校验的结果进行第二校验，并输出最终校验结果。

在本实施例中，如图 4 所示，校验电路通过第一级校验单元 11，第一校验单元 12-1 以及第二校验单元 12-2 对存储单元阵列 10 中的数据进行校验。具体地，校验电路首先通过第一级校验单元 11 对存储单元阵列 10 中的数据进行校验，得到第一级校验结果；第一级校验单元 11 通过第三数据线 07 与第二级校验单元 12 中的第一校验单元 12-1 连接，并通过第三数据线 07 将第一级校验结果传输至第一校验单元 12-1，第一校验对第一级校验结果进行第一校验；第二级校验单元 12 中的第一校验单元 12-1 通过第五数据线与第二校验单元 12-2 连接，并通过第五数据线将第一校验的结果传输至第二校验单元 12-2，第二校验单元 12-2 对第一校验的结果进行第二校验，并输出最终校验结果。

在一些实施例中，如图 4 所示的半导体结构，包括：

8 个存储单元阵列 10 和 8 个读写控制电路 RW，每个读写控制电路 RW 包括 16 个子电路 06；其中，每个存储单元阵列 10 通过 16 条所述第一数据线 04 连接对应的读写控制电路 RW 的子电路 06；

4 个第一级校验单元 11 和 3 个第二级校验单元 12；其中，3 个第二级校验单元 12 包括：两个第一校验单元 12-1 和一个第二校验单元 12-2；第一级校验单元 11 与第二级校验单元 12 沿第一方向 X 交替排布。

如图 4 所示，本实施例提供的半导体结构包括 8 个存储单元阵列 10，8 个读写控制电路 RW，4 个第一级校验单元 11 以及 3 个第二级校验单元 12。其中，8 个存储单元阵列 10 沿第一方向 X 并列排布，8 个读写控制电路 RW 位于存储单元阵列 10 在第二方向 Y 上的一侧且沿第一方向 X 并列排布；4

个第一级校验单元 11 和 3 个第二级校验单元 12 位于读写控制电路 RW 远离存储单元阵列 10 的一侧，且第一级校验单元 11 与所述第二级校验单元 12 沿所述第一方向 X 交替排布。本公开实施例通过将校验电路设置于读写控制电路 RW 远离存储单元阵列 10 的一侧，使得每个读写控制电路 RW 与其对应的存储单元阵列 10 在第二方向 Y 上一一对应，从而优化了读写控制电路 RW 与存储单元阵列 10 之间的连接线路，从而降低存储器的制备工艺难度，同时减小电路的电阻，降低存储器在数据传输过程中的功耗，提高数据传输的速度。

在本实施例中，如图 4 所示，存储单元阵列 10 通过第一数据线 04 与读写控制电路 RW 进行数据传输，且第一数据线 04 沿第二方向 Y 延伸；如图 5 所示，每个读写控制电路 RW 包括 16 个子电路 06，连接存储单元阵列 10 的第一数据线 04 与读写控制电路 RW 中的子电路 06 在第二方向 Y 上一一对应，每个子电路 06 连接对应的存储单元阵列 10 中的一条第一数据线 04，即每个存储单元阵列 10 通过 16 条第一数据线 04 连接对应的读写控制电路 RW 的 16 个子电路 06。本实施例通过使连接存储单元阵列 10 的第一数据线 04 与读写控制电路 RW 中的子电路 06 在第二方向 Y 上一一对应，使得存储单元阵列 10 与读写控制电路 RW 可以通过直线连接，即存储单元阵列 10 与读写控制电路 RW 不用通过跳线就可以直接连接，优化了读写控制电路 RW 与存储单元阵列 10 之间的连接线路。

在本实施例中，如图 4 所示，第一级校验单元 11 可以同时两个存储单元阵列 10 中的数据进行校验，每个存储单元阵列 10 通过一个读写控制电路 RW 将数据传输至第一级校验单元 11，因此，本实施例中的每个第一级校验单元 11 连接两个相邻的读写控制电路 RW，第一级校验单元 11 通过读写控制电路 RW 获取其对应的存储单元阵列 10 中的数据，对两个存储单元阵列 10 中的数据同时进行校验，得到第一级校验结果。

在本实施例中，如图 4 所示，第二级校验单元 12 中的第一校验单元 12-1 可以同时两个第一级校验结果进行第一校验，第二校验单元 12-2 可以同时两个第一校验单元 12-1 的校验结果进行第二校验。本实施例中的第一校验单元 12-1 连接两个第一级校验单元 11，且每个第一级校验单元 11 仅与一个第一校验单元 12-1 连接；第一校验单元 12-1 对所连接的第一级校验单元 11 的第一级校验结果进行第一校验；第二校验单元 12-2 连接两个第一校验单元 12-1，对两个第一校验单元 12-1 中的第一校验结果进行第二校验，

得到最终校验结果。

在一些实施例中，半导体结构包括：

第一级校验单元 11 通过第一金属层中的第一导线 08 连接两个相邻的读写控制电路 RW，第一导线 08 沿第二方向 Y 延伸；

5 第一校验单元 12-1 通过第二金属层中的第二导线 09 连接两个第一级校验单元 11，所述第二导线 09 沿第一方向 X 延伸；

第二校验单元 12-2 通过第二金属层中的第二导线 09 连接两个第一校验单元 12-1 连接，所述第二导线 09 沿第一方向 X 延伸。

如图 4 所示，本实施例中的读写控制电路 RW，第一级校验单元 11，
10 第一校验单元 12-1 以及第二校验单元 12-2 通过金属层中的导线实现数据传输。第一级校验单元 11 位于读写控制电路 RW 在第二方向 Y 上的一侧，第一级校验单元 11 可以通过沿第二方向 Y 延伸的导线连接读写控制电路 RW。本实施例中的第一级校验单元 11，第一校验单元 12-1 以及第二校验单元 12-2 沿第一方向 X 并列排布，因此，第一校验单元 12-1 可以通过沿第一方
15 向 X 延伸的导线连接第一级校验单元 11，第二校验单元 12-2 可以通过沿第一方向 X 延伸的导线连接第一校验单元 12-1。

在本实施例中，如图 4 所示，在第一金属层中布置沿第二方向 Y 延伸的第一导线 08，在第二金属层布置沿第一方向 X 延伸的第二导线 09，使第一级校验单元 11 通过第一金属层中的两条第一导线 08 分别连接两个相邻
20 的读写控制电路 RW，第一校验单元 12-1 通过第二金属层中的两条第二导线 09 分别连接两个第一级校验单元 11，第二校验单元 12-2 通过第二金属层中的一条第二导线 09 连接两个第一校验单元 12-1。本实施例中第二金属层位于第一金属层上层，通过不同层的金属层作为导体来实现读写控制电路 RW 与校验电路之间的连接，以及校验电路之间的连接，可以减少存储器
25 中不同线路之间的短路以及电路之间的耦合效应，进而提高存储器的性能。

在一些实施例中，如图 6 所示，半导体结构还包括：多个子字线驱动器 13 (Subword driver, SWD)；

子字线驱动器 13 与存储单元阵列 10 沿第一方向 X 交替排布；子字线
30 驱动器 13 用于控制存储单元阵列 10 中的字线。

在半导体装置中，字线可以用作传送驱动存储器单元的一个或多个单元晶体管所需的栅极电压的导线。单元晶体管可以响应于字线的电位状态

而操作，使得可以通过单元晶体管将数据写入存储器单元或从存储器单元读取数据。随着芯片尺寸和芯片的存储器容量的增加，由此类字线引起的线延迟可以被认为是限制半导体装置的操作速度的最重要的延迟因素之一。为了使此类字线的线延迟最小化，将长字线划分为多条子字线，通过子字线驱动器 13 控制每条子字线。

本实施例中的子字线驱动器 13 与存储单元阵列 10 沿第一方向 X 交替排布，每个子字线驱动器 13 可以根据主字线驱动信号而选择性地驱动一条或更多条子字线，主字线驱动信号可以表示通过主字线传输的存储器单元驱动信号。

本公开还提供了一种存储器，该存储器包括前述实施例任一项所述的半导体结构。

示例地，该存储器可以是 DRAM、静态随机存取存储器（Static Random-Access Memory, SRAM）、三维 NAND 闪存存储器、二维 NAND 闪存存储器、相变存储器等。

本公开还提供了一种版图结构，用于制备如上所述的半导体结构，该版图结构包括：

多个沿第一方向 X 并列排布的存储单元阵列版图；

与存储单元阵列版图一一对应的多个沿第一方向 X 并列排布的读写控制电路版图，读写控制电路版图位于存储单元阵列在第二方向 Y 上的一侧，第二方向 Y 垂直于所述第一方向 X；

沿所述第二方向 Y 延伸的多条第一数据线图形，第一数据线图形位于读写控制电路版图靠近存储单元阵列版图的一侧，存储单元阵列版图通过第一数据线图形连接对应的读写控制电路版图。

在一些实施例中，所述版图结构还包括：

多个沿第一方向 X 并列排布的多个校验电路版图；至少一个所述校验电路版图与至少一个所述读写控制电路版图连接；

校验电路版图位于读写控制电路版图远离存储单元阵列版图的一侧。

在一些实施例中，校验电路版图至少包括：多个第一级校验单元版图，第一级校验单元版图连接至少一个读写控制电路版图，其中，第一级校验单元版图位于读写控制电路远离存储单元阵列的一侧且沿所述第一方向 X 排布。

在一些实施例中，校验电路版图还包括：至少一个第二级校验单元版

图，连接至少一个第一级校验单元版图；其中，所述第二级校验单元版图与所述第一级校验单元版图沿所述第一方向 X 交替排布，或所述第二级校验单元版图位于所述第一级校验单元版图远离所述读写控制电路的一侧。

5 在一些实施例中，校验电路版图还包括：校验存储单元版图，与第二级校验单元版图连接。

在一些实施例中，版图结构还包括：第一金属层版图和第二金属层版图；第二金属层版图位于第一金属层版图上层；第一金属层版图用来布局第一金属层中的导线，第二金属层版图用来布局第二金属层中的导线。

10 在一些实施例中，版图结构中的第一级校验单元版图，连接两个相邻的读写控制电路版图。

在一些实施例中，版图结构中的第二级校验单元版图包括：至少一个第一校验单元版图和至少一个第二校验单元版图；第一校验单元版图，连接至少一个第一级校验单元版图；第二校验单元版图，连接至少一个第一校验单元版图。

15 上述实施例仅例示性说明本公开的原理及其功效，而非用于限制本公开。任何熟悉此技术的人士皆可在不违背本公开的精神及范畴下，对上述实施例进行修饰或改变。因此，举凡所属技术领域中具有通常知识者在未脱离本公开所揭示的精神与技术思想下所完成的一切等效修饰或改变，仍应由本公开的权利要求所涵盖。

权利要求书

1. 一种半导体结构，包括：

多个存储单元阵列（10），所述存储单元阵列（10）沿第一方向（X）并列排布；

5 沿所述第一方向（X）并列排布的多个读写控制电路（RW），位于所述存储单元阵列（10）在第二方向（Y）上的一侧且每一所述读写控制电路（RW）通过第一数据线（04）连接对应的一个所述存储单元阵列（10），所述读写控制电路（RW）用于控制向所述存储单元阵列（10）写入或读出数据，所述第二方向（Y）垂直于所述第一方向（X）；

10 校验电路，所述校验电路位于所述读写控制电路（RW）远离所述存储单元阵列（10）的一侧且所述校验电路通过第二数据线（05）连接所述读写控制电路（RW），所述校验电路用于对所述数据进行校验。

2. 根据权利要求1所述的半导体结构，其中，

15 每个所述存储单元阵列（10）连接多条沿所述第二方向（Y）延伸的所述第一数据线（04）；

所述读写控制电路（RW）包括多个子电路（06），每个所述子电路（06）通过一条所述第一数据线（04）连接所述读写控制电路（RW）对应的所述存储单元阵列（10）。

3. 根据权利要求2所述的半导体结构，其中，所述校验电路至少包括：

20 多个第一级校验单元（11），所述第一级校验单元（11）连接至少一个所述读写控制电路（RW），用于对所述读写控制电路（RW）读取的数据或待写入的数据进行校验，得到第一级校验结果；

其中，所述第一级校验单元（11）位于所述读写控制电路（RW）远离所述存储单元阵列（10）的一侧且沿所述第一方向（X）排布。

25 4. 根据权利要求3所述的半导体结构，其中，所述校验电路还包括：

至少一个第二级校验单元（12），连接至少一个所述第一级校验单元（11），用于对所述第一级校验结果进行校验，得到第二级校验结果；

30 其中，所述第二级校验单元（12）与所述第一级校验单元（11）沿所述第一方向（X）交替排布，或所述第二级校验单元（12）位于所述第一级校验单元（11）远离所述读写控制电路（RW）的一侧。

5. 根据权利要求4所述的半导体结构, 其中, 所述校验电路还包括:
校验存储单元, 与所述第二级校验单元(12)连接, 用于存储所述第二级校验结果中的最终校验结果。

6. 根据权利要求4或5所述的半导体结构, 所述半导体结构, 还包括:
5 第一金属层和第二金属层; 所述第二金属层位于所述第一金属层上层; 所述第一级校验单元(11)与所述读写控制电路(RW)通过位于所述第一金属层的导线连接;

所述第二级校验单元(12)与其他所述校验电路通过位于所述第二金属层的导线连接。

10 7. 根据权利要求6所述的半导体结构, 其中,

所述第一级校验单元(11)与所述读写控制电路(RW)通过所述第一金属层中的至少一个第一导线(08)连接, 所述第一导线(08)沿所述第二方向(Y)延伸;

15 所述第二级校验单元(12)与其他所述校验电路通过所述第二金属层中的至少一个第二导线(09)连接, 所述第二导线(09)沿所述第一方向(X)延伸。

8. 根据权利要求4-7中任一项所述的半导体结构, 其中, 所述第一级校验单元(11), 连接两个相邻的所述读写控制电路(RW)。

9. 根据权利要求4-8中任一项所述的半导体结构, 其中, 多个所述第二级校验单元(12)包括: 至少一个第一校验单元(12-1)和至少一个第二校验单元(12-2);

所述第一校验单元(12-1), 连接至少一个所述第一级校验单元(11), 用于对所述第一级校验结果进行第一校验;

25 所述第二校验单元(12-2), 连接至少一个所述第一校验单元(12-1), 用于对所述第一校验的结果进行第二校验, 并输出最终校验结果。

10. 根据权利要求9所述的半导体结构, 其中, 所述半导体结构, 包括:
8个所述存储单元阵列(10)和8个所述读写控制电路(RW), 每个所述读写控制电路(RW)包括16个子电路(06); 其中, 每个所述存储单元阵列(10)通过16条所述第一数据线(04)连接对应的所述读写控制电路(RW)的所述子电路(06);

4个所述第一级校验单元(11)和3个所述第二级校验单元(12); 其中, 3个所述第二级校验单元(12)包括: 两个第一校验单元(12-1)和一

个第二校验单元 (12-2); 所述第一级校验单元 (11) 与所述第二级校验单元 (12) 沿所述第一方向 (X) 交替排布。

11. 根据权利要求 10 所述的半导体结构, 其中, 所述半导体结构, 包括:

5 所述第一级校验单元 (11) 通过第一金属层中的第一导线 (08) 连接两个相邻的所述读写控制电路 (RW), 所述第一导线 (08) 沿所述第二方向 (Y) 延伸;

10 所述第一校验单元 (12-1) 通过第二金属层中的第二导线 (09) 连接两个所述第一级校验单元 (11), 所述第二导线 (09) 沿所述第一方向 (X) 延伸;

 所述第二校验单元 (12-2) 通过第二金属层中的第二导线 (09) 连接两个所述第一校验单元 (12-1) 连接, 所述第二导线 (09) 沿所述第一方向 (X) 延伸。

15 12. 根据权利要求 1-11 中任一项所述的半导体结构, 所述半导体结构, 还包括: 多个子字线驱动器 (13);

 所述子字线驱动器 (13) 与所述存储单元阵列 (10) 沿所述第一方向 (X) 交替排布; 所述子字线驱动器 (13) 用于控制所述存储单元阵列 (10) 中的字线。

13. 一种存储器, 包括:

20 如权利要求 1 至 12 任一所述的半导体结构。

14. 一种存储器的版图结构, 包括:

 多个沿第一方向 (X) 并列排布的存储单元阵列版图;

25 与所述存储单元阵列版图一一对应的多个沿所述第一方向 (X) 并列排布的读写控制电路版图, 所述读写控制电路版图位于所述存储单元阵列在第二方向 (Y) 上的一侧, 所述第二方向 (Y) 垂直于所述第一方向 (X);

 沿所述第二方向 (Y) 延伸的多条第一数据线图形, 所述第一数据线图形位于所述读写控制电路版图靠近所述存储单元阵列版图的一侧, 所述存储单元阵列版图通过所述第一数据线图形连接对应的所述读写控制电路版图。

30 15. 根据权利要求 14 所述的版图结构, 还包括:

 多个沿所述第一方向 (X) 并列排布的多个校验电路版图; 至少一个所述校验电路版图与至少一个所述读写控制电路版图连接;

所述校验电路版图位于所述读写控制电路版图远离所述存储单元阵列版图的一侧。

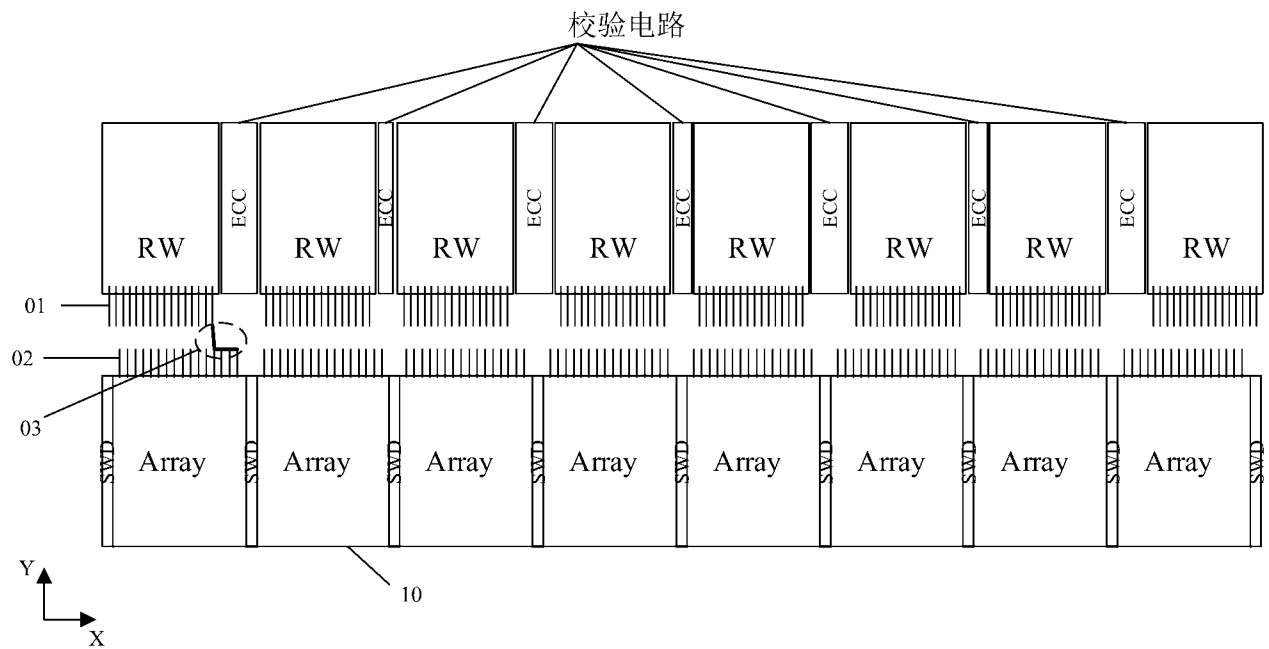


图 1

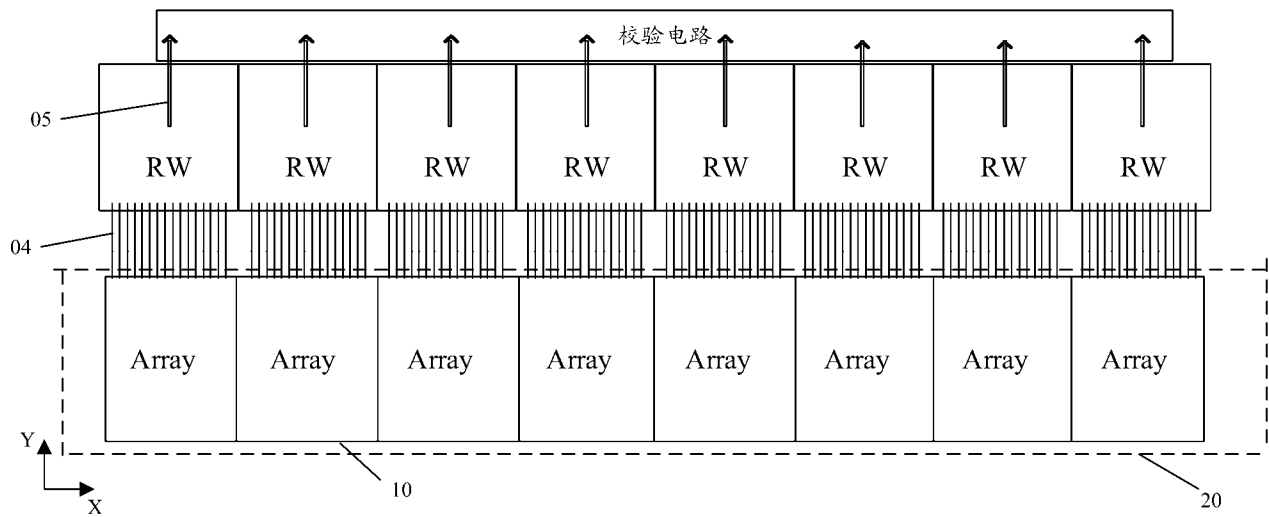


图 2

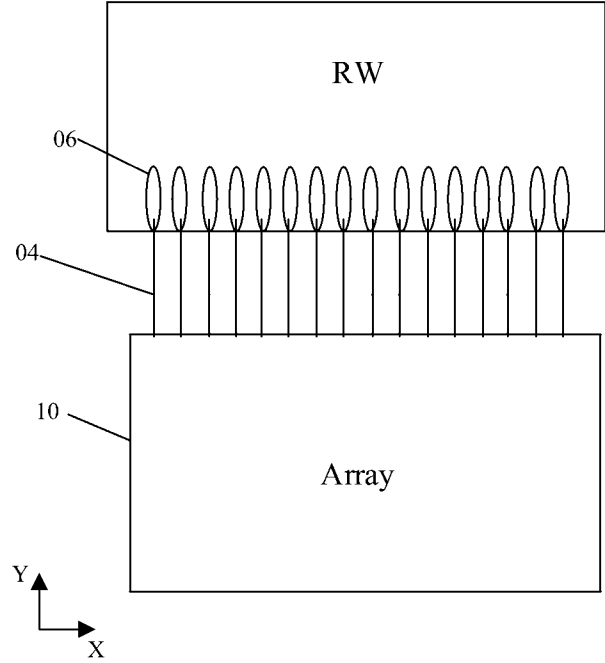


图 3

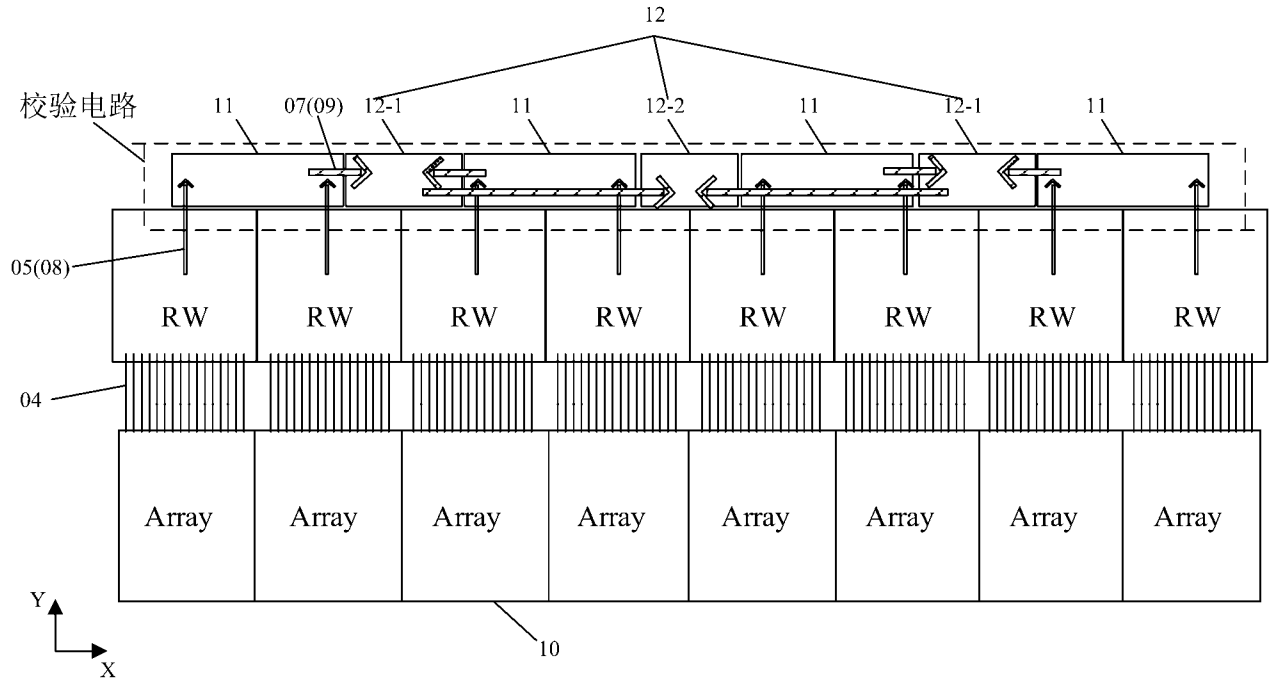


图 4

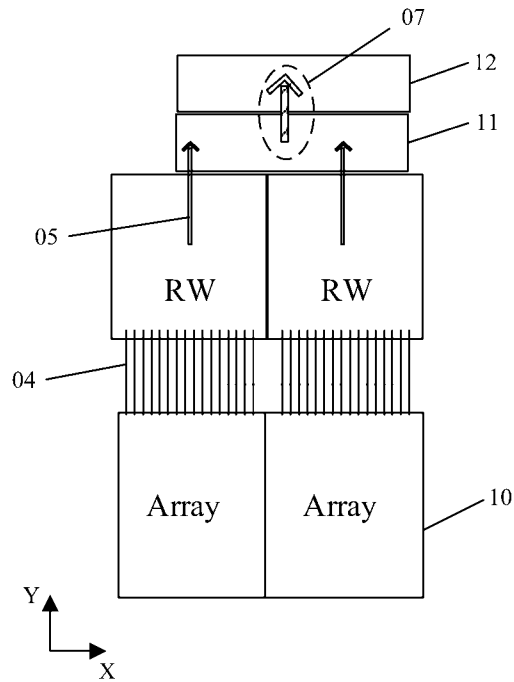


图 5

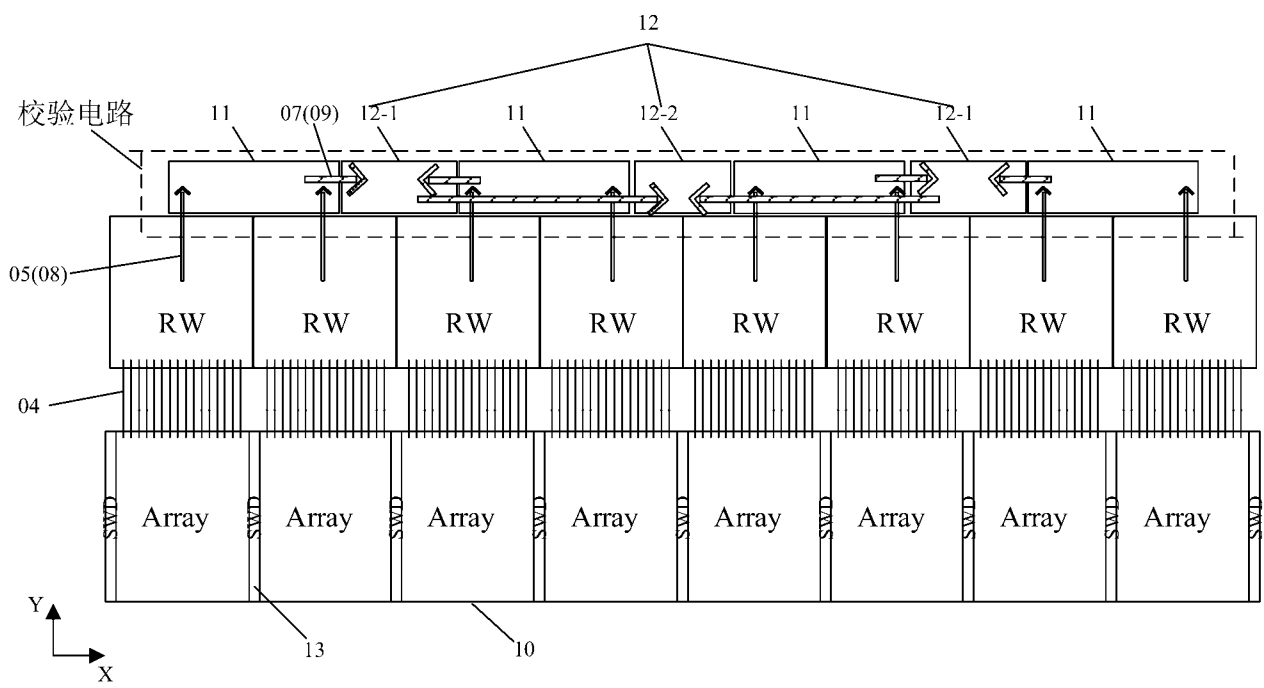


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/089247

A. CLASSIFICATION OF SUBJECT MATTER

G06F30/3947(2020.01)i; G06F30/398(2020.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT; ENTXT; DWPI; ENTXTC; CNKI: 存储, 阵列, 读, 写, 第一, 第二, 方向, 校验, 数据, 线, 金属, 导线, memory, array, read, write, first, second, direction, verif+, data, line, metal, conductive

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 115422880 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 02 December 2022 (2022-12-02) claims 1-15	1-15
X	CN 114187934 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 15 March 2022 (2022-03-15) description, paragraphs 40-73	1-5, 8-10, 12-15
A	CN 114187934 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 15 March 2022 (2022-03-15) entire document	6, 7, 11
A	CN 107039067 A (INSTITUTE OF MICROELECTRONICS OF CHINESE ACADEMY OF SCIENCES) 11 August 2017 (2017-08-11) entire document	1-15
A	JP 2005085357 A (RENESAS TECHNOLOGY CORP.) 31 March 2005 (2005-03-31) entire document	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

18 July 2023

Date of mailing of the international search report

19 July 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/089247

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	115422880	A	02 December 2022	None			
CN	114187934	A	15 March 2022	US	2022083418	A1	17 March 2022
				WO	2022052549	A1	17 March 2022
				CN	213183603	U	11 May 2021
				EP	4012709A1	A1	15 June 2022
				KR	20220107037	A	01 August 2022
				EP	4012709	A4	23 November 2022
				JP	2023509417	W	08 March 2023
CN	107039067	A	11 August 2017	None			
JP	2005085357	A	31 March 2005	JP	4336168	B2	30 September 2009

国际检索报告

国际申请号
PCT/CN2023/089247

A. 主题的分类 G06F30/3947(2020.01)i; G06F30/398(2020.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																				
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G06F 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNTXT;ENTXT;DWPI;ENTXTC;CNKI:存储, 阵列, 读, 写, 第一, 第二, 方向, 校验, 数据, 线, 金属, 导线, memory, array, read, write, first, second, direction, verif+, data, line, metal, conductive																				
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 115422880 A (长鑫存储技术有限公司) 2022年12月2日 (2022 - 12 - 02) 权利要求1-15</td> <td>1-15</td> </tr> <tr> <td>X</td> <td>CN 114187934 A (长鑫存储技术有限公司) 2022年3月15日 (2022 - 03 - 15) 说明书第40-73段</td> <td>1-5, 8-10, 12-15</td> </tr> <tr> <td>A</td> <td>CN 114187934 A (长鑫存储技术有限公司) 2022年3月15日 (2022 - 03 - 15) 全文</td> <td>6, 7, 11</td> </tr> <tr> <td>A</td> <td>CN 107039067 A (中国科学院微电子研究所) 2017年8月11日 (2017 - 08 - 11) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>JP 2005085357 A (RENESAS TECH CORP) 2005年3月31日 (2005 - 03 - 31) 全文</td> <td>1-15</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 115422880 A (长鑫存储技术有限公司) 2022年12月2日 (2022 - 12 - 02) 权利要求1-15	1-15	X	CN 114187934 A (长鑫存储技术有限公司) 2022年3月15日 (2022 - 03 - 15) 说明书第40-73段	1-5, 8-10, 12-15	A	CN 114187934 A (长鑫存储技术有限公司) 2022年3月15日 (2022 - 03 - 15) 全文	6, 7, 11	A	CN 107039067 A (中国科学院微电子研究所) 2017年8月11日 (2017 - 08 - 11) 全文	1-15	A	JP 2005085357 A (RENESAS TECH CORP) 2005年3月31日 (2005 - 03 - 31) 全文	1-15
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
PX	CN 115422880 A (长鑫存储技术有限公司) 2022年12月2日 (2022 - 12 - 02) 权利要求1-15	1-15																		
X	CN 114187934 A (长鑫存储技术有限公司) 2022年3月15日 (2022 - 03 - 15) 说明书第40-73段	1-5, 8-10, 12-15																		
A	CN 114187934 A (长鑫存储技术有限公司) 2022年3月15日 (2022 - 03 - 15) 全文	6, 7, 11																		
A	CN 107039067 A (中国科学院微电子研究所) 2017年8月11日 (2017 - 08 - 11) 全文	1-15																		
A	JP 2005085357 A (RENESAS TECH CORP) 2005年3月31日 (2005 - 03 - 31) 全文	1-15																		
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																				
<table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																			
国际检索实际完成的日期 2023年7月18日		国际检索报告邮寄日期 2023年7月19日																		
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088		授权官员 孙薇薇 电话号码 (+86) 62087668																		

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2023/089247

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	115422880	A	2022年12月2日	无			
CN	114187934	A	2022年3月15日	US	2022083418	A1	2022年3月17日
				WO	2022052549	A1	2022年3月17日
				CN	213183603	U	2021年5月11日
				EP	4012709A1	A1	2022年6月15日
				KR	20220107037	A	2022年8月1日
				EP	4012709	A4	2022年11月23日
				JP	2023509417	W	2023年3月8日
CN	107039067	A	2017年8月11日	无			
JP	2005085357	A	2005年3月31日	JP	4336168	B2	2009年9月30日