



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

(61)

(23) Výstavní priorita

(22) Přihlášeno 18 06 80

(21) PV 4312-80

(89) 145 138, DD

(32)(31)(33) 13 07 79 (WF G 06 K/214 305), DD

(40) Zveřejněno 16 04 84

(45) Vydáno 05 06 85

(11)

231 561
B1

(51) Int. Cl.¹

G 06 K. 9/68

(75)
Autor vynálezu

WURMUS HELMUT dr.ing., GEHREN,
WINKLER GERT dr.ing., ILMENAU, (DD)

(54)

Schéma zpracování dat zobrazení řízené minipočítačem

Schéma zpracování dat zobrazení řízené minipočítačem, (obr. 1).
Slouží k určení polohy místa, především polovodičových modulů "čipů" a také dalších objektů s použitím speciálních zařízení hodnocení zobrazení např. televizní kamery. Účelem vynálezu je určení místa dat objektu, zobrazovaných pomocí optiky na odpovídajícím systému přenosu zobrazení, během krátké doby s použitím minipočítače a k němu patřících spřažených elektronických zařízení. V popsaném schématu se signály vysílací kamery zapisují do vyrovnávací paměti na polovodičích, kterou může minipočítač volně volat.

Zařízení hodnocení je zvláště uzpůsobeno na rozpoznávání určitých struktur jako např. okrajů nebo čárek určité šířky, přičemž část algoritmu přijetí řešení s pomocí popsaných schémat je především časově optimální.

ÚŘAD PRO VYNÁLEZY A OBJEVY				06. XII 82	DOŠLO	052500	CJ
PV		ČAS					
		OSOBA/POSTA					
PŘÍL	UTVAR	REF	VYRIZ				

Область применения изобретения

Изобретение относится к схемам, позволяющим обработать оптическую информацию любых объектов и таким образом определить геометрическое положение различных структур. Такая задача имеет место во многих устройствах автоматизации, обрабатывающих оптическую информацию, как например, при определении места полупроводниковых чипов, нанесенных на контактные полосы и подлежащих дальнейшей автоматической обработке, или при оценке и измерении размеров и допусков других объектов, для которых эту информацию можно преобразовать в оптические сигналы (изменения яркости изображения), так, например, стеклянных изделий.

Характеристика известных технических решений

При применении мини-вычислительных машин с целью обработки данных изображения известно накопление соответственно только одной строки телевизионного изображения в памяти

на полупроводниках с целью обеспечения оптимальной по времени выборки данных изображения вычислительной машиной из-за отсутствия синхронности между телевизионной камерой и миниатюрной вычислительной машиной. При этом возникают неопределенные времена ожидания до поступления новой информации для одной строки, чем задерживается обработка данных общего изображения.

Уплотнение и предварительная селекция данных изображения осуществляется с помощью электронных устройств, частично мини-вычислительных машин, чем либо повышается сложность высокоинтегральной электроники, либо при применении логики с твердым проволочным монтажом становится сложным или невозможным изменение алгоритма оценки.

Из DE - OS 2 649 224 известна система, подающая сигнал опознавания, в котором содержится информация, передающая относительную величину белых, серых и черных плоскостей предмета. Сигнал опознавания содержит информацию, передающую позицию основных пунктов относительно сравнительного пункта.

Это решение связано с относительно высокими затратами на включение и подготовку.

Цель изобретения

Путем предложенного решения возможно абсолютное определение положения определенных геометрических структур при относительно низких расходах и без больших затрат на подготовку.

При этом картина, в пределах определения положения, не ограничивается ОЗУ изображения (оперативное запоминающее устройство).

Изложение сущности изобретения

В основу изобретения положена задача создать порядок подключения для обработки оптической информации с помощью мини-вычислительной машины, с помощью которой можно будет, несмотря на ограниченный объем памяти, обрабатывать большое число данных с высокой скоростью обработки. Переключаемая геометрическая адресация ОЗУ изображения должна осуществить ясное определение линий и контуров как в направлении X , так и в направлении Y . При этом величина картины не должна ограничиваться величиной используемого ОЗУ изображения.

Скорость мини-вычислительной машины должна лишь незначительно влиять на скорость определения положения.

Согласно изобретению задача решается с помощью схемы, которая с помощью цифрового управления отклонением электронного луча передающей телевизионной трубки (видикона) осуществляет принудительную адресацию оперативного запоминающего устройства (ОЗУ) изображения (рам).

Если предложенное каждому изображению количество информации превышает объем памяти ОЗУ изображения, то мини-вычислительная машина управляет распределением памяти на отдельные части изображения путем сравнения адресов изображения старшего разряда с помощью компаратора. Оптимизация содержимого памяти может быть осуществлена аналого-цифровым редактированием видеосигнала, управляемым вычислительной машиной.

С целью повышения скорости обработки ОЗУ изображения с помощью адресного мультиплексора переключается между логикой адресования записи и логикой оценки. Логикой оценки выполняются определенные функции, например, поиск информации определенной ширины в направлении строк или столбцов, это разгружает мини-вычислительную машину и благодаря высшей рабочей скорости логики оценки сокращается время обработки. Логика оценки управляется мини-вычислительной ма-

пиной, что позволяет провести универсальную обработку.

С целью дальнейшего повышения скорости обработки ОЗУ возможно многократное параллельное расположение логики оценки.

Геометрическое место определенных признаков исследуемого объекта получается в результате исследования содержимого памяти на определенные распределения светотени. Адрес, в котором локализовано распределение, соответствует геометрическому месту объекта.

Вычислительной машиной сообщается логика оценки искомого распределения светотени и запускается процесс поиска. Если такое распределение найдено логикой оценки, то результат сообщается вычислительной машине (например, прерыванием). Затем можно записать соответствующий адрес в вычислительную машину.

Об окончании поиска общего ОЗУ тоже сообщается вычислительной машине.

Пример осуществления изобретения

На чертеже приведены:

Фиг. 1 : Блок-схема порядка включения для обработки данных изображения, управляемой мини-вычислительной машиной

Фиг. 2 : Блок-схема порядка включения для повышения скорости оценки путем внешней логики оценки

По фиг. 1 осуществляется управление токами отклоняющих приспособлений передающей телевизионной трубки $AO\delta$ - $AE1$ для горизонтального отклонения, $AE2$ для вертикального отклонения цифровым, тем что для управления в направлении строк с помощью счетчика числа элементов разложения в строке ZPZ подсчитываются импульсы центрального такта извест-

ным способом двоичным счетчиком. После достижения заданного числа элементов разложения в строке (128, 256 и т.д.) генерируется моностабильным мультивибратором MV импульс сброса для счетчика числа элементов разложения в строке ZPZ, который одновременно представляет собой импульс для блокировки электронного луча во время обратного хода. Генерирование линейного во время напряжения отклонения строк производится функциональным генератором FG, генерирующим желаемую кривую напряжения в процессе зарядки конденсатора постоянным током. Начало и конец процесса зарядки определяются импульсом для блокирования электронного луча. Преобразование кривой напряжения в требуемую кривую тока осуществляется управляемым источником тока SpStW на основе операционного усилителя.

Для управления вертикальным отклонением изображения подобным образом применяется счетчик числа строк ZZ, подсчитывающий однако генерированные мультивибратором MV импульсы на обратном ходу. Пропорциональное числу строк напряжение отклонения получается с помощью цифро-аналогового преобразователя DAW1, преобразующего двоичную информацию счетчика числа строк в напряжение, которое вышеуказанным образом вторым управляемым источником тока преобразуется в пропорциональный ток отклонения отклоняющего устройства для вертикального отклонения ALE 2.

Аналоговый видеосигнал передающей телевизионной трубки AR0 преобразуется с помощью видеоусилителя VV и компаратора K I в цифровые сигналы изображения для ОЗУ (RAM) (сигнал DIN), причем порог компаратора может задаваться мини-вычислительной машиной ZVE через устройство вывода AG 1 и цифроаналоговый преобразователь DAW2 с 3-двоичными разрядами. Накопление сигнала изображения осуществляется, например, ОЗУ (RAM) в матричной форме с 16 К-битами. Адресация матрицы производится при записи

сигнала изображения с помощью предоставленных счетчиком числа элементов разложения в строке ZPZ или счетчиком числа строк ZZ адресных сигналов $2^0 \dots 2^6$ через адресный мультиплексор $AdrMu$, управляемый от вычислительной машины, подсоединяющий с целью считывания видеоинформации адреса запоминающей матрицы RAM к адресной шине мини-вычислительной машины ZVE. ОЗУ изображения целесообразно соединено таким образом, что в случае управления от ВМ в процессе считывания адреса элементов разложения в строке и адреса строк могут выделяться из старшего и младшего байтов двоичного регистра мини-вычислительной машины ZVE, что позволяет провести оптимальный во времени поиск и по направлению строк и по направлению столбцов. Вследствие такого рода реализации прямого обращения к памяти во время записи видеоинформации в запоминающую матрицу мини-вычислительная машина ZVE может выполнять другие операции.

Управление направлением записи/считывания запоминающей матрицы RAM осуществляется через компаратор K 2 с 4-двоичными разрядами и управляющий мультиплексор $StMu$.

Так как при полном использовании разрешающей способности передающей телевизионной трубки АР0 потребность в памяти может быть высокой, компаратор K2 с 4-двоичными разрядами сравнивает самые высокие адресные сигналы, например, 2^7 и 2^8 , счетчика числа элементов разложения в строке ZPZ и счетчика числа строк ZZ с заданным мини-вычислительной машиной числом и тем самым в запоминающей матрице RAM хранятся только определенные части общего изображения. Таким образом можно осуществить управляемое от программы перемещение "окна" через всю возможную часть изображения, что позволяет провести обработку информации из этих частей изображения.

Обработка запоминающей матрицы RAM осуществляется таким образом, что мини-вычислительная машина определенную струк-

туру изображения, как, например, специально нанесенные маски или же край объекта, печатный провод или контактный островок распознает такой структурой, дающей и по направлению строк и по направлению столбцов определенное число последовательных импульсов, представляющих информацию о яркости или темноте. Наступление такой последовательности информации запускает определение геометрического места элемента и дальнейшие критерии распознавания. С целью повышения надежности обработки проводятся, например, многократные оценки по разным строкам или столбцам и с помощью классификации и усреднения определяется адрес элемента изображения и тем самым геометрическое место соответствующей структуры, так как с помощью вышеуказанного метода адресации на основе определения адреса ячеек памяти найдено геометрическое место структуры.

В определенный мини-вычислительной машиной ZVE момент времени с помощью адресного мультиплексора $AdrMu$ и управляющего мультиплексора $StMu$ запоминающая матрица RAM может полностью присоединиться к мини-вычислительной машине ZVE, так что обработку можно осуществить без времени ожидания. Только в таком случае, если "окно" переключается на другую часть изображения, требуется однократный период развертки изображения, чтобы снова записать в запоминающую матрицу RAM.

Оценка содержания изображения осуществляется мини-вычислительной машиной ZVE таким образом, что она распознает определенное число последовательных импульсов, представляющих информацию о яркости или о темноте, например, как элемент печатного провода, контактный островок, маску или край и обрабатывает его, причем мини-вычислительная машина ZVE связана задачами счета и решения, чем не достигается максимально возможная скорость считывания запоминающей матрицы RAM.

С целью дальнейшего повышения скорости обработки такие простые решения выполняются внешней логикой, устанавливающей, в случае изменения яркостной информации, предшествовало ли определенное заданное число одинаковых событий (информации о яркости или темноте), и сообщаящей только этот случай мини-вычислительной машине через вход *INTREQ*.

Реализация может осуществиться по фиг. 2, причем управляемая от вычислительной машины адресация запоминающей матрицы *RAM* заменяется счетчиками для считывания ОЗУ *ZA1*, *ZA2*. Процесс считывания запускается от мини-вычислительной машины *ZVE*, до чего миниатюрная вычислительная машина *ZVE* выдает через устройство вывода *AG3* предельные значения минимального и максимального числа элементов изображения из памяти пороговых значений *osw* и *usw*. После запуска процесса считывания производится последовательное считывание по отдельным элементам изображения и по отдельным строкам и сравнение находящегося в счетчике событий *EEZ* числа информации о яркости или темноте в компараторе^{*k3*} с заданными значениями минимального и максимального числа элементов событий. Число "событий" в случае положительного решения сообщается через блок ввода *EG* мини-вычислительной машины *ZVE* как показание счетчика событий *EEZ*. Таким образом, она получает информацию о действительной ширине геометрической структуры, а также информацию о геометрическом месте данного события на основе значения теперь остановленных счетчиков *ZA1*, *ZA2*. С помощью блока вывода *AG2* счетчики для считывания ОЗУ могут быть установлены на определенное значение и тем самым установлен адрес считывания, т.е. геометрическое место, с которого должна начаться оценка. Кроме того, счетчики для считывания ОЗУ *ZA1* и *ZA2* могут управляться так, что входные тактовые импульсы либо повышают адреса по направлению столбцов и импульс переноса вызывает последовательное переключение строк либо обратно. Таким образом, могут осуществляться все процессы обработки

равным образом по направлению столбцов и по направлению строк. Переключением логики компаратора КЗ и запоминающих устройств пороговых значений USW и OSW с помощью мини-вычислительной машины ZVE через блоки вывода AG2 и AG3 мини-вычислительная машина ZVE может определить, следует ли оценивать информацию о яркости или темноте, строки или края.

С помощью параллельного расположения общей логики оценки на фиг. 2 можно достигнуть дальнейшего повышения скорости считывания, так как подобласти запоминающей матрицы RAM одновременно могут быть оценены на события.

Формула изобретения

I. Схема для управляемой от мини-вычислительной машины обработки данных изображения с применением известных блоков, например, счетчиков, компараторов, запоминающих устройств, мультиплексоров, причем между счетчиком числа элементов разложения в строке и отклоняющим устройством включены функциональный генератор, измерительный трансформатор напряжения и тока и импульсная схема, между счетчиком числа строк и отклоняющим устройством включены цифро-аналоговый преобразователь с 9-двоичными разрядами и следующий измерительный трансформатор напряжения и тока; между передающей телевизионной трубкой и вводом данных матрицы ОЗУ предусмотрены видеоусилитель и управляемый компаратор и что между блоком вывода мини-вычислительной машины и компаратором расположен цифро-аналоговый преобразователь для управления им и наконец вывод данных матрицы ОЗУ соединен с шиной данных мини-вычислительной машины, отличающаяся тем, что между адресной шиной мини-вычислительной машины и оперативным запоминающим устройством (ОЗУ) в матричной форме (RAM) включен адресный мультиплексор (AdrMu) что выходы 2^0 до 2^6 счетчика числа элементов разложения в строке (ZPZ-) и счетчика числа строк (ZZ) соединены с адресным мультиплексором (AdrMu) и что между адресной шиной, шиной данных и шиной управления мини-вычислительной машины (ZVE) и матрицей ОЗУ (RAM) включены блок вывода (AG 1), компаратор с 4 двоичными разрядами (K 2) и управляющий мультиплексор (StMu), что кроме того, компаратор с 4 двоичными разрядами (K 2) соединен с адресами 2^7 и 2^8 счетчика числа элементов разложения в строке (ZPZ) и счетчика числа строк (ZZ), что соответственно один выход блока вывода (AG 1) соединен как с адресным мультиплексором (AdrMu), так и с управляющим мультиплексором (StMu) для его реверсирования.

2. Схема по п. I, отличающаяся тем, что, с целью повышения скорости обработки, между мини-вычислительной машиной (ZVE) и адресным мультиплексором (Adr Mu) расположены блок вывода (AG2) и счетчики для считывания ОЗУ (ZA1, ZA2), соединенные между собой через логический блок (LE1), что между выходом шины данных (DOUТ) матрицы ОЗУ (RAM) и входом в мини-вычислительную машину (INTREQ) расположены счетчик событий (БЕЗ), компаратор (КЗ) и логический блок (LE2), что между шиной данных мини-вычислительной машины (ZVE) и компаратором (КЗ) через блок вывода (AG3) и запоминающим устройством пороговых значений (OSW), (USW) осуществлены соединения, что кроме того, выходы счетчиков для считывания ОЗУ (ZA1, ZA2) и счетчика событий (БЕЗ) через блок ввода (ВГ) соединены с мини-вычислительной машиной (ZVE), что соединены логический блок (LE1) с логическим блоком (LE2), блок вывода (AG2) с компаратором (КЗ), а также логический блок (LE2) с счетчиком событий (БЕЗ).
3. Схема по п. I и 2, отличающаяся тем, что логика (L), состоящая из счетчика событий (БЕЗ), логического блока (LE2), компаратора (КЗ), запоминающих устройств пороговых значений (OSW), (USW), параллельно включена между мини-вычислительной машиной (ZVE) и матрицей ОЗУ (RAM).

Аннотация

Схема управляемой от мини-вычислительной машины обработки данных изображения служит определению положения (места) узлов, в частности полупроводниковых модулей "чипов", а также других объектов с применением специальных устройств оценки изображения, например телевизионной камеры. Целью изобретения является определение места данных объектов, изображаемых с помощью оптики на соответствующей системе передачи изображения, в течение короткого времени с применением мини-вычислительной машины и принадлежащих к ней электронных устройств сопряжения.

В описанной схеме сигналы передающей камеры записываются в промежуточную память на полупроводниках, к которой мини-вычислительная машина может свободно обращаться.

Устройство оценки особенно рассчитано на распознавание определенных структур как например краев или штрихов определенной ширины, причем часть алгоритма принятия решения с помощью описанных схем особенно оптимальна по времени.

Předmět vynálezu

1. Schéma zpracování zobrazení řízené minipočítačem s použitím známých bloků například čítačů, komparátorů, paměťových členů, multiplexorů, přičemž mezi čítačem počtu prvků rozmístění v řádku a vychylovacím zařízením jsou zapojeny funkční generátor, měřicí transformátor napětí a proudu a impulsní obvod, mezi čítačem řádků a vychylovacím zařízením jsou zapojeny číslicově-analogový měnič s 9-bity a následující měřicí transformátor napětí a proudu; mezi snímací televizní elektronkou a vstupem dat matice operační paměti jsou umístěny videozesilovač a řídicí komparátor a že mezi výstupním blokem minipočítače a komparátorem je umístěn číslicově-analogový měnič pro jeho řízení a nakonec výstup dat matice operační paměti je spojen se sběrníci dat minipočítače, vyznačující se tím, že mezi adresní sběrníci minipočítače a operační pamětí v maticové formě /RAM/ je zapojen adresní multiplexor /AdrMu/, že výstupy 2^0 do 2^6 čítače počtu prvků rozmístění v řádku /ZPZ/ a čítače počtu řádků /ZZ/ jsou spojeny s adresním multiplexorem /AdrMu/ a že mezi adresní sběrníci, sběrníci dat a sběrníci řízení minipočítače /ZVE/ a maticí operační paměti /RAM/ jsou zapojeny výstupní blok /AG 1/, komparátor se 4-bity /K2/ a řídicí multiplexor /StMu/, že kromě toho komparátor se 4-bity /K2/ je spojen s adresami 2^7 a 2^8 čítače počtu prvků rozmístění v řádku /ZPZ/ a čítače počtu řádek /ZZ/, že společně jeden výstup výstupního bloku /AG1/ je spojen jak s adresním multiplexorem /AdrMu/, tak s řídicím multiplexorem /StMu/ pro jeho reverzování.

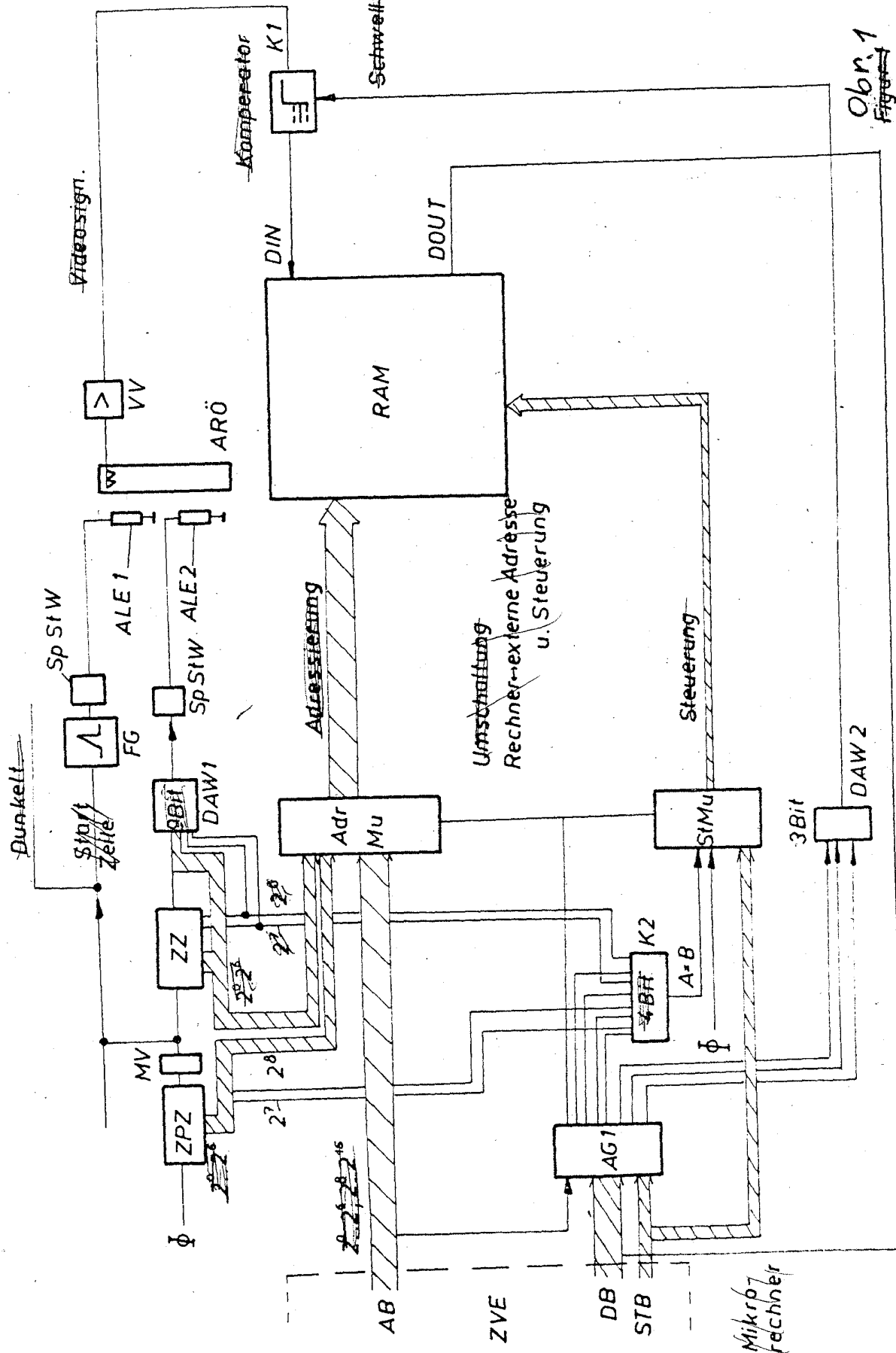
2. Schéma podle bodu 1, vyznačující se tím, že za účelem zvýšení rychlosti zpracování jsou mezi minipočítačem /ZVE/ a adresním multiplexorem /AdrMu/ umístěný výstupní blok /AG2/ a čítače pro čtení operační paměti /ZAI, ZA2/ spojené

spojené mezi sebou přes logický blok /LE1/, že mezi výstupem sběrnice dat /DOUT/, matice operační paměti /RAM/ a vstupem do minipočítače /INTREQ/ jsou umístěny čítač údajů /EEZ/, komparátor /K3/ a logický blok /LE2/, že mezi sběrnici dat minipočítače /ZVE/ a komparátorem /K3/ přes výstupní blok /AG3/ a paměťovým zařízením prahových hodnot /OSW/, /USW/ jsou uskutečněna spojení, že kromě toho výstupy čítačů pro čtení operační paměti /ZA1, ZA2/ a čítače údajů /EEZ/ přes vstupní blok /EG/ jsou spojeny s minipočítačem /ZVE/, že jsou spojeny logicky blok /LE1/ s logickým blokem /LE2/, výstupní blok /AG2/ s komparátorem /K3/, a také logicky blok /LE2/ s čítačem údajů /EEZ/.

3. Schéma podle bodů 1 a 2, vyznačující se tím, že logika /L/ skládající se z čítače údajů /EEZ/, logického bloku /LE2/, komparátoru /K3/, paměťového zařízení prahových hodnot /OSW/, /USW/ je paralelně zapojena mezi minipočítačem /ZVE/ a maticí operační paměti /RAM/.

2 výkresy

Uznáno vynálezem na základě výsledků expertizy, provedené Úřadem pro vynálezectví a patentnictví, Berlín, DD



Obr. 1

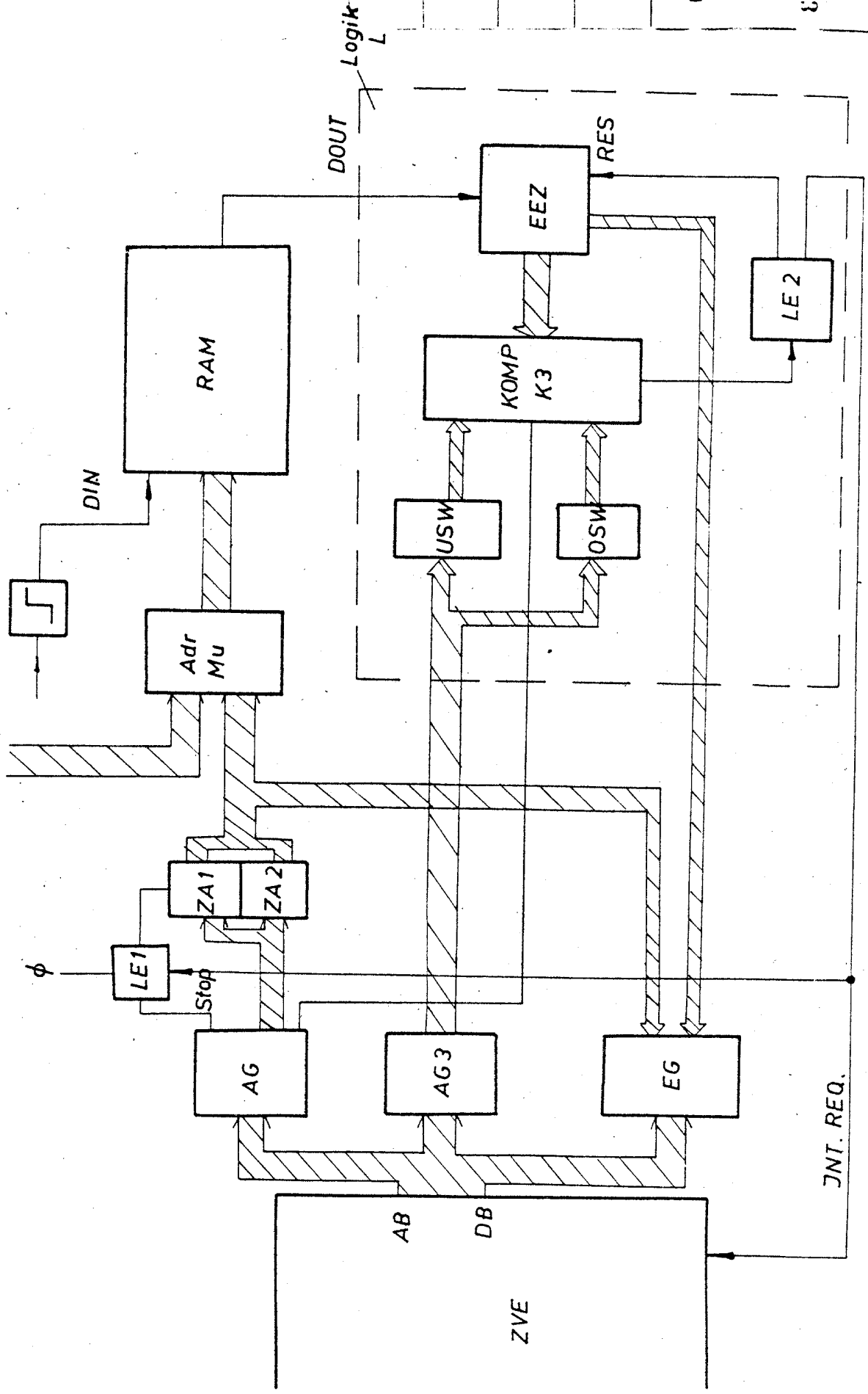


Figure 2
 Obr. 2