



(12) 发明专利

(10) 授权公告号 CN 101432860 B

(45) 授权公告日 2011.06.15

(21) 申请号 200780015617.9

代理人 张波

(22) 申请日 2007.04.10

(51) Int. Cl.

(30) 优先权数据

H01L 21/44 (2006.01)

11/415,922 2006.05.01 US

G23F 1/00 (2006.01)

(85) PCT申请进入国家阶段日

审查员 罗崇举

2008.10.30

(86) PCT申请的申请数据

PCT/US2007/008798 2007.04.10

(87) PCT申请的公布数据

W02007/133356 EN 2007.11.22

(73) 专利权人 国际商业机器公司

地址 美国纽约阿芒克

(72) 发明人 方隼飞 伦道夫.F. 克纳尔

马哈德瓦尔耶. 克里施南

克里斯琴. 拉沃伊 雷内.T. 莫

巴拉萨拉曼兰. 普拉纳萨蒂哈兰

杰伊.W. 斯特拉尼

(74) 专利代理机构 北京市柳沈律师事务所

11105

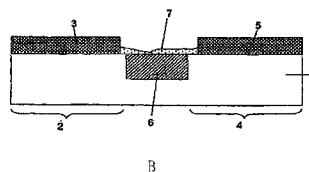
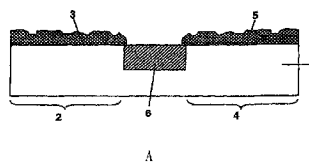
权利要求书 3 页 说明书 7 页 附图 2 页

(54) 发明名称

用于形成自对准金属硅化物接触的方法

(57) 摘要

一种用于在通过暴露的电介质区彼此间隔开的至少两个含硅半导体区上形成自对准金属硅化物接触的方法。这样形成的每个自对准金属硅化物接触至少包括镍硅化物和铂硅化物并具有基本光滑的表面,暴露的电介质区基本没有金属和金属硅化物。镍或镍合金沉积之后接着进行低温退火、镍蚀刻、高温退火和王水蚀刻。



1. 一种用于在通过暴露的电介质隔离区彼此间隔开的至少两个含硅半导体区上形成自对准金属硅化物接触的方法,所述方法包括:

在所述至少两个含硅半导体区和所述暴露的电介质隔离区上形成金属合金层,其中所述金属合金层包含镍和至少一种其他金属;

在 150°C 到 500°C 范围的第一退火温度退火,其中所述金属合金层中包含的镍与所述半导体区中包含的硅反应,从而在所述半导体区上形成包括 Ni<sub>2</sub>Si 的第一相的镍硅化物,而所述至少一种其他金属在所述温度范围内不与所述半导体区中含有的硅反应;

利用第一蚀刻溶液选择性地蚀刻所述金属合金层,从而从所述半导体区之间的所述暴露的电介质隔离区去除所有未反应的镍,而不蚀刻所述至少一种其他金属;

在 300°C 到 600°C 范围的第二退火温度退火,其中所述第一相的镍硅化物进一步与所述半导体区中包含的硅反应,从而在所述半导体区上形成包括 NiSi 的第二相的镍硅化物,其中所述第二相比所述第一相具有更低的电阻率,且其中所述至少一种其他金属与所述半导体区中包含的硅反应从而形成其他金属硅化物;以及

利用第二蚀刻溶液选择性地蚀刻所述金属合金层,从而从所述暴露的电介质隔离区去除所有残留的未反应的金属,由此形成彼此电隔离的包括 NiSi 和所述至少一种其他金属的硅化物的自对准金属硅化物接触。

2. 如权利要求 1 所述的方法,其中所述半导体区包括未掺杂 Si、n 型掺杂 Si、p 型掺杂 Si、单晶 Si、多晶 Si、非晶 Si、SiGe、SiGeC、以及它们的组合中的至少一种。

3. 如权利要求 1 所述的方法,其中所述至少一种其他金属是铂。

4. 如权利要求 3 所述的方法,其中所述金属合金层还包括选自自由 Pd、Rh、Ti、V、Cr、Zr、Nb、Mo、Hf、Ta、W、Re、以及它们的组合构成的组的至少另一种金属。

5. 如权利要求 4 所述的方法,其中所述至少另一种金属是 Re。

6. 如权利要求 1 所述的方法,其中所述金属合金层包括 50 至 95 原子百分比的镍、以及最高 50 原子百分比的所述至少一种其他金属。

7. 如权利要求 1 所述的方法,其中所述金属合金层具有 1nm 至 40nm 范围的厚度。

8. 如权利要求 1 所述的方法,还包括在所述第二选择性蚀刻步骤之后在所述自对准金属硅化物接触上形成盖层。

9. 如权利要求 8 所述的方法,其中所述盖层包括选自自由 Ti、TiN、W、WN、Ta 和 TaN 构成的组的至少一种材料。

10. 如权利要求 1 所述的方法,其中所述第一蚀刻溶液包括过氧硫酸溶液、氯化铁溶液、过硫酸铵溶液、硝酸溶液和铈溶液中的至少一种。

11. 如权利要求 1 所述的方法,其中所述第二蚀刻溶液包括至少一种氧化剂、至少一种络合剂和至少一种溶剂,其中所述金属合金层在 30°C 到 80°C 范围的蚀刻温度与所述第二蚀刻溶液接触 3 分钟到 45 分钟范围的持续时间,从而从所述暴露的电介质区去除所有残留的未反应的金属。

12. 如权利要求 11 所述的方法,其中所述金属合金层在 35°C 到 45°C 范围的蚀刻温度与所述第二蚀刻溶液接触 15 分钟到 45 分钟的持续时间。

13. 如权利要求 11 所述的方法,其中所述至少一种氧化剂、所述至少一种络合剂与所述至少一种溶剂以 1 : 10 : 200 到 1 : 1 : 5 的摩尔比存在。

14. 如权利要求 11 所述的方法,其中所述至少一种氧化剂包括选自自由硝酸、过氧化氢、高锰酸钾、过硫酸钠、过硫酸氨、过硫酸钾、硝酸铈铵、过一硫酸氢钾构成的组的至少一种。

15. 如权利要求 11 所述的方法,其中所述至少一种氧化剂包括硝酸。

16. 如权利要求 11 所述的方法,其中所述至少一种络合剂包括来自选自包括氯化钠、盐酸、碘化钠、碘化钾、溴化钠和溴化钾的组的至少一种化合物的卤素离子。

17. 如权利要求 11 所述的方法,其中所述至少一种络合剂包括盐酸。

18. 如权利要求 11 所述的方法,其中所述至少一种溶剂包括极性溶剂或非极性溶剂。

19. 如权利要求 11 所述的方法,其中所述至少一种溶剂包括水。

20. 如权利要求 11 所述的方法,其中所述至少一种氧化剂包括硝酸,所述至少一种络合剂包括盐酸,所述至少一种溶剂包括水。

21. 如权利要求 1 所述的方法,其中所述自对准金属硅化物接触每个特征在于 15 欧姆 / 平方至 45 欧姆 / 平方范围内的片电阻。

22. 如权利要求 1 所述的方法,其中所述自对准金属硅化物接触每个特征在于 10nm 到 50nm 范围内的厚度。

23. 一种半导体结构,包括位于通过暴露的电介质区彼此间隔开的至少两个含硅半导体区上的自对准金属硅化物接触,其中每个所述自对准金属硅化物接触至少包括镍硅化物和铂硅化物并具有光滑的表面,所述光滑的表面包含很少或没有损伤的表面且特征在于表面凸起和 / 或凹陷的高度低于 1nm,且其中所述暴露的电介质区没有金属和金属硅化物。

24. 如权利要求 23 所述的半导体结构,其中所述自对准金属硅化物接触每个的特征在于 15 欧姆 / 平方至 45 欧姆 / 平方范围内的片电阻。

25. 如权利要求 23 所述的半导体结构,其中所述自对准金属硅化物接触每个的特征在于 10nm 到 50nm 范围内的厚度。

26. 一种用于在通过暴露的电介质隔离区彼此间隔开的至少两个含硅半导体区上形成自对准金属硅化物接触的方法,所述方法包括:

在所述至少两个含硅半导体区和所述暴露的电介质隔离区上形成金属合金层,其中所述金属合金层包含镍和铂;

在 150°C 到 500°C 范围的第一退火温度退火,其中所述金属合金层中包含的镍与所述半导体区中包含的硅反应,从而在所述半导体区上形成包括  $\text{Ni}_2\text{Si}$  的第一相的镍硅化物,而铂在所述温度范围内不与所述半导体区中含有的硅反应;

利用第一蚀刻溶液选择性地蚀刻所述金属合金层,从而从所述半导体区之间的所述暴露的电介质隔离区去除所有未反应的镍,而不蚀刻铂;

在 300°C 到 600°C 范围的第二退火温度退火,其中所述第一相的镍硅化物进一步与所述半导体区中包含的硅反应,从而在所述半导体区上形成包括  $\text{NiSi}$  的第二相的镍硅化物,其中所述第二相比所述第一相具有更低的电阻率,且其中铂与所述半导体区中包含的硅反应从而形成铂硅化物;以及

利用第二蚀刻溶液选择性地蚀刻所述金属合金层,从而从所述暴露的电介质隔离区去除所有残留的未反应的金属,由此形成彼此电隔离的包括  $\text{NiSi}$  和  $\text{PtSi}$  的自对准金属硅化物接触,所述利用第二蚀刻溶液选择性蚀刻所述金属合金层包括:

提供包括至少一种氧化剂、至少一种络合剂和至少一种溶剂的蚀刻溶液;

将所述蚀刻溶液保持在 30℃至 80℃范围的保持温度至少 15 分钟；  
在 30℃至 80℃范围的蚀刻温度与所述蚀刻溶液接触 10 分钟至 45 分钟的持续实践；  
移除所述蚀刻溶液；以及  
漂洗且干燥从而去除微量的所述蚀刻溶液。

## 用于形成自对准金属硅化物接触的方法

### 技术领域

[0001] 本发明总地涉及形成用于半导体器件的自对准金属硅化物接触的方法。更具体地,本发明涉及形成用于至少两个含硅半导体区的自对准金属硅化物接触的方法,所述至少两个含硅半导体区通过暴露的电介质区彼此间隔开。

### 背景技术

[0002] 微尺寸半导体集成电路器件的技术发展需要改进的用于制造到半导体杂质区的导电接触的方法。金属硅化物已经证明是优异的接触材料,其易于通过金属硅化工艺 (salicidation process) 以自对准方式形成。

[0003] 通过金属硅化工艺形成金属硅化物接触通常包括步骤:在包括含硅器件区和电介质隔离区两者的半导体衬底之上均匀地沉积含有硅化物金属或金属合金(即能与硅反应从而形成金属硅化物的金属或金属合金)的薄金属层(例如厚度小于约 15nm),加热该半导体衬底从而在器件区之上形成硅化物,以及然后从电介质隔离区选择性地蚀刻掉未反应的金属。为了成功制造高性能半导体器件,蚀刻应是高选择性的,即,从电介质隔离区去除所有未反应的金属或金属合金,而不侵蚀或以其他方式破坏器件区上的硅化物。

[0004] 镍或镍合金例如镍铂合金已广泛用作 CMOS 技术中形成硅化物接触的硅化物金属。

[0005] 具体地,为了形成纯镍硅化物接触,通常采用快速热退火 (RTA) 步骤从而将所沉积的位于器件区上的薄镍层转变成镍硅化物,然后进行镍蚀刻步骤以从电介质隔离区去除未反应的镍。然而,残留材料,可能为镍硅化物,倾向于在 RTA 步骤之后形成在电介质隔离区之上。这样的残留材料不能通过镍蚀刻步骤中使用的蚀刻剂满意地去除。电介质隔离区上残留材料的存在显著增加了器件区之间短路的风险并降低了器件可靠性。随着 RTA 温度增加,这个问题变得更加严重。

[0006] 此外,为了形成包括镍硅化物以及一种或更多其它金属硅化物例如铂硅化物和/或铱硅化物的硅化物接触,在半导体衬底上沉积包含镍和一种或更多其他硅化物金属例如铂和/或铱的镍合金层。也采用 RTA 步骤在器件区中将镍和铂/铱转变成镍硅化物和铂/铱硅化物,接着进行王水 (AR) 蚀刻步骤以从电介质隔离区去除未反应的镍和铂/铱。由于 RTA 步骤后在电介质隔离区之上存在残留材料,所以也存在类似问题。

[0007] 此外,当 RTA 温度等于或小于约 400°C 时,通过 RTA 形成的硅化物高度易于受到 AR 蚀刻剂的侵蚀,并且 AR 蚀刻期间会导致对硅化物接触的严重损坏。另一方面,当 RTA 在更高温度(例如 >600°C) 执行时,在电介质隔离区之上观察到明显的残留材料的形成。图 1A 和 1B 示出通过常规 RTA/AR 蚀刻工艺形成的硅接触。具体地,优选地含有镍硅化物和铂硅化物的硅化物接触 3 和 5 形成在包括两个含硅半导体器件区 2 和 4 以及其间的电介质隔离区 6 的半导体衬底 1 上。当 RTA 温度不足够高时,硅化物接触 3 和 5 将受到 AR 蚀刻的严重损坏,由此导致非常不规则的表面形貌,如图 1A 所示。另一方面,当 RTA 温度更高时,层 7 表示的残留材料(例如镍铂硅化物)会形成在电介质隔离区 6 之上,如图 1B 所示。

[0008] 因此,继续需要一种改进的用于在半导体衬底上制造硅化物接触的方法,所述方法能够最小化电介质隔离区上残留材料的形成并减小对硅化物接触的蚀刻损伤。

### 发明内容

[0009] 本发明提供一种用于在通过暴露的电介质区彼此间隔开的至少两个含硅半导体区上形成自对准金属硅化物接触的方法。本发明的方法一方面最小化了电介质隔离区上残留材料的有害形成,由此降低了器件区之间短路的风险并提高了器件可靠性。另一方面,本发明的方法减小了退火后蚀刻导致的对硅化物接触的损坏。

[0010] 在一个方面,本发明涉及一种方法,该方法包括:

[0011] 在所述含硅半导体区和所述暴露的电介质区上形成金属合金层,其中所述金属合金层包含镍和至少一种额外金属;

[0012] 在从约 150°C 到约 500°C 范围的第一退火温度退火,其中所述金属合金层中包含的镍与所述半导体区中包含的硅反应,从而在所述半导体区上形成第一相的镍硅化物;

[0013] 利用第一蚀刻溶液选择性地蚀刻所述金属合金层,从而从所述半导体区之间的所述暴露的电介质区基本去除所有的未反应的镍;

[0014] 在从约 300°C 到约 600°C 范围的第二退火温度退火,其中所述第一相的镍硅化物进一步与所述半导体区中包含的硅反应,从而在所述半导体区上形成第二相的镍硅化物,其中所述第二相比所述第一相具有更低的电阻率;以及

[0015] 利用第二蚀刻溶液选择性地蚀刻所述金属合金层,从而从所述暴露的电介质区基本去除所有的残留未反应金属,由此形成彼此电隔离的自对准金属硅化物接触。

[0016] 另一方面,本发明涉及一种相对于镍硅化物和铂硅化物选择性地蚀刻镍铂的方法,包括:

[0017] 提供包含至少一种氧化剂、至少一种络合剂和至少一种溶剂的蚀刻溶液;

[0018] 保持所述蚀刻溶液在从约 30°C 到约 80°C 范围的保持温度下至少 15 分钟;

[0019] 使包含镍铂合金、镍硅化物和铂合金的工件在从约 30°C 到约 80°C 范围的蚀刻温度与所述蚀刻溶液接触约 10 分钟到约 45 分钟的持续时间;

[0020] 从所述蚀刻溶液移除所述工件;以及

[0021] 漂洗并干燥所述工件从而去除微量的所述蚀刻溶液。

[0022] 在又一方面,本发明涉及一种半导体结构,包括位于通过暴露的电介质区彼此间隔开的至少两个含硅半导体区上的自对准金属硅化物接触。每个所述自对准金属硅化物接触包括至少镍硅化物和铂硅化物并具有基本光滑的表面。此外,所述暴露的电介质区基本没有金属和金属硅化物。

[0023] 术语“基本光滑的表面”在这里使用时表示这样的表面,其包含很少或没有表面损伤,且特征在于表面凸起和/或凹陷低于 1nm 高。

[0024] 本发明的其它方面、特征和优点将从下面的公开和所附权利要求中变得更明显。

### 附图说明

[0025] 图 1A 和 1B 示出通过常规 RTA/AR 蚀刻工艺在半导体衬底之上形成的硅化物接触;

[0026] 图 2-7 示出根据本发明一实施例用于在半导体衬底之上形成硅化物接触的示例

性处理步骤。

### 具体实施方式

[0027] 在下面的说明中,描述了多个具体细节,例如具体结构、部件、材料、尺寸、处理步骤和技术,以提供对本发明的透彻理解。然而,本领域技术人员应该理解,可以在没有这些具体的细节的情况下实践本发明。在其它情况中,没有详细描述公知的结构或处理步骤以避免模糊本发明。

[0028] 应当理解,当作为层、区或衬底的元件称为在另一元件“上”或“之上”时,其可以直接在其它元件上或者中间元件可存在。相反,当元件称为“直接”在另一元件“上/之上”时,没有中间元件存在。还应理解,当元件被称为“连接”或“耦接”到另一元件时,其可以直接连接或耦接到其它元件或者可以存在居间元件。相反,当元件被称为“直接连接”或“直接耦接”到另一元件时,没有居间元件。

[0029] 本发明提供一种改善的金属硅化方法用于在半导体衬底包含的器件区之上形成自对准硅化物接触,同时完全消除了位于器件区之间的电介质隔离区上残留材料的形成,并最小化对硅化物接触的蚀刻损伤。所得结构包括基本没有不期望的残留材料(例如金属或金属硅化物)的电介质隔离区,并且所述硅化物接触的特征在于基本光滑的表面。

[0030] 现在将参照附图 2-7 更详细地描述本发明的示例性处理步骤。

[0031] 首先参照图 2,其示出包括通过电介质隔离区 16 彼此隔离的至少两个器件区 12 和 14 的半导体衬底 10。

[0032] 本发明中使用的半导体衬底 10 可包括任何半导体材料,包括但不限于:未掺杂硅、n 型掺杂硅、p 型掺杂硅,单晶硅、多晶硅、非晶硅、Ge、SiGe、SiC、SiGeC、Ga、GaAs、InAs、InAs、InP 以及所有其它 III/V 或 II/VI 族化合物半导体。半导体衬底 10 也可包括有机半导体或层叠半导体例如 Si/SiGe、绝缘体上硅(SOI)或绝缘体上硅锗(SGOI)。

[0033] 在本发明的优选实施例中,半导体衬底 10 由含硅半导体材料即包含硅的半导体材料构成,例如硅(包括未掺杂硅、n 型掺杂硅、p 型掺杂硅、单晶硅、多晶硅和非晶硅)、SiGe、SiGeC 等。半导体衬底 10 中含有的硅可与随后沉积的硅化物金属反应从而形成硅化物接触。另一方面,本发明也预期半导体衬底 10 可不包含硅,图案化的含硅层(未示出)随后形成在半导体衬底 10 上从而选择性地覆盖器件区 12 和 14,而不覆盖电介质隔离区 16。以此方式,随后形成的图案化含硅层提供形成硅化物接触所需的硅。

[0034] 半导体衬底 10 可以掺杂、不掺杂或其中包含掺杂和未掺杂区域两者。这些掺杂区称为“阱”并可用于定义各种器件区。例如,器件区 12 可代表第一掺杂(n 或 p)区,器件区 14 可代表第二掺杂(p 或 n)区,二者具有相同或不同的导电性(conductivity)和/或掺杂浓度。通常,n 掺杂区用于形成 p 沟道场效应晶体管(p-FET),p 掺杂区用于形成 n 沟道场效应晶体管(n-FET)。因此,器件区 12 和 14 可以都是 n-FET 或 p-FET 器件区,或者两个区 12 和 14 之一是 n-FET 区,而另一个是 p-FET 区。在本发明的优选实施例中,器件区 12 和 14 之一是 n-FET 区,另一个是 p-FET 区。

[0035] 在本发明的特别优选实施例中,半导体衬底 10 是混合衬底,其包含电子迁移率得到提高的至少一个区(例如 n-FET 器件区)和空穴迁移率得到提高的另一个区(例如 p-FET 器件区)。通过在电子迁移率提高的区中制造 n-FET 以及在空穴迁移率提高的区中制造

p-FET, n-FET 和 p-FET 器件区中各自的电荷载流子（即电子或空穴）的迁移率可同时提高，由此改善互补金属氧化物半导体（CMOS）器件的性能。

[0036] 更具体地，半导体衬底 10 是包括不同晶体取向的不同区的混合衬底（这里称为混合晶体取向衬底）。这种混合晶体取向衬底的作用基于半导体晶体中载流子迁移率各向异性。具体地，电荷载流子例如电子和空穴的迁移率随着半导体衬底的晶体取向而改变。例如，在硅衬底中，与（100）表面相比，对于（110）表面而言，空穴迁移率得到提高，但与（110）表面相比，对于（100）硅表面而言，电子迁移率得到提高。因此，通过在具有（100）表面晶体取向的器件区中制造 n-FET 且在具有（110）表面晶体取向的不同器件区中制造 p-FET，n-FET 和 p-FET 器件区中各自的电荷载流子（即电子或空穴）的迁移率都得到提高。

[0037] 通常在半导体衬底 10 中设置至少一个电介质隔离区 16 以使相邻的器件区 12 和 14 彼此隔离。电介质隔离区 16 可以是沟槽隔离区或场氧化物隔离区。沟槽隔离区利用本领域技术人员公知的常规沟槽隔离工艺形成。例如，光刻、蚀刻以及用沟槽电介质填充沟槽可用于形成沟槽隔离区。可选地，沟槽填充之前，在沟槽中可形成衬，在沟槽填充之后可进行密实化步骤且平坦化工艺也可以在沟槽填充之后进行。场氧化物可利用所谓的硅的局部氧化工艺来形成。

[0038] 器件区 12 和 14 每个可包括栅极堆叠（未示出），栅极堆叠至少包括栅极电介质层、栅极导体、及可选的沿栅极导体侧壁的一个或更多侧壁间隔物。栅极导体可以是金属性栅极导体、多晶硅栅极导体、或包括金属性材料和多晶硅材料二者的栅极导体，无论二者作为混合物或在单独的层中。

[0039] 金属合金层 20 沉积在半导体衬底 10 上，如图 3 所示。金属合金层 20 包括与至少一种其它金属形成合金的镍。金属合金层 20 中的总镍含量可在约 50 至约 95 原子百分比的范围，更一般的是约 75 至 95 原子百分比。金属合金层 20 中含有的其它金属（或多种金属）优选不大于约 50 原子百分比但不小于约 5 原子百分比，更一般的是约 0.1 至 20 原子百分比。

[0040] 优选地，金属合金层 20 包括镍铂合金，其可以通过沉积镍和铂的混合物形成，或者通过首先沉积镍层且然后将铂引入到镍层中而形成。通过公知技术例如气相掺杂或离子注入，铂可容易地引入到镍层中。金属合金层 20 还可包括选自 Pd、Rh、Ti、V、Cr、Zr、Nb、Mo、Hf、Ta、W、Re、以及它们的组合构成的组的一种或更多额外金属。优选地，该额外金属是 Re。金属合金层优选地具有约 1nm 至约 40nm 范围的厚度，更优选地约 2nm 至约 20nm，更优选地约 5nm 至约 15nm。

[0041] 可选地一个或更多盖层（未示出）可以沉积在金属合金层 20 上。这样的盖层（或多个盖层）包括选自 Ti、TiN、W、WN、Ta 和 TaN 构成的组的至少一种材料，且其用来保护金属合金层 20 以及将由金属合金层 20 形成的硅化物接触。

[0042] 然后，利用连续加热方式或各种上升和保持加热周期在从约 150°C 至约 500°C 范围的较低退火温度执行第一退火步骤约 1 秒至约 1000 秒范围的持续时间，更优选地，在约 200°C 至约 400°C 范围的退火温度执行第一退火步骤从约 5 秒到约 500 秒范围的持续时间，更优选地，在约 250°C 至约 350°C 范围的退火温度执行从约 10 秒到约 100 秒范围的持续时间。在特别优选的实施例中，第一退火步骤开始于使整个结构的周围温度从环境温度以约 1°C /s 至约 35°C /s 的斜率（ramp rate）上升至所需的退火温度，更优选地以约 5°C /s 至



约 25°C /s 的斜率,更优选地以约 10°C /s 至约 20°C /s 的斜率。此外,优选地第一退火步骤通过使整个结构的周围温度在约 10 秒至约 1000 秒的时段内降低至 100°C 以下而终止。

[0043] 如上所述的第一退火步骤因而被称为低温快速热退火 (RTA) 步骤。由于这样的低温 RTA 步骤,包含在金属合金层 20 的直接位于半导体衬底 10 的第一和第二器件区 12 和 14 上的部分中的镍与器件区 12 和 14 中含有的硅反应,从而形成自对准硅化物接触 22 和 24,而金属合金层 20 的直接位于电介质隔离区 16 上的部分 26 含有未反应的镍,如图 4 所示。自对准硅化物接触 22 和 24 至少含有 Ni<sub>2</sub>Si,其通过在较低退火温度下镍与硅之间的反应而形成,特征在于与 NiSi 相比较高的电阻率。自对准硅化物接触 22 和 24 还包含铂,其在低温退火温度下不能与硅反应来形成硅化物。

[0044] 在低温 RTA 步骤之后,执行仅蚀刻镍的步骤从而从金属合金层 20 的直接位于电介质隔离区 16 上的部分 26 基本去除全部未反应的镍,但不去除未反应的铂,从而形成仅包含残留的铂线 (stringer) 的部分 26',如图 5 所示。这样的仅蚀刻镍的步骤不从自对准硅化物接触 22 和 24 去除镍硅化物 (即,这时的 Ni<sub>2</sub>Si)。因此,自对准硅化物接触 22 和 24 基本保持完整。

[0045] 优选地,仅蚀刻镍的步骤通过使用含有选自过氧化氢、硫酸、高锰酸钾、氯化铁、过硫酸盐 (例如过硫酸铵、过硫酸钠或过硫酸钾)、硝酸、铈化合物 (例如硝酸铈铵) 等构成的组中的一种或更多氧化剂的蚀刻溶液来执行。在本发明的优选实施例中,仅蚀刻镍的步骤利用含有约 1% 至 30% 体积的过氧化氢和约 10% 到约 90% 体积的硫酸的溶液来执行。

[0046] 然后,利用连续加热方式或各种上升和保持加热周期在约 300°C 至约 600°C 范围的较高退火温度执行第二退火步骤约 1 秒至约 600 秒的持续时间。更优选地,在约 350°C 至约 550°C 范围的退火温度执行第二退火步骤约 5 秒到约 500 秒的时间,更优选地,在约 400°C 至约 500°C 的退火温度执行约 10 秒到约 100 秒的持续时间。在特别优选的实施例中,第二退火步骤始于使整个结构的周围温度从环境温度以约 1°C /s 至约 35°C /s 的斜率上升至所需的退火温度,更优选地以约 5°C /s 至约 25°C /s 的斜率,更优选地以约 10°C /s 至约 20°C /s 的斜率。此外,优选地第二退火步骤通过使整个结构的周围温度在约 10 秒至约 600 秒的时段内降低至 100°C 以下而终止。

[0047] 如上所述的第二退火步骤因而被称为高温快速热退火 (RTA) 步骤。由于这样的高温 RTA 步骤,包含在自对准硅化物接触 22 和 24 中的 Ni<sub>2</sub>Si 进一步与半导体衬底 10 的第一和第二器件区 12 和 14 中的硅反应,从而形成完全硅化且自对准的接触 32 和 34 (如图 6 所示),接触 32 和 34 包含 NiSi,与 Ni<sub>2</sub>Si 相比,其特征在于较低的电阻率。另外,自对准硅化物接触 22 和 24 中含有的未反应的铂在高温退火温度下与第一和第二器件区 12 和 14 中的硅反应,从而在接触 32 和 34 中形成铂硅化物,而直接位于电介质隔离区 16 上的部分 26' 包含的铂线保持未反应 (由于区 16 中缺乏硅),如图 6 所示。

[0048] 在高温 RTA 步骤之后,执行第二蚀刻步骤,从而相对于自对准硅化物接触 32 和 34 包含的 NiSi 和 PtSi,选择性地基本去除部分 26' 包含的所有未反应的铂线,由此暴露电介质隔离区 16 而不破坏自对准硅化物接触 32 和 34。

[0049] 通过使用包含至少一种氧化剂、至少一种络合剂以及至少一种溶剂的蚀刻溶液执行第二蚀刻步骤。第二蚀刻溶液中的氧化剂 (或多种氧化剂)、络合剂 (或多种络合剂) 与溶剂 (或多种溶剂) 的摩尔比优选地在约 1:10:200 到约 1:1:5 的范围。

[0050] 第二蚀刻步骤中使用的所述至少一种氧化剂可选自包括硝酸、过氧化氢、高锰酸钾、过硫酸钠、过硫酸氨、过硫酸钾、硝酸铈铵、过一硫酸氢钾 (potassium monopersulfate) 等的组。更优选地, 该氧化剂是硝酸。

[0051] 所述至少一种络合剂用于与贵金属离子例如铂离子或金离子形成络合物, 从而促进贵金属 (或多种贵金属) 的蚀刻。优选地, 这样的络合剂包括来自选自包括氯化钠、盐酸、碘化钠、碘化钾、溴化钠和溴化钾的组中的至少一种化合物的卤素离子。更优选地, 该络合剂包括盐酸。

[0052] 第二蚀刻溶液包含的至少一种溶剂可以是极性溶剂或非极性溶剂, 优选地该溶剂至少含有水。

[0053] 在本发明的优选实施例中, 第二蚀刻溶液是王水 (AR) 溶液, 其包含硝酸作为氧化剂、盐酸作为络合剂、以及水作为溶剂。更优选地, AR 溶液包含约 40% 到约 80% 体积的硝酸、约 20% 到约 60% 体积的盐酸以及其余的水。

[0054] 第二蚀刻步骤优选在约 30°C 到约 80°C 范围的蚀刻温度执行约 3 分钟到约 45 分钟范围的持续时间。更优选地, 第二蚀刻步骤优选在约 35°C 到约 45°C 范围的蚀刻温度执行约 15 分钟到约 45 分钟的持续时间。在蚀刻之前 (即在蚀刻溶液与待蚀刻结构接触之前), 优选地蚀刻溶液在约 30°C 到约 80°C 的提高了的温度保持至少约 10 分钟的持续时间, 更优选地至少约 15 分钟。另外, 在蚀刻之后 (即从蚀刻溶液移除该结构之后), 优选地该结构被漂洗且然后被干燥从而去除微量的蚀刻溶液。

[0055] 第二蚀刻步骤从电介质隔离区 16 的上表面有效地基本去除所有未反应的铂线, 而没有侵蚀或以其他方式损坏硅化物接触 32 和 34 含有的 NiSi 和 PtSi。

[0056] 注意, 第一和第二退火步骤两者优选地在气体环境例如 He、Ar、N<sub>2</sub> 或形成气体 (forming gas) 中执行。它们可在不同或相同的气氛中执行。例如, He 可用于两种退火步骤, 或者 He 可用于第一退火步骤且形成气体可用于第二退火步骤。

[0057] 本发明的一个独特方面是在两个单独的蚀刻步骤中使用两种不同的蚀刻溶液从而去除未反应的硅化物金属 (例如镍和铂)。低温 RTA 步骤之后的第一蚀刻步骤从电介质隔离区 16 的上表面去除大量未反应的镍。然后高温 RTA 步骤之后的更侵蚀性的第二蚀刻步骤从电介质隔离区 16 的上表面去除铂线或其它难于去除的合金金属 (或多种金属)。更重要的是, 第二蚀刻步骤之前的高温 RTA 步骤用于有效地将器件区 12 和 14 上硅化物接触 32 和 34 接触的金属转变成对第二蚀刻步骤的侵蚀有抵抗性的完全硅化物 (例如 NiSi 和 PtSi)。

[0058] 结果, 暴露的电介质隔离区 16 基本没有金属和金属硅化物, 而自对准硅化物接触 32 和 34 基本不被损伤且特征在于基本光滑的表面形貌 (即具有高度小于 1nm 的表面凸起和 / 或凹陷), 如图 7 所示。

[0059] 如上所述的第二蚀刻步骤也可单独使用 (即独立于 RTA 步骤和第一蚀刻步骤) 以用于相对于镍硅化物和铂硅化物选择性蚀刻镍铂合金。具体地, 首先提供如上所述包含至少一种氧化剂、至少一种络合剂和至少一种溶剂的蚀刻溶液并保持在约 30°C 到约 80°C 范围的升高温度下至少 15 分钟。然后, 包含镍铂合金、镍硅化物和铂硅化物的工件在约 30°C 到约 80°C 范围的蚀刻温度与蚀刻溶液接触约 10 分钟到约 45 分钟的持续时间。之后, 从蚀刻溶液移除工件, 然后漂洗和干燥工件以从工件去除微量的蚀刻剂。

[0060] 重要的是要注意,尽管上述说明主要集中于在硅衬底 10 上形成金属硅化物,但是容易理解的是,衬底 10 也可包括含硅半导体合金(例如 SiGe 或 SiC)以用于与金属硅化物一道形成其它金属半导体合金(例如 NiGe、NiC、PtGe 和 / 或 PtC)。例如,当 SiGe 用作半导体衬底 10 中的衬底材料时,NiGe 将与 NiSi 一起形成。本发明的方法可同样应用于这些半导体合金。

[0061] 尽管图 2-7 说明性地示出了根据本发明的具体实施例可以用于形成通过暴露的电介质区彼此隔离的自对准硅化物接触的示例性处理步骤,但清楚的是,根据上述说明,本领域技术人员可容易地修改这些处理步骤以适应具体的应用需求。因此,应该认识到本发明不限于上述具体实施例,而是在应用上可扩展到任何其它修改、变型、应用和实现,因而相应地,所有这些修改、变型、应用和实现将认为是落在本发明的精神和范围内。

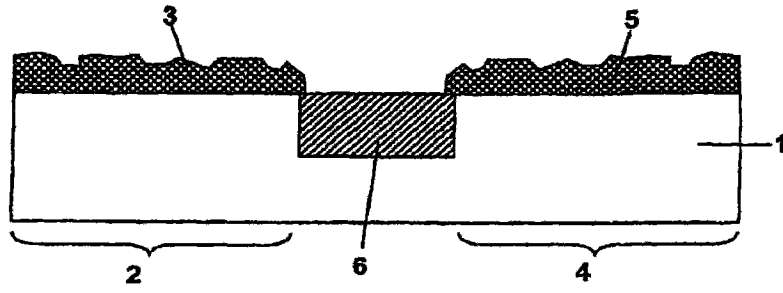


图 1A (现有技术)

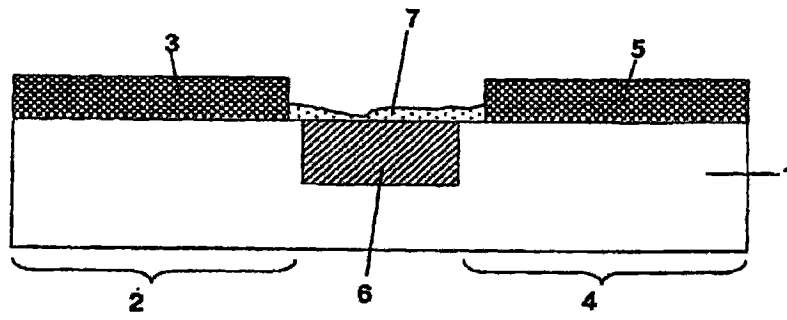


图 1B (现有技术)

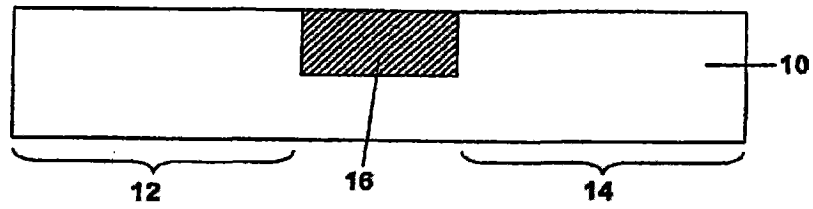


图 2

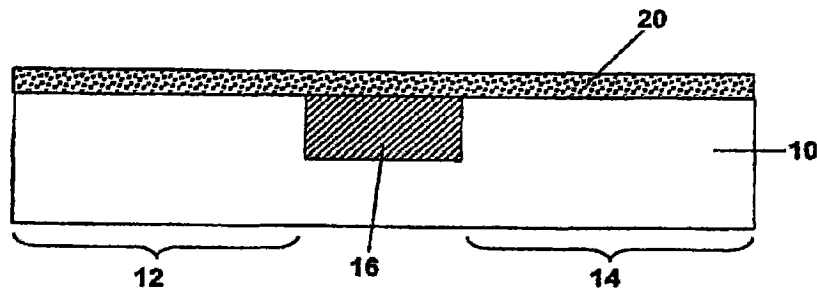


图 3

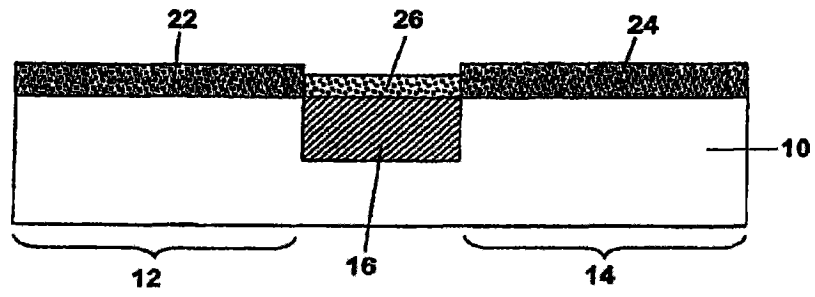


图 4

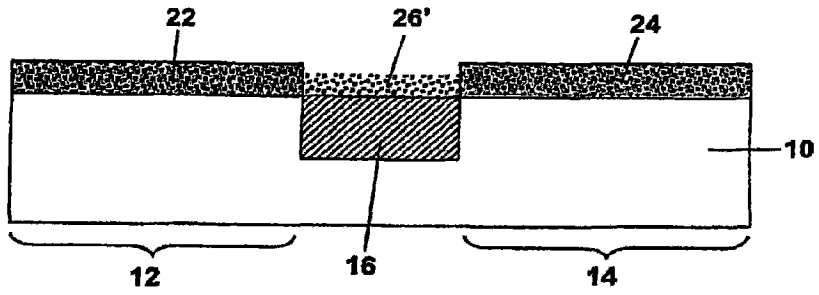


图 5

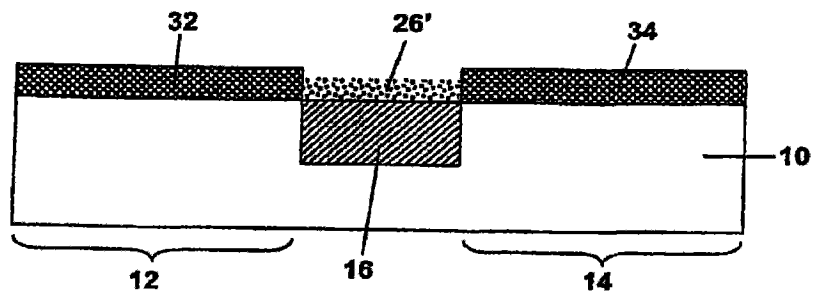


图 6

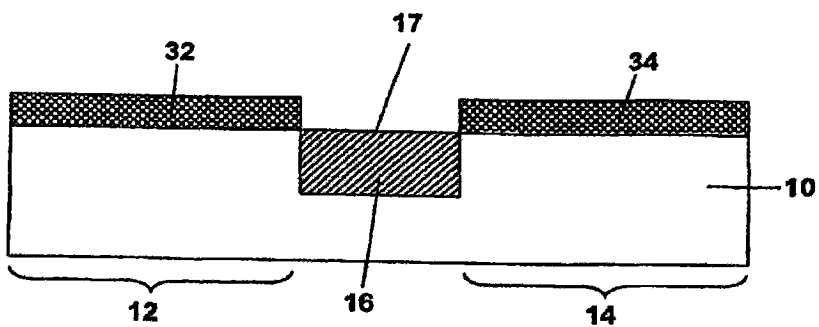


图 7