



(12) 发明专利

(10) 授权公告号 CN 101208752 B

(45) 授权公告日 2012. 02. 29

(21) 申请号 200680020806. 0

(22) 申请日 2006. 05. 05

(30) 优先权数据

11/125, 939 2005. 05. 09 US

11/395, 995 2006. 03. 31 US

(85) PCT申请进入国家阶段日

2007. 12. 11

(86) PCT申请的申请数据

PCT/US2006/017376 2006. 05. 05

(87) PCT申请的公布数据

W02006/121837 EN 2006. 11. 16

(73) 专利权人 桑迪士克 3D 公司

地址 美国加利福尼亚州

(72) 发明人 S · 布拉德 · 赫纳 坦迈 · 库马尔

克里斯托弗 · J · 佩蒂

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 刘国伟

(51) Int. Cl.

G11C 13/02 (2006. 01)

H01L 27/102 (2006. 01)

H01L 23/525 (2006. 01)

H01L 27/24 (2006. 01)

G11C 16/02 (2006. 01)

(56) 对比文件

WO 2005008783 A1, 2005. 01. 27, 说明书第 1 页第 1 段至第 10 页第 48 段.

US 2003081446 A1, 2003. 05. 01, 图 2, 7, 8.

审查员 周述虹

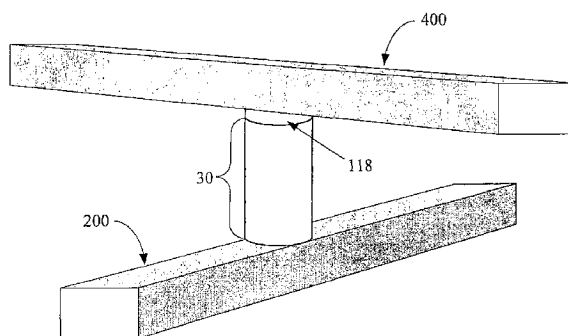
权利要求书 11 页 说明书 20 页 附图 11 页

(54) 发明名称

包括二极管和电阻切换材料的非易失性存储器单元

(57) 摘要

在一种形成于衬底上方的新颖的非易失性存储器单元中, 二极管与可逆电阻切换材料配对, 所述材料优选为例如 Ni_xO_y 、 Nb_xO_y 、 Ti_xO_y 、 Hf_xO_y 、 Al_xO_y 、 Mg_xO_y 、 Co_xO_y 、 Cr_xO_y 、 V_xO_y 、 Zn_xO_y 、 Zr_xO_y 、 B_xN_y 和 Al_xN_y 等金属氧化物或氮化物。在优选实施例中, 所述二极管形成为设置在导体之间的垂直支柱。可堆叠多个存储器层级以形成单片三维存储器阵列。在一些实施例中, 所述二极管包括锗或锗合金, 其可在相对较低温度下沉积和结晶, 从而允许在所述导体中使用铝或铜。本发明的存储器单元可用作可重写存储器单元或一次性可编程存储器单元, 且可存储两种或两种以上数据状态。



1. 一种非易失性存储器单元,其包括:
二极管;以及
电阻切换元件,其包括电阻率切换金属氮化物化合物层,所述金属氮化物化合物仅包含一种金属,其中所述二极管和电阻切换元件是所述存储器单元的部分,且其中所述电阻切换元件具有对应于所述金属氮化物化合物的第一电阻率状态的第一电阻,和对应于所述金属氮化物化合物的第二电阻率状态的第二电阻。
2. 根据权利要求1所述的非易失性存储器单元,其中所述金属氮化物化合物选自由以下物质组成的群组: B_xN_y 和 Al_xN_y 。
3. 根据权利要求1所述的非易失性存储器单元,其中所述二极管和所述电阻切换元件串联连接。
4. 根据权利要求3所述的非易失性存储器单元,其中所述二极管和所述电阻切换元件设置在第一导体与第二导体之间。
5. 根据权利要求4所述的非易失性存储器单元,其中所述第二导体在所述第一导体上方,且所述二极管和所述电阻切换元件垂直设置在所述第二导体与所述第一导体之间。
6. 根据权利要求5所述的非易失性存储器单元,其中所述二极管在所述电阻切换元件上方。
7. 根据权利要求5所述的非易失性存储器单元,其中所述电阻切换元件在所述二极管上方。
8. 根据权利要求5所述的非易失性存储器单元,其进一步包括支柱,其中所述二极管驻留在所述支柱中且垂直定向。
9. 根据权利要求8所述的非易失性存储器单元,其中所述第一导体和所述第二导体为轨道形状。
10. 根据权利要求9所述的非易失性存储器单元,其中所述第一导体在第一方向上延伸,且所述第二导体在与所述第一方向不同的第二方向上延伸。
11. 根据权利要求10所述的非易失性存储器单元,其中所述电阻切换元件设置在所述支柱中。
12. 根据权利要求10所述的非易失性存储器单元,其中所述电阻切换元件为轨道形状,设置在所述第二导体与所述二极管之间,且在所述第二方向上延伸。
13. 根据权利要求10所述的非易失性存储器单元,其中所述电阻切换元件为轨道形状,设置在所述第一导体与所述二极管之间,且在所述第一方向上延伸。
14. 根据权利要求8所述的非易失性存储器单元,其中所述第一导体或所述第二导体包括铝。
15. 根据权利要求8所述的非易失性存储器单元,其中所述第一导体或所述第二导体包括钨。
16. 根据权利要求3所述的非易失性存储器单元,其中所述二极管为半导体结二极管。
17. 根据权利要求16所述的非易失性存储器单元,其中所述半导体结二极管包括硅、锗或者硅或锗合金。
18. 根据权利要求17所述的非易失性存储器单元,其中所述硅、锗或者硅或锗合金不是单晶的。

19. 根据权利要求 18 所述的非易失性存储器单元,其中所述硅、锗或者硅或锗合金是多晶的。

20. 根据权利要求 17 所述的非易失性存储器单元,其中所述半导体结二极管垂直定向,包括具有第一导电类型的底部重掺杂区、中间本征或轻掺杂区以及具有第二导电类型的顶部重掺杂区。

21. 根据权利要求 17 所述的非易失性存储器单元,其中所述半导体结二极管是 Zener 二极管。

22. 根据权利要求 21 所述的非易失性存储器单元,其中所述 Zener 二极管经垂直定向,包括具有第一导电类型的底部重掺杂区以及具有第二导电类型的顶部重掺杂区。

23. 根据权利要求 3 所述的非易失性存储器单元,其中所述存储器单元是第一存储器层级的部分。

24. 根据权利要求 23 所述的非易失性存储器单元,其中所述第一存储器层级形成在单晶硅衬底上方。

25. 根据权利要求 23 所述的非易失性存储器单元,其中在单片三维存储器阵列中至少一第二存储器层级以单片形式形成在所述第一存储器层级上方。

26. 根据权利要求 1 所述的非易失性存储器单元,其中所述电阻切换元件邻近于贵金属。

27. 根据权利要求 26 所述的非易失性存储器单元,其中所述贵金属选自由 Pt、Pd、Ir 和 Au 组成的群组。

28. 根据权利要求 3 所述的非易失性存储器单元,其中所述电阻率切换金属氮化物化合物层可处于多种电阻率状态中的一种。

29. 根据权利要求 28 所述的非易失性存储器单元,其中在对所述电阻切换元件施加设定脉冲之后,所述电阻率切换金属氮化物化合物层从较高电阻率状态转换到较低电阻率状态。

30. 根据权利要求 28 所述的非易失性存储器单元,其中在对所述电阻切换元件施加复位脉冲之后,所述电阻率切换金属氮化物化合物层从较低电阻率状态转换到较高电阻率状态。

31. 根据权利要求 1 所述的非易失性存储器单元,其中所述存储器单元是可重写的。

32. 根据权利要求 1 所述的非易失性存储器单元,其中所述电阻率切换金属氮化物化合物层可处于多种电阻率状态中的一种。

33. 根据权利要求 32 所述的非易失性存储器单元,其中在对所述电阻切换元件施加设定脉冲之后,所述电阻率切换金属氮化物化合物层从较高电阻率状态转换到较低电阻率状态。

34. 根据权利要求 32 所述的非易失性存储器单元,其中在对所述电阻切换元件施加复位脉冲之后,所述电阻率切换金属氮化物化合物层从较低电阻率状态转换到较高电阻率状态。

35. 根据权利要求 1 所述的非易失性存储器单元,其中所述电阻率切换金属氮化物化合物层包含金属添加剂,其中所述金属添加剂在所述金属氮化物化合物层中的金属原子的约 0.01% 与约 5% 之间。

36. 根据权利要求 35 所述的非易失性存储器单元,其中所述金属添加剂选自以下金属组成的群组:钴、铝、镓、铟、锰、镍、铋、锆、钛、钪、钽、镁、铬、钒、硼、钇和镧。

37. 一种多个非易失性存储器单元,其包括:

在第一方向上延伸的第一多个大体上平行且大体上共面的导体;

第一多个二极管;

第一多个电阻切换元件,每个电阻切换元件包括一层电阻率切换金属氮化物化合物,其中每个电阻切换元件具有对应于所述金属氮化物化合物的第一电阻率状态的第一电阻,和对应于所述金属氮化物化合物的第二电阻率状态的第二电阻;以及

在与所述第一方向不同的第二方向上延伸的第二多个大体上平行且大体上共面的导体,

其中在每一存储器单元中,所述第一二极管中的一者与所述第一电阻切换元件中的一者串联布置,且设置在所述第一导体中的一者与所述第二导体中的一者之间,且

其中所述第一多个电阻切换元件包括选自以下物质组成的群组的材料的层: B_xN_y 和 Al_xN_y 。

38. 根据权利要求 37 所述的多个非易失性存储器单元,其中所述第一导体形成在第一高度处且所述第二导体形成在第二高度处,所述第二高度在所述第一高度上方。

39. 根据权利要求 38 所述的多个非易失性存储器单元,其中所述第一二极管是垂直定向的半导体结二极管。

40. 根据权利要求 39 所述的多个非易失性存储器单元,其中所述第一二极管是 p-i-n 二极管。

41. 根据权利要求 39 所述的多个非易失性存储器单元,其中所述第一二极管是 Zener 二极管。

42. 根据权利要求 39 所述的多个非易失性存储器单元,其进一步包括第一多个支柱,每一支柱均设置在所述第一导体中的一者与所述第二导体中的一者之间。

43. 根据权利要求 42 所述的多个非易失性存储器单元,其中所述第一二极管中的每一者均设置在所述第一支柱中的一者中。

44. 根据权利要求 43 所述的多个非易失性存储器单元,其中所述第一电阻切换元件中的每一者均设置在所述第一支柱中的一者中。

45. 根据权利要求 43 所述的多个非易失性存储器单元,其中所述第一电阻切换元件中的每一者均不设置在所述第一支柱中的一者中。

46. 根据权利要求 37 所述的多个非易失性存储器单元,其中所述第一多个二极管包括硅、锗或者硅或锗合金。

47. 一种单片三维存储器阵列,其包括:

a) 形成在衬底上方的第一存储器层级,所述第一存储器层级包括:

第一多个存储器单元,其中所述第一存储器层级的每一存储器单元均包括电阻切换元件,所述电阻切换元件包括电阻率切换金属氮化物化合物层,所述金属氮化物化合物仅具有一种金属,且其中每个电阻切换元件包括一层电阻率切换金属氮化物化合物,其中每个电阻切换元件具有对应于所述金属氮化物化合物的第一电阻率状态的第一电阻,和对应于所述金属氮化物化合物的第二电阻率状态的第二电阻;以及

b) 以单片形式形成在所述第一存储器层级上方的至少一第二存储器层级。

48. 根据权利要求 47 所述的单片三维存储器阵列,其中所述金属氮化物选自由以下物质组成的群组: B_xN_y 和 Al_xN_y 。

49. 根据权利要求 47 所述的单片三维存储器阵列,其中所述第一存储器单元是可重写存储器单元。

50. 根据权利要求 47 所述的单片三维存储器阵列,其中所述第一存储器单元是一次性可编程存储器单元。

51. 根据权利要求 47 所述的单片三维存储器阵列,其中所述第一存储器单元能够存储多种可检测数据状态中的一种。

52. 根据权利要求 51 所述的单片三维存储器阵列,其中所述多个可检测数据状态包含两个数据状态。

53. 根据权利要求 51 所述的单片三维存储器阵列,其中所述多个可检测数据状态包含至少三个数据状态。

54. 根据权利要求 51 所述的单片三维存储器阵列,其中所述多个可检测数据状态包含至少四个数据状态。

55. 根据权利要求 47 所述的单片三维存储器阵列,其中所述衬底包括单晶硅。

56. 根据权利要求 47 所述的单片三维存储器阵列,其中所述第一存储器层级进一步包括第一多个二极管,其中所述第一存储器层级的每一存储器单元均包括所述第一二极管中的一者。

57. 根据权利要求 56 所述的单片三维存储器阵列,其中在所述第一存储器层级的每一存储器单元中,所述二极管和所述电阻切换元件串联布置。

58. 根据权利要求 57 所述的单片三维存储器阵列,其中所述第一存储器层级进一步包括:

在第一方向上延伸的第一多个大体上平行且大体上共面的底部导体;以及

在与所述第一方向不同的第二方向上延伸的第二多个大体上平行且大体上共面的导体,所述第二导体在所述第一导体上方,

其中在所述第一存储器层级的每一存储器单元中,所述第一二极管和所述电阻切换元件设置在所述第一导体中的一者与所述第二导体中的一者之间。

59. 根据权利要求 58 所述的单片三维存储器阵列,其中所述第一存储器层级进一步包括第一多个支柱,其中每一第一支柱均垂直设置在所述第一导体中的一者与所述第二导体中的一者之间。

60. 根据权利要求 58 所述的单片三维存储器阵列,其中所述第一导体或所述第二导体包括钨。

61. 根据权利要求 58 所述的单片三维存储器阵列,其中所述第一导体或所述第二导体包括铝。

62. 根据权利要求 58 所述的单片三维存储器阵列,其中所述第一二极管是半导体结二极管。

63. 根据权利要求 62 所述的单片三维存储器阵列,其中所述第一二极管包括锗、硅或者锗和 / 或硅合金。

64. 根据权利要求 63 所述的单片三维存储器阵列,其中所述第一二极管本质上由锗或至少 80 原子%锗的半导体合金组成。

65. 根据权利要求 64 所述的单片三维存储器阵列,其中所述半导体合金是至少 90 原子%的锗。

66. 根据权利要求 57 所述的单片三维存储器阵列,其中所述第一存储器层级进一步包括电阻率切换材料连续层,其中所述电阻切换元件的每一者均设置在所述电阻率切换材料连续层内。

67. 根据权利要求 66 所述的单片三维存储器阵列,其中所述电阻率切换材料连续层在所述第一二极管上方。

68. 根据权利要求 66 所述的单片三维存储器阵列,其中所述电阻率切换材料连续层在所述第一二极管下方。

69. 根据权利要求 47 所述的单片三维存储器阵列,其中所述第二存储器层级包括第二多个存储器单元,其中所述第二存储器层级的每一存储器单元均包括电阻切换元件,所述电阻切换元件包括选自由以下物质组成的群组的材料的层: Ni_xO_y 、 Nb_xO_y 、 Ti_xO_y 、 Hf_xO_y 、 Al_xO_y 、 Mg_xO_y 、 Co_xO_y 、 Cr_xO_y 、 V_xO_y 、 Zn_xO_y 、 Zr_xO_y 、 B_xN_y 和 Al_xN_y 。

70. 一种用于形成多个非易失性存储器单元的方法,所述方法包括以下步骤:

形成第一多个大体上平行且大体上共面的第一导体;

在所述多个第一导体上方形成第一多个二极管;

形成第一多个电阻切换元件,每个电阻切换元件包括一层电阻率切换金属氮化物化合物,其中每个电阻切换元件具有对应于所述金属氮化物化合物的第一电阻率状态的第一电阻,和对应于所述金属氮化物化合物的第二电阻率状态的第二电阻;以及

在所述第一二极管上方形成第二多个大体上平行且大体上共面的导体,

其中所述第一电阻切换元件包括选自由以下物质组成的群组的材料: B_xN_y 和 Al_xN_y 。

71. 根据权利要求 70 所述的方法,其中在衬底上方形成所述第一导体。

72. 根据权利要求 71 所述的方法,其中所述衬底包括单晶硅。

73. 根据权利要求 70 所述的方法,其中所述第一二极管的每一者均与所述第一电阻切换元件中的一者串联布置。

74. 根据权利要求 73 所述的方法,其中所述形成所述第一导体的步骤包括:沉积第一导电材料层或堆叠;

图案化和蚀刻所述第一导电材料层或堆叠以形成第一导体;以及

在所述第一导体之间沉积介电填充物。

75. 根据权利要求 73 所述的方法,其中所述形成所述第一二极管的步骤包括:

在所述第一导体上方沉积半导体层堆叠;以及

图案化和蚀刻所述半导体层堆叠以形成所述第一二极管。

76. 根据权利要求 75 所述的方法,其中所述半导体层堆叠包括硅、锗或其合金。

77. 根据权利要求 73 所述的方法,其中所述形成所述第一电阻切换元件的步骤包括在所述第一导体上方沉积电阻切换材料层,所述层包括选自由以下物质组成的群组的材料: B_xN_y 和 Al_xN_y 。

78. 根据权利要求 77 所述的方法,其中所述形成所述第一电阻切换元件的步骤进一步

包括在用于图案化和蚀刻所述第一二极管的相同图案化步骤中图案化和蚀刻所述电阻切换材料层。

79. 根据权利要求 73 所述的方法,其中所述第一导体包括铝。

80. 根据权利要求 73 所述的方法,其中所述第一导体包括钨。

81. 根据权利要求 73 所述的方法,其中所述第一二极管具有垂直定向的支柱的形式。

82. 根据权利要求 73 所述的方法,其中所述形成所述第二导体的步骤包括:

沉积第二导电材料层或堆叠;以及

图案化和蚀刻所述第二导电材料层或堆叠以形成第二导体。

83. 根据权利要求 82 所述的方法,其中所述形成所述第一电阻切换元件的步骤包括在所述第一二极管上方沉积电阻切换材料层,所述层包括选自以下物质组成的群组的材料: B_xN_y 和 Al_xN_y 。

84. 根据权利要求 83 所述的方法,其中所述形成所述第一电阻切换元件的步骤进一步包括在用于图案化和蚀刻所述第二导体的相同图案化步骤中图案化和蚀刻所述电阻切换材料层。

85. 一种用于形成单片三维存储器阵列的方法,所述方法包括以下步骤:

a) 在衬底上方形成第一存储器层级,所述第一存储器层级通过包括以下步骤的方法来形成:

i) 形成第一多个二极管;以及

ii) 形成第一多个电阻切换元件,每个电阻切换元件包括一层电阻率切换金属氮化物化合物,其中每个电阻切换元件具有对应于所述金属氮化物化合物的第一电阻率状态的第一电阻,和对应于所述金属氮化物化合物的第二电阻率状态的第二电阻,所述第一多个电阻切换元件包括选自以下物质组成的群组的材料: B_xN_y 和 Al_xN_y ,进一步其中所述第一二极管的每一者均与所述电阻切换元件中的一者串联布置;以及

b) 在所述第一存储器层级上方和在所述衬底上方以单片形式形成至少一第二存储器层级。

86. 根据权利要求 85 所述的方法,其中所述衬底包括单晶硅。

87. 根据权利要求 85 所述的方法,其中所述形成所述第一存储器层级的步骤进一步包括:

形成第一多个大体上平行且大体上共面的导体;以及

形成第二多个大体上平行且大体上共面的导体,其中所述第二导体在所述第一导体上方。

88. 根据权利要求 87 所述的方法,其中所述第一存储器层级包括第一多个存储器单元,其中每一存储器单元均包括所述第一导体中的一者的一部分、所述第一二极管中的一者、所述电阻切换元件中的一者以及所述第二导体中的一者的一部分。

89. 根据权利要求 87 所述的方法,其中所述形成所述第一二极管的步骤包括:

在所述第一导体上方沉积第一半导体层堆叠并插入介电间隙填充物;以及

图案化和蚀刻所述第一半导体层堆叠以形成所述第一二极管。

90. 根据权利要求 89 所述的方法,其中所述图案化和蚀刻所述第一半导体层堆叠以形成所述第一二极管的步骤包括图案化和蚀刻所述半导体层堆叠以形成第一多个支柱。

91. 根据权利要求 85 所述的方法,其中所述形成所述第一多个电阻切换元件的步骤包括沉积第一电阻切换材料层。

92. 根据权利要求 85 所述的方法,其中所述在所述第一存储器层级上方以单片形式形成至少所述第二存储器层级的步骤包括在所述衬底上方沉积第二电阻切换材料层。

93. 根据权利要求 85 所述的方法,其中所述第一二极管包括锗、硅或其合金。

94. 一种用于形成单片三维存储器阵列的方法,所述方法包括以下步骤:

形成位于衬底上方的第一高度处且在第一方向上延伸的第一多个大体上平行且大体上共面的导体;

形成位于所述第一高度上方的第二高度处且在与所述第一方向不同的第二方向上延伸的第二多个大体上平行且大体上共面的导体;

形成第一多个电阻切换元件,每个电阻切换元件包括一层电阻率切换金属氮化物化合物,其中每个电阻切换元件具有对应于所述金属氮化物化合物的第一电阻率状态的第一电阻,和对应于所述金属氮化物化合物的第二电阻率状态的第二电阻,所述第一多个电阻切换元件包括选自由以下物质组成的群组的材料: B_xN_y 和 Al_xN_y ;

形成第一多个二极管,其中所述第一二极管和所述第一电阻切换元件在所述第一高度上方且在所述第二高度下方;

在所述第二导体上方形成第二二极管;以及

在所述第二导体上方形成第三导体。

95. 根据权利要求 94 所述的方法,其中所述单片三维存储器阵列包括第一多个存储器单元,每一第一存储器单元均包括串联布置在所述第一导体中的一者与所述第二导体中的一者之间的所述第一二极管中的一者和所述电阻切换元件中的一者。

96. 根据权利要求 94 所述的方法,其进一步包括第二多个电阻切换元件,所述第二多个电阻切换元件包括选自由以下物质组成的群组的材料: Ni_xO_y 、 Nb_xO_y 、 Ti_xO_y 、 Hf_xO_y 、 Al_xO_y 、 Mg_xO_y 、 Co_xO_y 、 Cr_xO_y 、 V_xO_y 、 Zn_xO_y 、 Zr_xO_y 、 B_xN_y 和 Al_xN_y ,所述第二电阻切换元件形成在所述第二导体上方。

97. 根据权利要求 94 所述的方法,其中所述第三导体在所述第二二极管上方。

98. 根据权利要求 94 所述的方法,其进一步包括在所述第二二极管上方的第四多个大体上平行且大体上共面的导体。

99. 根据权利要求 98 所述的方法,其中所述第二二极管在所述第三导体上方。

100. 根据权利要求 94 所述的方法,其中所述第一二极管包括硅、锗或者硅或锗合金。

101. 一种用于形成非易失性存储器单元的方法,所述方法包括:

形成第一导体;

形成第二导体;

形成电阻切换元件,其包括一层电阻率切换金属氮化物化合物,其中每个电阻切换元件具有对应于所述金属氮化物化合物的第一电阻率状态的第一电阻,和对应于所述金属氮化物化合物的第二电阻率状态的第二电阻;以及

形成二极管,其中所述二极管和所述电阻切换元件以电学方式串联设置在所述第一导体与所述第二导体之间,

且其中在所述第一和第二导体、二极管及电阻切换元件形成以及所述二极管结晶期

间,温度不超过约 500 摄氏度。

102. 根据权利要求 101 所述的方法,其中所述电阻切换元件包括选自以下物质组成的群组的材料: B_xN_y 和 Al_xN_y 。

103. 根据权利要求 101 所述的方法,其中所述温度不超过约 475 摄氏度。

104. 根据权利要求 101 所述的方法,其中所述温度不超过约 400 摄氏度。

105. 根据权利要求 101 所述的方法,其中所述温度不超过约 350 摄氏度。

106. 根据权利要求 101 所述的方法,其中所述二极管包括半导体材料,所述半导体材料由锗或锗合金组成。

107. 根据权利要求 106 所述的方法,其中所述锗合金是至少 80 原子%的锗。

108. 根据权利要求 107 所述的方法,其中所述锗合金是至少 90 原子%的锗。

109. 根据权利要求 107 所述的方法,其中所述二极管是半导体结二极管。

110. 根据权利要求 106 所述的方法,其中所述半导体材料大体上是多晶的。

111. 根据权利要求 101 所述的方法,其中所述第一导体或所述第二导体包括铝层。

112. 根据权利要求 101 所述的方法,其中所述第一导体或所述第二导体包括铜层。

113. 根据权利要求 101 所述的方法,其中所述衬底包括单晶硅。

114. 一种用于形成单片三维存储器阵列的方法,所述方法包括:

i) 在衬底上方形成第一存储器层级,所述第一存储器层级包括多个第一存储器单元,每一第一存储器单元均包括:

a) 电阻切换元件,其包括一层电阻率切换金属氮化物化合物,其中每个电阻切换元件具有对应于所述金属氮化物化合物的第一电阻率状态的第一电阻,和对应于所述金属氮化物化合物的第二电阻率状态的第二电阻;以及

b) 二极管,其中形成所述第一存储器层级期间的温度不超过约 475 摄氏度;以及

ii) 在所述第一存储器层级上方以单片形式形成至少一第二存储器层级。

115. 根据权利要求 114 所述的方法,其中每一第一存储器单元的所述电阻切换元件均包括选自以下物质组成的群组的材料: B_xN_y 和 Al_xN_y 。

116. 根据权利要求 114 所述的方法,其中所述二极管包括半导体材料,其中所述半导体材料为锗或锗合金。

117. 根据权利要求 116 所述的方法,其中所述半导体材料是至少 80 原子%的锗。

118. 根据权利要求 117 所述的方法,其中所述半导体材料是至少 90 原子%的锗。

119. 根据权利要求 116 所述的方法,其中所述半导体材料大体上是多晶的。

120. 根据权利要求 116 所述的方法,其中所述第一存储器层级进一步包括多个第一导体和多个第二导体,所述第二导体形成在所述第一导体上方,

其中每一第一存储器单元均包括所述第一导体中的一者的一部分以及所述第二导体中的一者的一部分,

其中所述第一导体或所述第二导体包括铝层或铜层。

121. 一种非易失性存储器单元,其包括:

包括半导体材料的二极管,其中所述半导体材料二极管为锗或锗合金;以及

电阻切换元件,其包括一层电阻率切换金属氮化物化合物,其中每个电阻切换元件具有对应于所述金属氮化物化合物的第一电阻率状态的第一电阻,和对应于所述金属氮化物

化合物的第二电阻率状态的第二电阻。

122. 根据权利要求 121 所述的非易失性存储器单元,其中所述电阻切换元件包括选自以下物质组成的群组的材料: B_xN_y 和 Al_xN_y 。

123. 根据权利要求 121 所述的非易失性存储器单元,其中所述锗合金是至少 20 原子%的锗。

124. 根据权利要求 123 所述的非易失性存储器单元,其中所述锗合金是至少 50 原子%的锗。

125. 根据权利要求 124 所述的非易失性存储器单元,其中所述锗合金是至少 80 原子%的锗。

126. 根据权利要求 121 所述的非易失性存储器单元,其中所述半导体材料为锗。

127. 根据权利要求 121 所述的非易失性存储器单元,其进一步包括底部导体和顶部导体,其中所述二极管和所述电阻切换元件串联布置在所述底部导体与所述顶部导体之间,且所述顶部导体在所述底部导体上方。

128. 根据权利要求 127 所述的非易失性存储器单元,其中所述顶部导体或所述底部导体包括铜层或铝层。

129. 一种单片三维存储器阵列,其包括:

i) 形成在衬底上方的第一存储器层级,所述第一存储器层级包括多个第一存储器单元,每一第一存储器单元均包括:

a) 电阻切换元件,其包括一层电阻率切换金属氮化物化合物,其中每个电阻切换元件具有对应于所述金属氮化物化合物的第一电阻率状态的第一电阻,和对应于所述金属氮化物化合物的第二电阻率状态的第二电阻;以及

b) 二极管,所述二极管包括半导体材料,其中所述半导体材料为锗或锗合金;以及

ii) 以单片形式形成在所述第一存储器层级上方的至少一第二存储器层级。

130. 根据权利要求 129 所述的单片三维存储器阵列,其中所述电阻切换元件包括选自以下物质组成的群组的材料: B_xN_y 和 Al_xN_y 。

131. 根据权利要求 129 所述的单片三维存储器阵列,其中所述锗合金是至少 20 原子%的锗。

132. 根据权利要求 131 所述的单片三维存储器阵列,其中所述锗合金是至少 50 原子%的锗。

133. 根据权利要求 131 所述的单片三维存储器阵列,其中所述锗合金是至少 80 原子%的锗。

134. 根据权利要求 129 所述的单片三维存储器阵列,其中所述二极管是半导体结二极管。

135. 根据权利要求 134 所述的单片三维存储器阵列,其中所述二极管是 p-i-n 二极管。

136. 根据权利要求 134 所述的单片三维存储器阵列,其中所述二极管是 Zener 二极管。

137. 根据权利要求 129 所述的单片三维存储器阵列,其中所述第一存储器层级进一步包括:

在第一方向上延伸且形成在所述衬底上方的第一多个大体上平行且大体上共面的导体;以及

在第二方向上延伸且形成在所述第一导体上方的第二多个大体上平行且大体上共面的导体，

其中每一第一存储器单元进一步包括所述第一导体中的一者的一部分以及所述第二导体中的一者的一部分，且

在每一存储器单元中，所述二极管和所述电阻切换元件设置在所述第一导体中的一者与所述第二导体中的一者之间。

138. 根据权利要求 137 所述的单片三维存储器阵列，其中所述第一导体或所述第二导体包括铝层或铜层。

139. 一种单片三维存储器阵列，其包括：

i) 形成在衬底上方的第一存储器层级，所述第一存储器层级包括多个第一存储器单元，每一第一存储器单元均包括：

a) 形成在所述衬底上方的第一底部导体，所述第一底部导体包括铝、铝合金或铜层；

b) 电阻切换元件，其包括一层电阻率切换金属氮化物化合物，其中每个电阻切换元件具有对应于所述金属氮化物化合物的第一电阻率状态的第一电阻，和对应于所述金属氮化物化合物的第二电阻率状态的第二电阻；以及

c) 形成在所述第一底部导体上方的二极管；以及

ii) 以单片形式形成在所述第一存储器层级上方的至少一第二存储器层级。

140. 根据权利要求 139 所述的单片三维存储器阵列，其中所述电阻切换元件包括选自以下物质组成的群组的材料： B_xN_y 和 Al_xN_y 。

141. 根据权利要求 139 所述的单片三维存储器阵列，其中所述二极管由锗或锗合金形成。

142. 根据权利要求 141 所述的单片三维存储器阵列，其中所述二极管是多晶的。

143. 一种用于对存储器阵列中的存储器单元进行编程的方法，其中所述存储器单元包括金属氮化物化合物的电阻率切换层，所述金属氮化物化合物恰好包含一种金属，且其中所述电阻率切换层具有对应于所述金属氮化物化合物的第一电阻率状态的第一电阻，和对应于所述金属氮化物化合物的第二电阻率状态的第二电阻，所述方法包括：

通过将所述电阻率切换层从所述第一电阻率状态改变为所述第二编程电阻率状态来对所述存储器单元进行编程，

其中所述第二编程电阻率状态存储所述存储器单元的数据状态。

144. 根据权利要求 143 所述的方法，其中所述存储器阵列包括用以编程和读取所述存储器单元的电路，且其中所述电路适于编程所述存储器单元仅一次，且其中所述存储器阵列是一次性可编程阵列。

145. 根据权利要求 144 所述的方法，其中所述电路适于将所述存储器单元编程为两种可能数据状态中的一种。

146. 根据权利要求 144 所述的方法，其中所述电路适于将所述存储器单元编程为两种以上可能数据状态中的一种。

147. 根据权利要求 146 所述的方法，其中所述电路适于将所述存储器单元编程为三种或四种可能数据状态中的一种。

148. 根据权利要求 144 所述的方法，其中所述编程所述存储器单元的步骤包括施加第

一编程脉冲。

149. 根据权利要求 148 所述的方法,其进一步包括在施加所述第一编程脉冲之后读取所述存储器单元。

150. 根据权利要求 149 所述的方法,其进一步包括在尚未实现所述第二编程电阻率状态的情况下施加第二编程脉冲。

151. 根据权利要求 143 所述的方法,其中所述金属氮化物化合物选自由以下物质组成的群组: B_xN_y 和 Al_xN_y 。

152. 根据权利要求 143 所述的方法,其中所述存储器单元进一步包括与所述电阻率切换层串联的二极管。

153. 根据权利要求 152 所述的方法,其中所述二极管包括硅、锗或者硅或锗合金。

154. 根据权利要求 153 所述的方法,其中所述硅、锗或者硅或锗合金是多晶的。

155. 根据权利要求 143 所述的方法,其中所述电路适于将所述存储器单元编程为两种以上可能数据状态中的一种。

156. 根据权利要求 155 所述的方法,其中所述电路适于将所述存储器单元编程为三种或四种可能数据状态中的一种。

157. 根据权利要求 156 所述的方法,其中所述存储器阵列是可重写存储器阵列。

158. 一种用于编程和感测存储器阵列中的存储器单元的方法,其中所述存储器单元包括:金属氮化物化合物的电阻率切换层,所述金属氮化物化合物恰好包含一种金属且其中所述电阻率切换层具有对应于所述金属氮化物化合物的第一电阻率状态的第一电阻,和对应于所述金属氮化物化合物的第二电阻率状态的第二电阻,所述存储器单元进一步包括含有多晶半导体材料的二极管,所述电阻率切换层与所述二极管以电学方式串联布置,所述方法包括:

i) 向所述存储器单元施加第一编程脉冲,其中所述第一编程脉冲:

a) 可检测地改变所述电阻率切换层的第一电阻率状态;或

b) 可检测地改变所述多晶半导体材料的第二电阻率状态,或

c) 可检测地改变所述电阻率切换层的所述第一电阻率状态并可检测地改变所述多晶半导体材料的所述第二电阻率状态;以及

ii) 读取所述存储器单元,其中所述电阻率切换层的所述第一电阻率状态用以存储数据且所述多晶半导体材料的所述第二电阻率状态用以存储数据。

159. 根据权利要求 158 所述的方法,其中所述存储器单元适于存储三种或四种数据状态中的一种。

160. 根据权利要求 158 所述的方法,其中所述多晶半导体材料是多晶硅。

161. 根据权利要求 158 所述的方法,其中所述二极管是结二极管。

162. 根据权利要求 158 所述的方法,其中所述金属氮化物化合物选自由以下物质组成的群组: B_xN_y 和 Al_xN_y 。

163. 根据权利要求 162 所述的方法,其中所述金属氮化物化合物选自由以下物质组成的群组:BN 和 AlN。

包括二极管和电阻切换材料的非易失性存储器单元

技术领域

[0001] 本发明涉及一种可重写非易失性存储器阵列,其中每一单元均包括串联的二极管和电阻切换元件。

[0002] 背景技术

[0003] 可在高电阻状态与低电阻状态之间可逆转换的电阻切换材料是已知的。这两种稳定的电阻状态使此类材料成为用于可重写非易失性存储器阵列中的有吸引力的选择。然而,由于单元之间的干扰危险、高泄漏电流和无数制造挑战的缘故,很难形成此类单元的较大高密度阵列。

[0004] 因此,需要一种使用可容易制造且可靠编程的电阻切换元件的较大可重写非易失性存储器阵列。

[0005] 发明内容

[0006] 本发明由所附权利要求书界定,且本部分中的所有内容都不应作为对这些权利要求的限制。一般来说,本发明针对于包括二极管和电阻切换材料的非易失性存储器单元。

[0007] 本发明的第一方面提供一种非易失性存储器单元,其包括:二极管;以及电阻切换元件,其包括电阻率切换金属氧化物或氮化物化合物层,所述金属氧化物或氮化物化合物仅包含一种金属,其中所述二极管和电阻切换元件是所述存储器单元的部分。

[0008] 本发明的另一方面提供多个非易失性存储器单元,其包括:在第一方向上延伸的第一多个大体上平行且大体上共面的导体;第一多个二极管;第一多个电阻切换元件;以及在与所述第一方向不同的第二方向上延伸的第二多个大体上平行且大体上共面的导体,其中在每一存储器单元中,所述第一二极管中的一者与所述第一电阻切换元件中的一者串联布置,且设置在所述第一导体中的一者与所述第二导体中的一者之间,且其中所述第一多个电阻切换元件包括选自以下物质组成的群组的材料层: Ni_xO_y 、 Nb_xO_y 、 Ti_xO_y 、 Hf_xO_y 、 Al_xO_y 、 Mg_xO_y 、 Co_xO_y 、 Cr_xO_y 、 V_xO_y 、 Zn_xO_y 、 Zr_xO_y 、 B_xN_y 和 Al_xN_y 。

[0009] 本发明的优选实施例提供一种单片三维存储器阵列,其包括:a) 形成在衬底上方的第一存储器层级,所述第一存储器层级包括:第一多个存储器单元,其中所述第一存储器层级的每一存储器单元均包括电阻切换元件,所述电阻切换元件包括电阻率切换金属氧化物或氮化物化合物层,所述金属氧化物或氮化物化合物仅具有一种金属;以及 b) 以单片形式形成在所述第一存储器层级上方的至少一第二存储器层级。

[0010] 本发明的另一方面提供一种用于形成多个非易失性存储器单元的方法,所述方法包括以下步骤:形成第一多个大体上平行且大体上共面的第一导体;在所述第一多个导体上方形成第一多个二极管;形成第一多个电阻切换元件;以及在所述第一二极管上方形成第二多个大体上平行且大体上共面的导体,其中所述第一电阻切换元件包括选自以下物质组成的群组的材料: Ni_xO_y 、 Nb_xO_y 、 Ti_xO_y 、 Hf_xO_y 、 Al_xO_y 、 Mg_xO_y 、 Co_xO_y 、 Cr_xO_y 、 V_xO_y 、 Zn_xO_y 、 Zr_xO_y 、 B_xN_y 和 Al_xN_y 。

[0011] 本发明的另一优选实施例提供一种用于形成单片三维存储器阵列的方法,所述方法包括以下步骤:a) 在衬底上方形成第一存储器层级,所述第一存储器层级通过包括以下

步骤的方法形成 : i) 形成第一多个二极管 ; 和 ii) 形成第一多个电阻切换元件, 其包括选自由以下物质组成的群组的材料 : Ni_xO_y 、 Nb_xO_y 、 Ti_xO_y 、 Hf_xO_y 、 Al_xO_y 、 Mg_xO_y 、 Co_xO_y 、 Cr_xO_y 、 V_xO_y 、 Zn_xO_y 、 Zr_xO_y 、 B_xN_y 和 Al_xN_y , 其中所述第一二极管中的每一者与所述电阻切换元件中的一者串联布置 ; 以及 b) 在所述第一存储器层级上方和所述衬底上方以单片形式形成至少一第二存储器层级。

[0012] 相关实施例提供一种用于形成单片三维存储器阵列的方法, 所述方法包括以下步骤 : 形成在衬底上方第一高度处且在第一方向上延伸的第一多个大体上平行且大体上共面的导体 ; 形成在所述第一高度上方第二高度处且在与所述第一方向不同的第二方向上延伸的第二多个大体上平行且大体上共面的导体 ; 形成第一多个电阻切换元件, 其包括选自由以下物质组成的群组的材料 : Ni_xO_y 、 Nb_xO_y 、 Ti_xO_y 、 Hf_xO_y 、 Al_xO_y 、 Mg_xO_y 、 Co_xO_y 、 Cr_xO_y 、 V_xO_y 、 Zn_xO_y 、 Zr_xO_y 、 B_xN_y 和 Al_xN_y ; 形成第一多个二极管, 其中所述第一二极管和所述第一电阻切换元件在所述第一高度上方且在所述第二高度下方 ; 在所述第二导体上方形成第二二极管 ; 以及在所述第二导体上方形成第三导体。

[0013] 又一实施例提供一种用于形成非易失性存储器单元的方法, 所述方法包括 : 形成第一导体 ; 形成第二导体 ; 形成电阻切换元件 ; 以及形成二极管, 其中所述二极管和所述电阻切换元件以电学方式串联设置在所述第一导体与所述第二导体之间, 且其中在形成所述第一及第二导体、二极管和切换元件以及结晶所述二极管期间, 温度不超过约 500 摄氏度。

[0014] 本发明的再一优选实施例提供一种用于形成单片三维存储器阵列的方法, 所述方法包括 : i) 在衬底上方形成第一存储器层级, 所述第一存储器层级包括多个第一存储器单元, 每一第一存储器单元均包括 : a) 电阻切换元件 ; 以及 b) 二极管, 其中在形成所述第一存储器层级期间温度不超过约 475 摄氏度 ; 以及 ii) 在所述第一存储器层级上方以单片形式形成至少一第二存储器层级。

[0015] 本发明的一方面提供一种非易失性存储器单元, 其包括 : 包括半导体材料的二极管, 其中所述半导体材料二极管为锗或锗合金 ; 以及电阻切换元件。相关实施例提供一种单片三维存储器阵列, 其包括 : i) 形成在衬底上方的第一存储器层级, 所述第一存储器层级包括多个第一存储器单元, 每一第一存储器单元均包括 : a) 电阻切换元件 ; 以及 b) 二极管, 所述二极管包括半导体材料, 其中所述半导体材料为锗或锗合金 ; 以及 ii) 以单片形式形成在所述第一存储器层级上方的至少一第二存储器层级。

[0016] 再一实施例提供一种单片三维存储器阵列, 其包括 : i) 形成在衬底上方的第一存储器层级, 所述第一存储器层级包括多个第一存储器单元, 每一第一存储器单元均包括 : 形成在所述衬底上方的第一底部导体, 所述第一底部导体包括铝、铝合金或铜层 ; 电阻切换元件 ; 以及形成在所述第一底部导体上方的二极管 ; 以及 ii) 以单片形式形成在所述第一存储器层级上方的至少一第二存储器层级。

[0017] 本发明的另一方面提供一种用于对存储器阵列中的存储器单元进行编程的方法, 其中所述存储器单元包括金属氧化物或氮化物化合物的电阻率切换层, 所述金属氧化物或氮化物化合物恰好包含一种金属, 所述方法包括 : 通过将所述电阻率切换层从第一电阻率状态改变到第二编程电阻率状态来对所述存储器单元进行编程, 其中所述第二编程电阻率状态存储所述存储器单元的数据状态。

[0018] 本发明的相关方面提供一种用于编程和感测存储器阵列中的存储器单元的方法,

其中所述存储器单元包括金属氧化物或氮化物化合物的电阻率切换层（所述金属氧化物或氮化物化合物恰好包含一种金属）以及包括多晶半导体材料的二极管，所述电阻率切换层与所述二极管以电学方式串联布置，所述方法包括：i) 向所述存储器单元施加第一编程脉冲，其中所述第一编程脉冲：a) 可检测地改变所述电阻率切换层的第一电阻率状态；或 b) 可检测地改变所述多晶半导体材料的第二电阻率状态，或 c) 可检测地改变所述电阻率切换层的第一电阻率状态并可检测地改变所述多晶半导体材料的第二电阻率状态；以及 ii) 读取所述存储器单元，其中所述电阻率切换层的第一电阻率状态用以存储数据且所述多晶半导体材料的第二电阻率状态用以存储数据。

[0019] 本文中所描述的本发明的每一方面和实施例可单独使用或者彼此组合使用。

[0020] 现将参看附图描述优选的方面和实施例。

附图说明

[0021] 图 1 是具有设置在导体之间的电阻切换材料的可能存储器单元的透视图。

[0022] 图 2 是根据本发明形成的可重写非易失性存储器单元的透视图。

[0023] 图 3 是包括类似于图 2 所示单元的单元的存储器层级的透视图。

[0024] 图 4 是展示非方向性电阻切换材料的低到高以及高到低电阻转换的 I-V 曲线。

[0025] 图 5a 是展示方向性电阻切换材料的低到高电阻转换的 I-V 曲线。图 5b 是展示方向性电阻切换材料的高到低电阻转换的 I-V 曲线。

[0026] 图 6 是在本发明一些实施例中优选的垂直定向 p-i-n 二极管的透视图。

[0027] 图 7 是在本发明其它实施例中优选的垂直定向 Zener 二极管的透视图。

[0028] 图 8 是类似于图 6 的二极管的 p-i-n 二极管的 I-V 曲线。

[0029] 图 9 是类似于图 7 的二极管的 Zener 二极管的 I-V 曲线。

[0030] 图 10 是其中电阻切换材料夹在贵金属层之间的本发明实施例的透视图。

[0031] 图 11a 是说明其中电阻切换材料未受图案化和蚀刻的本发明实施例的横截面图。

图 11b 是其中电阻切换材料与顶部导体一起图案化和蚀刻的本发明优选实施例的透视图。

[0032] 图 12 是描绘本发明实施例中存储器单元的四种不同数据状态的电流与电压关系的曲线图。

[0033] 图 13a-13c 是说明根据本发明优选实施例形成的单片三维存储器阵列的存储器层级形成中的各阶段的横截面图。

[0034] 图 14 是说明根据本发明优选实施例形成的单片三维存储器阵列的一部分的横截面图。

[0035] 图 15 是说明根据本发明的不同优选实施例形成的单片三维存储器阵列的一部分的横截面图。

[0036] 图 16a-16c 是说明根据本发明又一优选实施例形成的单片三维存储器阵列的存储器层级形成中的各阶段的横截面图。

具体实施方式

[0037] 许多材料展现出可逆的电阻率切换特性。这些材料包含硫族化物、碳聚合物、钙钛矿和某些金属氧化物与氮化物。具体地说，存在仅包含一种金属且展现可靠电阻率切换特

性的金属氧化物与氮化物,如 Pagnia 和 Sotnick 在“Bistable Switching in Electroformed Metal-Insulator-Metal Device”(Phys. Stat. Sol. (A) 108, 11-65(1988)) 中描述的。此群组包含(例如) Ni_xO_y 、 Nb_xO_y 、 Ti_xO_y 、 Hf_xO_y 、 Al_xO_y 、 Mg_xO_y 、 Co_xO_y 、 Cr_xO_y 、 V_xO_y 、 Zn_xO_y 、 Zr_xO_y 、 B_xN_y 和 Al_xN_y , 其中 x 和 y 的范围在 0 与 1 之间。实例是定比化合物 NiO 、 Nb_2O_5 、 TiO_2 、 HfO_2 、 Al_2O_3 、 MgO 、 CoO 、 CrO_2 、 VO 、 ZnO 、 ZrO 、 BN 和 AlN , 但同样可使用非定比化合物。这些材料中的一种材料的层可在初始状态中形成,例如相对低电阻率状态。一旦施加充足电压,材料就切换到稳定的高电阻率状态。此电阻率切换是可逆的;随后施加适当的电流或电压可用以使所述电阻率切换材料返回到稳定的低电阻率状态。此转换可重复许多次。对于一些材料,初始状态是高电阻率而不是低电阻。当此论述内容提到“电阻率切换材料”、“电阻率切换金属氧化物或氮化物”、“电阻切换存储器元件”或类似术语时,应了解其意味着可逆电阻率切换材料。

[0038] 因此,这些电阻率切换材料在非易失性存储器阵列中的使用受到关注。一种电阻率状态可对应于数据“0”(举例来说),而另一电阻率状态对应于数据“1”。这些材料中的一些可能具有两种以上稳定的电阻率状态;甚至,有一些可能能够实现多种数据状态中的任一者。

[0039] 为了使用这些材料来制作存储器单元,高电阻率状态与低电阻率状态之间的电阻率差必须足够大以可容易检测到。举例来说,材料在高电阻率状态中的电阻率应至少是材料在低电阻率状态中的电阻率的三倍。当此论述内容提到“电阻率切换材料”、“电阻率切换金属氧化物或氮化物”、“电阻切换存储器元件”或类似术语时,将了解低电阻与高电阻或低电阻率与高电阻率状态之间的差为至少 3 倍。

[0040] 然而,在较大非易失性存储器阵列中使用这些电阻率切换材料存在许多障碍。在一种可能的布置中,以交叉点阵列形式形成多个存储器单元,其每一者如图 1 所示均包括设置在导体之间(例如顶部导体 4 与底部导体 6 之间)的电阻切换存储器元件 2(其包括指定的电阻率切换材料中的一种)。可通过在顶部导体 4 与底部导体 6 之间施加电压来对电阻切换存储器元件 2 进行编程。

[0041] 在布置成交叉点阵列的此类单元的较大阵列中,将通过同一顶部导体或底部导体来寻址许多单元。当需要相对较大的电压或电流时,存在的危险是等待寻址的单元共用顶部或底部导体的存储器单元将暴露到充足的电压或电流,从而引起这些半选定单元中的不期望的电阻切换。依据所使用的偏压方案而定,未选定单元上的过量泄漏电流也可能是个问题。

[0042] 在本发明中,二极管与电阻率切换材料配对以形成可重写非易失性存储器单元,可以较大高密度阵列形式来形成和编程所述可重写非易失性存储器单元。通过使用本文所描述的方法,可以可靠地制造和编程此类阵列。

[0043] 尽管许多实施例是可能的且将描述说明性选择,但图 2 中展示根据本发明形成的存储器单元的简单型式。所述单元包含底部导体 200,其包括导电材料,例如重掺杂半导体材料、导电硅化物或优选为金属,例如钨、铝或铜。形成在此上方的是顶部导体 400,其可由与底部导体相同的材料制成。轨道形顶部与底部导体优选地在不同方向上延伸;举例来说,其可为垂直的。所述导体在需要时可包含导电阻挡层或粘合层。设置在顶部导体 400 与底部导体 200 之间的是串联布置的二极管 30 和电阻切换元件 118。例如阻挡层等其它层也可

包含在导体 200 与 400 之间。一旦在电阻切换元件 118 上施加电压或电流流动,那么电阻切换元件 118 从低电阻状态转换到高电阻状态,或者从高电阻状态转换到低电阻状态。从低电阻到高电阻的转换是可逆的。

[0044] 二极管 30 充当单向阀,其在一个方向上比在另一方向上更容易传导电流。在前向方向上的临界“接通”电压以下,二极管 30 传导少量电流或没有电流。通过使用适当的偏压方案,当选定个别单元进行编程时,相邻单元的二极管可用以电隔离那些单元的电阻切换元件,且因此防止无意编程,只要未选定或半选定单元上的电压不超过在前向方向上施加时的二极管接通电压或在反向方向上施加时的反向击穿电压。

[0045] 可制造具有居间二极管和电阻切换元件的多个此种顶部和底部导体,从而形成第一存储器层级,图 3 中展示其一部分。在优选实施例中,可在此第一存储器层级上方堆叠形成额外的存储器层级,从而形成高度密集单片三维存储器阵列。所述存储器阵列由在衬底(例如,单晶硅衬底)上方沉积和生长的层形成。有利的是,在衬底中在存储器阵列下方形成支持电路。

[0046] 一种用于制作可以可靠制造的密集非易失性一次性可编程存储器阵列的有利方法在 Herner 等人的第 10/326,470 号美国申请案中教导,由于所述申请案已被放弃,因而下文中将其称为‘470 申请案,且以引用的方式将其并入本文中。相关的存储器阵列及其使用和制造方法在以下申请案中教导:Herner 等人的在 2004 年 9 月 29 日申请且下文中称为‘549 申请案的题为“Nonvolatile Memory Cell Without a Dielectric Antifuse Having High-and Low-Impedance States”的第 10/955,549 号美国专利申请案;Herner 等人的在 2004 年 12 月 17 日申请且下文中称为‘824 申请案的题为“Nonvolatile Memory Cell Comprising a Reduced Height Vertical Diode”的第 11/015,824 号美国专利申请案;以及 Herner 等人的在 2004 年 9 月 29 日申请且下文中称为‘577 申请案的题为“Junction Diode Comprising Varying Semiconductor Compositions”的第 10/954,577 号美国专利申请案,所述申请案全部归本申请案的受让人所有,且以引用的方式并入本文中。这些并入的申请案中所教导的方法将可用于制造根据本发明的存储器阵列。

[0047] 制造选择

[0048] 优选实施例包含若干种重要变化。一般来说,所选择的电阻率切换材料的属性以及期望使用存储器单元的方式将决定哪些实施例是最有利的。

[0049] 非方向性切换与方向性切换:一般来说,指定的电阻切换金属氧化物和氮化物较早地展现两个一般种类的切换特性中的一种。参看图 4 的 I-V 曲线,这些材料中的一些初始处于低电阻率状态,在曲线图上的区域 A 中。电流容易地随施加电压流动,直到达到第一电压 V_1 为止。在电压 V_1 下,电阻率切换材料转换到区域 B 所示的高电阻率状态,且减少的电流流动。在某一临界较高电压 V_2 下,所述材料切换回到初始低电阻率状态,且增加的电流流动。箭头指示状态改变的次序。此转换是可重复的。对于这些材料,电流流动和电压偏置的方向是不重要的;因此,这些材料将被称为非方向性的。电压 V_1 可被称为复位电压,而电压 V_2 可被称为设定电压。

[0050] 另一方面,所述电阻率切换材料中的其它材料表现如图 5a 和 5b 中所示的特性,且将被称为方向性的。方向性电阻率切换材料也可在图 5a 的区域 A 所示的低电阻状态中形成。电流容易地随施加电压流动,直到达到第一电压 V_1 (复位电压)为止。在电压 V_1 下,

方向性电阻率切换材料转换到图 5a 的区域 B 中所示的高电阻率状态。然而,为了将方向性电阻率切换材料转换回低电阻率状态,必须施加反向电压。如图 5b 所示,方向性电阻率切换材料在负电压下在区域 B 中是高电阻,直到临界反向电压 V_2 (设定电压) 为止。在此电压下,方向性电阻率切换材料回复到低电阻率状态。箭头指示状态改变的次序。(一些材料初始在高电阻率状态中形成。切换特性是相同的;为了简化起见,仅描述了一种初始状态。)

[0051] 在优选实施例中,非方向性电阻率切换材料可与大体上单向性二极管配对。一种此类二极管是图 6 所示的 p-i-n 二极管。优选的 p-i-n 二极管由例如硅等半导体材料形成,且包含具有第一导电类型的底部重掺杂区 12、未有意掺杂的中间本征区 14 以及具有与第一导电类型相反的第二导电类型的顶部重掺杂区 16。在图 6 的 p-i-n 二极管中,底部区 12 为 n 型,而顶部区 16 为 p 型;如果需要的话,可颠倒极性。例如区 14 的本征半导体材料区尽管未被有意掺杂,但将从不呈完全电中性。在许多制造工艺中,本征沉积硅中的缺陷引起此材料表现为似乎略微呈 n 型。在一些实施例中,可能优选轻掺杂此区。一旦施加电压,此类二极管便表现如图 8 的 I-V 曲线所示的特性。在非常低的电压下,少量或没有电流流动。在临界电压 V_3 (二极管的接通电压) 下,二极管开始传导,且显著的前向电流流动。当将二极管置于较低且适度的反向电压下(如在图 8 的区域 D 中)时,少量或没有电流流动;二极管充当单向阀。

[0052] 然而,一旦施加非常高的反向电压 V_4 ,那么二极管将经受雪崩击穿且反向电流将开始流动。此事件可能会破坏二极管,尽管理论上不会破坏。回想到非方向性电阻切换材料的设定电压与复位电压两者均需要仅在一个方向上的电流。因此,图 6 的 p-i-n 二极管可成功地与非方向性电阻切换材料配对。

[0053] 然而,如图 5a 和 5b 的 I-V 曲线所说明,为了成功切换,方向性电阻率切换材料必须暴露到前向和反向电流两者。图 5b 所示的低电阻率到高电阻率转换需要反向电流(在电压 V_2 下)。反向电流仅在单向二极管中在反向击穿电压(图 8 中的电压 V_4) 下实现,所述反向击穿电压通常相对较高,例如至少 9 伏。

[0054] 因此,方向性电阻率切换材料可能不会有利地与单向二极管配对。而是,此类材料可与可逆非欧姆装置(即,允许电流在任一方向上流动的装置)配对。一种此类装置为 Zener 二极管。图 7 展示示范性 Zener 二极管。将看到,此类二极管具有具第一导电类型的第一重掺杂区 12 以及具相反导电类型的第二重掺杂区 16。极性可以颠倒。图 7 的 Zener 二极管中没有本征区;在一些实施例中,可能存在非常薄的本征区。图 9 展示 Zener 二极管的 I-V 曲线。Zener 二极管在前向偏压下在接通电压 V_3 处表现为类似于 p-i-n 二极管。然而,在反向偏压下,一旦达到临界电压 V_4 ,Zener 二极管就将允许反向电流流动。在 Zener 二极管中,临界反向电压 V_4 在量值上大体上低于单向二极管的临界反向电压。需要此种在适度电压下的可控反向电流来将方向性电阻率切换材料从高电阻率状态转换到低电阻率状态,如早先描述和图 5b 所示的(在电压 V_2 下)。因此,在使用方向性电阻率切换材料的本发明实施例中,Zener 二极管是优选的。(事实上,具有极小本征区的 p-i-n 二极管与 Zener 二极管之间的差别是人为的,但常规上由所属领域的技术人员做出。)

[0055] 非方向性材料在前向和反向方向上均不需要电流,但如所描述的,可在任一方向上实现电阻率切换。于是,对于一些电路布置,可能有利的是将非方向性电阻率切换材料与 Zener 二极管配对。

[0056] 本文中术语“结二极管”来指代具有非欧姆传导属性、具有两个端电极且由在一个电极处为 p 型且在另一电极处为 n 型的半传导材料制成的半导体装置。实例包含 :p-n 二极管和 n-p 二极管,其具有接触的 p 型半导体材料和 n 型半导体材料,例如 Zener 二极管 ;以及 p-i-n 二极管,其中本征 (未掺杂) 半导体材料插入在 p 型半导体材料与 n 型半导体材料之间。

[0057] 高电流要求 :为复位电阻率切换材料,从而造成非方向性电阻率切换材料中从高电阻率状态向低电阻率状态转变,对于一些材料来说可能需要相对较高的电流。对于这些材料,二极管可优选地为锗或锗合金,其在给定电压下与硅相比提供较高的电流。

[0058] 贵金属接点和低温制造 :已观察到,当电阻率切换材料夹在可例如由 Ir、Pt、Pd 或 Au 形成的贵金属接点之间时,更容易且可靠地实现早先提到的金属氧化物与氮化物中的一些的电阻率切换。图 10 展示其中使用贵金属接点的根据本发明的单元的实例。电阻率切换元件 118 在贵金属层 117 与 119 之间。

[0059] 然而,使用贵金属提出了挑战。当暴露于高温时,贵金属往往会快速扩散,且可损坏装置的其它部分。举例来说,在图 10 中,贵金属层 117 邻近于半导体二极管 30。贵金属广泛扩散到二极管 30 的半导体材料中将损害装置性能。于是,当在贵金属接点之间形成电阻率切换元件时,有利的是使处理温度达到最小。二极管可以是硅、锗或硅锗合金。锗与硅相比可在较低温度下结晶,且随着硅锗合金的锗含量增加,结晶温度减小。当使用贵金属接点时,由锗或锗合金形成的二极管可为优选的。

[0060] 多晶硅 (在此论述内容中,多晶硅将被称为多晶硅,而多结晶锗将被称为多晶锗) 的常规沉积和结晶温度相对较高,从而放弃使用以常规方式形成的与某些具有相对较低熔点的金属不相容的多晶硅二极管。举例来说,当暴露于高于大约 475 摄氏度的温度时,铝线开始软化并挤出。出于此原因,在 ' 470、' 549 和 ' 824 申请案的许多实施例中,优选的是在导体中使用钨,因为钨布线可承受较高温度。然而,如果使用锗或锗合金,那么锗的较低沉积和结晶温度可允许在导体中 (例如,在图 10 的导体 200 和 400 中) 使用铝或甚至铜。这些金属具有低薄层电阻,且因此在热学预算允许其使用的情况下通常是优选的,但可改为使用钨或某种其它导电材料。当低温为优选的时,涉及低温制造的以引用方式并入本文中的 Herner 等人的题为“High-Density Nonvolatile Memory Array Fabricated at Low Temperature Comprising Semiconductor Diodes”的第 11/125,606 号美国专利申请案的任何教示均可适用。

[0061] 导电和隔离 :已经描述到,为了能够在大阵列中编程,在每一存储器单元中包含二极管以提供相邻单元之间的电隔离。一些电阻率切换材料在高电阻率状态中沉积,而其它材料在低电阻率状态中沉积。对于在高电阻率状态中沉积的电阻率切换材料,一般来说,转换到低电阻率状态是局部化现象。举例来说,参看图 11a,假设存储器单元 (以横截面展示) 包含从左向右延伸穿过页面的轨道形底部导体 200、二极管 30、在高电阻率状态中形成的电阻率切换材料层 118 以及延伸出页面的轨道形顶部导体 400。在此情况下,电阻率切换材料层 118 已经形成成为覆盖层。只要电阻率切换材料层 118 的高电阻率状态充分高,层 118 就将不会提供不合意的将导体 400 短路到邻近导体或将二极管 30 短路到邻近二极管的导电路径。当电阻率切换材料层 118 暴露于高电压且转换到低电阻率状态时,预期只有层 118 的紧邻二极管的区域将进行转换 ;举例来说,在编程之后,层 118 的阴影区将为低电

阻率,而无阴影区将保持高电阻率。所述阴影区是设置在电阻率切换材料连续层 118 内的电阻率切换元件。

[0062] 然而,依据读取、设定和复位电压而定,对于一些电阻率切换材料,电阻率切换材料的高电阻率状态对于可靠隔离来说可能过于导电,且在形成为如图 11a 的连续层时将往往会短路邻近导体或二极管。于是,对于不同的电阻率切换材料,可合意地提供 a) 保持电阻率切换材料 118 未图案化,如在图 11a 的装置中,或 b) 用顶部或底部导体图案化电阻率切换材料 118,如在图 11b(透视图)的装置中,或 c) 用二极管 30 图案化电阻率切换材料 118,如在图 2 和 10 的装置中。

[0063] 当存储器元件由在低电阻率状态中形成的电阻率切换材料形成时,其必须与邻近单元的电阻率切换存储器元件隔离,以避免在其之间形成不希望的导电路径。

[0064] 如' 549 申请案中以及下文称为' 530 申请案且以引用方式并入本文中的 Herner 等人 2005 年 6 月 8 日申请的题为“Nonvolatile Memory Cell Operating by Increasing Order in Polycrystalline Semiconductor Material”的第 11/148,530 号美国专利申请案中详细描述的方法而形成的多晶半导体二极管,可预期在一些实施例中,二极管的多晶体将在初始高电阻率状态中形成,且一旦施加充分高的电压,就将永久转换为低电阻率状态。因此,参看图 2 的单元,当此单元初始形成时,二极管 30 的多晶硅与可逆电阻切换元件 118 两者均在高电阻率状态中形成。

[0065] 一旦第一次施加编程电压,二极管 30 的多晶硅与电阻率切换元件 118 两者均将转换为其低电阻率状态。一般来说,二极管 30 的转换是永久的,而电阻率切换元件 118 的转换是可逆的。可能需要在工厂条件下执行二极管的多晶硅从高电阻率到低电阻率的初始转换,从而有效地“预调节”所述二极管。

[0066] 作为替代,下文称为' 510 申请案并转让给本发明受让人且以引用方式并入本文中的 Herner 在 2004 年 9 月 29 日申请的题为“Memory Cell Comprising a Semiconductor Junction Diode Crystallized Adjacent to a Silicide”的第 10/954,510 号美国专利申请案描述了一种用以形成多晶半导体二极管的方法,所述多晶半导体二极管在形成时处于低电阻率状态中。在' 510 申请案的优选实施例中,二极管的半导体材料(通常为硅)在邻近于硅化物层(例如, TiSi_2) 处结晶。所述硅化物层在硅结晶时为硅提供有序结晶模板,从而在形成时产生具有较少结晶缺陷的高度结晶二极管。本发明中可使用此技术。如果二极管为锗,那么锗二极管在邻近于锗化物层(例如 TiGe_2) 处结晶,这将为锗提供类似的结晶模板。此类二极管的锗在形成时将为低电阻率,而不需要“编程”步骤来创建穿过其的低电阻路径。

[0067] 一次性可编程存储器单元:两个状态

[0068] 当用作可重写存储器单元时,本发明实施例中已经描述了与电阻切换元件配对的二极管。这些元件也可在替代实施例中用以形成一次性可编程存储器单元。

[0069] 对于氧化镍或可在较低电阻率状态与较高电阻率状态之间切换的指定电阻率切换二元金属氧化物或氮化物中的任一者来说,从较低电阻率状态向较高电阻率状态的复位切换可证明为较困难的切换。(将了解,在此论述内容中“氧化镍”可指代定比 NiO 或非定比化合物。)尽管实际的切换机制不清楚,但似乎必须在电阻率切换层上施加某一电压以致使其切换。如果材料的设定状态为极低电阻率,且所述材料高度导电,那么可能难以建立充

足电压以致使发生切换。通过使用本发明的存储器单元作为一次性可编程单元,可避免较困难的切换。这通常简化了编程电路。

[0070] 一种优选的电阻率切换材料(氧化镍)是非方向性的,这意味着所述材料通过所施加的正电压或负电压单独切换。但在一些实施例中已经发现,当与二极管配对时,通过在反向偏压下的二极管最容易实现氧化镍层的复位。在衬底中可能需要额外晶体管来提供负电压以反向偏置二极管。这些晶体管消耗衬底空间,从而使装置较昂贵,且形成这些晶体管可能增加工艺复杂性。因此,在需要反向偏压进行复位的实施例中,使用单元作为一次写入单元并避免复位避免了产生负电压的难题。

[0071] 在使用根据本发明的包括二极管和电阻率切换层的存储器单元作为一次性可编程存储器单元的最简单方法中,所述单元具有两个值——未编程和已编程,其对应于通过所述单元的两个相异读取电流。

[0072] 设定电压将依据用于电阻切换元件的材料、层厚度、材料特性和其它因素而变化。增加脉冲时间可减小将材料从高电阻设定到低电阻所需的电压。设定电压可从(例如)4伏变化到10伏。

[0073] 如早先描述的,如果二极管由多晶硅形成,那么在邻近于具有位于为硅提供良好结晶模板的定向处的晶格结构的硅化物处结晶多晶硅将产生较低缺陷且较低电阻率的多晶硅;而在仅邻近于具有弱晶格匹配的材料(例如氮化钛)处结晶将产生较高缺陷且较高电阻率的多晶硅。如果二极管由较高电阻多晶硅形成,那么需要在二极管上施加合适的编程电压以将多晶硅转换为低电阻率状态,从而使二极管具有良好的整流特性。

[0074] 此外,已经发现,对于某些在初始高电阻率状态中形成的电阻率切换金属氧化物或氮化物,在一些实施例中,可能需要形成脉冲来实现从高电阻率到低电阻率的第一切换。此形成脉冲与随后的低到高或高到低电阻率切换相比可能需要较高的电压。举例来说,在一个实验中,所述形成脉冲约为8.5到9伏,而随后的设定脉冲约为6.5到7伏。

[0075] 如下文称为'452申请案且以引用方式并入本文中的Herner等人2005年11月23日申请的题为“Reversible Resistivity-Switching Metal Oxide or Nitride Layer with added Metal”的第11/287,452号美国专利申请案中描述的,向二元金属氧化物或氮化物添加金属可减小设定和复位电压,且可减小形成脉冲的幅值或完全消除对形成脉冲的需要。一般来说,金属添加剂处于金属氧化物或氮化物化合物层中的金属原子的约0.01%与约5%之间。用于金属添加剂的优选金属选自由以下金属组成的群组:钴、铝、镓、铟、锰、镍、铌、锆、钛、钪、钽、镁、铬、钒、硼、钇和镧。

[0076] 因此,对于包含二元金属氧化物或氮化物电阻切换元件和二极管的一次性可编程存储器单元来说,许多选择是可能的。应考虑将电阻切换元件与具有高电阻率或低电阻率多晶硅的二极管配对的效果。

[0077] 如果所述二元金属氧化物或氮化物在高电阻率状态中形成且所述二极管由低缺陷且低电阻率多晶硅形成,那么通过将二元金属氧化物或氮化物转换到设定状态来实现存储器单元向已编程状态的转换,其中高电流在读取电压下流动。然而,如果所述二极管由高缺陷且高电阻率多晶硅形成,那么二极管的多晶硅必须同样经历用于存储器单元的编程电压以表现为似乎已编程,从而允许高电流在所施加读取电压下流动。

[0078] 依据引起多晶硅的无序到有序转换以及二元金属氧化物或氮化物的高到低电阻

率转换所需的相对电压,可优选使用低缺陷多晶硅二极管,其中多晶硅在邻近于适当的硅化物处结晶。

[0079] 如果对于在高电阻率状态中形成的二元金属氧化物或氮化物需要较大形成脉冲,那么另一替代方案是在工厂中在预调节步骤中施加形成脉冲。形成脉冲所需的高电压可从电路小片外部供应,且因此无需在电路小片上可用。如果需要反向偏压进行复位,那么也可在进一步预调节步骤中施加复位脉冲,因此当存储器阵列的最终用户准备好时,单元处于复位状态,且可通过较低的后形成设定电压来编程。以此方式,电路小片上的电路无需提供高电压形成脉冲或负电压,从而简化了电路要求。

[0080] 此外,如果在工厂中施加预调节形成脉冲和复位脉冲,那么对于形成脉冲所需的较大电压可能足以将二极管的高缺陷多晶硅从高电阻率转换到低电阻率。在此情况下,对于使用非硅化高缺陷二极管没有缺点,且可避免提供硅化物模板层的额外工艺复杂性。

[0081] 通过这样一种方法对在存储器阵列中的此类存储器单元进行编程(其中所述存储器单元包括金属氧化物或氮化物化合物的电阻率切换层,所述金属氧化物或氮化物化合物恰好包含一种金属),所述方法包括:通过将所述电阻率切换层从第一电阻率状态改变为第二编程电阻率状态来编程存储器单元,其中所述第二编程电阻率状态存储所述存储器单元的数据状态。所述存储器阵列包括用以编程和读取存储器单元的电路,且所述电路适于对存储器单元编程仅仅一次。所述存储器阵列为一次性可编程阵列。

[0082] 一次性可编程,多个状态

[0083] 在另一实施例中,可实际上优选将二元金属氧化物或氮化物与由高缺陷多晶硅形成的二极管配对。构成二极管的多晶硅的两个状态(即,初始高电阻率状态以及已编程低电阻率状态)可用于存储数据,从而增加存储器单元的密度。

[0084] 举例来说,假设由高缺陷多晶硅(不在邻近于适当硅化物处结晶)形成的二极管与氧化镍层配对,所述两者以电学方式串联布置在顶部导体与底部导体之间。氧化镍在高电阻率状态中形成,从而需要形成脉冲来实现从高电阻率向低电阻率的第一转换。假设二极管需要 8 伏的编程电压来引起'530 申请案中描述的无序到有序转换,从而将多晶硅转换为较高电阻率状态。进一步假设氧化镍所需的用于形成脉冲的电压为 10 伏。(将了解,这里给出的电压仅为实例。电压将随着装置特性和其它因素变化而改变。)

[0085] 所形成的存储器单元具有高电阻率氧化镍和高电阻率多晶硅二极管。以下表 1 概述此存储器单元可实现的三种数据状态。对于此实例,其还包含获得每一状态所需的编程以及针对所施加 +2 伏读取电压下的每一数据状态所预期的实例性读取电流:

[0086]

数据状态	多晶硅状态	切换层状态	编程	+2V 下的读取电流
00	高电阻率	复位	无编程	1×10^{-10} 安培
10	低电阻率	复位	+8V	1×10^{-8} 安培
11	低电阻率	设定	+11V	1×10^{-5} 安培

[0087] 表 1

[0088] 在未施加编程电压的情况下,所形成的存储器单元处于第一数据状态,所述第一数据状态出于方便起见将被称为'00'状态。施加 +8 伏足以将二极管的多晶硅从高电阻率转换到低电阻率,但低于形成脉冲所需的电压,从而使氧化镍保留在其初始高电阻率状态;此数据状态将被称为'10'。向初始'00'状态中的单元施加 +11 伏足以实现多晶硅的

无序到有序转换,且足以将氧化镍设定为低电阻率状态。此数据状态将被称为‘11’状态。

[0089] 在另一实施例中,可能不需要形成脉冲或仅需要较小形成脉冲,且设定电压可能小于切换多晶硅所需的电压。在此情况下,在表 2 中概述可实现的数据状态:

[0090]

数据状态	多晶硅状态	切换层状态	编程	+2V 下的读取电流
00	高电阻率	复位	无编程	1×10^{-10} 安培
01	高电阻率	设定	+6V	1×10^{-9} 安培
11	低电阻率	设定	+8V	1×10^{-5} 安培

[0091] 表 2

[0092] 在形成时,存储器单元处于‘00’状态,其中多晶硅和氧化镍两者均为高电阻率。施加 +6 伏设定氧化镍,但不足以切换多晶硅,从而使单元保留在‘01’状态。施加 8 伏切换多晶硅和氧化镍两者,从而使两者保留在低电阻率状态,这对应于‘11’数据状态。

[0093] 在这些实施例的任一者中,一旦单元处于‘11’状态,那么可通过复位氧化镍来实现第四数据状态,其中二极管的多晶硅处于低电阻率状态且氧化镍处于复位状态。此状态将被称为‘10’状态,且在需要反向偏压进行复位的实施例中,通过向处于‘11’状态的单元施加负复位脉冲(比如, -4 伏)来实现此状态。

[0094] 概括地说,通过这样一种方法对刚才描述的存储器单元进行编程,所述方法包括 i) 向存储器单元施加第一编程脉冲,其中所述第一编程脉冲:a) 可检测地改变电阻率切换层的第一电阻率状态;或 b) 可检测地改变多晶半导体材料的第二电阻率状态,或 c) 可检测地改变电阻率切换层的第一电阻率状态并可检测地改变多晶半导体材料的第二电阻率状态;以及 ii) 读取存储器单元,其中电阻率切换层的第一电阻率状态用以存储数据且多晶半导体材料的第二电阻率状态用以存储数据。所述存储器单元适于存储三种或四种数据状态中的一种。

[0095] 多个电阻级别

[0096] 本文中提到的电阻率切换二元氧化物或氮化物能够获得两种以上稳定的电阻率状态。于是,在一些实施例中,根据本发明形成的阵列的存储器单元能够通过将金属氧化物或氮化物置于三种、四种或更多可检测相异电阻率状态中的一者来存储两种以上数据状态,例如三种、四种或更多数据状态。可通过感测和解码阵列中的电路来可靠地检测可检测相异数据状态。这些实施例可以是可重写的或一次性可编程的。

[0097] 举例来说,假设电阻率切换金属氧化物或氮化物为氧化镍(将了解,可使用任何其它指定材料),所述氧化镍已经在高电阻率状态中形成。转向图 12,在形成时,氧化镍处于标记为 00 的曲线上所展示的最低电阻率状态中。

[0098] 可将氧化镍置于两种以上可检测相异电阻率状态中。举例来说,类似图 2 所示存储器单元的存储器单元可具有四种不同状态,每一种状态可通过在例如约 2 伏的施加读取电压下的电流流动范围来区别。

[0099] 在此实例中,在最高电阻率状态中,当在存储器单元上施加 2 伏时小于约 30 毫微安的电流流动;这将被称为‘00’状态。在‘01’状态中,在 2 伏下,电流将处于约 100 与 300 毫微安之间。在‘10’状态中,在 2 伏下,电流将处于约 1 微安与 3 微安之间。在最低电阻率状态(‘11’状态)中,2 伏下的电流将大于 9 微安。将了解,仅为了清楚起见供应这些电流范围和读取电压;依据所使用的实际材料和装置特征而定,其它值可能是适当的。

[0100] 在此实例中,设定脉冲具有在约 8 伏与约 10 伏之间的电压,而复位电压处于约 3 伏与约 6 伏之间。在包含与 p-i-n 二极管配对的氧化镍的实施例,以反向偏压施加复位电压。但依据所使用的材料以及存储器单元的配置和特征而定,可能不需要反向偏压来复位单元。

[0101] 参看图 12,单元在‘00’状态中形成。为了将单元编程为 01 状态,可施加(例如)8 伏的设定电压。对于所有设定脉冲,电路中优选包含电流限制器。在施加设定脉冲之后,在 2 伏下读取单元。如果 2 伏下的电流处于‘01’状态的预期范围内(在约 100 与约 300 毫微安之间),那么将单元视为待编程。如果电流过低(例如,80 毫微安),那么施加视情况处于较高设定电压的额外设定脉冲,且再次在 2 伏下读取单元。重复所述过程,直到通过存储器单元的电流在 2 伏下处于正确范围内。

[0102] 在施加编程脉冲之后,电流可改为高于‘01’状态的可接受范围;举例来说,其可为 400 毫微安。在此情况下存在两种选择:可施加足以使氧化镍返回‘00’状态的复位脉冲,随后是另一可能较小的设定脉冲;或可施加复位脉冲以略微增加氧化镍层的电阻率,从而将其以递增方式移动到‘01’范围内。重复所述过程,直到通过存储器单元的电流处于 2 伏下的正确范围内。

[0103] 进行类似的方法以将存储器单元置于‘10’或‘11’状态中。举例来说,9.5 伏的设定电压足以将存储器单元置于‘10’状态,而 10 伏的设定电压可将存储器单元编程为‘11’数据状态。

[0104] 存储器单元优选用作可重写存储器单元。然而,为了节省衬底中的空间,可能优选省略能够施加反向偏压的晶体管,并仅在前向偏压下编程单元。如果不需要反向偏压来复位单元,那么此类存储器阵列可为可重写的。然而,如果需要反向偏压进行复位,那么此类存储器阵列可用作一次性可编程阵列。在此情况下,必须非常小心确保从不将单元设定为具有高于对期望数据状态所需的电流(氧化镍层的较低电阻率)的状态。可施加故意低设定电压以逐渐降低氧化镍层的电阻率并将电流升高到可接受范围内,从而避免一直高出所需范围,因为在此情况下,由于没有反向偏压,故无法校正这种过冲。

[0105] 如在先前实施例中,应考虑通过在邻近于适当硅化物处结晶多晶硅来形成低缺陷多晶硅的二极管的优点或缺点。如果需要高幅值的形成脉冲,那么形成脉冲的电压足以将高缺陷且高电阻率多晶硅转换为较低电阻率多晶硅;在此情况下,使用低缺陷硅化多晶硅可能不能提供优点。如果不需要形成脉冲或需要较小形成脉冲,那么由在邻近于适当硅化物处结晶的低缺陷且低电阻率多晶硅形成的二极管可为优选的。

[0106] 如果必须施加例如形成脉冲的预调节步骤,那么可有利的是在工厂中执行此步骤。在此情况下,电路小片上无需存在高电压。

[0107] 第一制造实例

[0108] 将提供制造根据本发明优选实施例形成的单片三维存储器阵列的详细实例。为了清楚起见,将包含许多细节,包含步骤、材料和工艺条件。将了解,此实例是非限制性的,且在结果属于本发明范围内时可修改、省略或扩充这些细节。

[0109] 一般来说,‘470 申请案、’549 申请案、’824 申请案和’577 申请案教示包括存储器单元的存储器阵列,其中每一存储器单元均为一次性可编程单元。所述单元在高电阻状态中形成,且一旦施加编程电压,就永久转换到低电阻状态。具体地

说，' 470、' 549、' 824、' 577 和其它所并入的申请案及专利的教示可与根据本发明的存储器的形成有关。为了简明起见，将不会包含所并入的申请案及专利的所有细节，但将了解，不期望排除这些申请案或专利的教示。

[0110] 转向图 13a，存储器的形成以衬底 100 开始。此衬底 100 可为此项技术中已知的任何半传导衬底，例如单晶硅、如硅-锗或硅-锗-碳的 IV-IV 化合物、III-V 化合物、II-VII 化合物、此类衬底上方的外延层或任何其它半传导材料。所述衬底可包含其中所制造的集成电路。

[0111] 在衬底 100 上方形成绝缘层 102。绝缘层 102 可以是氧化硅、氮化硅、高介电膜、Si-C-O-H 膜或任何其它合适的绝缘材料。

[0112] 在衬底 100 和绝缘体 102 上方形成第一导体 200。可在绝缘层 102 与导电层 106 之间包含粘合层 104 以帮助导电层 106 粘附。粘合层 104 的优选材料是氮化钛，但可使用其它材料，或可省略此层。可通过任何常规方法（例如，通过溅射）来沉积粘合层 104。

[0113] 粘合层 104 的厚度范围可在约 20 到约 500 埃，且优选在约 100 到约 400 埃之间，最优选为约 200 埃。请注意，在此论述内容中，“厚度”将表示在垂直于衬底 100 的方向上所测量的垂直厚度。

[0114] 将沉积的下一层是导电层 106。导电层 106 可包括此项技术中已知的任何导电材料，例如掺杂的半导体、例如钨的金属或导电金属硅化物；在优选实施例中，导电层 106 为铝。导电层 106 的厚度可部分取决于所需的薄层电阻，且因此可为任何提供所需薄层电阻的厚度。在一个实施例中，导电层 106 的厚度范围可在约 500 到约 3000 埃，优选为约 1000 到约 2000 埃，最优选为约 1200 埃。

[0115] 在导电层 106 上沉积另一层 110（其优选具有氮化钛）。其可具有与层 104 的厚度相当的厚度。将执行光刻步骤以图案化铝层 106 和氮化钛层 104。铝的高反射率使得难以直接在铝层上成功执行光刻。氮化钛层 110 用作抗反射涂层。

[0116] 一旦已经沉积将形成导体轨道的所有层，就将使用任何合适的掩模和蚀刻工艺来图案化和蚀刻所述层，以形成大体上平行且大体上共面的导体 200，如图 13a 中以横截面展示。在一个实施例中，沉积光致抗蚀剂，通过光刻对其图案化，并对层进行蚀刻，且接着使用例如含氧等离子体中的“灰化”等标准工艺技术来移除光致抗蚀剂，并且在例如由 EKC 配方的液体溶剂等常规液体溶剂中剥离在蚀刻期间形成的剩余聚合物。

[0117] 接下来，在导体轨道 200 上方及其之间沉积介电材料 108。介电材料 108 可以是任何已知的电绝缘材料，例如氧化硅、氮化硅或氮氧化硅。在优选实施例中，氧化硅用作介电材料 108。可使用任何已知工艺（例如化学气相沉积（CVD）或例如高密度等离子体 CVD（HDPCVD））来沉积氧化硅。

[0118] 最后，移除导体轨道 200 上的过量介电材料 108，从而暴露由介电材料 108 分离的导体轨道 200 的顶部，且留下大体上平坦的表面 109。图 13a 中展示所得结构。此移除电介质溢出以形成平坦表面 109 可通过此项技术中已知的任何工艺来执行，例如回蚀或化学机械抛光（CMP）。举例来说，可有利地使用 Raghuram 等人 2004 年 6 月 30 日申请的题为“Nonselective Unpatterned Etchback to Expose Buried Patterned Features”的第 10/883417 号美国申请案中描述的回蚀技术，所述申请案下文中称为' 417 申请案且以全文引用的方式并入本文中。

[0119] 于是,在优选实施例中,通过以下步骤来形成底部导体 200:沉积第一导电材料层或堆叠;图案化并蚀刻所述第一导电材料层或堆叠以形成第一导体;且在第一导体之间沉积介电填充物。

[0120] 或者,可通过镶嵌工艺来形成导体轨道,其中沉积氧化物,在所述氧化物中蚀刻沟槽,且接着用导电材料填充沟槽以创建导体轨道。在 Herner 等人的题为“High-Density Nonvolatile Memory Array Fabricated at Low Temperature Comprising Semiconductor Diodes”的第 11/125,606 号美国专利申请案中描述使用铜镶嵌工艺形成导体 200。铜镶嵌导体至少包含阻挡层和铜层。

[0121] 接下来,转向图 13b,将在完成的导体轨道 200 上方形成垂直支柱。(为了节省空间,图 13b 和随后图式中省略了衬底 100;将假定其存在。)沉积将图案化为支柱的半导体材料。所述半导体材料可以是锗、硅、硅锗、硅锗碳或其它合适的 IV-IV 化合物、砷化镓、磷化钢或其它合适的 III-V 化合物、硒化锌或其它 II-VII 化合物或者其组合。可使用具有任何比例的硅和锗的硅锗合金,例如包含至少 20、至少 50、至少 80 或至少 90 原子百分比的锗或纯锗。本实例将描述纯锗的使用。术语“纯锗”不排除存在导电性增强掺杂剂或典型生产环境中通常发现的污染物。

[0122] 在优选实施例中,半导体支柱包括结二极管,所述结二极管包括具有第一导电类型的底部重掺杂区和具有第二导电类型的顶部重掺杂区。顶部与底部区之间的中间区是具有第一或第二导电类型的本征或轻掺杂区。

[0123] 在此实例中,底部重掺杂区 112 是重掺杂 n 型锗。在最优选实施例中,沉积重掺杂区 112 并通过任何常规方法(优选通过原地掺杂)来用例如磷等 n 型掺杂剂进行掺杂。此层优选在约 200 与约 800 埃之间。

[0124] 接下来,沉积将形成二极管的其余部分的锗。在一些实施例中,后续的平面化步骤将移除一些锗,因此沉积额外的厚度。如果使用常规 CMP 方法执行平面化步骤,那么可能损失约 800 埃的厚度(这是平均数;所述量在晶片上变化。依据 CMP 期间所使用的浆液和方法而定,锗损失可能更多或更少。)如果通过回蚀方法执行平面化步骤,那么可仅移除约 400 埃的锗或更少。依据将使用的平面化方法和所需的最终厚度而定,通过任何常规方法沉积约 800 与约 4000 埃之间的未掺杂锗;优选在约 1500 与约 2500 埃之间;最优选在约 1800 与约 2200 埃之间。如果需要的话,可轻度掺杂锗。顶部重掺杂区 116 将在稍后植入步骤中形成,但在此点处还不存在,且因此图 13b 中未展示。

[0125] 将对刚才沉积的锗进行图案化和蚀刻以形成支柱 300。支柱 300 应具有与下方导体 200 大约相同的间距和大约相同的宽度,使得每一导体 200 上形成一个支柱 300。可容许一些未对准。

[0126] 可使用任何合适的掩蔽和蚀刻工艺来形成支柱 300。举例来说,可沉积光致抗蚀剂,使用标准光刻技术来对其进行图案化并进行蚀刻,且接着可移除光致抗蚀剂。或者,可在半导体层堆叠上形成例如二氧化硅的某种其它材料的硬掩模,其顶部具有底部抗反射涂层(BARC),接着对其进行图案化和蚀刻。类似地,介电抗反射涂层(DARC)可用作硬掩模。

[0127] Chen 在 2003 年 12 月 5 日申请的题为“Photomask Features with Interior Nonprinting Window Using Alternating Phase Shifting”的第 10/728436 号美国申请案或 Chen 在 2004 年 4 月 1 日申请的题为“Photomask Features with Chromeless

Nonprinting Phase Shifting Window”的第 10/815312 号美国申请案中描述的光刻技术可有利地用于执行在形成根据本发明的存储器阵列中所使用的任何光刻步骤,以上两个申请案均由本发明的受让人所有且以引用方式并入本文中。

[0128] 在支柱 300 上方及其之间沉积介电材料 108,从而填充其之间的间隙。介电材料 108 可以是任何已知的电绝缘材料,例如氧化硅、氮化硅或氮氧化硅。在优选实施例中,二氧化硅用作绝缘材料。可使用例如 CVD 或 BDPCVD 等任何已知工艺来沉积二氧化硅。

[0129] 接下来,移除支柱 300 上的介电材料,从而暴露由介电材料 108 分离的支柱 300 顶部,并留下大体上平坦的表面。可通过此项技术中已知的任何工艺(例如 CMP 或回蚀)来执行此电介质溢出的移除和平面化。举例来说,可使用 Raghuram 等人的' 417 申请案中描述的回蚀技术。图 13b 中展示所得结构。

[0130] 转向图 13c,在优选实施例中,在此点处通过用例如硼或 BF_2 等 p 型掺杂剂进行离子植入来形成重掺杂顶部区 116。本文中所描述的二极管具有底部 n 型区和顶部 p 型区。如果优选,那么可颠倒导电类型。如果需要的话,在一个存储器层级中可使用底部上具有 n 区的 p-i-n 二极管,而在另一存储器层级中可使用底部上具有 p 型区的 p-i-n 二极管。

[0131] 通过这样一种方法形成驻留在支柱 300 中的二极管,所述方法包括:在第一导体和介电填充物上方沉积半导体层堆叠;以及图案化和蚀刻所述半导体层堆叠以形成第一二极管。

[0132] 接下来,沉积例如氮化钛、金属或某种其它适当材料等导电阻挡材料层 121。层 121 的厚度可在约 100 与约 400 埃之间,优选为约 200 埃。在一些实施例中,可省略层 121。在阻挡层 121 上沉积金属氧化物或氮化物电阻切换材料层 118。此层优选在约 50 与约 400 埃之间,例如在约 100 与约 200 埃之间。层 118 可以是早先描述的任何材料,且优选地由恰好包含一种展现电阻切换特性的金属的金属氧化物或氮化物形成;优选地是选自以下物质组成的群组的材料: Ni_xO_y 、 Nb_xO_y 、 Ti_xO_y 、 Hf_xO_y 、 Al_xO_y 、 Mg_xO_y 、 Co_xO_y 、 Cr_xO_y 、 V_xO_y 、 Zn_xO_y 、 Zr_xO_y 、 B_xN_y 和 Al_xN_y 。为了简明起见,此论述内容将描述在层 118 中使用氧化镍。然而,将了解,可使用所描述的任何其它材料。氧化镍展现非方向性切换特性,且因此已经与 p-i-n 二极管配对,但如果电路布置指定此类选择,那么可使用 Zener 二极管。如早先描述,如果选择方向性电阻切换材料,那么 Zener 二极管将是优选的。在优选实施例中,此类 Zener 二极管没有本征区,或具有厚度不大于约 350 埃的本征区。

[0133] 最后,在优选实施例中,在氧化镍层 118 上沉积阻挡层 123。层 123 优选为氮化钛,但可改为使用某种其它适当的导电阻挡材料。阻挡层 123 的目的是允许在阻挡层 123 上而不是氧化镍层 118 上执行将进行的平面化步骤。在一些实施例中,可省略层 123。

[0134] 层 123、118 和 121 经图案化和蚀刻以理想上直接在先前图案化和蚀刻步骤中所形成的支柱 300 上形成短支柱。如图 13c 所示,可能发生一些未对准,且其可以容许。在此图案化步骤中可重复使用用于图案化支柱 300 的光掩模。

[0135] 在此实例中,在与锗层 112 和 114(以及在后续离子植入步骤中所形成的 116)不同的图案化步骤中对层 123、118 和 121 进行图案化。这可能是合意的,以便减少蚀刻高度且避免由使氧化镍和金属阻挡层暴露在专用于半导体蚀刻的腔室中引起的可能污染。然而,在其它实施例中,可能优选在单个图案化步骤中图案化层 123、118、121、116、114 和 112。在此情况下,重掺杂锗层 116 的离子植入在沉积阻挡层 121 之前发生。或者,可原地掺杂重掺

杂层 116。

[0136] 在一些实施例中,阻挡层 121、氧化镍层 118 和阻挡层 123 可在二极管层 112、114 和 116 之前(且因此在其下方)形成,且可在同一或单独的图案化步骤中图案化。

[0137] 接下来,沉积导电材料或堆叠以形成顶部导体 400。在优选实施例中,接下来沉积氮化钛阻挡层 120,随后是铝层 122 和顶部氮化钛阻挡层 124。可如早先描述那样图案化和蚀刻顶部导体 400。在此实例中,在每一单元中,已经在顶部导体 400 与底部导体 200 之间串联形成(层 112、114 和 116 的)二极管和电阻切换元件(氧化镍层 118 的一部分)。上覆的第二导体 400 将优选在与第一导体 200 不同的方向(优选大体上与其垂直)上延伸。图 13c 所示的所得结构是底部或第一层存储器单元。

[0138] 在替代实施例中,顶部导体可包括铜,且可通过镶嵌方法形成。在 Herner 等人的题为“High-Density Nonvolatile Memory Array Fabricated at Low Temperature Comprising Semiconductor Diodes”的第 11/125,606 号美国专利申请案中详细提供对单片三维存储器阵列中顶部铜导体的制造的详细描述。

[0139] 在优选实施例中,此第一层存储器单元是多个非易失性存储器单元,其包括:在第一方向上延伸的第一多个大体上平行且大体上共面的导体;第一多个二极管;第一多个可逆电阻切换元件;以及在与第一方向不同的第二方向上延伸的第二多个大体上平行且大体上共面的导体,其中在每一存储器单元中,所述第一二极管中的一者和所述第一可逆电阻切换元件中的一者串联布置并设置在所述第一导体中的一者与所述第二导体中的一者之间,且其中所述第一多个可逆电阻切换元件包括选自以下物质组成的群组的材料: Ni_xO_y 、 Nb_xO_y 、 Ti_xO_y 、 Hf_xO_y 、 Al_xO_y 、 Mg_xO_y 、 Co_xO_y 、 Cr_xO_y 、 V_xO_y 、 Zn_xO_y 、 Zr_xO_y 、 B_xN_y 和 Al_xN_y 。第一导体形成在第一高度处且第二导体形成在第二高度处,所述第二高度在所述第一高度上方。

[0140] 在此第一存储器层级上方可形成额外的存储器层级。在一些实施例中,可在存储器层级之间共用导体;即,顶部导体 400 将用作下一存储器层级的底部导体。在其它实施例中,在图 13c 的第一存储器层级上方形成层间电介质,其表面经平面化,且第二存储器层级的构造在此平面化层间电介质上开始而没有共用的导体。如果在存储器层级之间没有共用顶部导体 400,那么在这些导体上无需执行 CMP 步骤。在此情况下,如果需要的话,可用 DARC 层代替氮化钛阻挡层 124。

[0141] 当未掺杂或掺杂有 n 型掺杂剂并在相对较低温度下沉积时,沉积的锗(如所描述的)通常将为无定形的。在已经构造所有存储器层级之后,可执行例如在约 350 与约 470 摄氏度之间执行的最终相对较低温度退火以使锗二极管结晶;在此实施例中,所得二极管将由多晶锗形成。可同时退火大批量的晶片,例如 100 个晶片或更多,从而保持充足的制造产量。

[0142] 衬底中存储器层级之间以及电路之间的垂直互连件优选形成为钨插塞,其可通过任何常规方法形成。

[0143] 在光刻期间使用光掩模来图案化每一层。在每一存储器层级中重复某些层,且可重复使用用于形成所述层的光掩模。举例来说,可将界定图 13c 的支柱 300 的光掩模重复用于每一存储器层级。每一光掩模均包含用于使其适当对准的参考标记。当重复使用光掩模时,在第二或后续使用中所形成的参考标记可与在同一光掩模的先前使用期间所形成的相同参考标记发生干扰。以引用方式并入本文中的 Chen 等人 2005 年 3 月 31 日申请的题为

“Masking of Repeated Overlay and Alignment Marks to Allow Reuse of Photomasks in a Vertical Structure”的第 11/097,496 号美国专利申请案描述了一种用以在形成类似于本发明的单片三维存储器阵列期间避免此类干扰的方法。

[0144] 可以设想且可能需要对本文描述的步骤和结构的许多变化。为了更全面说明本发明,将描述一些变化;将了解,为了使所属领域的技术人员了解如何制造和使用更广范围的可能变化,无需完全详细描述属于本发明范围内的每种变化。

[0145] 第二制造实例:二极管上方的贵金属接点

[0146] 图 10 展示其中电阻切换材料 118 夹在贵金属层 117 与 119 之间的实施例。优选的贵金属是 Pt、Pd、Ir 和 Au。层 117 和 119 可由相同的贵金属或不同的金属形成。

[0147] 当电阻切换材料夹在贵金属层之间时,贵金属层必须经图案化和蚀刻以确保其不会在邻近的二极管或导体之间提供不希望的导电路径。

[0148] 图 14 中以横截面展示包括类似于图 10 单元的单元的存储器层级。在用以形成此结构的优选方法中,如早先描述那样形成底部导体 200。如早先描述那样沉积重掺杂锗层 112 和未掺杂锗层 114。在一个优选实施例中,可在图案化和蚀刻支柱之前在覆盖锗层上执行顶部重掺杂层 116 的离子植入。接下来,沉积贵金属层 117,随后是电阻切换材料 118 和贵金属层 119。贵金属层 117 和 119 可为约 200 到约 500 埃,优选为约 200 埃。

[0149] 在此点处图案化和蚀刻支柱,使得层 117、118 和 119 包含在支柱中,且因此彼此电隔离。依据所选择的蚀刻剂而定,可优选执行仅蚀刻层 119、118 和 117 的第一蚀刻步骤,接着使用这些层作为硬掩模来蚀刻支柱的其余部分。

[0150] 或者,首先可图案化和蚀刻层 112、114 和 116,填充其之间的间隙,并通过平面化来暴露支柱的顶部。随后可沉积层 117、118 和 119,连同单独图案化和蚀刻那些层。

[0151] 如早先描述那样填充间隙并执行 CMP 或回蚀步骤以创建大体上平坦的表面。接下来,如早先描述那样在此平坦表面上形成顶部导体 400,包括氮化钛层 120、铝层 122 以及氮化钛层 124。或者,可与顶部导体 400 一起沉积、图案化和蚀刻顶部贵金属层 119。

[0152] 在另一替代方案中,可通过原地掺杂而不是通过离子植入来掺杂重掺杂层 116。

[0153] 第三制造实例:二极管下方的贵金属接点

[0154] 在图 15 所示的替代实施例中,在此情况下夹在贵金属层 117 与 119 之间的电阻切换元件 118 形成在二极管下方而不是其上方。

[0155] 为了形成此结构,如早先描述那样形成底部导体 200。在由间隙填充物分离的导体 200 的平面化表面 109 上沉积层 117、118 和 119。沉积锗堆叠,包含重掺杂层 112 和未掺杂层 114。如早先描述那样图案化和蚀刻层 114、112、119、118 和 (视情况)117 以形成支柱 300。在间隙填充和平面化之后,通过离子植入形成顶部重掺杂区 116。如在先前实施例中那样通过沉积例如氮化钛层 120、铝层 122 和氮化钛层 124 等导电层且进行图案化和蚀刻以形成导体 400 来形成顶部导体 400。

[0156] 如在其它实施例中那样,如果需要的话,可与层 110、112、114 和 116 分离地图案化和蚀刻层 117、118 和 119,而不是全部在单个图案化步骤中对其进行蚀刻。

[0157] 在刚才描述的优选实施例中,已经形成的是单片三维存储器阵列,其包括:a) 形成在衬底上方的第一存储器层级,所述第一存储器层级包括:第一多个存储器单元,其中第一存储器的每一存储器单元均包括可逆电阻切换元件,所述元件包括选自以下物质组成

的群组的材料： Ni_xO_y 、 Nb_xO_y 、 Ti_xO_y 、 Hf_xO_y 、 Al_xO_y 、 Mg_xO_y 、 Co_xO_y 、 Cr_xO_y 、 V_xO_y 、 Zn_xO_y 、 Zr_xO_y 、 B_xN_y 和 Al_xN_y ；以及 b) 以单片形式形成在第一存储器层级上方的至少一第二存储器层级。

[0158] 可想象许多其它替代实施例。举例来说，在一些实施例中，可省略贵金属层 117 和 119。在此情况下，电阻切换材料 118 可与底部导体 200、支柱 300 一起图案化，或保留作为二极管上方或下方的连续层。

[0159] 刚才描述的实施例的优点在于，在二极管中使用锗允许通过以下方式形成非易失性存储器单元：形成第一导体；形成第二导体；形成可逆电阻切换元件；以及形成二极管，其中所述二极管和可逆电阻切换元件以电学方式串联设置在第一导体与第二导体之间，且其中在形成第一和第二导体、二极管及切换元件以及结晶二极管期间，温度不超过约 500 摄氏度。依据所使用的沉积和结晶条件而定（可在较低温度下执行较长结晶退火），温度可不超过约 350 摄氏度。在替代实施例中，可安排半导体材料的沉积和结晶温度，使得最大温度不超过 475、425、400 或 375 摄氏度。

[0160] 第四制造实例：硅化二极管

[0161] 可优选形成硅二极管，具体地说为多晶硅二极管，所述多晶硅在邻近于可提供有利的结晶模板的硅化物（例如硅化钛或硅化钴）处结晶，从而形成相对低缺陷且低电阻率的多晶硅。

[0162] 参看图 16a，可如早先描述那样形成底部导体 200。多晶硅通常需要与铜和铝相容的结晶温度，因此能够容忍高温的材料（例如钨）可以是底部导体 200 的优选导电材料 106。

[0163] 在优选实施例中，首先沉积粘合层 104，随后是钨层 106，且图案化和蚀刻这些层以形成大体上平行的导体 200。在导体 200 上方及其之间沉积介电填充物 108，且接着平面化步骤（例如，通过 CMP）移除溢出，从而在大体上平坦的表面处暴露导体 200 和电介质 108。

[0164] 接下来，在所述平坦表面上沉积例如氮化钛的薄阻挡层 110。接下来，沉积将形成二极管的半导体材料。在本实施例中，半导体材料优选为硅或富硅的硅锗合金。首先沉积重掺杂 n 型区 112，其优选通过原地掺杂来掺杂。此层的厚度可在约 100 与约 1000 埃之间，优选为约 200 埃。

[0165] 接下来，沉积本征硅，优选达到约 800 与约 3300 埃之间的厚度。优选通过例如硼或 BF_2 等 p 型掺杂剂的离子植入来掺杂位于硅堆叠顶部的重掺杂 p 型区 116，从而留下中间区 114 未掺杂。在替代实施例中，原地掺杂重掺杂 p 型区 116。

[0166] 沉积例如在约 50 与约 200 埃之间的钛薄层 125。接下来，沉积可选的阻挡层 121，随后是氧化镍层 118（可改为使用任何其它指定的电阻率切换金属氧化物或氮化物）和可选的顶部阻挡层 123，其可具有氮化钛。如' 452 申请案中所描述的，氧化镍层 118 可包含添加的金属，其可用以减小切换电压或电流，并减小或消除对形成脉冲的需要。

[0167] 图案化和蚀刻阻挡层 123、氧化镍层 118 和阻挡层 121 以形成短支柱。可溅射蚀刻或优选使用某化学工艺来蚀刻氧化镍层 118，所述化学工艺在以引用方式并入本文中的 Raghuram 等人 2005 年 6 月 11 日申请的题为“Method of Plasma Etching Transition Metals and Their Compounds”的第 11/179,423 号美国专利申请案中描述。图 16a 中展示在此点处的结构。

[0168] 转向图 16b, 蚀刻继续进行, 其中在蚀刻钛层 125、重掺杂 p 型区 116、本征区 114、重掺杂 n 型区 112 和阻挡层 110 期间经蚀刻的层 121、118 和 123 用作硬掩模, 从而形成支柱 300。在支柱 300 上方及其之间沉积介电材料 108, 从而填充其之间的间隙。平面化步骤 (例如, 通过 CMP) 移除电介质 108 的溢出, 并暴露由填充物 108 分离的支柱 300 顶部处的可选阻挡层 123 (或者, 如果省略了阻挡层 123, 那么暴露氧化镍层 118)。图 16b 展示在此点处的结构。

[0169] 参看图 16c, 如在先前实施例中那样, 顶部导体 400 优选由 (例如) 氮化钛粘合层 120 以及钨导电层 130 形成。

[0170] 退火步骤引起钛层 125 与硅区 116 发生反应, 从而形成硅化钛。后续的较高温度退火使硅区 116、114 和 112 的硅结晶, 从而形成相对低缺陷且低电阻率多晶硅的二极管。

[0171] 在形成此存储器单元中, 许多变化是可能的。举例来说, 如果优选的话, 可在单独步骤中而不是在形成二极管的同一图案化步骤中图案化和蚀刻氧化镍层 118 和任何相关联的阻挡层。

[0172] 第五制造实例: 非硅化二极管

[0173] 已经注意到在使用二极管的多晶硅的电阻率状态来存储数据状态的一次性可编程实施例中, 可优选形成未在邻近于促进低缺陷多晶硅形成的硅化物处结晶的多晶硅二极管。

[0174] 在此情况下, 如上文描述那样形成底部导体 200。如在先前硅化实施例中描述那样形成支柱 300, 不同之处只是省略了在所述实施例中与二极管的硅反应以形成硅化钛的钛层 125。优选地首先图案化和蚀刻氧化镍层 118 和任何相关联的阻挡层, 接着其用作硬掩模来蚀刻硅区 116、114 和 112 以及阻挡层 110。或者, 可首先图案化和蚀刻二极管层 116、114 和 112, 用电介质填充其之间的间隙并在平面化步骤中暴露二极管的顶部, 接着沉积氧化镍层 118 及其相关联的阻挡层, 接着在单独步骤中进行图案化和蚀刻。

[0175] 如在所有实施例中那样, 已经形成第一层存储器单元。额外的存储器层级可堆叠在此第一存储器层级上方以形成单片三维存储器阵列, 优选形成在半导体衬底上方。

[0176] 在 Johnson 等人的题为 “Vertically Stacked Field Programmable Nonvolatile Memory and Method of Fabrication” 的第 6,034,882 号美国专利、Knall 等人的题为 “Three Dimensional Memory Array and Method of Fabrication” 的第 6,420,215 号美国专利以及 Vyvoda 等人 2002 年 6 月 27 日申请的题为 “Electrically Isolated Pillars in Active Devices” 的第 10/185,507 号美国专利申请案中描述了一次性可编程单片三维存储器阵列, 所述专利和专利申请案全部转让给本发明的受让人且以引用方式并入本文中。

[0177] 单片三维存储器阵列是其中在单个衬底 (例如晶片) 上方形成多个存储器层级而没有居间衬底的存储器阵列。形成一个存储器层级的层直接在现有层级的层上方沉积或生长。相反, 已经通过在单独衬底上形成存储器层级并将所述存储器层级粘附在彼此之上来构造堆叠存储器, 如在 Leedy 的题为 “Three dimensional structure memory” 的第 5,915,167 号美国专利中描述的。可在接合之前将衬底变薄或从存储器层级移除, 但因为所述存储器层级初始形成在单独衬底上方, 所以此类存储器不是真正的单片三维存储器阵列。

[0178] 形成在衬底上方的单片三维存储器阵列至少包括形成在衬底上方第一高度处的

第一存储器层级以及形成在与第一高度不同的第二高度处的第二存储器层级。在此类多层阵列中,可在衬底上方形成三个、四个、八个或甚至任意数目的存储器层级。

[0179] 本文已经描述了详细的制造方法,但在结果属于本发明范围内的情况下可使用任何其它形成相同结构的方法。

[0180] 上述详细描述内容仅描述了本发明可采用的许多形式中的几种。出于此原因,希望此详细描述内容是借助于说明而不是借助于限制。仅希望包含所有等效物在内的所附权利要求书界定本发明的范围。

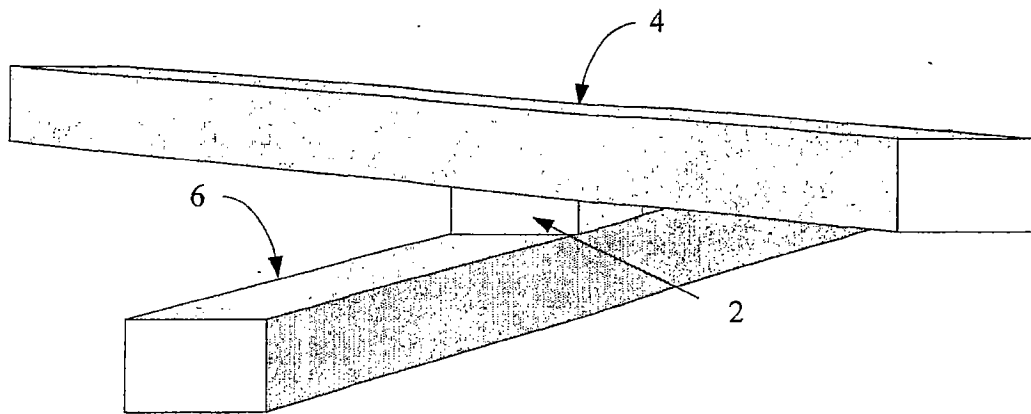


图1

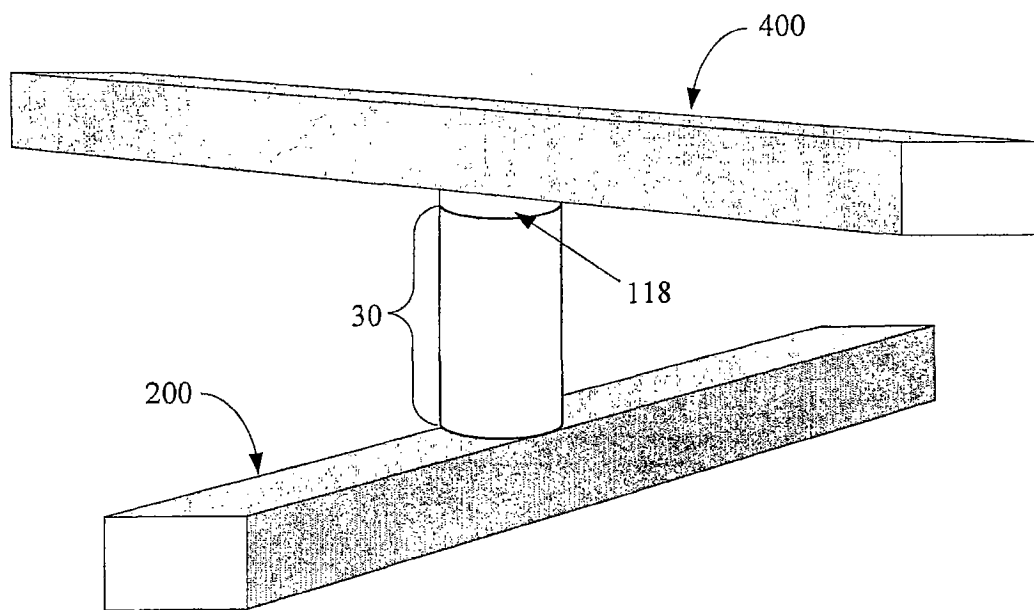


图2

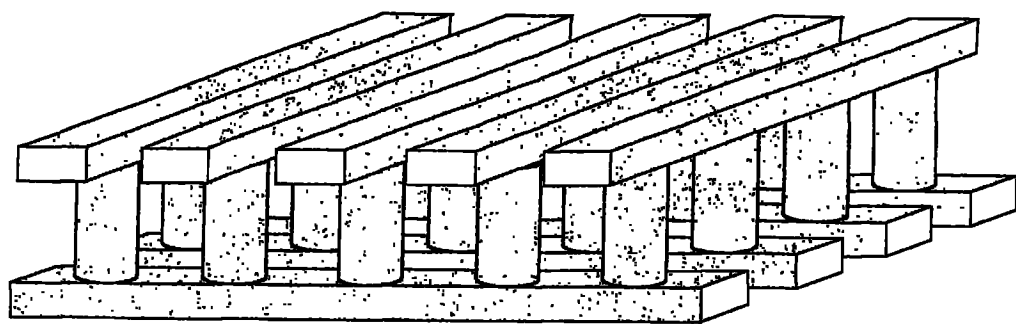
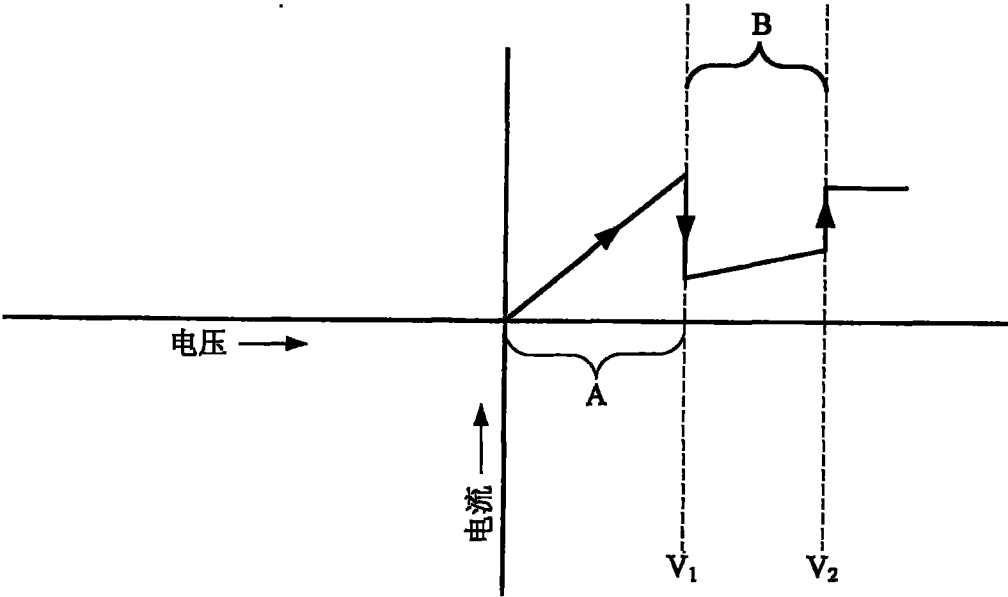
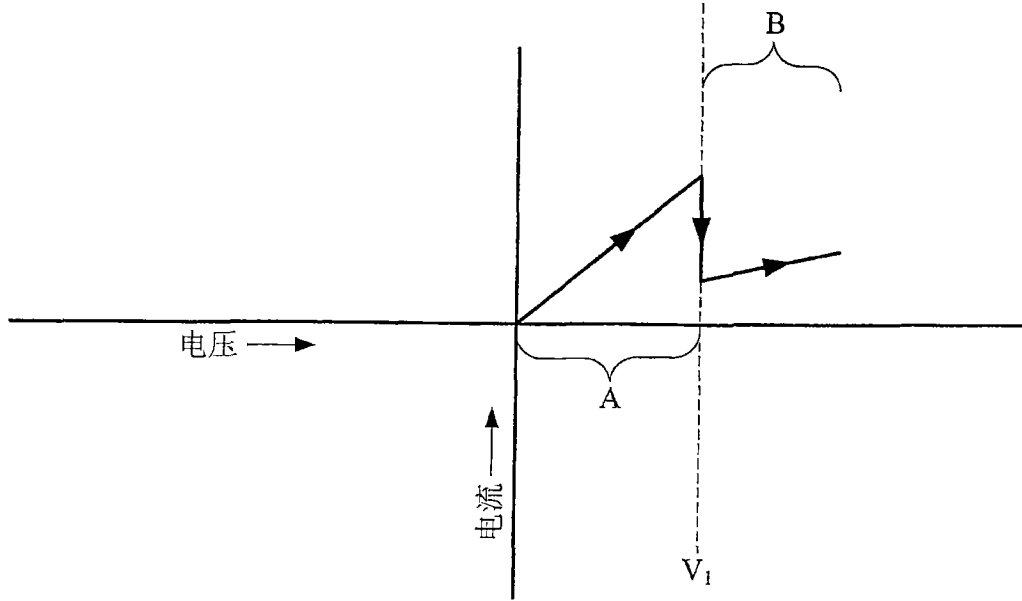


图3



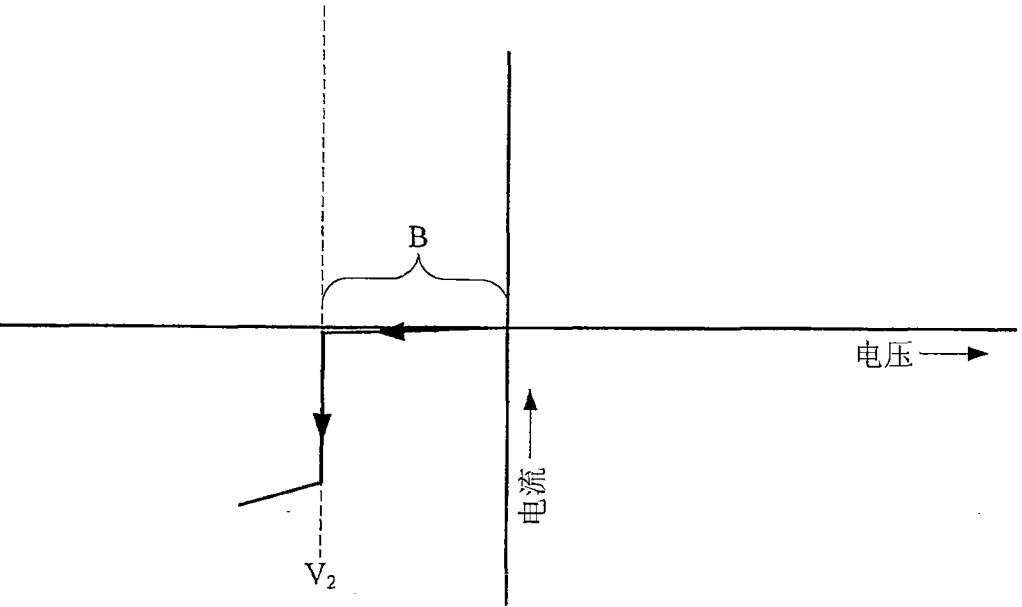
非方向性电阻切换

图4



方向性电阻切换：低电阻到高电阻

图5a



方向性电阻切换：高电阻到低电阻

图5b

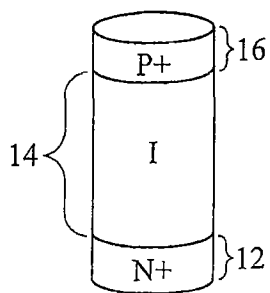


图6

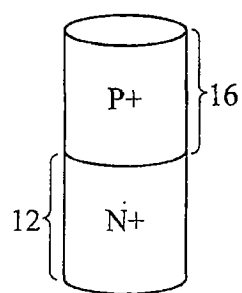


图7

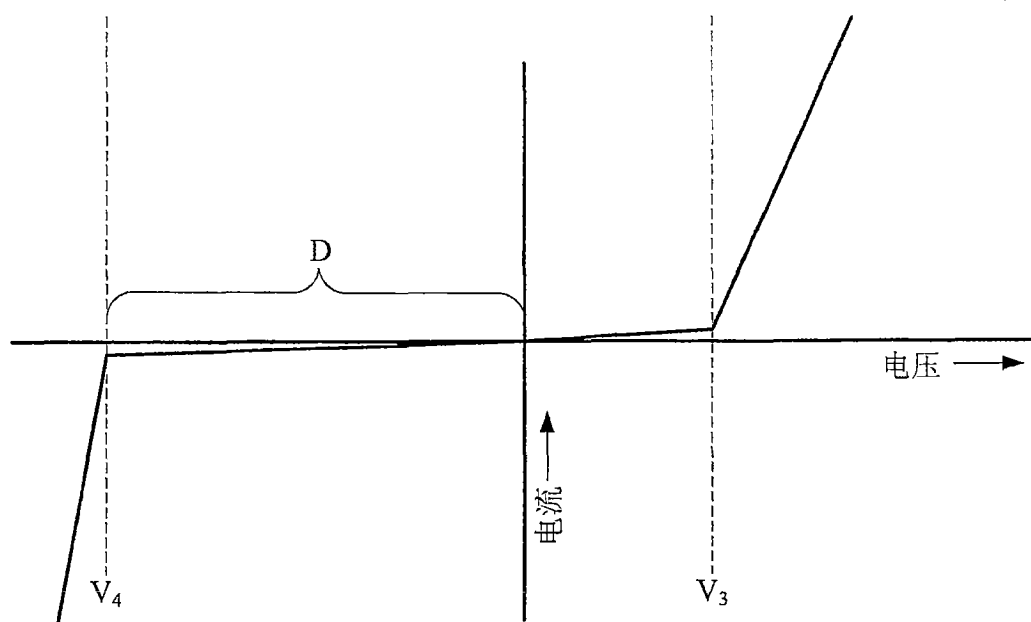


图8

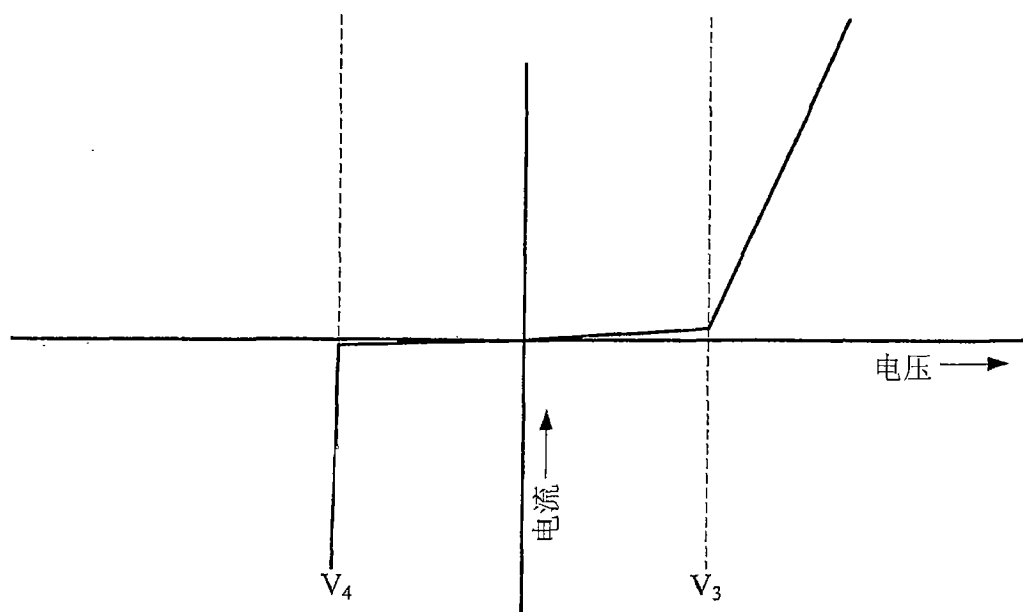


图9

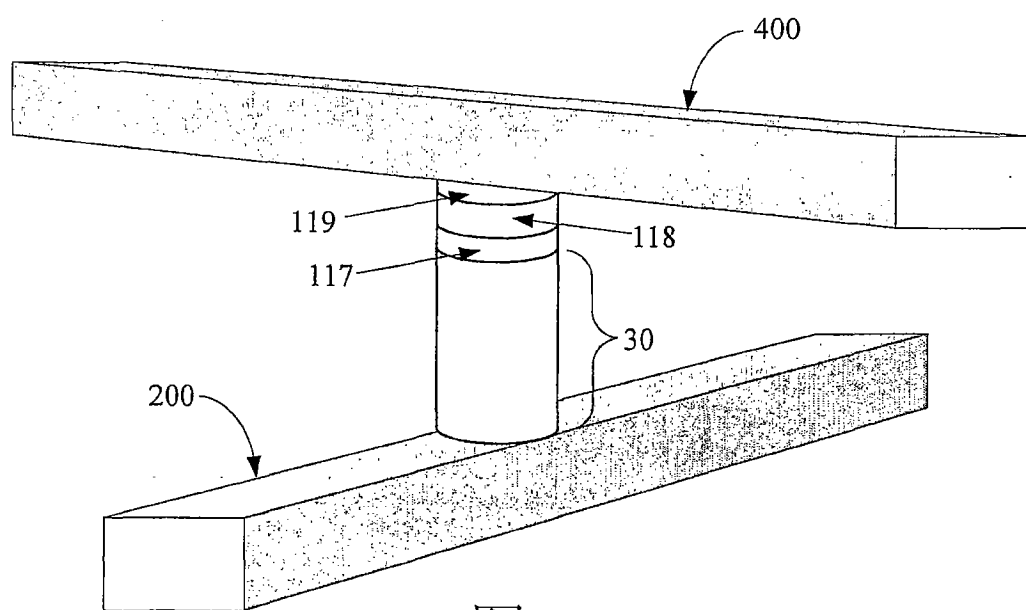


图10

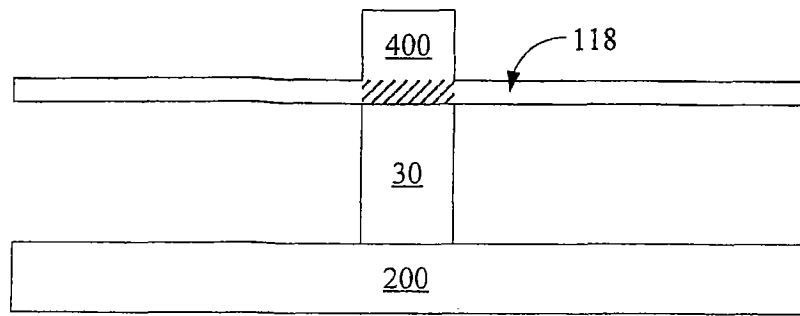


图11a

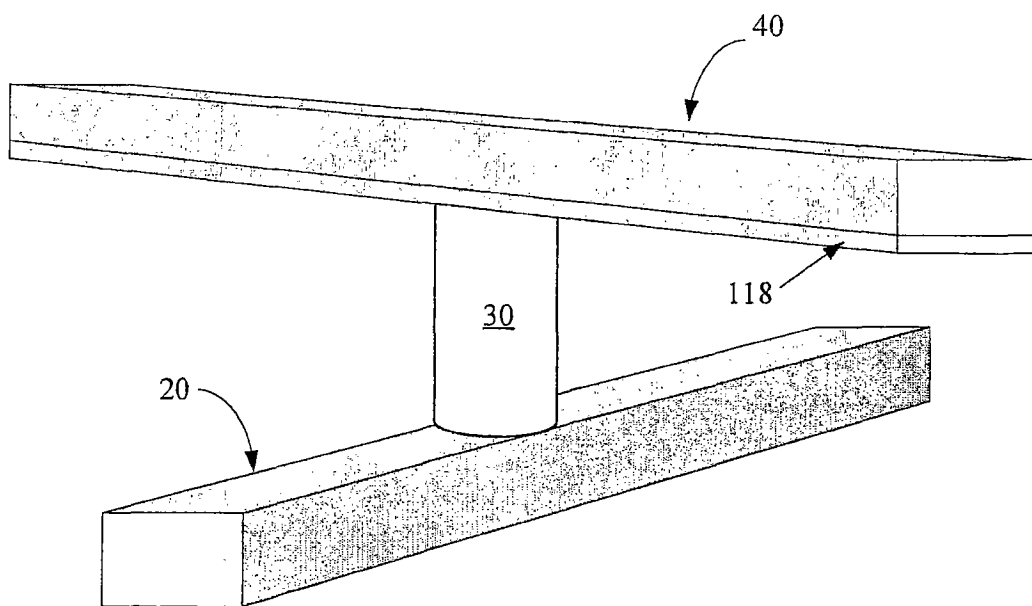


图11b

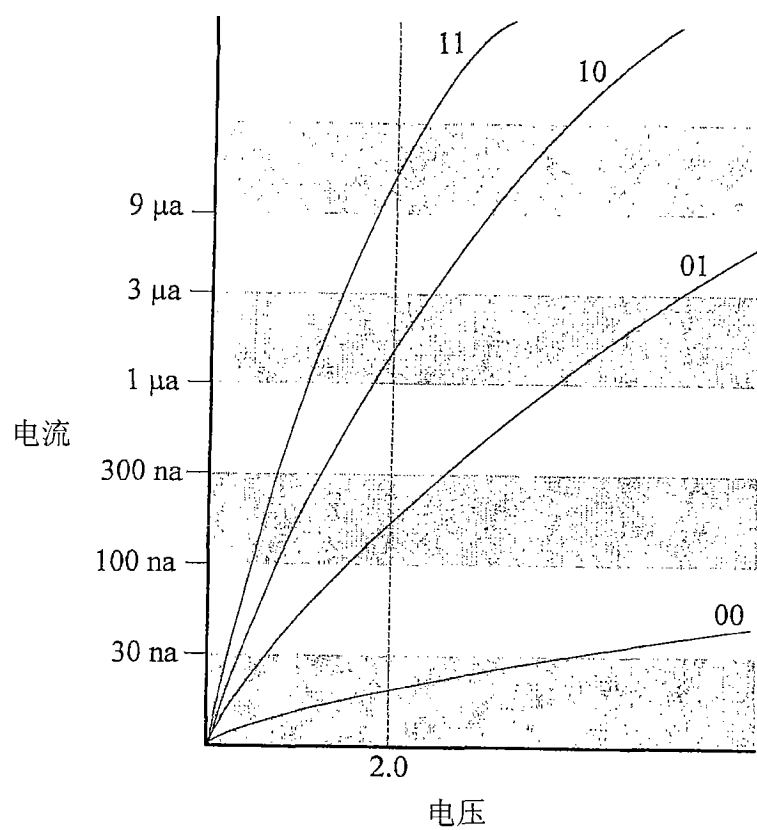


图12

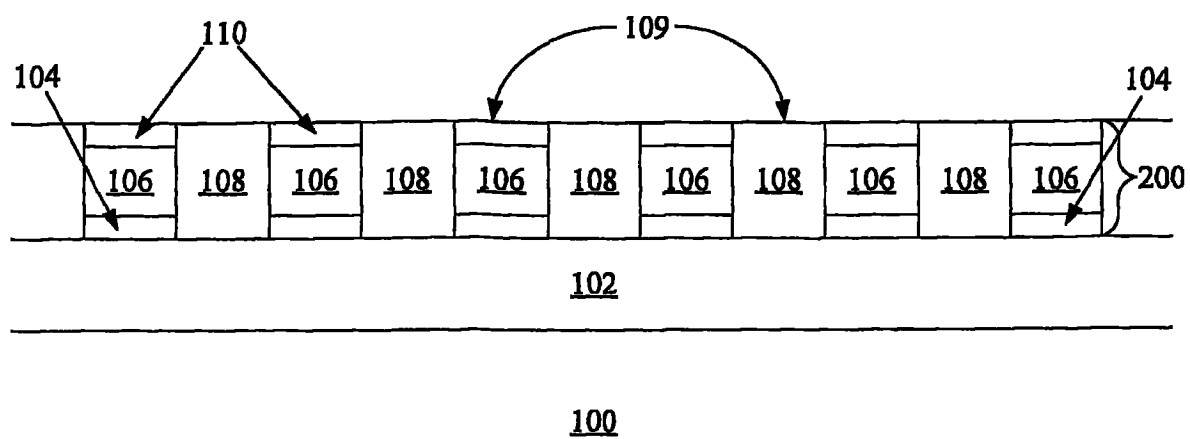


图13a

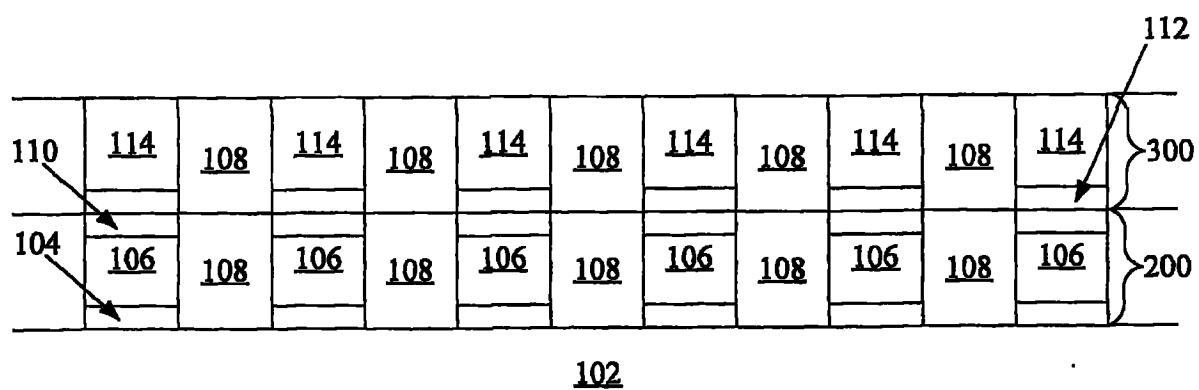


图13b

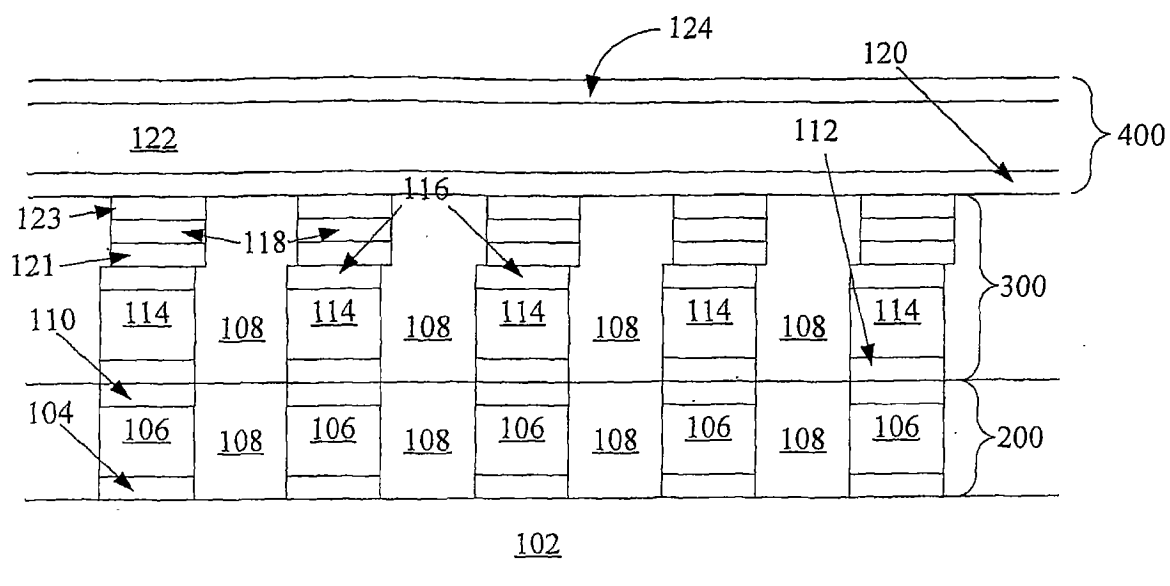


图13c

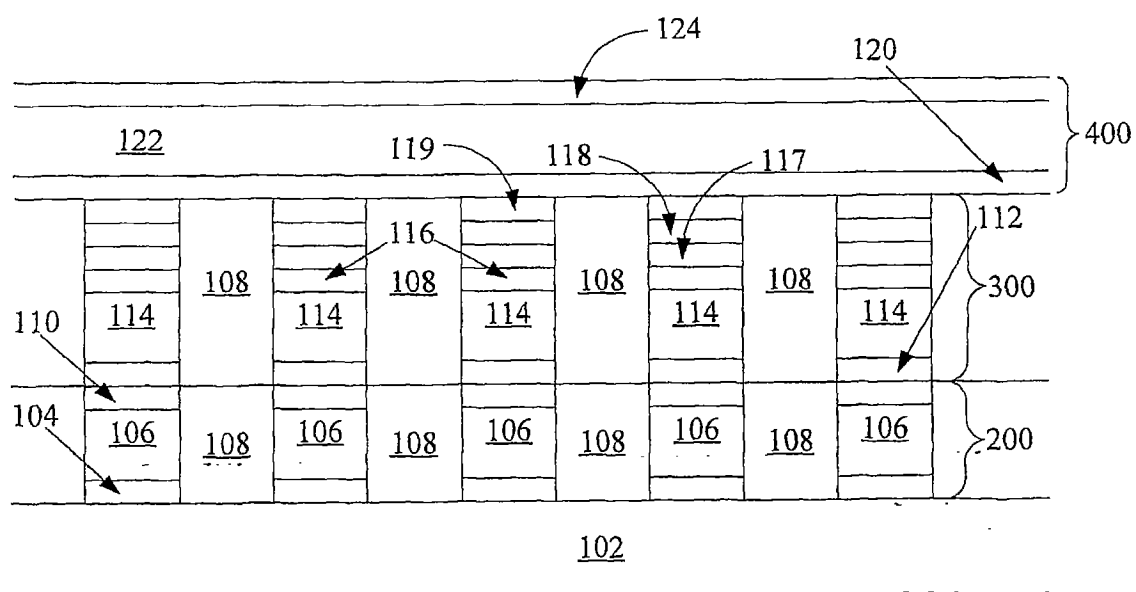


图14

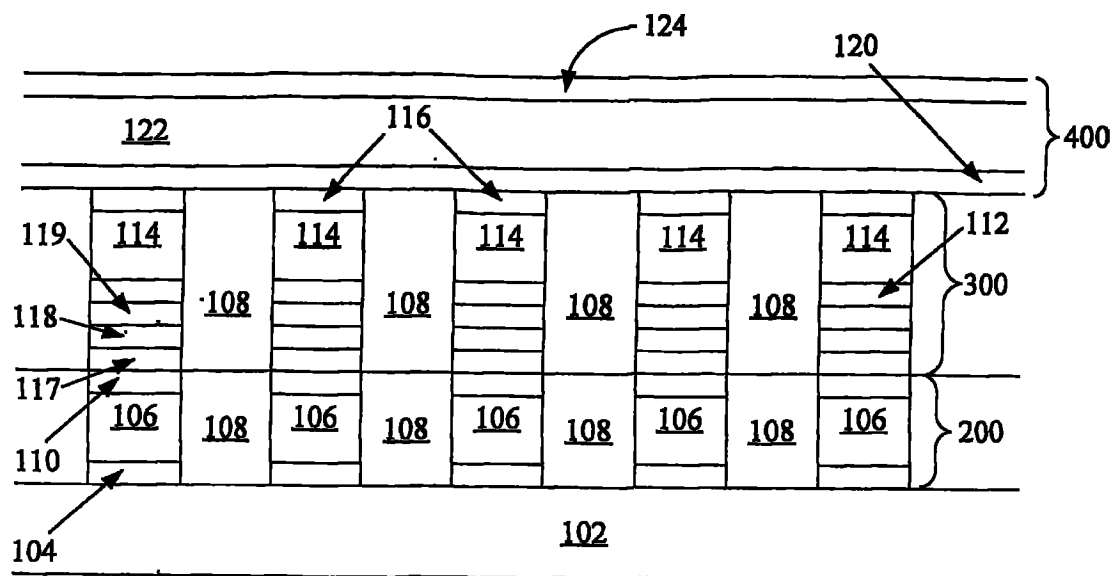


图15

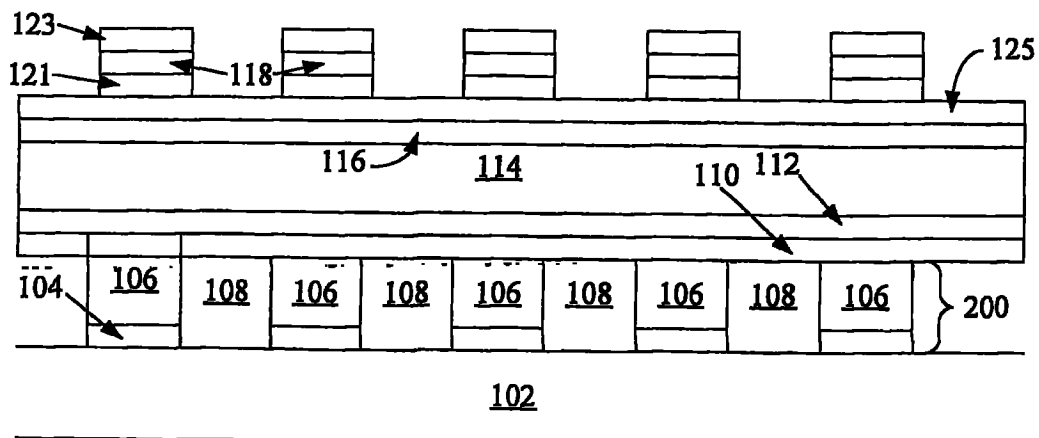


图16a

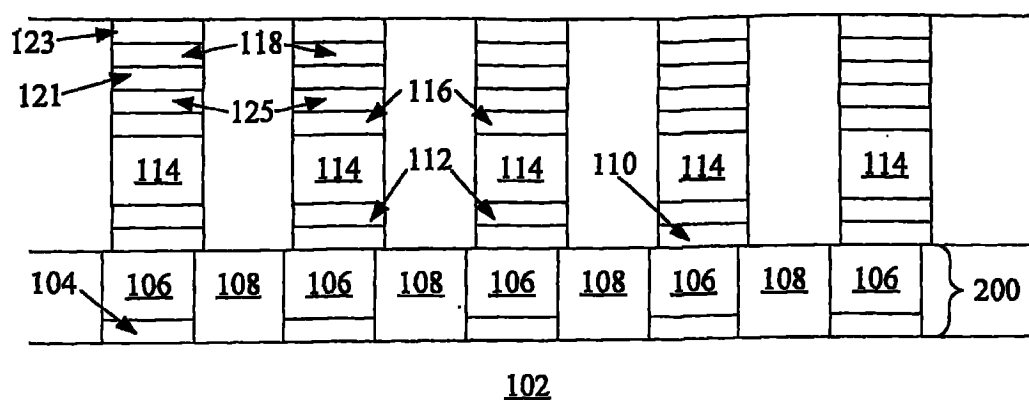


图16b

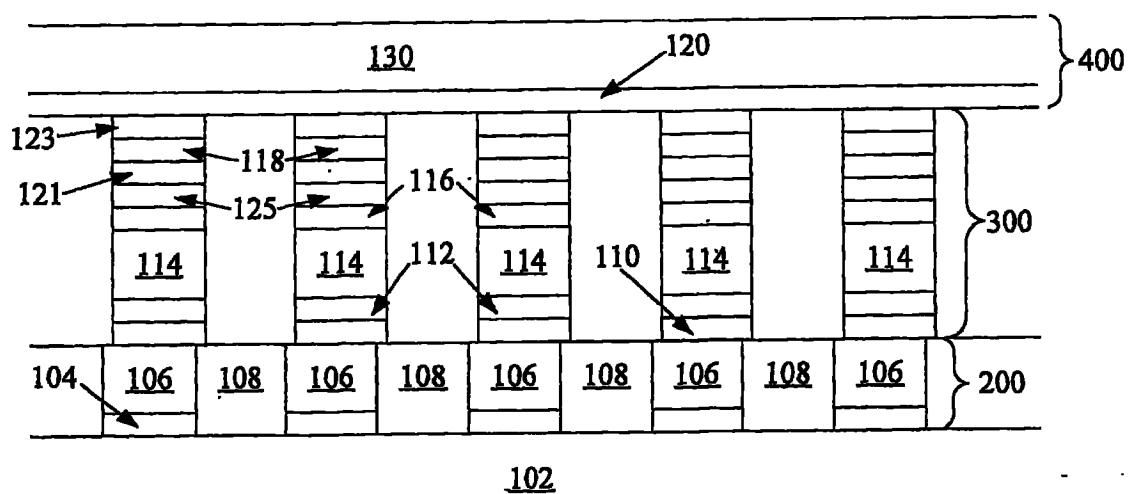


图16c