

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成24年4月12日 (2012.4.12)

【公開番号】特開2010-287287(P2010-287287A)

【公開日】平成22年12月24日 (2010.12.24)

【年通号数】公開・登録公報2010-051

【出願番号】特願2009-141059(P2009-141059)

【国際特許分類】

G 1 1 C 11/41 (2006.01)

G 1 1 C 11/413 (2006.01)

H 0 1 L 27/11 (2006.01)

H 0 1 L 21/8244 (2006.01)

【F I】

G 1 1 C 11/34 U

G 1 1 C 11/34 A

G 1 1 C 11/34 3 3 5 Z

H 0 1 L 27/10 3 8 1

【手続補正書】

【提出日】平成24年2月27日 (2012.2.27)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

データを記憶するためのメモリセルと、

前記メモリセルに結合された第 1 のビット線および第 2 のビット線と、

前記メモリセルに結合された第 1 のワード線および第 2 のワード線と、

前記第 1 のワード線および前記第 2 のワード線の電位を制御することにより、前記メモリセルが記憶するデータを前記第 1 のビット線および前記第 2 のビット線経由で読み出す読み出し制御部と、

前記第 1 のワード線および前記第 2 のワード線の電位を制御することにより、前記メモリセルへ前記第 1 のビット線および前記第 2 のビット線経由でデータを書き込む書き込み制御部と、

第 1 の電源電圧および前記第 1 の電源電圧よりもレベルの低い第 2 の電源電圧を前記メモリセルに供給する電源電圧制御部とを備え、

前記メモリセルは、

入力ノードおよび出力ノードを有する第 1 のインバータと、

前記第 1 のインバータの出力ノードに結合された入力ノードおよび前記第 1 のインバータの入力ノードに結合された出力ノードを有する第 2 のインバータと、

前記第 1 のビット線と前記第 1 のインバータの出力ノードとの間に接続され、前記第 1 のワード線に結合された制御電極を有する第 1 のアクセストランジスタと、

前記第 2 のビット線と前記第 2 のインバータの出力ノードとの間に接続され、前記第 1 のワード線に結合された制御電極を有する第 2 のアクセストランジスタと、

前記第 1 のアクセストランジスタと前記第 1 のビット線との間に接続され、前記第 2 のワード線に結合された制御電極を有する第 3 のアクセストランジスタと、

前記第 2 のアクセストランジスタと前記第 2 のビット線との間に接続され、前記第 2 の

ワード線に結合された制御電極を有する第４のアクセストランジスタとを含み、

前記電源電圧制御部は、前記第１のインバータおよび前記第２のインバータに前記第１の電源電圧および前記第２の電源電圧を供給し、前記メモリセルからのデータ読み出し時、前記第１の電源電圧のレベルを前記メモリセルへのデータ書き込み時における前記第１の電源電圧のレベルと比べて高く設定すること、および前記第２の電源電圧のレベルを前記メモリセルへのデータ書き込み時における前記第２の電源電圧と比べて低く設定することの少なくとも一方を行なう半導体装置。