



(12) 发明专利

(10) 授权公告号 CN 1263659 B

(45) 授权公告日 2010.09.29

(21) 申请号 99800505.3

(22) 申请日 1999.02.12

(30) 优先权数据

31620/98 1998.02.13 JP

99631/98 1998.04.10 JP

(85) PCT申请进入国家阶段日

1999.12.08

(86) PCT申请的申请数据

PCT/JP1999/000624 1999.02.12

(87) PCT申请的公布数据

W099/41865 JA 1999.08.19

(73) 专利权人 索尼公司

地址 日本东京都

(72) 发明人 白居隆志

(74) 专利代理机构 北京东方亿思知识产权代理
有限责任公司 11258

代理人 宋鹤

(51) Int. Cl.

H04J 11/00 (2006.01)

(56) 对比文件

JP 58015353 A, 1983.01.28, 全文.

JP 8097731 A, 1996.04.12, 全文.

JP 7254715 A, 1995.10.03, 全文.

审查员 丁灵

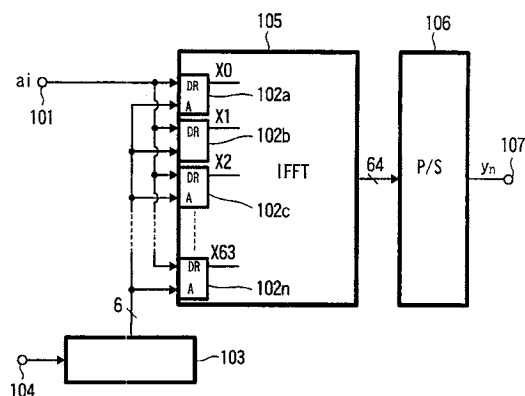
权利要求书 4 页 说明书 23 页 附图 24 页

(54) 发明名称

调制方法、调制装置、解调方法和解调装置

(57) 摘要

本发明涉及调制方法、调制装置、解调方法和解调装置。其中,根据本发明的一种调制方法,其特征在于,将规定的数作为 N 个系统的数据,保持该 N 个系统的数据,这里, N 是任意整数;根据用规定的输出顺序数据所表示的顺序顺次输出该保持的 N 个系统的数据,将该输出的 N 个数据变换成以规定的频率间隔在频率轴上分散配置的数据。



1. 一种调制方法,其特征在于,将规定的数据作为 N 个系统的数据,保持该 N 个系统的数据,这里, N 是任意整数;

通过将该保持的 N 个系统的数据用规定的输出顺序数据所表示的交错顺序顺次输出来进行交错处理,将该输出的交错处理了的 N 个系统的数据通过反付里叶变换变换成以规定的频率间隔在频率轴上分散配置的数据。

2. 权利要求 1 记载的调制方法,其特征在于,上述输出顺序数据通过计数处理生成。

3. 权利要求 1 记载的调制方法,其特征在于,上述输出顺序数据是顺次输出预先准备好的数据。

4. 权利要求 1 记载的调制方法,其特征在于,将规定的数据进行如下处理:使规定的数据通过卷积编码生成的两个系列数据中的一个系列数据延迟相当该系列数据的一个时钟周期的时间,将延迟了的数据和未延迟的系列的数据送给 N 个系统,作为 N 个系统的数据被保持在该 N 个系统中,

按照用规定的输出顺序数据所示的顺序顺次输出该保持的 N 个系统的数据,将该输出的数据变换成以规定的频率间隔在频率轴上分散配置的数据。

5. 权利要求 1 记载的调制方法,其特征在于,作为变换成以上述规定的频率间隔在频率轴上分散配置的数据的处理,是对 Q 位的数据进行并列处理,这里, Q 是 2 以上的整数字。

6. 一种调制方法,其特征在于,将规定的数据根据用规定的输出顺序数据所表示的顺序顺次输出,从而生成进行了第 1 交错的数据和进行了第 2 交错的数据,

同时使用该第 1 和第 2 交错了的数据,将其变换成以规定的频率间隔在频率轴上分散配置的数据。

7. 权利要求 6 记载的调制方法,其特征在于,对上述第 1 和第 2 交错了的数据分别进行差动编码,

同时使用差动编码了的各数据,将其变换成以规定的频率间隔在频率轴上分散配置的数据。

8. 一种调制装置,其特征在于,具有:

N 个寄存器,同时地被供给规定的数据,这里, N 是任意整数,

输出顺序数据生成装置,生成指定供给该 N 个寄存器的数据的输出顺序的数据;和

反付里叶变换装置,将按上述输出顺序数据生成装置指定的顺序从 N 个寄存器输出的 N 个数据变换成以规定的频率间隔在频率轴上分散配置的数据。

9. 权利要求 8 记载的调制装置,其特征在于,作为上述输出顺序数据生成装置,使用了计数器,利用计数处理顺次生成与输出顺序对应的数据。

10. 权利要求 8 记载的调制装置,其特征在于,作为上述输出顺序数据生成装置,使用了移位寄存器,顺次输出预先准备好的数据。

11. 权利要求 8 记载的调制装置,其特征在于,具有卷积编码装置、延迟装置和保持装置,延迟装置使所述规定的数据利用该卷积编码装置编码生成的两个系列数据中的一个系列数据延迟相当该系列数据的一个时钟周期的时间,保持装置使上述输出顺序数据生成装置输出的顺序数据暂时保持下来,

将利用该延迟装置延迟了的一个系列的数据和上述卷积编码装置输出的另一个系列的数据供给上述 N 个寄存器。

12. 权利要求 8 记载的调制装置,其特征在于,上述反付里叶变换装置并列处理 Q 位字的数据,这里, Q 是 2 以上的整数。

13. 一种调制装置,其特征在于,具有

将规定的数据根据用规定的输出顺序数据所表示的顺序顺次输出,从而实现交错的第 1 交错装置和第 2 交错装置、和

将从上述第 1 和第 2 交错装置输出的数据输入到不同的点上并将其变换成以规定的频率间隔在频率轴上分散配置的数据的反付里叶变换装置。

14. 权利要求 13 记载的调制装置,其特征在于,具有

对上述第 1 交错装置的输出进行差动编码的第 1 差动编码装置、和

对上述第 2 交错装置的输出进行差动编码的第 2 差动编码装置,

将上述第 1 和第 2 差动编码装置的编码输出送给上述反付里叶变换装置。

15. 一种解调方法,其特征在于,将以规定的频率间隔在频率轴上分散配置的数据通过快速付里叶变换变换成每隔规定单位的 N 点的数据,这里, N 是任意整数;

从该变换后的 N 点的数据中选择由规定的输出顺序数据指定的点的数据并输出。

16. 权利要求 15 记载的解调方法,其特征在于,上述输出顺序数据通过计数处理顺次生成。

17. 权利要求 15 记载的解调方法,其特征在于,上述输出顺序数据是顺次输出预先准备好的数据。

18. 权利要求 15 记载的解调方法,其特征在于,将上述变换后的 N 点的数据作为两个系统的数据,根据上述输出顺序数据从该两个系统的数据中分别选择点并输出。

19. 权利要求 18 记载的解调方法,其特征在于,对上述分别选择点并输出的两个系统的数据进行差动解调。

20. 权利要求 19 记载的解调方法,其特征在于,将上述分别选择点并输出的两个系统的数据中的一方的数据延迟规定的时间。

21. 权利要求 18 记载的解调方法,其特征在于,对上述分别选择点并输出的两个系统的数据进行维特比译码。

22. 权利要求 15 记载的解调方法,其特征在于,将上述变换后的 N 点的数据作为 4 个系统的数据,根据上述输出顺序数据从该 4 个系统的数据中分别选择点并输出,

对从 4 个系统选择的第 1 系统的数据和第 2 系统的数据进行差动解调,

对从 4 个系统选择的第 3 系统的数据和第 4 系统的数据进行差动解调,

对上述各自的差动解调后的数据进行维特比译码。

23. 权利要求 22 记载的解调方法,其特征在于,作为上述输出顺序数据,准备有第 1 和第 2 两种输出顺序数据,

根据第 1 输出顺序数据选择第 1 系统的数据,

根据把第 1 输出顺序数据延迟规定时间后的数据选择第 2 个系统的数据,

根据第 2 输出顺序数据选择第 3 系统的数据,

根据把第 2 输出顺序数据延迟规定时间后的数据选择第 4 个系统的数据。

24. 权利要求 22 记载的解调方法,其特征在于,根据各自个别生成的输出顺序数据指定选择上述 4 个系统的数据的点。

25. 权利要求 22 记载的解调方法,其特征在于,根据规定的输出顺序数据选择第 3 系统的数据,

根据把上述规定的输出顺序数据延迟规定时间后的数据选择第 4 系统的数据,

根据把上述规定的输出顺序数据与规定的值相加后得到的数据选择第 1 系统的数据,

根据把上述规定的输出顺序数据与规定的值相加后的数据再延迟规定时间所得到的数据选择第 2 系统的数据。

26. 一种解调装置,其特征在于,具有:

付里叶变换装置,用于将以规定的频率间隔在频率轴上分散配置的数据变换成每隔规定单位的 N 点的数据,这里, N 是任意整数;

选择装置,从该付里叶变换装置输出的 N 点的数据中选择指定点的数据并输出;

输出顺序数据生成装置,生成用来指定由该选择装置选择的点的数据。

27. 权利要求 26 记载的解调装置,其特征在于,作为上述输出顺序数据生成装置,使用了计数器,通过计数处理顺次生成与输出顺序对应的数据。

28. 权利要求 26 记载的解调装置,其特征在于,作为上述输出顺序数据生成装置,使用了移位寄存器,顺次输出预先准备的数据。

29. 权利要求 26 记载的解调装置,其特征在于,所述选择装置包括第 1 和第 2 选择装置,将上述付里叶变换装置输出的 N 点的数据送给第 1 和第 2 选择装置,在各自的选择装置内,根据输出顺序数据生成装置的输出分别选择点并输出。

30. 权利要求 29 记载的解调装置,其特征在于,具有差动解调装置,供给由上述第 1 选择装置选择的点的数据和由上述第 2 选择装置选择的点的数据,对该两个系统的数据进行差动解调。

31. 权利要求 30 记载的解调装置,其特征在于,将上述输出顺序数据生成装置的输出直接送给上述第 1 选择装置,同时,经延迟装置延迟规定时间后送给上述第 2 选择装置。

32. 权利要求 29 记载的解调装置,其特征在于,具有维特比译码装置,供给由上述第 1 选择装置选择的点的数据和由上述第 2 选择装置选择的点的数据,对该两个系统的数据进行维特比译码。

33. 权利要求 26 记载的解调装置,其特征在于,所述选择装置包括第 1、第 2、第 3 和第 4 选择装置,将上述付里叶变换装置输出的 N 点的数据供给第 1、第 2、第 3 和第 4 选择装置,在各自的选择装置内,根据输出顺序数据生成装置的输出分别选择点,

把上述第 1 和第 2 选择装置选择的点的数据送给第 1 差动解调装置并进行差动解调,

把上述第 3 和第 4 选择装置选择的点的数据送给第 2 差动解调装置并进行差动解调,

把用上述第 1 和第 2 差动解调装置差动解调后的数据送给维特比译码装置并进行维特比译码。

34. 权利要求 33 记载的解调装置,其特征在于,作为上述输出顺序数据生成装置,具有第 1 和第 2 输出顺序数据生成装置,

将上述第 1 输出顺序数据生成装置的输出直接送给上述第 1 选择装置,同时,经延迟装置延迟规定时间后送给第 2 选择装置,

将上述第 2 输出顺序数据生成装置的输出直接送给上述第 3 选择装置,同时,经延迟装置延迟规定时间后送给第 4 选择装置。

35. 权利要求 33 记载的解调装置,其特征在于,

作为上述输出顺序数据生成装置,具有第 1、第 2、第 3 和第 4 输出顺序数据生成装置,把用来指定由上述第 1 选择装置选择的点的数据从第 1 输出顺序数据生成装置供给第 1 选择装置,把用来指定由上述第 2 选择装置选择的点的数据从第 2 输出顺序数据生成装置供给第 2 选择装置,把用来指定由上述第 3 选择装置选择的点的数据从第 3 输出顺序数据生成装置供给第 3 选择装置,把用来指定由上述第 4 选择装置选择的点的数据从第 4 输出顺序数据生成装置供给第 4 选择装置。

36. 权利要求 33 记载的解调装置,其特征在于,把上述输出顺序数据生成装置的输出直接送给上述第 3 选择装置,同时,经第 1 延迟装置延迟规定时间后送给第 4 选择装置,

把将上述输出顺序数据生成装置的输出与规定的值相加的运算装置的输出直接送给上述第 1 选择装置,同时,经第 2 延迟装置延迟规定时间后送给上述第 2 选择装置。

调制方法、调制装置、解调方法和解调装置

技术领域

[0001] 本发明涉及产生进行了正交频率分割多路 (Orthogonal Frequency Division Multiplexing; 以下称为 OFDM) 调制的信号的调制方法、使用该调制方法的调制装置、解调该经 OFDM 调制的信号的解调方法及使用该解调方法的解调装置, 特别涉及对处理交错了的 OFDM 调制信号很合适的技术。

背景技术

[0002] 以往, 作为一种用无线等传送容量较大的数字数据时的调制方式, OFDM 调制已经实用化。例如, 如图 23 所示, 在家庭、办公室等比较窄的范围内, 将由接受电视广播信号的调谐器和再生记录在记录媒体上的图像节目的再生装置构成的图象信号源 1 输出的图象信号 (数字图象数据) 送给无线发送装置 2, 在该无线发送装置 2 中, 对图象信号进行调制处理, 使其变成 OFDM 调制信号, 以规定的频带将该调制信号从天线 3 无线发送出去。而且, 利用与天线 4 连接的无线接收装置 5 对该通过无线发送来的信号进行接收处理, 对该接收频带的 OFDM 波进行解调处理, 得到图象信号, 将该接收的图象信号送给视频记录再生装置 6 并记录在视频磁带等规定的记录媒体上, 或者, 送给电视接收机 7 进行显像处理。这时, 也可以再生由视频记录再生装置 6 记录的图象信号, 将该再生信号送给电视接收机 7 进行显像。

[0003] 如果是这样的系统构成, 通过使用 OFDM 调制信号在与无线发送装置 2 连接的天线 3、与无线接收装置 5 连接的天线 4 之间进行无线传送, 对大容量数字数据能够很好地进行高效率的无线传送。

[0004] 这里, 图 24 示出在无线发送装置 2 中进行用于发送的 OFDM 调制的构成的一个例子, 把从输入端子 2a 得到的发送信号 (数字数据) 送给串 / 并变换器 2b, 按规定的单位将其变换成并行数据。经串 / 并变换器 2b 变换的并行数据送给交错用存储器 2c, 改变向该存储器 2c 写入和从存储器读出的顺序, 进行改变数据排列的交错处理, 将该交错处理了的并行数据送给反付里叶变换电路 (IFFT 电路) 2d, 通过反快速付里叶变换的运算处理, 进行把时间轴变换成频率轴的正交变换处理。而且, 将正交变换过的并行数据送给并 / 串变换器 2e, 将其变换成串行数据, 将该串行数据送给输出端子 2f。输出端子 2f 得到的数据送给发送处理系统, 按照规定的发送频带进行频率变换, 发送出去。

[0005] 其次, 图 25 示出用无线接收装置 5 接收这样通过无线发送来的信号并进行解调的构成的一个例子。接收规定频带的信号并在输入端子 5a 得到经频率变换变成中间频率信号等的信号, 将该输入端子 5a 得到的数据送给串 / 并变换器 5b, 按规定的单位将其变换成并行数据, 将该变换输出送给付里叶变换电路 (FFT 电路) 5c, 通过高速付里叶变换的运算处理, 进行把频率轴变换成时间轴的正交变换处理。而且, 将正交变换了的并行数据送给解交错用存储器 5d, 改变向该存储器 5d 写入和从该存储器 5d 读出的顺序, 进行改变数据排列使其复原的解交错处理, 将该解交错处理了的并行数据送给并 / 串变换器 5e, 将其变换成串行数据, 将该串行数据送给输出端子 5f。

[0006] 利用该图 25 的构成进行的 OFDM 调制信号的解调处理是根据图 26 所示的时序进行的。即,最初有向付里叶变换电路 5c 输入数据的期间 Ta,其次,有在该付里叶变换电路 5c 中进行高速付里叶变换处理的付里叶变换处理的期间 Tb,再其次,有该付里叶变换的数据输出的期间 Tc。该输出期间 Tc 输出的数据与该输出同时写入解交错用存储器 5d,有读出写入该存储器 5d 的数据的读出期间 Td。再有,利用图 24 的构成生成 OFDM 调制信号的调制处理基本上是该解调处理的逆处理,必须有与解调处理同样的期间。

[0007] 这里,参照图 27、图 28 说明用图 24、图 25 的传送处理进行的交错处理和传送,例如,如图 27A 所示,当进行将数据序号 $k = 0 \sim 49$ 的 50 个单位的数据分散成 $X_0 \sim X_{50}$ 的付载波并传送的 OFDM 调制时,如果该信号在接收侧能正确地接收,倒没有问题,但是,例如,如图 27B 所示那样,如果因多通道衰减而使数据序号 $k = 5, 6, 7$ 的付载波不能正确接收,则该数据序号 $k = 5, 6, 7$ 的数据就会消失。

[0008] 这时,如果不进行交错处理而传送,如图 28A 所示那样,1 个槽内的连续的 3 单位的数据 $k = 5, 6, 7$ 消失后,就会产生字符组误差。这样的字符组误差用纠错码等来使其完全复原很困难。对此,当进行交错处理后再传送时,例如,如图 28B 所示那样,将 1 个槽内 3 单位的数据 $k = 5, 6, 7$ 分散配置,(分散状态因交错状态而异),从而成为随机误差,可以利用纠错码等使各误差完全复原。

[0009] 通过这样的进行交错处理后再传送,可以将接收侧的数据消失抑制到最小限度,确保良好的传送状态。

[0010] 图 25 所示的构成是使用存储器进行解交错处理的构成,但也有不使用存储器进行解交错处理构成。图 29 示出了这样一个例子,将输入端子 5a 得到的数据送给串 / 并变换器 5b,按规定的单位将其变换成并行数据,将该变换输出送给付里叶变换电路 5c,通过高速付里叶变换的运算处理,进行把频率轴变换成时间轴的正交变换处理,到此为止的处理与图 25 的构成相同。而且,利用与交错模式对应的布线变更处理 5g,对正交变换了的并行数据进行改变数据排列的处理,将该改变了数据排列的并行数据送给并 / 串变换器 5e,使其变换成串行数据,再将该串行数据送给输出端子 5f。

[0011] 利用该图 29 的构成进行的 OFDM 调制信号的解调处理是根据图 30 所示的时序进行的。即,最初有向付里叶变换电路 5c 输入数据的期间 Te,其次,有在该付里叶变换电路 5c 中进行高速付里叶变换处理的付里叶变换处理的期间 Tf,再其次,有输出经过该付里叶变换后的数据的输出期间 Tg。这里,在该构成中,在从付里叶变换电路 5c 输出并送给并 / 串变换器 5e 的同时,用布线变更处理进行解交错。

[0012] 另一方面,作为 OFDM 调制信号,在调制卷积编码了的信号时,有进行称之为收缩处理的间拔处理的情况。图 31 是表示进行该收缩处理的先有的构成一个例子的图,利用卷积编码器 8b 对从输入端子 8a 得到的发送数据 a_i 进行卷积编码,生成 2 系列的数据 G_1, G_2 ,将该 2 系列的数据 G_1, G_2 送给间拔处理电路 8c,进行间拔处理,得到收缩处理了的编码数据 b_i 。这里,例如,当卷积编码器 8b 的编码率 $r = 1/2$ 时,收缩处理了的数据 b_i 的编码率 $r = 3/4$ 。图 33 示出编码率 $r = 1/2$ 的卷积编码器的构成的例子,从输入端子 9a 得到的发送数据 a_i 送给移位寄存器 9b,该移位寄存器 9b 是由 3 级构成的寄存器,将第 1 级存储的数据与第 3 级存储的数据送给加法器 9c,进行加法运算处理,得到数据 G_1 。此外,将移位寄存器 9b 的第 1 级存储的数据与第 2 级存储的数据送给加法器 9d,进行加法运算处理,得到数据 G_2 。

[0013] 图 33 示出这样卷积编码了的 2 系列数据 G_1 、 G_2 的间拔处理状态,例如,当把图 33A 所示的数据串 a_0 、 a_1 、 a_2 、..... 作为输入数据 a_i 时,卷积编码了的 2 系列数据 G_1 、 G_2 就成为象图 33B 和图 33C 那样的数据 g_{10} 、 g_{11} 、 g_{12} 、..... 和数据 g_{20} 、 g_{21} 、 g_{22} 、.....。这里,在间拔处理电路 8c 中,例如,象图 33D 所示那样,使用数据 g_{10} 、 g_{11} 、 g_{12} 、 g_{20} 、 g_{21} 、 g_{22} 进行按 g_{10} 、 g_{20} 、 g_{21} 、 g_{12} 的顺序输出的处理。即,如图 33B、C 中的带 $\times$ 号的栏所示的那样,数据 g_{11} 、 g_{22} 成为已间拔了的状态。这样的已间拔了的数据 b_i 结果变成以 $r = 3/4$ 的编码率卷积编码了的数据。

[0014] 但是,在生成 OFDM 调制信号的调制处理时,对于如图 24 所示那样使用存储器进行交错处理的情况,因必需要该存储器,故存在调制处理构成复杂的问题。此外,对于调制处理所要的时间,与处理不进行交错数据的情况相比,因从交错用存储器中读出数据需要时间,故需要较长的调制处理时间,存在调制处理花费时间的问题。

[0015] 此外,在调制处理时,对于如图 31 所示那样进行使用了卷积编码器的收缩处理的情况,存在因收缩处理而引起的结构复杂的问题。即,从表示收缩处理状态的图 33 中可以看出,输入数据(图 33A)和收缩处理后的输出数据(图 33B)的时钟速率不是整数倍的关系,因为间拔处理,数据时钟 f_j 的 $2/3$ 的时钟需要进行处理,存在这样时钟的生成处理变得复杂的问题。进而,经间拔处理过的数据必须进行恢复时序的处理,电路规模变大,同时,功耗增大,此外,因使用不同频率的时钟,由于寄生作用,对进行调制信号的无线发送和接收处理的高频电路模块会带来坏的影响。这些坏影响包括例如接收性能降低和通带外寄生电波对发射的干扰等。

[0016] 此外,在解调处理 OFDM 调制信号时,对于使用图 25 所示的存储器进行解交错处理的情况,因必需要存储器,故存在解调处理构成变得复杂的问题。此外,对于解调处理所要的时间,图 26 所示的处理时间 T_1 与处理不进行交错数据的情况相比,因从解交错用存储器中读出数据需要时间,故需要较长的解调处理时间,存在解调处理时间长的问题。

[0017] 如图 29 所示,在通过付里叶变换电路输出的并行数据的布线变更处理进行解交错处理时,图 30 所示的处理时间 T_2 与处理不进行交错数据的情况相同,虽然不存在处理时间变长的问题,但仍然需要在输出部设置串/并变换器 5e,因此,存在组装 OFDM 调制信号解调电路的电路板变大的问题。

发明内容

[0018] 本发明的第 1 目的在于,以简单的构成和短的处理时间实现生成交错处理了的 OFDM 调制信号的调制处理。

[0019] 本发明的第 2 目的在于,以简单的构成和短的处理时间实现交错处理了的 OFDM 调制信号的解调处理。

[0020] 本发明的第 1 方面是一种调制方法,将规定的数据作为 N 个系统(N 是任意整数)的数据,保持该 N 个系统的数据,根据规定的输出顺序数据所表示的顺序顺次输出该保持的 N 个系统的数据,将该输出的 N 个数据变换成以规定的频率间隔在频率轴上分散配置的数据。由此,为了进行反付里叶变换以供给数据的顺序进行交错,使用于交错处理的处理变得简单,同时,交错处理不需要时间,能够缩短调制处理所需要的时间。

[0021] 本发明的第 2 方面是一种调制方法,在第 1 发明的调制方法中,上述输出顺序数据

根据计数处理生成。由此,利用计数处理可以简单地生成信号顺序数据来进行交错处理。

[0022] 本发明的第3方面是一种调制方法,在第1发明的调制方法中,上述输出顺序数据是顺次输出预先准备好的数据。由此,能够通过预先准备好输出顺序数据的简单处理来进行交错处理。

[0023] 本发明的第4方面是一种调制方法,在第1发明的调制方法中,使卷积编码生成的两个系统数据内的一个系统数据延迟相当该数据的一个时钟周期的时间,按照规定的输出顺序数据所示的顺序顺次输出该延迟了的系统数据和未延迟的系统数据,将该输出的数据变换成以规定的频率间隔在频率轴上分散配置的数据。由此,对卷积编码的数据进行交错后作为 OFDM 调制信号可以通过简单的处理高效率地进行。

[0024] 本发明的第5方面是一种调制方法,在第1发明的调制方法中,作为变换成以上述规定的频率间隔在频率轴上分散配置的数据的处理,并列处理 Q 位(Q 是 2 以上的整数)字的数据。由此,能够高效率地进行由多个位构成的以字为单位的数据的处理。

[0025] 本发明的第6方面是一种调制方法,从规定的数据中生成进行了第1交错的数据和进行了第2交错的数据,同时使用该第1和第2交错了的数据,将其变换成以规定的频率间隔在频率轴上分散配置的数据。由此,可以在短时间内对交错了的数据进行反付里叶变换,能够缩短调制处理时间。

[0026] 本发明的第7方面是一种调制方法,在第6发明的调制方法中,对第1和第2交错了的数据分别进行差动编码,同时使用差动编码了的各数据,将其变换成以规定的频率间隔在频率轴上分散配置的数据。由此,对于差动编码,在交错时也能高效率地进行。

[0027] 本发明的第8方面是一种调制装置,具有同时供给规定的数据的 N 个(N 为任意整数)寄存器、生成指定供给该 N 个寄存器的数据的输出顺序的数据的输出顺序数据生成装置,将供给的 N 个数据变换成按上述输出顺序数据生成装置指定的顺序以规定的频率间隔在频率轴上分散配置的数据的反付里叶变换装置。由此,在向反付里叶变换装置输入数据时进行交错,不需要交错用存储器等大规模电路,同时,因在输入选择的同时进行交错,故交错处理不需要时间,能够缩短调制处理所需要的时间。

[0028] 本发明的第9方面是一种调制装置,在第8发明的调制装置中,作为上述输出顺序数据生成装置,使用了计数器,利用计数处理顺次生成与输出顺序对应的数据。由此,利用计数器的计数处理生成输出顺序数据,使用计数器可以简单地生成信号顺序数据来进行交错处理。

[0029] 本发明的第10方面是一种调制装置,在第8发明的调制装置中,作为上述输出顺序数据生成装置,使用了移位寄存器,顺次输出预先准备好的数据。由此,能够通过使用了移位寄存器的简单构成来进行交错处理。

[0030] 本发明的第11方面是一种调制装置,在第8发明的调制装置中,具有卷积编码装置、延迟装置和保持装置,延迟装置使利用该卷积编码装置编码的两个系统数据内的一个系统数据延迟相当该数据的一个时钟周期的时间,保持装置使上述输出顺序数据生成装置输出的顺序数据暂时保持下来,将利用该延迟装置延迟了的一个系统的数据和上述卷积编码装置输出的另一个系统的数据供给上述移位寄存器。由此,对卷积编码的数据进行交错后作为 OFDM 调制信号的调制装置可以以简单的构成高效率地进行。

[0031] 本发明的第12方面是一种调制装置,在第8发明的调制装置中,上述反付里叶变

换装置并列处理 Q 位 (Q 是 2 以上的整数) 字的数据。由此, 能够以简单的构成高效率地进行由多个位构成的以字为单位的数据的处理。

[0032] 本发明的第 13 方面是一种调制装置, 具有对规定的数据进行交错的第 1 交错装置和第 2 交错装置及将从上述第 1 和第 2 交错装置输出的数据输入到不同的点上并将其变换成以规定的频率间隔在频率轴上分散配置的数据的反付里叶变换装置。由此, 可以在短时间内将交错了的数据输入反付里叶变换装置后进行处理。

[0033] 本发明的第 14 方面是一种调制装置, 在第 13 发明的调制装置中, 具有对上述第 1 交错装置的输出进行差动编码的第 1 差动编码装置和对上述第 2 交错装置的输出进行差动编码的第 2 差动编码装置, 将上述第 1 和第 2 差动编码装置的编码输出送给上述反付里叶变换装置。由此, 能够实现对于交错了的数据进行高效率差动编码后进行反付里叶变换。

[0034] 本发明的第 15 方面是一种解调方法, 将以规定的频率间隔在频率轴上分散配置的数据变换成每隔规定单位的 N 点 (N 是任意整数) 的数据, 从该变换的 N 点的数据中选择由规定的输出顺序数据指定的点的数据并输出。由此, 通过从付里叶变换后的数据中选择输出数据的处理来进行解交错处理, 使用于解交错处理的处理变得简单, 同时, 解交错处理不需要时间, 能够缩短解调处理所需要的时间。

[0035] 本发明的第 16 方面是一种解调方法, 在第 15 发明的解调方法中, 上述输出顺序数据根据计数处理顺次生成。由此, 利用计数处理可以简单地生成信号顺序数据来进行解交错处理。

[0036] 本发明的第 17 方面是一种调制方法, 在第 15 发明的调制方法中, 上述输出顺序数据是顺次输出预先准备好的数据。由此, 能够通过预先准备好输出顺序数据的简单处理来进行解交错处理。

[0037] 本发明的第 18 方面是一种解调方法, 在第 15 发明的解调方法中, 将上述变换后的 N 点的数据作为两个系统的数据, 根据上述输出顺序数据从该两个系统的数据中分别选择点并输出。由此, 能够简单地同时得到多系统的解调数据。

[0038] 本发明的第 19 方面是一种解调方法, 在第 18 发明的解调方法中, 对上述分别选择点并输出的两个系统的数据进行差动解调。由此, 能够容易进行良好的差动解调处理。

[0039] 本发明的第 20 方面是一种解调方法, 在第 19 发明的解调方法中, 将上述分别选择点并输出的两个系统的数据中的一方的数据延迟规定的时间。由此, 能够进行恰当的选择处理。

[0040] 本发明的第 21 方面是一种解调制方法, 在第 18 发明的解调方法中, 对上述分别选择点并输出的两个系统的数据进行维特比译码。由此, 能够进行良好的维特比译码。

[0041] 本发明的第 22 方面是一种解调方法, 在第 15 发明的解调方法中, 将上述变换后的 N 点的数据作为 4 个系统的数据, 根据上述输出顺序数据从该 4 个系统的数据中分别选择点并输出, 对选择的第 1 系统的数据和第两个系统的数据进行差动解调, 对选择的第 3 系统的数据和第 4 个系统的数据进行差动解调, 对上述各自的差动解调数据进行维特比译码。由此, 能够进行使用了付里叶变换后的 N 点的数据的差动解调和该差动解调后的数据的维特比译码, 能够得到进行了差动解调和维特比译码的良好的解调数据。

[0042] 本发明的第 23 方面是一种解调方法, 在第 22 发明的解调方法中, 作为上述输出顺序数据, 准备有第 1 和第 2 两种输出顺序数据, 根据第 1 输出顺序数据选择第 1 系统的数据,

根据把第 1 输出顺序数据延迟规定时间后的数据选择第 2 个系统的数据,根据第 2 输出顺序数据选择第 3 系统的数据,根据把第 2 输出顺序数据延迟规定时间后的数据选择第 4 个系统的数据。由此,通过生成 2 个输出顺序数据,能够对 4 个系统的数据分别选择点,只使用 2 个输出顺序数据就能进行良好的处理。

[0043] 本发明的第 24 方面是一种解调方法,在第 22 发明的解调方法中,根据各自个别生成的输出顺序数据指定选择上述 4 个系统的数据的点。由此,能对每个各个系统的数据进行适当的处理。

[0044] 本发明的第 25 方面是一种解调方法,在第 22 发明的解调方法中,根据规定的输出顺序数据选择第 3 系统的数据,根据把规定的输出顺序数据延迟规定时间后的数据选择第 4 个系统的数据,根据把规定的输出顺序数据与规定的值相加后得到的数据选择第 1 系统的数据,根据把规定的输出顺序数据与规定的值相加后的数据再延迟规定时间所得到的数据选择第 2 个系统的数据。由此,通过处理 1 个输出顺序数据来作为用于选择 4 个系统的数据的数据,能够在 2 个差动解调数据的基础上用简单的处理进行维特比译码。

[0045] 本发明的第 26 方面是一种解调装置,具有将以规定的频率间隔在频率轴上分散配置的数据转换成每隔规定单位的 N 点(N 是任意整数)的数据的付里叶变换装置、从该变换装置输出的 N 点的数据中选择指定点的数据并输出的选择装置和生成用来指定由选择装置选择的点的数据的输出顺序数据生成装置。由此,能够在由选择装置从付里叶变换后的数据中选择输出数据时进行解交错处理,不需要存储付里叶变换后的数据等的存储器和输出用的并/串变换器等的大规模电路,同时,能够在输出选择的同时进行解交错处理,所以,通过进行解交错处理能够不会使解调处理所需要的时间变长。

[0046] 本发明的第 27 方面是一种解调装置,在第 26 发明的解调装置中,作为上述输出顺序数据生成装置,使用了计数器,根据计数处理顺次生成与输出顺序对应的数据。由此,利用使用了计数器的简单构成,能够恰当地进行解交错处理。

[0047] 本发明的第 28 方面是一种解调装置,在第 26 发明的解调装置中,作为上述输出顺序数据生成装置,使用了移位寄存器,顺次输出预先准备的数据。由此,利用使用了移位寄存器的简单构成,能够进行恰当的解交错处理。

[0048] 本发明的第 29 方面是一种解调装置,在第 26 发明的解调装置中,将上述付里叶变换装置输出的 N 点的数据送给第 1 和第 2 选择装置,在各自的选择装置内,根据输出顺序数据生成装置的输出分别选择点并输出。由此,能够简单地同时得到多系统的解调数据。

[0049] 本发明的第 30 方面是一种解调装置,在第 29 发明的解调装置中,具有差动解调装置,供给由上述第 1 选择装置选择的点的数据和由上述第 2 选择装置选择的点的数据,对该两个系统的数据进行差动解调。由此,能够以简单的构成进行良好的差动解调处理。

[0050] 本发明的第 31 方面是一种解调装置,在第 30 发明的解调装置中,将上述输出顺序数据生成装置的输出直接送给上述第 1 选择装置,同时,经延迟装置延迟规定时间后送给上述第 2 选择装置。由此,通过只使用 1 个输出顺序数据生成装置的简单构成,就能够用 2 个选择装置进行恰当的选择处理。

[0051] 本发明的第 32 方面是一种解调制装置,在第 29 发明的解调装置中,具有维特比译码装置,供给由上述第 1 选择装置选择的点的数据和由上述第 2 选择装置选择的点的数据,对该两个系统的数据进行维特比译码。由此,能够对简单的构成得到的多系统的解调数据

进行良好的维特比译码。

[0052] 本发明的第 33 方面是一种解调装置,在第 26 发明的解调装置中,将上述付里叶变换装置输出的 N 点的数据供给第 1、第 2、第 3 和第 4 选择装置,在各自的选择装置内,根据输出顺序数据生成装置的输出分别选择点,把上述第 1 和第 2 选择装置选择的点的数据送给第 1 差动解调装置并进行差动解调,把上述第 3 和第 4 选择装置选择的点的数据送给第 2 差动解调装置并进行差动解调,把上述第 1 和第 2 差动解调装置差动解调后的数据送给维特比译码装置并进行维特比译码。由此,能够根据差动解调后的 2 个数据进行良好的维特比译码。

[0053] 本发明的第 34 方面是一种解调装置,在第 33 发明的解调装置中,作为上述输出顺序数据生成装置,具有第 1 和第 2 输出顺序数据生成装置,上述第 1 输出顺序数据生成装置的输出直接送给上述第 1 选择装置,同时,经延迟装置延迟规定时间后送给第 2 选择装置,上述第 2 输出顺序数据生成装置的输出直接送给上述第 3 选择装置,同时,经延迟装置延迟规定时间后送给第 4 选择装置。由此,通过简单的构成,能够用 4 个选择装置分别选择点的数据。

[0054] 本发明的第 35 方面是一种解调装置,在第 33 发明的解调装置中,把用来指定由上述第 1、第 2、第 3 和第 4 选择装置选择的点的数据分别从各个输出顺序数据生成装置供给各个选择装置。由此,能够简单地设定各个选择装置的最佳选择状态。

[0055] 本发明的第 36 方面是一种解调装置,在第 33 发明的解调装置中,把上述输出顺序数据生成装置的输出直接送给上述第 3 选择装置,经延迟规定时间的第 1 延迟装置送给第 4 选择装置,把将上述输出顺序数据生成装置的输出与规定的值相加的运算装置的输出直接送给上述第 1 选择装置,经延迟规定时间的第 2 延迟装置送给第 2 选择装置。由此,通过只使用 1 个输出顺序数据生成装置的简单构成,能够在 2 个差动解调数据的基础上进行维特比译码。

附图说明

[0056] 图 1 是表示本发明的第 1 实施形态的构成例的方框图。

[0057] 图 2 是表示本发明的第 1 实施形态的寄存器的构成的方框图。

[0058] 图 3 是表示本发明处理的频谱的例子的频谱图。

[0059] 图 4 是表示本发明的第 1 实施形态的调制处理状态的时序图。

[0060] 图 5 是表示本发明的第 2 实施形态的构成例的方框图。

[0061] 图 6 是表示本发明的第 3 实施形态的构成例的方框图。

[0062] 图 7 是表示本发明的第 3 实施形态的处理状态的时序图。

[0063] 图 8 是表示本发明的第 4 实施形态的构成例的方框图。

[0064] 图 9 是表示本发明的第 5 实施形态的构成例的方框图。

[0065] 图 10 是表示本发明的第 5 实施形态的处理状态的时序图。

[0066] 图 11 是表示本发明的第 6 实施形态的构成例的方框图。

[0067] 图 12 是表示本发明的第 7 实施形态的构成例的方框图。

[0068] 图 13 是表示本发明的第 8 实施形态的构成例的方框图。

[0069] 图 14 是表示本发明的第 8 实施形态的处理状态的时序图。

- [0070] 图 15 是表示本发明的第 9 实施形态的构成例的方框图。
- [0071] 图 16 是表示本发明的第 10 实施形态的构成例的方框图。
- [0072] 图 17 是表示本发明的第 11 实施形态的构成例的方框图。
- [0073] 图 18 是表示本发明的第 12 实施形态的构成例的方框图。
- [0074] 图 19 是表示本发明的第 13 实施形态的构成例的方框图。
- [0075] 图 20 是表示本发明的第 14 实施形态的构成例的方框图。
- [0076] 图 21 是表示本发明的第 15 实施形态的构成例的方框图。
- [0077] 图 22 是表示本发明的第 16 实施形态的构成例的方框图。
- [0078] 图 23 是表示无线传送系统的一个例子的方框图。
- [0079] 图 24 是表示交错处理了的 OFDM 波的调制构成例的方框图。
- [0080] 图 25 是表示交错处理了的 OFDM 波的先有的解调构成例的方框图。
- [0081] 图 26 是表示图 25 的例子中解调处理状态的时序图。
- [0082] 图 27 是表示 OFDM 波的字符组误差发生状态的例子的说明图。
- [0083] 图 28 是比较有无交错时误差发生状态的说明图。
- [0084] 图 29 是表示交错处理了的 OFDM 波的先有的解调构成的另一个例子的方框图。
- [0085] 图 30 是表示图 29 的例子中的解调处理状态的时序图。
- [0086] 图 31 是表示先有的收缩处理构成的一个例子的方框图。
- [0087] 图 32 是表示卷积编码器的一个例子的方框图。
- [0088] 图 33 是表示先有的收缩处理状态的一个例子的时序图。

具体实施方式

[0089] 下面,参照图 1~图 4 说明本发明的第 1 实施形态。

[0090] 本例适用于用无线发送 OFDM 调制信号的发送装置内的调制部,对发送的 OFDM 调制信号进行交错处理。图 1 是表示本例的调制部的构成的图。基带信号等发送数据 a_i 送给输入端子 101,对该输入端子 101 得到的发送数据 a_i 进行交错,同时进行 OFDM 调制。

[0091] 这里,将从输入端子 101 得到的发送数据 a_i 送给 N 个(这里, N 为 64)寄存器 102a、102b...102n。该给 N 个寄存器 102a、102b...102n 构成为带地址译码器的寄存器。关于该带地址译码器的寄存器的构成后面再述。而且,将 64 个带地址译码器的寄存器 102a、102b...102n 的输出送给反付里叶变换电路 (IFFT 电路) 105。

[0092] 该反付里叶变换电路 105 是进行正交变换处理的电路,通过反付里叶变换的运算处理把时间轴上的数据变换成频率轴上的数据并进行调制。这里,使用进行 N 点(这里是 64 点)变换处理的反付里叶变换电路,将变换后的数据作为 N 位(64 位)的并行数据输出。而且,将该反付里叶变换电路 105 输出的并行数据送给并/串变换器 106,变成串行数据,将该串行数据作为 OFDM 调制了的数据 y_n 送给输出端子 107。输出端子 107 得到的 OFDM 调制了的数据 y_n 送给高频电路(未图示),进行发送处理。

[0093] 当把反付里叶变换电路 105 的变换点数作为 64 时,其反付里叶变换处理的变换式如下式所示。

$$[0094] \quad y_n = \sum_{k=0}^{63} x_k e^{j 2\pi k n / 64} \quad \dots [1] \dots (1) \text{ 式}$$

[0095] 配置在反付里叶变换电路 105 输入部的 64 个带地址译码器的寄存器 102a ~ 102n 例如分别如图 2 所示构成。即,将输入端子 181 得到的数据送给选择器 182,选择器 182 由 2 个与门 182a、182b 和 1 个或门 182c 构成。地址译码器 184 对计数器送给地址输入端子 183 的地址数据进行译码,根据该译码输出对输入端子 181 得到的数据进行选择处理。选择器 182 选择的数据送给 D 触发器 185 锁存,将该锁存的数据送给输出端子 187。时钟输入端子 186 来的时钟送给 D 触发器 185 的时钟输入端 CK。

[0096] 在地址译码器 184 中,当检测到从该译码器设置的地址端子 183 有输入时,根据该检测信号对输入数据进行输入处理,除此之外,原封不动地保持数据。这里,对上述 N 个带地址译码器的寄存器 102a ~ 102n 分别设置不同的地址。因此,可以从各寄存器 102a ~ 102n 输出以不同的时序设置的数据。

[0097] 返回图 1 的说明,从计数器 103 向 N 个带地址译码器的寄存器 102a ~ 102n 的地址译码器送给 6 位地址数据。计数器 103 是用计数处理生成地址数据的电路,该地址数据是周来按规定的顺序指定 N 个(这里是 64 个)寄存器 102a ~ 102n 的,在这里,是按照与发送的 OFDM 调制信号的交错模式对应的顺序生成依次指定各地址的数据。

[0098] 这里,使用 6 位计数器生成从 0 到 63 的值的的数据,例如,按照表 1 所示的顺序进行计数处理,使其成为 0、5、10、15...58、63。再有,在反付里叶变换电路 105 中,每进行 1 单位的变换处理,都从调制处理控制装置(未图示)经端子 104 向计数器 103 供给启动脉冲,计数器 103 根据该启动脉冲开始计数处理。此外,在这里说明的例子中,没有从 25 到 38 的计数值。

[0099] 【表 1】

[0100]

0	→	5	→	10	→	15	→	20	→	39	→	44	→	49	→	54	→	59
1	←	6	→	11	→	16	→	21	→	40	→	45	→	50	→	55	→	60
2	←	7	→	12	→	17	→	22	→	41	→	46	→	51	→	56	→	61
3	←	8	→	13	→	18	→	23	→	42	→	47	→	52	→	57	→	62
4	←	9	→	14	→	19	→	24	→	43	→	48	→	53	→	58	→	63

[0101] 当进行这样的变换处理时,能够得到图 3A 所示的频谱的 OFDM 调制信号。即,作为输入到付里叶变换电路 105 中的数据 $\{X_k\}$,是在频率轴上以一定间隔配置的 $n = 0 \sim 24$ 的数据和 $n = 39 \sim 63$ 的数据。在该图 3A 所示的频谱中,虽然数据分成 2 个组,但该频谱与图 3B 所示的以 $k = 0$ 为中心的 1 个连续频谱等效。

[0102] 图 4 是表示本例电路的调制处理状态的时序图,下面,说明其处理状态,最初,将用输入端子 101 得到的数据置位到寄存器 102a ~ 102n 后,有输入到反付里叶变换电路 105 的输入期间 T_h ,其次,有在该反付里叶变换电路 105 进行反高速付里叶变换处理的反付里叶变换处理期间 T_i ,再其次,有输出该反付里叶变换后的数据并进行并/串变换的输出期间 T_g 。在本例中,通过在输入期间 T_h 向使用了寄存器 102a ~ 102n 的反付里叶变换电路 105 的输入处理,可以对数据进行交错处理。

[0103] 通过进行上面说明的处理的本实施形态的构成,当在反付里叶变换电路 105 中生

成 OFDM 调制信号时,通过向该反付里叶变换电路 105 的数据的输入处理,可以进行交错处理。因此,不必象过去那样,需要存储器等进行交错处理,用简单的构成就能进行 OFDM 调制时的交错处理,能够使生成交错了的 OFDM 调制信号的构成简单。此外,关于生成 OFDM 调制信号的处理时间,图 4 所示的处理时间 T_3 因不需要额外的用于交错处理的时间,故与过去使用存储器进行交错的情况相比,从该存储器读出不必花费时间,能够在短时间内进行处理。具体地说,若在反付里叶变换电路中进行 64 点的调制处理,处理时间可以缩短相当于输入数据的 64 个时钟周期的时间。

[0104] 下面,参照图 5 说明本发明的第 2 实施形态。本例与上述第 1 实施形态一样,适用于用无线发送 OFDM 调制信号的发送装置内的调制部,对发送的 OFDM 调制信号进行交错处理。图 5 是表示本例的调制部的构成的图,基带信号等发送数据 a_i 送给输入端子 111,对该输入端子 111 得到的发送数据 a_i 进行交错,同时进行 OFDM 调制。

[0105] 这里,将从输入端子 111 得到的发送数据 a_i 送给 N 个(这里, N 为 64)寄存器 112a、112b...112n。该 N 个寄存器 112a ~ 112n 构成为带地址译码器的寄存器,分别与图 2 所示的带地址译码器的寄存器的构成相同,各地址译码器设置的地址各不相同。

[0106] 从移位寄存器 113 供给由各带地址译码器的寄存器 112a ~ 112n 提供的地址数据。该移位寄存器 113 按照预先规定的顺序(交错顺序)设定 N 个地址数据,根据从调制处理的控制装置(未图示)经端子 114 送来的启动脉冲开始按该顺序的地址数据输出。在各带地址译码器的寄存器 112a ~ 112n 中,当供给各自设置好的地址数据时,输出设置好的发送数据。在本例中,将 64 个带地址译码器的寄存器 112a ~ 112n 的输出送给反付里叶变换电路(IFFT 电路)115。

[0107] 该反付里叶变换电路 115 是进行正交变换处理的电路,通过反付里叶变换的运算处理将时间轴上的数据变换成频率轴上的数据并进行调制。这里,使用进行 N 点(这里是 64 点)变换处理的反付里叶变换电路,将变换后的数据作为 N 点(64 位)的并行数据输出。而且,将该反付里叶变换电路 115 输出的数据送给并/串变换器 116,作为串行数据,将该串行数据作为 OFDM 调制了的数据 y_n 送给输出端子 117。输出端子 117 得到的 OFDM 调制了的数据 y_n 送给高频电路(未图示),进行发送处理。

[0108] 其余的部分与在上述第 1 实施形态中说明过的构成相同,付里叶变换电路 115 的变换处理也与在第 1 实施形态中说明过的付里叶变换电路 105 完全相同。

[0109] 在该第 2 实施形态的构成中,因使用了移位寄存器作为输出顺序数据生成装置,故能够按移位寄存器存储数据的顺序进行交错处理,即使是复杂的交错模式也容易对付,只要使数据与该移位寄存器设置的数据对应即可。

[0110] 下面,参照图 6 和图 7 说明本发明的第 3 实施形态。本例与上述第 1、第 2 实施形态移一样,适用于用无线发送 OFDM 调制信号的发送装置内的调制部,对发送的 OFDM 调制信号进行交错处理。图 6 是表示本例的调制部的构成的图,基带信号等发送数据 a_i 送给输入端子 121,对该输入端子 121 得到的发送数据 a_i 进行交错,同时进行 OFDM 调制。在本例中,在进行该交错处理时,还同时进行卷积编码了的数据的收缩处理。下面,说明其构成,将输入端子 121 得到的发送数据 a_i 变成用卷积编码器 122 卷积编码了的 2 系列的数据,用延迟电路 123 使该 2 系列数据中的一个系列的数据延迟一个时钟周期,将延迟了的数据和未延迟的系列的数据送给 N 个(这里是 64 个)寄存器 124a、124b...124n。在卷积编码器 122

中,例如,进行编码率为 $1/2$ 的编码处理。 N 个寄存器 124a、124b... 124n 构成为带地址译码器的寄存器,基本上,分别与图 2 所示的带地址译码器的寄存器的构成相同,各地址译码器设置的地址各不相同。只是,图 2 所示的寄存器是设置 1 位数据的结构,而本例的寄存器 124a ~ 124n 是设置 2 位数据结构。

[0111] 供给各带地址译码器的寄存器 124a ~ 124n 的地址数据从计数器 125 供给。该计数器 125 设置作为生成指定交错顺序的数据的装置,故对与交错模式对应的地址数据进行计数,并送给各寄存器 124a ~ 124n。计数器 125 根据从调制处理的控制装置(未图示)经端子 127 送来的启动脉冲开始进行计数。此外,在本例中,设有同步控制器 126,使计数器 125 的计数处理暂时停止,根据经端子 127 送来的启动脉冲来设定同步时序。该同步动作是周期性的动作。例如,在输入数据的 2 个时钟周期内计数器连续计数,在其后的 1 个时钟周期内进行使计数值同步的处理。这样的同步控制器例如由 3 进位计数器构成。

[0112] 将这样控制的 64 个带地址译码器的寄存器 124a ~ 124n 的输出送给反付里叶变换电路(IFFT 电路)128。该反付里叶变换电路 128 是进行正交变换处理的电路,通过反付里叶变换的运算处理将时间轴上的数据变换成频率轴上的数据并进行调制。这里,使用进行 N 点(这里是 64 点)变换处理的反付里叶变换电路,将变换后的数据作为 N 点(64 位)的并行数据输出。而且,将该反付里叶变换电路 128 输出的并行数据送给并/串变换器 129,作为串行数据,将该串行数据作为 OFDM 调制了的数据 y_n 送给输出端子 130。输出端子 130 得到的 OFDM 调制了的数据 y_n 送给高频电路(未图示),进行发送处理。

[0113] 这里,参照图 7 说明对本例的带地址译码器的寄存器 124a ~ 124n 的数据输入状态与计数器 125 和同步控制器 126 的动作的对应关系的一个例子。首先,设卷积编码器 122r = $1/2$ 的编码率进行编码,2 位 2 位向各寄存器 124a ~ 124n 输入的数据是图 7A 所示的状态。这时,由同步控制器 126 控制的计数器 125 的计数状态变成图 7B 所示的状态,周期性地重复进行 2 个时钟周期的连续计数动作和 1 个时钟周期的计数值的保持(同步)处理。因此,计数器 125 输出的地址数据成为图 7C 所示的状态,即,每 3 个周期输出 1 次相同的计数值。

[0114] 在本例中,因寄存器 124a ~ 124n 输入的 2 系列数据中的一个系列的数据延迟了 1 个时钟周期,故为了收缩处理而应该间拔的字符同时送给了寄存器 124a ~ 124n,对计数器 125 的动作进行控制,使其在该间拔动作之后停止计数。通过这样的控制,反付里叶变换电路 128 的输入便变成图 7D 所示的状态,进行了间拔规定的符号的收缩处理后的编码率为 $\gamma = 3/4$ 的数据送给反付里叶变换电路 128。

[0115] 所谓在间拔时刻之后停止计数器 125 的动作是,例如,当考虑间拔图 7A 所示的输入数据 g_{11} 、 g_{22} 时,得到该数据 g_{12} 、 g_{23} 时的计数器的地址值 5 与得到下一时刻的数据 g_{11} 、 g_{23} 时的计数器的地址值 5 是同一地址,在写入数据 g_{11} 、 g_{22} 的寄存器上在下一时刻被数据 g_{12} 、 g_{23} 覆盖,数据 g_{11} 、 g_{22} 便消失了。结果,反付里叶变换电路 128 使用的 X_5 的值变成了 (g_{12} 、 g_{23}),数据 (g_{11} 、 g_{22}) 被间拔掉了。

[0116] 其余的部分与在上述第 1 实施形态中说明过的构成相同,付里叶变换电路 128 的变换处理也与在第 1 实施形态中说明过的付里叶变换电路 105 的处理相同。

[0117] 在该第 3 施形态的构成中,对输入付里叶变换电路 128 的数据,在进行交错的同时,进行卷积编码和收缩处理,对本例的情况,可以简单地进行该收缩处理。即,只要利用同

步控制器 126 周期性地控制计数器的动作即可,不必象先有例那样,要进行象在图 31 ~ 图 33 中说明过的那样的时钟速率的变换处理,通过简单的时序控制就能够进行收缩处理。而且,因该收缩处理与交错处理同时进行,故当进行收缩处理和交错处理两者的处理时,与先有的电路相比,电路规模可以削减,同时,可以实现处理电路的低功耗。此外,处理时使用的时钟速率,因只用输入数据的时钟速率就能够进行处理,故没有必要准备不同速率的时钟,正因为这样,时钟发生电路的构成简单了,同时,不会发生因不同速率的时钟引起的寄生干扰等影响。

[0118] 再有,在该第 3 实施形态中,使用计数器生成与交错模式对应的地址数据,但如第 2 实施形态说明过那样,也可以使用移位寄存器来生成地址数据。这时,作为移位寄存器设定的地址数据,例如,如图 7C 所示那样,若构成为每 3 个周期连续出现一次相同的地址,则不需要同步控制器,能够使结构变得简单。

[0119] 下面,参照图 8 说明本发明的第 4 实施形态。在本例中,与上述第 1 实施形态一样,适用于用无线发送 OFDM 调制信号的发送装置内的调制部,对发送的 OFDM 调制信号进行交错处理。图 8 是表示本例的调制部的寄存器部的构成的图,由 Q 位字构成的数据 1 位 1 位地送给输入端子 131a、131b... 131n (n 是任意数)。这里,送给的是 1 字 8 位的数据。

[0120] 将该 1 字 8 位的数据供给各选择器 132a、132b... 132n,根据由地址译码器 133 检测出的地址总括起来进行选择处理。地址译码器 133 对从未图示的计数器或移位寄存器供给端子 134 的地址值进行译码。

[0121] 用各选择器 132a、132b... 132n 选择的数据送给 D 触发器 135a、135b... 135n,与从端子 136 供给的时钟同步进行置位,将对各 D 触发器 135a、135b... 135n 置位的数据作为 1 字 8 位的数据从端子 137a、137b... 137n 送给反付里叶变换电路 (未图示)。其余的部分与在上述第 1 实施形态中说明过的构成相同,付里叶变换电路的变换处理也与在第 1 实施形态中说明过的付里叶变换电路的处理相同。只是,在本例中,变换处理的是以由多个位构成的字为单位的数据。

[0122] 通过采用该第 4 实施形态的构成,能够将以由多个位构成的字为单位的数据总括起来进行输入处理,对以字为单位的数据能够高效率地进行交错处理。

[0123] 下面,参照图 9 和图 10 说明本发明的第 5 实施形态。本例与上述第 1 实施形态移一样,适用于用无线发送 OFDM 调制信号的发送装置内的调制部,对发送的 OFDM 调制信号进行交错处理。图 9 是表示本例的调制部的构成的图,基带信号等发送数据 a_i 送给输入端子 141,对该输入端子 141 得到的发送数据 a_i 进行交错,同时进行 OFDM 调制。

[0124] 这里,将在输入端子 141 得到的发送数据 a_i 送给两个移位寄存器 142、143 并存储起来。各移位寄存器 142、143 置位的数据按与交错模式对应的规定的顺序读出,同时送给反付里叶变换电路 144。即,本例的反付里叶变换电路 144 具有 2 个输入端子 144a、144b。反付里叶变换电路 144 是进行正交变换处理的电路,通过反付里叶变换的运算处理将时间轴上的数据变换成频率轴上的数据并进行调制。这里,使用进行 N 点 (这里是 64 点) 变换处理的反付里叶变换电路,将变换后的数据作为 N 位 (64 位) 并行数据输出。

[0125] 这时,例如,从输入端子 144a 输入 0 ~ 31 的 32 点的数据,从输入端子 144b 输入 32 ~ 63 的 32 点的数据。因此,各移位寄存器 142、143 也是能够设置 32 点的数据的寄存器。

[0126] 而且,将该反付里叶变换电路 144 输出的并行数据送给并 / 串变换器 145,作为串行数据,将该串行数据作为 OFDM 调制了的数据 y_n 送给输出端子 146。输出端子 146 得到的 OFDM 调制了的数据 y_n 送给高频电路 (未图示),进行发送处理。

[0127] 图 10 是表示本例电路的调制处理状态的时序图,下面,说明其处理状态,最初,有把输入端子 141 得到的 64 点的数据输入到 2 个移位寄存器 142、143 的输入期间 T_m 。而且,有交错处理期间 T_n ,按照移位寄存器 142、143 设定的顺序,同时把 2 个移位寄存器 142、143 在该输入期间 T_m 置位的数据输入到反付里叶变换电路 144 中。该交错处理期间 T_n 有输入期间 T_m 的一半就行,例如,若是 64 点的数据,有 32 个时钟周期的期间即可。其次,有在反付里叶变换电路 144 进行反高速付里叶变换处理的反付里叶变换处理期间 T_o ,再其次,有输出该反付里叶变换后的数据并进行并 / 串变换的输出期间 T_p 。

[0128] 通过进行上面说明的处理的本实施形态的构成,交错处理所要的时间能够比过去缩短一半,唯独这样,也就能够缩短生成交错了的 OFDM 调制信号的处理所要的时间。即,对图 10 所示的时间 T_4 来说,因交错处理所要的时间短,故能够在比图 24 所示的先有例的调制处理电路的处理时间还短的时间内完成处理。具体地说,若在反付里叶变换电路进行 64 点的调制处理,处理时间可以缩短相当输入数据的 32 个时钟周期的时间。

[0129] 下面,参照图 11 说明本发明的第 6 实施形态,本例与上述第 1 实施形态一样,适用于用无线发送 OFDM 调制信号的发送装置内的调制部,对发送的 OFDM 调制信号进行交错处理。图 11 是表示本例的调制部的构成的图,基带信号等发送数据 a_i 送给输入端子 151,对该输入端子 151 得到的发送数据 a_i 进行交错,同时进行 OFDM 调制。

[0130] 这里,将输入端子 151 得到的发送数据 a_i 送给两个移位寄存器 152、153 并存储起来。各移位寄存器 152、153 置位的数据按与交错模式对应的规定的顺序读出。而且,各移位寄存器 152、153 输出的数据送给差动编码电路 154、155 进行差动编码,将在各电路中差动编码了的数据同时送给反付里叶变换电路 156 的 2 个输入端子 156a、156b。反付里叶变换电路 156 是进行正交变换处理的电路,通过反付里叶变换的运算处理将时间轴上的数据变换成频率轴上的数据并进行调制。这里,使用进行 N 点 (这里是 64 点) 变换处理的反付里叶变换电路,将变换后的数据作为 N 位 (64 位) 并行数据输出。

[0131] 这时,例如,从输入端子 156a 输入 0 ~ 31 的 32 点的数据,从输入端子 156b 输入 32 ~ 63 的 32 点的数据。因此,各移位寄存器 152、153 也是能够设置 32 点的数据的寄存器。

[0132] 而且,将该反付里叶变换电路 156 输出的并行数据送给并 / 串变换器 157,作为串行数据,将该串行数据作为 OFDM 调制了的数据 y_n 送给输出端子 158。输出端子 158 得到的 OFDM 调制了的数据 y_n 送给高频电路 (未图示),进行发送处理。

[0133] 通过进行上面说明的处理的本实施形态的构成,与第 5 实施形态的情况一样,交错处理所要的时间能够比过去缩短一半,唯独这样,也就能够缩短生成交错了的 OFDM 调制信号的处理所要的时间。而且,对于本实施形态,因在反付里叶变换电路的输入部进行差动编码处理,故能够对差动编码了的数据进行 OFDM 调制,能够在差动编码了的数据的基础上进行高效率的 OFDM 调制。

[0134] 下面,参照图 12 说明本发明的第 7 实施形态,本例与上述第 1 实施形态一样,适用于用无线发送 OFDM 调制信号的发送装置内的调制部,对发送的 OFDM 调制信号进行交错处

理。图 12 是表示本例的调制部的构成的图,基带信号等发送数据 a_i 送给输入端子 161,对该输入端子 161 得到的发送数据 a_i 进行交错,同时进行 OFDM 调制。

[0135] 这里,将输入端子 161 得到的发送数据 a_i 送给两个移位寄存器 162、163 并存储起来。各移位寄存器 162、163 置位的数据按与交错模式对应的规定的顺序读出。在本例中,使该读出顺序在移位寄存器 162 与移位寄存器 163 相反。例如,移位寄存器 162 从开头读出置位后的数据,移位寄存器 163 从末尾读出置位后的数据。

[0136] 而且,各移位寄存器 162、163 输出的数据送给差动编码电路 164、165 进行差动编码,将在各电路中差动编码了的数据同时送给反付里叶变换电路 166 的 2 个输入端子 166a、166b。反付里叶变换电路 166 是进行正交变换处理的电路,通过反付里叶变换的运算处理将时间轴上的数据变换成频率轴上的数据并进行调制。这里,使用进行 N 点 (这里是 64 点) 变换处理的反付里叶变换电路,将变换后的数据作为 N 位 (64 位) 并行数据输出。

[0137] 这时,例如,从输入端子 166a 输入 0 ~ 31 的 32 点的数据,从输入端子 166b 输入 32 ~ 63 的 32 点的数据。因此,各移位寄存器 162、163 也是能够设置 32 点的数据的寄存器。

[0138] 而且,将该反付里叶变换电路 166 输出的并行数据送给并 / 串变换器 167,作为串行数据,将该串行数据作为 OFDM 调制了的数据 y_n 送给输出端子 168。输出端子 168 得到的 OFDM 调制了的数据 y_n 送给高频电路 (未图示),进行发送处理。

[0139] 通过进行上面说明的处理的本实施形态的构成,与第 5、第 6 实施形态的情况一样,交错处理所要的时间能够比过去缩短一半,唯独这样,也就能够缩短生成交错了的 OFDM 调制信号的处理所要的时间。而且,对于本实施形态,与第 6 实施形态的情况一样,因在反付里叶变换电路的输入部进行差动编码处理,故能够对差动编码了的数据进行 OFDM 调制,能够在差动编码了的数据的基础上进行高效率的 OFDM 调制。进而,对于本实施形态,因设定成从 2 个移位寄存器 162、163 读出数据的顺序相反,故能够使用更复杂的交错模式。具体地说,例如,当用第 6 实施形态的构成生成的 OFDM 调制信号是图 3B 所示的信号时,用本实施形态 (第 7 实施形态) 的构成生成的 OFDM 调制信号,其该图 3B 所示的信号点 39 ~ 63 (-25 ~ -1) 的数据排列与第 6 实施形态的情况相反。

[0140] 下面,参照图 13 ~ 图 14 说明本发明的第 8 实施形态。

[0141] 本例适用于接收无线发送来的 OFDM 调制信号的接收装置内的解调部,对接收的 OFDM 调制信号进行了交错处理。图 13 是表示本例解调部构成的图,作为接收的中间频率信号 (或基带信号) 的 OFDM 调制信号送给输入端子 11,将该输入端子 11 得到的 OFDM 调制信号送给串 / 并变换器,变换成规定位的 (这里是 64 位) 并行数据。

[0142] 串 / 并变换器 12 输出的 64 位并行数据送给付里叶变换电路 13,进行正交变换处理,通过快速付里叶变换的运算处理把频率轴上的数据变换成时间轴上的数据并进行解调,将 M 位数据生成 N 个点,在付里叶变换电路 13 的输出部具有的 N 个输出寄存器 (未图示) 中,1 个点 1 个点地设置 M 位的数据。作为 M 位的 N 点数据的一个例子,如下所示,例如,当输入的并行数据是 64 位时,1 个点由 12 位生成,该 12 位数据被 64 点生成。即,当把供给付里叶变换电路 13 的 64 位数据作为 $\{X_k\}$ 时, k 为 0 ~ 63,该数据 $\{X_k\}$ 被变换成 64 点的 12 位数据 $\{Y_n\}$ ($n = 0 \sim 63$)。在以下的说明中,将 1 点 12 位的数据作为被 64 点生成处理的数据进行说明。

[0143] 付里叶变换电路 13 输出的 64 点的 12 位数据 $\{Y_n\}$ 同时供给选择器 14。在该选择器 14 中,根据用来指定作为输出顺序数据生成装置的计数器 15 所输出的点的数据,对输出的点顺次进行选择处理,把该选出的点的 12 位数据 a_k 送给输出端子 16。

[0144] 计数器 15 是通过计数处理来生成用来按规定的顺序指定从 0 到 63 的 64 个点的数据的电路,这里,是与对接收的 OFDM 调制信号施加的交错模式对应的顺序,生成顺次指定各点的数据。

[0145] 这里,使用 6 位计数器,生成从 0 到 63 的值的的数据,例如,按照下面的表 2 所示的顺序进行计数处理,使其成为 0、5、10、15... 58、63。再有,在付里叶变换电路 13 中,每进行 1 单位的变换处理,都向计数器 15 输出输出脉冲,计数器 15 根据该输出脉冲的供给开始计数处理。此外,在这里说明的例子中,没有从 25 到 38 的计数值。

[0146] 【表 2】

[0147]

0	→	5	→	10	→	15	→	20	→	39	→	44	→	49	→	54	→	59
1	↔	6	→	11	→	16	→	21	→	40	→	45	→	50	→	55	→	60
2	↔	7	→	12	→	17	→	22	→	41	→	46	→	51	→	56	→	61
3	↔	8	→	13	→	18	→	23	→	42	→	47	→	52	→	57	→	62
4	↔	9	→	14	→	19	→	24	→	43	→	48	→	53	→	58	→	63

[0148] 当进行这样的计数处理时,供给选择器 14 的 64 点的 12 位数据 $\{Y_n\}$ 根据计数器 15 的计数输出顺次选择 50 个点,作为下面表 3 所示 12 位数据 a_k ($k = 0 \sim 49$) 顺序输出。

[0149] 图 14 是表示本例电路的解调处理状态的时序图,下面,说明其处理状态,与从输入端子 11 得到的接收数据同步了的时钟信号 (图 14A) 供给串 / 并变换器 12、付里叶变换电路 13 和计数器 15,用各电路与该时钟信号同步进行处理。首先,在最初的输入期间,与时钟信号同步的供给输入数据 (图 14B),在进行该 1 单位的输入数据的输入处理之后,从外部控制器 (未图示) 向付里叶变换电路 13 供给启动脉冲 (图 14C),付里叶变换电路 13 开始快速付里叶变换处理 (FFT 处理),如图 14D 所示那样,输入数据 $\{X_k\}$ 的变换处理在规定期间内进行。

[0150] 【表 3】($y_{25} \sim y_{38}$ 不使用)

[0151]

$a_0 \leftarrow y_0$	$a_{10} \leftarrow y_1$	$a_{20} \leftarrow y_2$	$a_{30} \leftarrow y_3$	$a_{40} \leftarrow y_4$
$a_1 \leftarrow y_5$	$a_{11} \leftarrow y_6$	$a_{21} \leftarrow y_7$	$a_{31} \leftarrow y_8$	$a_{41} \leftarrow y_9$
$a_2 \leftarrow y_{10}$	$a_{12} \leftarrow y_{11}$	$a_{22} \leftarrow y_{12}$	$a_{32} \leftarrow y_{13}$	$a_{42} \leftarrow y_{14}$
$a_3 \leftarrow y_{15}$	$a_{13} \leftarrow y_{16}$	$a_{23} \leftarrow y_{17}$	$a_{33} \leftarrow y_{18}$	$a_{43} \leftarrow y_{19}$
$a_4 \leftarrow y_{20}$	$a_{14} \leftarrow y_{21}$	$a_{24} \leftarrow y_{22}$	$a_{34} \leftarrow y_{23}$	$a_{44} \leftarrow y_{24}$
$a_5 \leftarrow y_{39}$	$a_{15} \leftarrow y_{40}$	$\bar{a}_{25} \leftarrow y_{41}$	$a_{35} \leftarrow y_{42}$	$a_{45} \leftarrow y_{43}$
$a_6 \leftarrow y_{44}$	$a_{16} \leftarrow y_{45}$	$a_{26} \leftarrow y_{46}$	$a_{36} \leftarrow y_{47}$	$a_{46} \leftarrow y_{48}$
$a_7 \leftarrow y_{49}$	$a_{17} \leftarrow y_{50}$	$a_{27} \leftarrow y_{51}$	$a_{37} \leftarrow y_{52}$	$a_{47} \leftarrow y_{53}$
$a_8 \leftarrow y_{54}$	$a_{18} \leftarrow y_{55}$	$a_{28} \leftarrow y_{56}$	$a_{38} \leftarrow y_{57}$	$a_{48} \leftarrow y_{58}$
$a_9 \leftarrow y_{59}$	$a_{19} \leftarrow y_{60}$	$a_{29} \leftarrow y_{61}$	$a_{39} \leftarrow y_{62}$	$a_{49} \leftarrow y_{63}$

[0152] 当进行了该付里叶变换处理后,如图 14E 所示那样,对该变换处理后的 64 点的数据 $\{Y_n\}$ 进行输出处理,再供给选择器 14。这里,当付里叶变换电路 13 开始输出时,从付里叶变换电路 13 向计数器 15 供给与该输出同步的输出脉冲(图 14F)。该输出脉冲也可以由其它电路向计数器 15 供给。

[0153] 当向计数器 15 供给该输出脉冲后,如上述表 2 等那样,按预定的顺序进行与时钟信号同步的计数处理,计数器的输出(图 14G)供给选择器 14,构成 64 点的数据 $\{Y_n\}$ 的数据按指定的顺序 1 个点 1 个点地输出。只是,在该例中,因计数器 15 对从 25 到 38 的值不计数,故 0~63 的 64 点的数据中的从 25 到 38 的 14 点的数据没有被选出,输出端子 16 也得不到这些数据。

[0154] 当进行这样的变换处理时,对具有已说明过的图 3A 所示的频谱的 OFDM 调制信号进行正交变换并解调。即,作为付里叶变换电路 13 的输入数据 $\{X_k\}$ 是在频率轴上以一定间隔配置的 $n = 0 \sim 24$ 的数据和 $n = 39 \sim 63$ 的数据,该频率轴上配置的数据变成正交变换后的数据 $\{Y_n\}$,从付里叶变换电路 13 输出,通过选择该数据 $\{Y_n\}$ 的点的选择电路 14 的选择处理,输出端子 16 能够得到以被解交错了的排列的数据 a_k 。付里叶变换电路 13 的变换处理如下面的【2】式所示。

$$[0155] \quad y_n = \sum_{k=0}^{63} x_k e^{j \frac{2\pi k n}{64}} \quad \cdots [2] \cdots (2) \text{ 式}$$

[0156] 在该如 3A 所示的频谱中,数据被分成 2 个组,但如图 3B 所示那样,该频谱与以 $k = 0$ 为中心的 1 个连续频谱等效。当用图 3B 所示那样的连续频谱表示时,付里叶变换电路 13 的变换式变成如下面的【3】式那样。

$$[0157] \quad y_n = \sum_{k=-25}^{24} x_k e^{j \frac{2\pi k n}{64}} \quad \cdots [3] \cdots (3) \text{ 式}$$

[0158] 通过进行上面说明的处理的本实施形态的构成,当接收交错处理了的 OFDM 信号后进行正交变换处理时,只通过选择电路 14 选择付里叶变换电路 13 的变换输出,就能够进行解交错处理,将交错后的数据复原到原来的排列状态。因此,不必象过去那样,需要存储器或解交错用的布线变更处理来进行解交错处理,用简单的构成就能进行 OFDM 调制信号

的解交错处理,能够使解调交错处理后的 OFDM 调制信号的构成简单。例如,与进行解交错用的布线变更处理(参照图 29)的情况相比,不需要并/串变换器,能够大幅度地减小从输入端子 11 到输出端子 16(相当图 29 的端子 5a 到端子 5f)之间电路规模,组装与该部分相当的电路的电路板的面积与进行解交错用的布线变更处理的情况相比可以做到大约只有原来的 1/3。与使用存储器进行解交错的情况相比,电路板也可以减小同样的面积。

[0159] 此外,关于解调处理所要的时间,因选择器 14 的选择处理与付里叶变换电路 13 的输出同时进行,故该选择处理不需要额外的时间,不象使用存储器等进行解交错处理那样,用于解交错处理的处理时间很长。

[0160] 下面,参照图 15 说明本发明的第 9 实施形态。本例与上述第 8 实施形态一样,适用于接收无线发送来的 OFDM 调制信号的接收装置内的解调部,对接收的 OFDM 调制信号进行了交错处理。图 15 是表示本例解调部构成的图,作为接收的中间频率信号(或基带信号)的 OFDM 调制信号送给输入端子 21,将该输入端子 21 得到的 OFDM 调制信号送给串/并变换器 22,变换成规定位的并行数据。

[0161] 串/并变换器 22 输出的并行数据送给付里叶变换电路 23,进行正交变换处理,通过快速付里叶变换的运算处理把频率轴上的数据变换成时间轴上的数据并进行解调,将 M 位数据生成 N 个点,在付里叶变换电路 23 的输出部具有的 N 个输出寄存器(未图示)中,1 个点 1 个点设置 M 位的数据。

[0162] 付里叶变换电路 23 输出的 N 点的数据同时供给选择器 24。在该选择器 24 中,根据用来指定作为输出顺序数据生成装置的移位寄存器 25 输出的点的数据,对输出的点顺次进行选择处理,把该选出的点的数据送给输出端子 26。

[0163] 移位寄存器 25 是按其输出顺序存储用来指定选出的点的数据的寄存器(在这里,例如存储 50 个字),通过从付里叶变换电路 23 等供给输出脉冲,在每一个时钟周期内 1 个字 1 个字输出它所存储的多个字的数据,并送给选择器 24。这时,存储的多个字输出的顺序是与对接收的 OFDM 调制信号施加的交错模式对应的顺序,预先设定该顺序,使其输出顺次指定各个点的数据。

[0164] 其余的部分与在上述第 8 实施形态中说明过的构成相同,付里叶变换电路 23 的变换处理也与在第 8 实施形态中说明过的付里叶变换电路 13 的处理完全相同。

[0165] 该第 9 实施形态的构成,因使用了移位寄存器作为输出顺序数据生成装置,故能够以移位寄存器存储数据的顺序进行解交错处理,即使是复杂的交错模式,只要将该移位寄存器设置的数据作为对应的数据,就容易对付。

[0166] 下面,参照图 16 说明本发明的第 10 实施形态。本例与上述第 8、第 9 实施形态一样,适用于接收无线发送来的 OFDM 调制信号的接收装置内的解调部,对接收的 OFDM 调制信号进行了交错处理。图 16 是表示本例解调部构成的图,作为接收的中间频率信号(或基带信号)的 OFDM 调制信号送给输入端子 31,将该输入端子 31 得到的 OFDM 调制信号送给串/并变换器 32,变换成规定位的并行数据。

[0167] 串/并变换器 32 输出的并行数据送给付里叶变换电路 33,进行正交变换处理,通过快速付里叶变换的运算处理把频率轴变换成时间轴并进行解调,将 M 位数据生成 N 个点,在付里叶变换电路 33 的输出部具有的 N 个输出寄存器(未图示)中,1 个点 1 个点地设置 M 位的数据。

[0168] 付里叶变换电路 33 输出的 N 点的数据分别同时供给第 1 选择器 34 和第 2 选择器 35。在第 1 选择器 34 中,根据用来指定作为输出顺序数据生成装置的第 1 计数器 36 输出的点的数据,对输出的点顺次进行选择处理,把该选出的点的数据送给输出端子 38。在第 2 选择器 35 中,根据用来指定作为输出顺序生成装置的第 2 计数器 37 输出的点的数据,进行顺次选择输出的点的处理,把该选出的点的数据送给输出端子 39。

[0169] 第 1、第 2 计数器 36、37 是用计数处理生成用来按规定的顺序指定 N 点的数据的电路,在这里,是按与对接收的 OFDM 调制信号施加的交错模式对应的顺序生成顺次指定各点的数据,通过从付里叶变换电路 33 等供给输出脉冲,进行该数据的生成处理。只是,在本例的情况下,从第 1 计数器 36 输出计数数据的时序与从第 2 计数器 37 输出计数数据的时序不同(例如是相差规定相位的时序)。

[0170] 其余的部分与在上述第 8 实施形态中说明过的构成相同,付里叶变换电路 33 的变换处理也与在第 8 实施形态中说明过的付里叶变换电路 13 的处理完全相同。

[0171] 该第 10 实施形态的构成,因作为正交变换了的数据能够得到时序不同的两个系统的数据,故当必需进行解调处理或译码处理时,两个系统的接收数据是很合适的。再有,在第 10 实施形态中说明过的图 16 的构成中,作为输出顺序数据生成装置使用了计数器 36、37,但也可以象在第 9 实施形态中说明过的那样,使用移位寄存器。

[0172] 下面,参照图 17 说明本发明的第 11 实施形态。本例与上述各实施形态一样,适用于接收无线发送来的 OFDM 调制信号的接收装置内的解调部,对接收的 OFDM 调制信号进行了交错处理。图 17 是表示本例解调部构成的图,作为接收的中间频率信号(或基带信号)的 OFDM 调制信号送给输入端子 41,将该输入端子 41 得到的 OFDM 调制信号送给串/并变换器 42,变换成规定位的并行数据。

[0173] 串/并变换器 42 输出的并行数据送给付里叶变换电路 43,进行正交变换处理,通过快速付里叶变换的运算处理把频率轴变换成时间轴并进行解调,将 M 位数据生成 N 个点,在付里叶变换电路 43 的输出部具有的 N 个输出寄存器(未图示)中,1 个点 1 个点地设置 M 位的数据。

[0174] 付里叶变换电路 43 输出的 N 点的数据分别同时供给第 1 选择器 44 和第 2 选择器 45。在第 1 选择器 44 中,根据用来指定作为输出顺序数据生成装置的第 1 计数器 46 输出的点的数据,对输出的点顺次进行选择处理,把该选出的点的数据送给差动解调电路 48 的一个输入部。在第 2 选择器 45 中,根据用来指定作为输出顺序数据生成装置的第 2 计数器 47 输出的点的数据,对输出的点顺次进行选择处理,把该选出的点的数据送给差动解调电路 48 的另一个输入部。

[0175] 第 1、第 2 计数器 46、47 是用计数处理生成用来按规定的顺序指定 N 点的数据的电路,在这里,是按与对接收的 OFDM 调制信号施加的交错模式对应的顺序生成顺次指定各点的数据,通过从付里叶变换电路 43 等供给输出脉冲,进行该数据的生成处理。但是,在本例的情况下,从第 1 计数器 46 输出计数数据的时序与从第 2 计数器 47 输出计数数据的时序不同(例如是相差规定相位的时序)。

[0176] 在差动解调电路 48 中,使用移相了规定的相位后再送来的两个系统的数据并进行差动解调处理,得到差动解调后的解调数据,从输出端子 49 将该解调数据送给下一级电路。

[0177] 其余的部分与在上述各实施形态中说明过的构成相同,付里叶变换电路 43 的变换处理也与在第 8 实施形态中说明过的付里叶变换电路 13 的处理完全相同。

[0178] 该第 11 实施形态的构成,因作为正交变换了的数据得到位相错开了的两个系统的数据,用差动解调电路根据该两个系统的接收数据进行差动解调处理,故通过差动解调处理可以得到很好的解调数据,同时,差动解调所必需的两个系统的接收数据可以通过简单的构成进行解交错处理得到,能够通过简单的构成实现对交错处理了的 OFDM 调制信号进行接收和解调。再有,在第 11 实施形态中说明过的图 17 的构成中,作为输出顺序数据生成装置使用了计数器 46、47,但也可以象在第 9 实施形态中说明过的那样,使用移位寄存器。

[0179] 下面,参照图 18 说明本发明的第 12 实施形态。本例与上述各实施形态一样,适用于接收无线发送来的 OFDM 调制信号的接收装置内的解调部,对接收的 OFDM 调制信号进行了交错处理。图 18 是表示本例解调部构成的图,作为接收的中间频率信号(或基带信号)的 OFDM 调制信号送给输入端子 51,将该输入端子 51 得到的 OFDM 调制信号送给串/并变换器 52,变换成规定位的并行数据。

[0180] 串/并变换器 52 输出的并行数据送给付里叶变换电路 53,进行正交变换处理,通过快速付里叶变换的运算处理把频率轴变换成时间轴并进行解调,将 M 位数据生成 N 个点,在付里叶变换电路 53 的输出部具有的 N 个输出寄存器(未图示)中,1 个点 1 个点地设置 M 位的数据。

[0181] 付里叶变换电路 53 输出的 N 点的数据分别同时供给第 1 选择器 54 和第 2 选择器 55。在第 1 选择器 54 中,通过直接供给用来指定作为输出顺序数据生成装置的计数器 56 输出的点的数据,对输出的点顺次进行选择处理,把该选出的点的数据送给差动解调电路 58 的一个输入部。在第 2 选择器 55 中,利用延迟电路 57 把指定计数器 56 输出的点的数据延迟规定的相位,根据该延迟的数据对输出的点顺次进行选择处理,把该选出的点的数据送给差动解调电路 58 的另一个输入部。

[0182] 计数器 56 是用计数处理生成用来按规定的顺序指定 N 点的数据的电路,在这里,是按与对接收的 OFDM 调制信号施加的交错模式对应的顺序生成顺次指定各点的数据,通过从付里叶变换电路 53 等供给输出脉冲,进行该数据的生成处理。

[0183] 在差动解调电路 58 中,使用移相了规定的相位后再送来的两个系统的数据进行差动解调处理,得到差动解调后的解调数据,从输出端子 59 将该解调数据送给下一级电路。

[0184] 其余的部分与在上述各实施形态中说明过的构成相同,付里叶变换电路 53 的变换处理也与在第 8 实施形态中说明过的付里叶变换电路 13 的处理完全相同。

[0185] 该第 12 实施形态的构成,因作为正交变换了的数据得到位相错开了的两个系统的数据,用差动解调电路 58 根据该两个系统的接收数据进行差动解调处理,故与第 11 实施形态的情况一样,通过差动解调处理可以得到很好的解调数据,而且,本实施形态的构成是,将 1 个计数器 56 的计数输出直接供给第 1 选择器 54,同时,经延迟电路 57 延迟规定的相位后供给第 2 选择器 55,所以,只设置 1 个计数器等来作为输出顺序数据生成装置,就能够以恰当的时序进行 2 个选择器 54、55 的选择处理,这样就能够使构成简单。再有,在第 12 实施形态中说明过的图 18 的构成中,作为输出顺序数据生成装置使用了计数器 56,但也可

以象在第 9 实施形态中说明过的那样,使用移位寄存器。

[0186] 下面,参照图 19 说明本发明的第 13 实施形态。本例与上述各实施形态一样,适用于接收无线发送来的 OFDM 调制信号的接收装置内的解调部,对接收的 OFDM 调制信号进行了交错处理。图 19 是表示本例解调部构成的图,作为接收的中间频率信号(或基带信号)的 OFDM 调制信号送给输入端子 61,将该输入端子 61 得到的 OFDM 调制信号送给串/并变换器 62,变换成规定位的并行数据。

[0187] 串/并变换器 62 输出的并行数据送给付里叶变换电路 63,进行正交变换处理,通过快速付里叶变换的运算处理把频率轴变换成时间轴并进行解调,将 M 位数据生成 N 个点,在付里叶变换电路 63 的输出部具有的 N 个输出寄存器(未图示)中,1 个点 1 个点地设置 M 位的数据。

[0188] 付里叶变换电路 63 输出的 N 点的数据分别同时供给第 1 选择器 64 和第 2 选择器 65。在第 1 选择器 64 中,根据用来指定作为输出顺序数据生成装置的第 1 计数器 66 输出的点的数据,对输出的点顺次进行选择处理,把该选出的点的数据送给维特比译码器 68 的一个输入部。在第 2 选择器 65 中,根据用来指定作为输出顺序数据生成装置的第 2 计数器 67 输出的点的数据,对输出的点顺次进行选择处理,把该选出的点的数据送给维特比译码器 68 的另一个输入部。

[0189] 第 1、第 2 计数器 66、67 是通用计数处理生成用来按规定的顺序指定 N 点的数据的电路,在这里,是按与对接收的 OFDM 调制信号施加的交错模式对应的顺序生成顺次指定各点的数据,通过从付里叶变换电路 63 等供给输出脉冲,进行该数据的生成处理。但是,在本例的情况下,从第 1 计数器 66 输出计数数据的时序与从第 2 计数器 67 输出计数数据的时序不同(例如是相差规定相位的时序)。

[0190] 在维特比译码器 68 中,使用移相了规定的相位后再送来的两个系统的数据进行维特比译码处理,得到维特比译码后的译码数据,从输出端子 69 将该译码数据送给下一级电路。

[0191] 其余的部分与在上述各实施形态中说明过的构成相同,付里叶变换电路 63 的变换处理也与在第 8 实施形态中说明过的付里叶变换电路 13 的处理完全相同。

[0192] 该第 13 实施形态的构成,因作为正交变换了的数据得到位相错开了的两个系统的数据,用维特比译码器 68 根据该两个系统的接收数据进行维特比译码,故通过维特比译码处理可以得到很好的译码数据,同时,维特比译码所必需的两个系统的接收数据可以通过简单的构成进行解交错处理得到,能够通过简单的构成实现对交错处理了的 OFDM 调制信号进行接收和译码。再有,在第 13 实施形态中说明过的图 19 的构成中,作为输出顺序数据生成装置使用了计数器 66、67,但也可以象在第 9 实施形态中说明过的那样,使用移位寄存器。

[0193] 下面,参照图 20 说明本发明的第 14 实施形态。本例与上述各实施形态一样,适用于接收无线发送来的 OFDM 调制信号的接收装置内的解调部,对接收的 OFDM 调制信号进行了交错处理。图 20 是表示本例解调部构成的图,作为接收的中间频率信号(或基带信号)的 OFDM 调制信号送给输入端子 71,将该输入端子 71 得到的 OFDM 调制信号送给串/并变换器 72,变换成规定位的并行数据。

[0194] 串/并变换器 72 输出的并行数据送给付里叶变换电路 73,进行正交变换处理,通

过快速付里叶变换的运算处理把频率轴变换成时间轴并进行解调,将M位数据生成N个点,在付里叶变换电路73的输出部具有的N个输出寄存器(未图示)中,1个点1个点地设置M位的数据。

[0195] 付里叶变换电路73输出的N点的数据分别同时供给第1、第2、第3和第4选择器74a、74b、74c和74d。在第1选择器74a中,通过直接供给用来指定作为输出顺序数据生成装置的第1计数器75a输出的点的数据,对输出的点顺次进行选择处理,把该选出的点的数据送给第1差动解调电路77a的一个输入部。在第2选择器74b中,利用延迟电路76a把指定第1计数器75a输出的点的数据延迟规定的相位,根据该延迟的数据对输出的点顺次进行选择处理,把该选出的点的数据送给第1差动解调电路77a的另一个输入部。

[0196] 在第3选择器74c中,通过直接供给用来指定作为输出顺序数据生成装置的第2计数器75b输出的点的数据,对输出的点顺次进行选择处理,把该选出的点的数据送给第2差动解调电路77b的一个输入部。在第4选择器74d中,利用延迟电路76b把指定第2计数器75b输出的点的数据延迟规定的相位,对输出的点顺次进行选择处理,把该选出的点的数据送给第2差动解调电路77b的另一个输入部。

[0197] 第1、第2计数器75a、75b是用计数处理生成用来按规定的顺序指定N点的数据的电路,在这里,是按与对接收的OFDM调制信号施加的交错模式对应的顺序生成顺次指定各点的数据,通过从付里叶变换电路73等供给输出脉冲,进行该数据的生成处理。这时,第1、第2计数器75a、75b计数的时序是错开了规定量的时序。

[0198] 在第1、第2差动解调电路77a、77b中,使用分别移相了规定的相位后再送来的两个系统的数据进行差动解调处理,得到差动解调后的解调数据,把该各解调电路77a、77b的解调数据送给维特比译码器78的一个和另一个输入部。在维特比译码器78中,使用送来的两个系统的解调数据进行维特比译码处理,得到维特比译码后的译码数据,从输出端子79将该译码数据送给下一级电路。

[0199] 其余的部分与在上述第8实施形态后的各实施形态中说明过的构成相同,付里叶变换电路73的变换处理也与在第8实施形态中说明过的付里叶变换电路13的处理完全相同。

[0200] 该第14实施形态的构成,因作为正交变换了的数据得到相位错开了的4个系统的数据,用2组差动解调电路77a、77b根据该4个系统的接收数据分别进行差动解调处理,用维特比译码器78根据该2组差动解调数据进行维特比译码处理,故根据差动解调后的数据能够很好地进行维特比译码处理。而且,本实施形态的构成是,将各计数器75a、75b的计数输出直接供给第1、第3选择器74a、74c,同时,经延迟电路76a、76b延迟规定的相位后供给第2、第4选择器74b、74d,所以,只设置2个计数器等来作为2个输出顺序数据生成装置,就能够以恰当的时序进行4个选择器74a~74d的选择处理,这样就能够使构成简单。再有,在该第14实施形态中说明过的图20的构成中,作为输出顺序数据生成装置使用了计数器,但也可以象在第9实施形态中说明过的那样,使用移位寄存器。

[0201] 下面,参照图21说明本发明的第15实施形态。本例与上述各实施形态一样,适用于接收无线发送来的OFDM调制信号的接收装置内的解调部,对接收的OFDM调制信号进行了交错处理。图21是表示本例解调部构成的图,作为接收的中间频率信号(或基带信号)的OFDM调制信号送给输入端子81,将该输入端子81得到的OFDM调制信号送给串/并变换

器 82, 变换成规定位的并行数据。

[0202] 串 / 并变换器 82 输出的并行数据送给付里叶变换电路 83, 进行正交变换处理, 通过快速付里叶变换的运算处理把频率轴变换成时间轴并进行解调, 将 M 位数据生成 N 个点, 在付里叶变换电路 83 的输出部具有的 N 个输出寄存器 (未图示) 中, 1 个点 1 个点地设置 M 位的数据。

[0203] 付里叶变换电路 83 输出的 N 点的数据分别同时供给第 1、第 2、第 3 和第 4 选择器 84a、84b、84c 和 84d。在第 1 选择器 84a 中, 根据用来指定作为输出顺序数据生成装置的第 1 计数器 85a 所输出的点的数据, 对输出的点顺次进行选择处理, 把该选出的点的数据送给第 1 差动解调电路 86a 的一个输入部。在第 2 选择器 84b 中, 根据用来指定第 2 计数器 85b 所输出的点的数据, 对输出的点顺次进行选择处理, 把该选出的点的数据送给第 1 差动解调电路 86a 的另一个输入部。

[0204] 在第 3 选择器 84c 中, 通过供给用来指定作为输出顺序数据生成装置的第 3 计数器 85c 输出的点的数据, 对输出的点顺次进行选择处理, 把该选出的点的数据送给第 2 差动解调电路 86b 的一个输入部。在第 4 选择器 84d 中, 通过供给用来指定第 4 计数器 85d 输出的点的数据, 对输出的点顺次进行选择处理, 把该选出的点的数据送给第 2 差动解调电路 86b 的另一个输入部。

[0205] 各计数器 85a ~ 85d 是用计数处理生成用来按规定的顺序指定 N 点的数据的电路, 在这里, 是按与对接收的 OFDM 调制信号施加的交错模式对应的顺序生成顺次指定各点的数据, 通过从付里叶变换电路 83 等供给输出脉冲, 进行该数据的生成处理。这时, 对各计数器 85a ~ 85d 计数的时序设定成每一个都错开了规定量的时序。

[0206] 在第 1、第 2 差动解调电路 86a、86b 中, 使用分别移相了规定的相位后再送来的两个系统的数据进行差动解调处理, 得到差动解调后的解调数据, 把该各解调电路 86a、86b 的解调数据送给维特比译码器 87 的一个和另一个输入部。在维特比译码器 87 中, 使用送来的两个系统的解调数据进行维特比译码处理, 得到维特比译码后的译码数据, 从输出端子 88 将该译码数据送给下一级电路。

[0207] 其余的部分与在上述第 8 实施形态后的各实施形态中说明过的构成相同, 付里叶变换电路 83 的变换处理也与在第 8 实施形态中说明过的付里叶变换电路 13 的处理完全相同。

[0208] 该第 15 实施形态的构成, 因作为正交变换了的数据得到相位错开了的 4 个系统的数据, 用 2 组差动解调电路 86a、86b 根据该 4 个系统的接收数据分别进行差动解调处理, 用维特比译码器 87 根据该 2 组差动解调数据进行维特比译码处理, 故根据差动解调后的数据能够很好地进行维特比译码处理。而且, 本实施形态的构成, 因分别使用各个输出顺序数据生成装置来生成被 4 个选择器选择的数据, 用各选择器能够以恰当的时序个别进行选择处理, 能够很好地进行处理。再有, 在该第 15 实施形态中说明过的图 21 的构成中, 作为输出顺序数据生成装置使用了计数器, 但也可以象在第 9 实施形态中说明过的那样, 使用移位寄存器。

[0209] 下面, 参照图 22 说明本发明的第 16 实施形态。本例与上述各实施形态一样, 适用于接收无线发送来的 OFDM 调制信号的接收装置内的解调部, 对接收的 OFDM 调制信号进行了交错处理。图 22 是表示本例解调部构成的图, 作为接收的中间频率信号 (或基带信号)

的 OFDM 调制信号送给输入端子 91, 将该输入端子 91 得到的 OFDM 调制信号送给串 / 并变换器 92, 变换成规定位的并行数据。

[0210] 串 / 并变换器 92 输出的并行数据送给付里叶变换电路 93, 进行正交变换处理, 通过快速付里叶变换的运算处理把频率轴变换成时间轴并进行解调, 将 M 位数据生成 N 个点, 在付里叶变换电路 93 的输出部具有的 N 个输出寄存器 (未图示) 中, 1 个点 1 个点地设置 M 位的数据。

[0211] 付里叶变换电路 93 输出的 N 点的数据分别同时供给第 1、第 2、第 3 和第 4 选择器 94a、94b、94c 和 94d。在第 1 选择器 94a 中, 对用来指定作为输出顺序数据生成装置的计数器 95a 输出的点的数据, 利用加法器 97 加上规定值 (恒定的值) 的运算处理后的数据, 对利用该数据输出的点顺次进行选择处理, 把该选出的点的数据送给第 1 差动解调电路 98a 的一个输入部。在第 2 选择器 94b 中, 对用来指定计数器 95 输出的点的数据, 提供将进行了用加法器 97 加上规定值 (恒定值) 的运算处理后的数据, 进一步用延迟电路 96b 延迟了规定相位后的数据, 作为指定输出点的数据, 将利用该数据所选出的点的数据送给第 1 差动解调电路 98a 的另一个输入部。

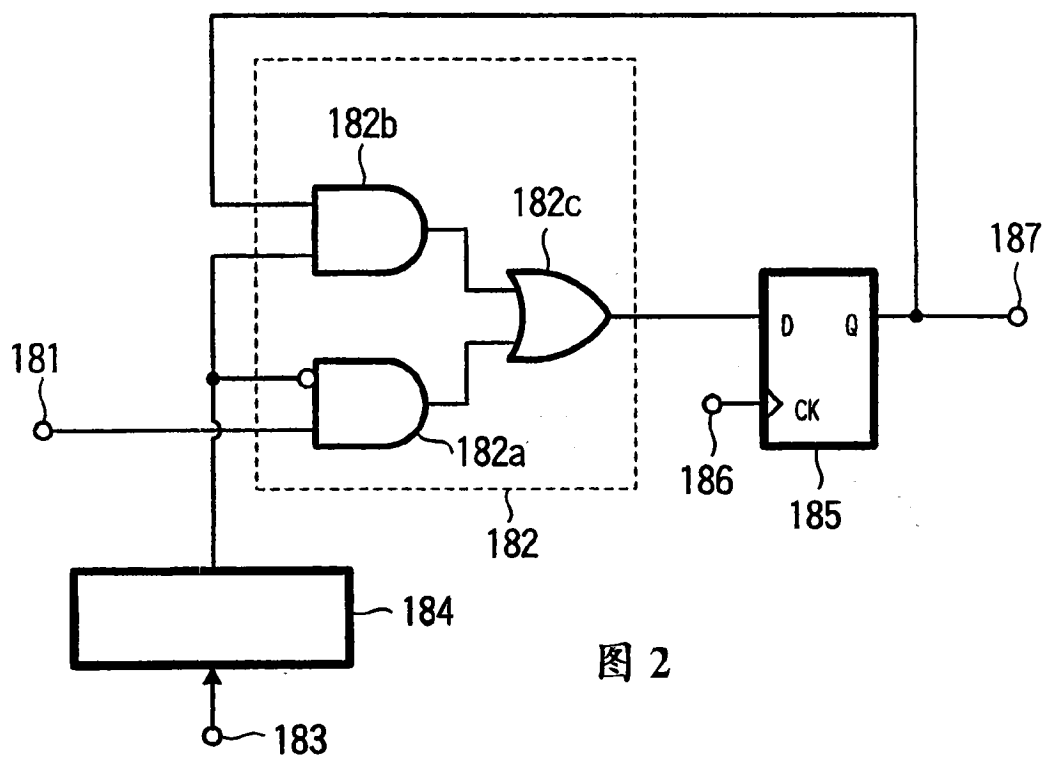
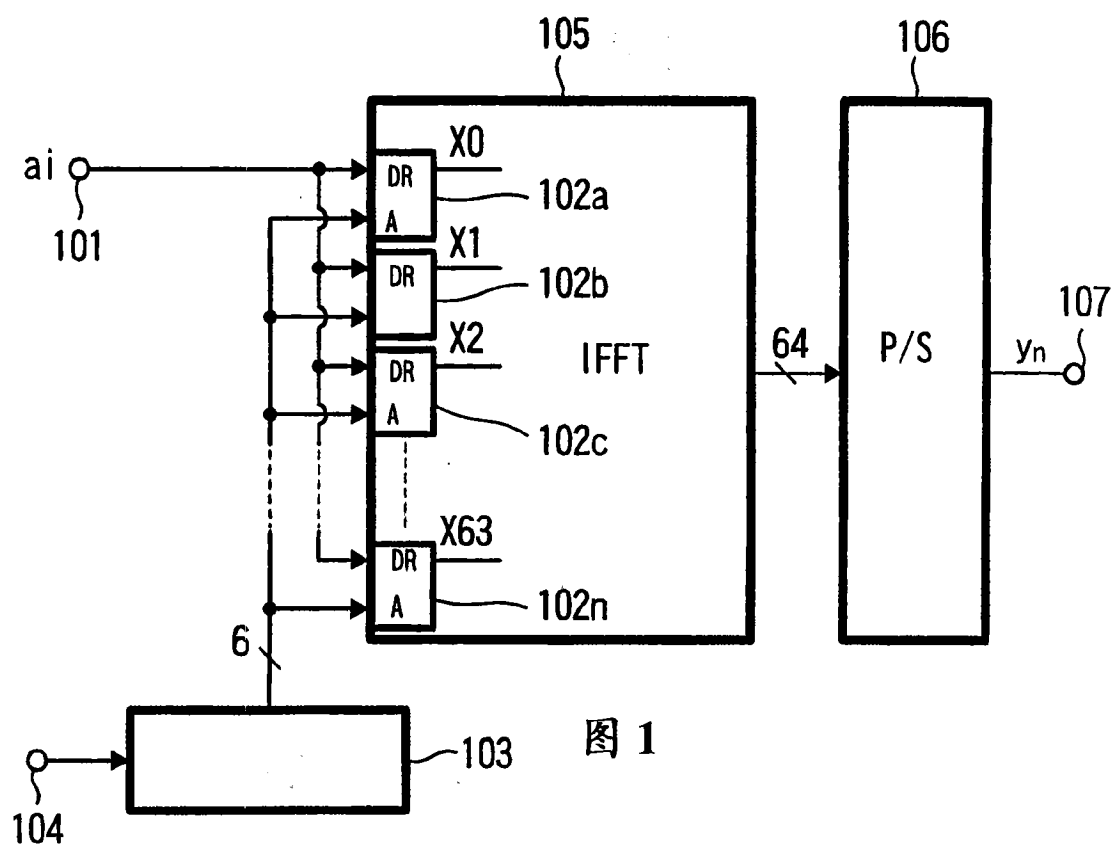
[0212] 在第 3 选择器 94c 中, 直接供给用来指定计数器 95 所输出的点的数据, 作为指定输出点的数据, 把利用该数据所选出的点的数据送给第 2 差动解调电路 98b 的一个输入部。在第 4 选择器 94d 中, 提供把指定计数器 95 所输出的点的数据用延迟电路 96a 延迟规定的相位的数据, 作为指定输出点的数据, 把利用该数据选出的点的数据送给第 2 差动解调电路 98b 的另一个输入部。

[0213] 计数器 95 是用计数处理生成用来按规定的顺序指定 N 点的数据的电路, 在这里, 是按与对接收的 OFDM 调制信号施加的交错模式对应的顺序生成顺次指定各点的数据, 通过从付里叶变换电路 93 等供给输出脉冲, 进行该数据的生成处理。

[0214] 在第 1、第 2 差动解调电路 98a、98b 中, 使用分别移相了规定的相位后再送来的两个系统的数据进行差动解调处理, 得到差动解调后的解调数据, 把该各解调电路 98a、98b 的解调数据送给维特比译码器 99 的一个和另一个输入部。在维特比译码器 99 中, 使用送来的两个系统的解调数据进行维特比译码处理, 得到维特比译码后的译码数据, 从输出端子 100 将该译码数据送给下一级电路。

[0215] 其余的部分与在上述各实施形态中说明过的构成相同, 付里叶变换电路 93 的变换处理也与在第 8 实施形态中说明过的付里叶变换电路 13 的处理完全相同。

[0216] 该第 16 实施形态的构成, 因作为正交变换了的数据得到位相错开了的 4 个系统的数据, 用 2 组差动解调电路 98a、98b 根据该 4 个系统的接收数据分别进行差动解调处理, 用维特比译码器 99 根据该 2 组差动解调数据进行维特比译码处理, 故根据差动解调后的数据能够很好地进行维特比译码处理。而且, 本实施形态的构成, 因只设置 1 个计数器作为输出顺序数据生成装置的计数器, 通过对该 1 个计数器的输出数据进行延迟和加法运算处理, 用 4 个选择器以恰当的时序进行选择处理, 故能够使输出顺序数据生成装置的构成简单, 能够使电路结构简单。再有, 在该第 16 实施形态中说明过的图 22 的构成中, 作为输出顺序数据生成装置使用了计数器, 但也可以象在第 9 实施形态中说明过的那样, 使用移位寄存器。



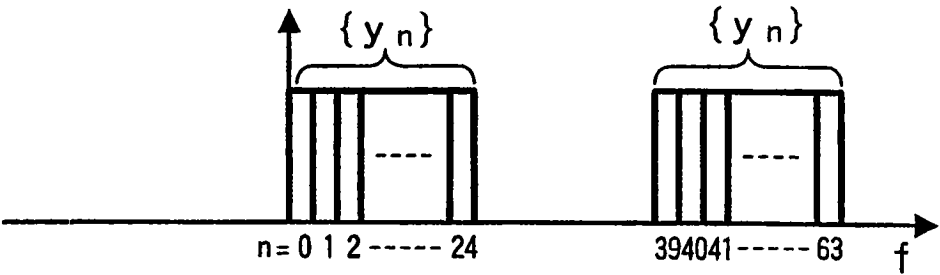


图 3A

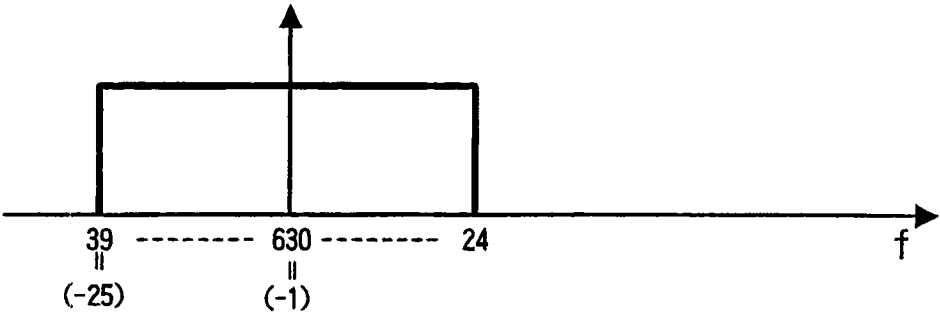


图 3B

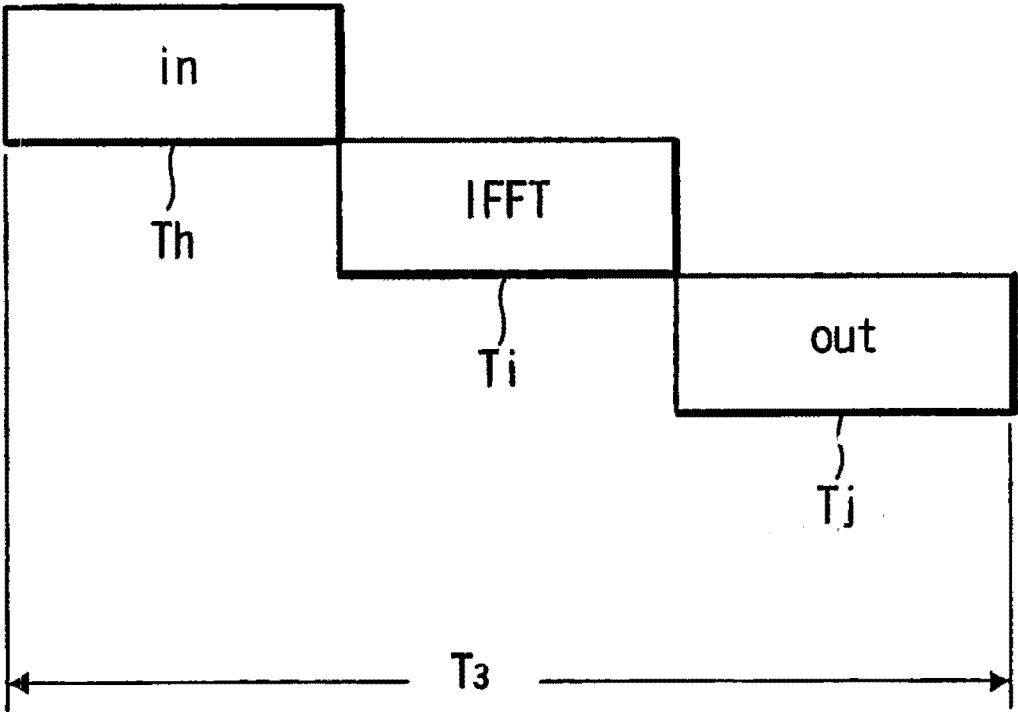


图 4

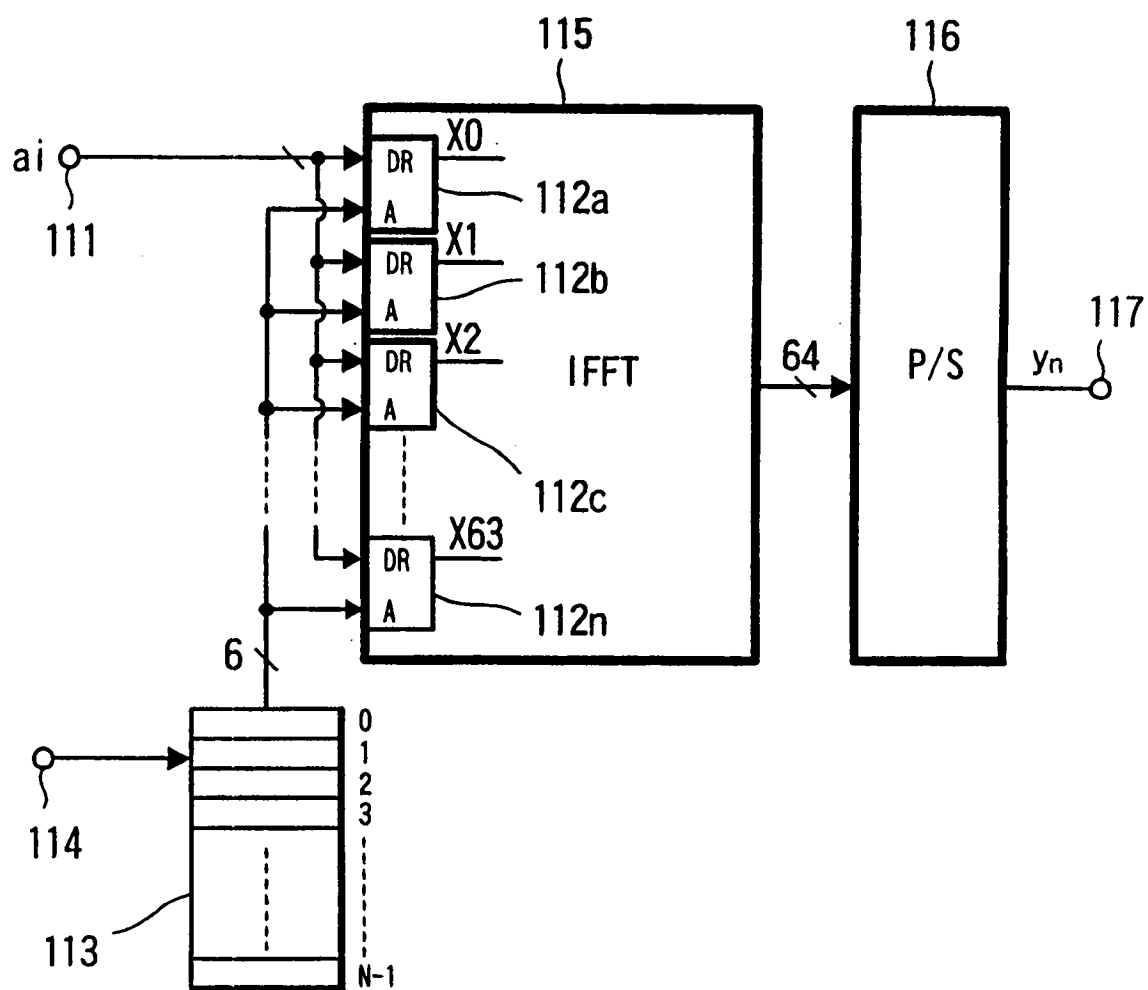


图 5

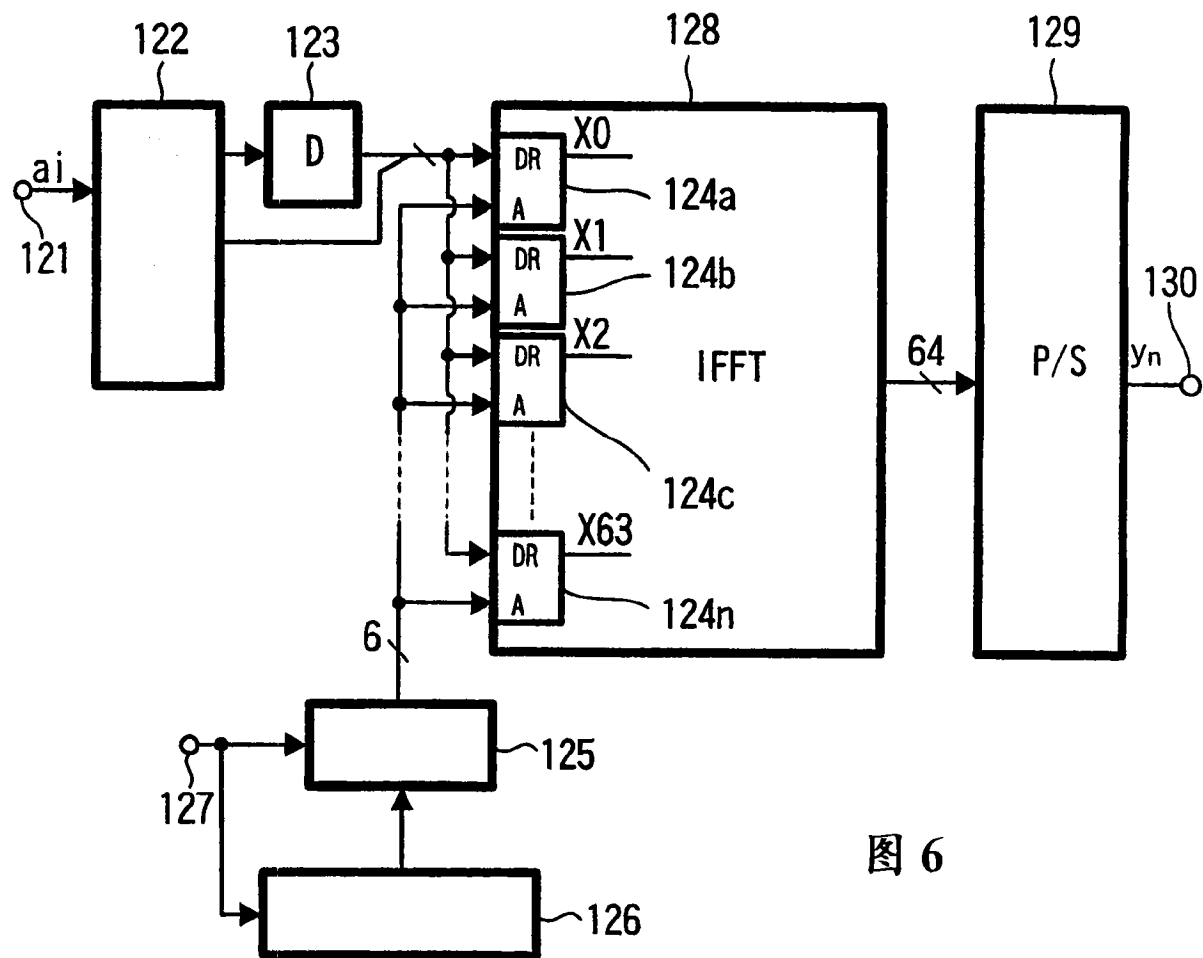


图 6

图 7A

g_{10}	g_{11}	g_{12}	g_{13}	g_{14}	g_{15}	g_{16}
g_{21}	g_{22}	g_{23}	g_{24}	g_{25}	g_{26}	g_{27}

图 7B



图 7C

0	5	5	10	15	15	20
---	---	---	----	----	----	----

图 7D

x_0	x_5	x_5	x_{10}	x_{15}	x_{15}	x_{20}
$\begin{pmatrix} g_{10} \\ g_{21} \end{pmatrix}$	$\begin{pmatrix} g_{12} \\ g_{23} \end{pmatrix}$	$\begin{pmatrix} g_{13} \\ g_{24} \end{pmatrix}$	$\begin{pmatrix} g_{15} \\ g_{26} \end{pmatrix}$	$\begin{pmatrix} g_{16} \\ g_{27} \end{pmatrix}$		

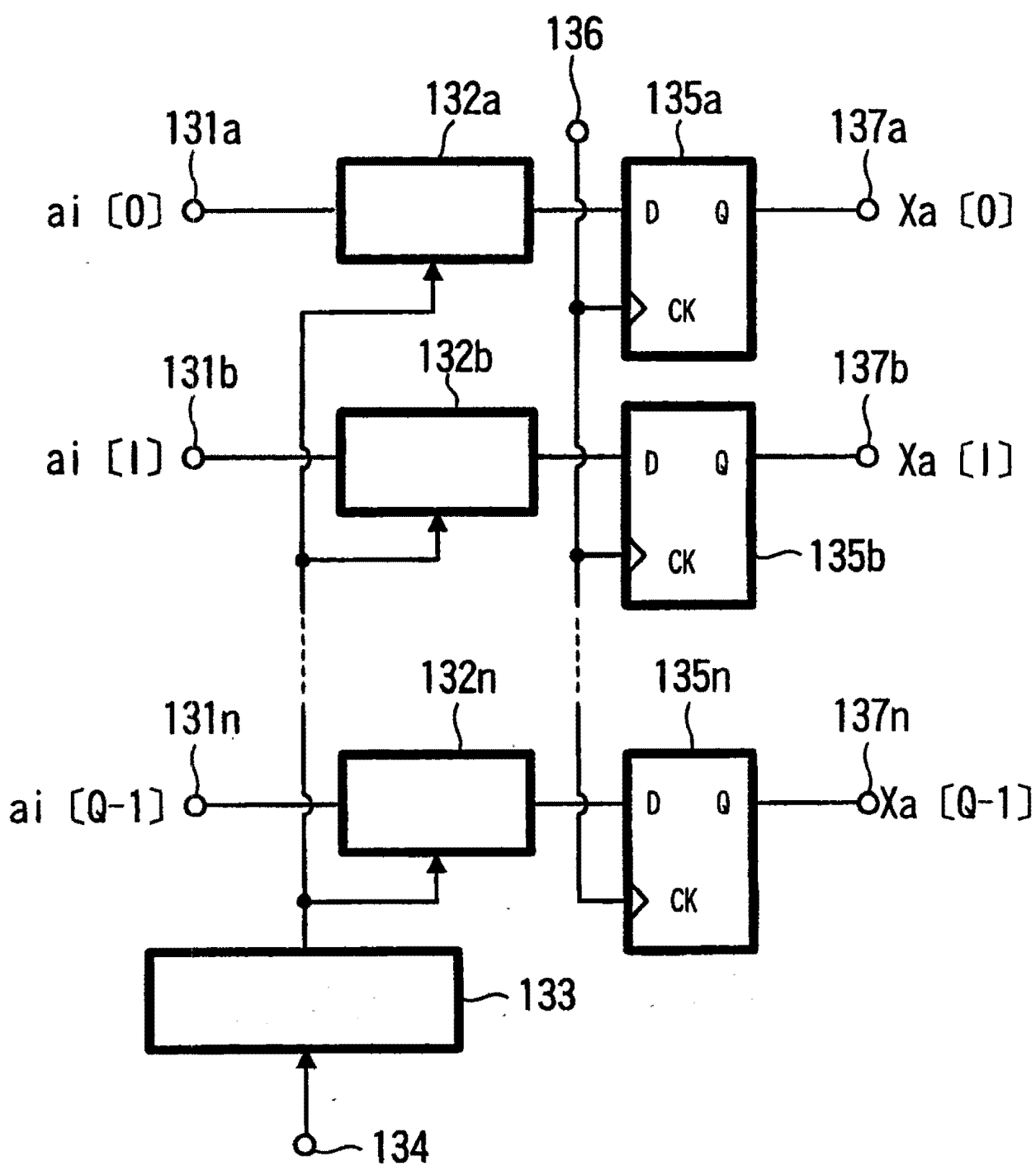
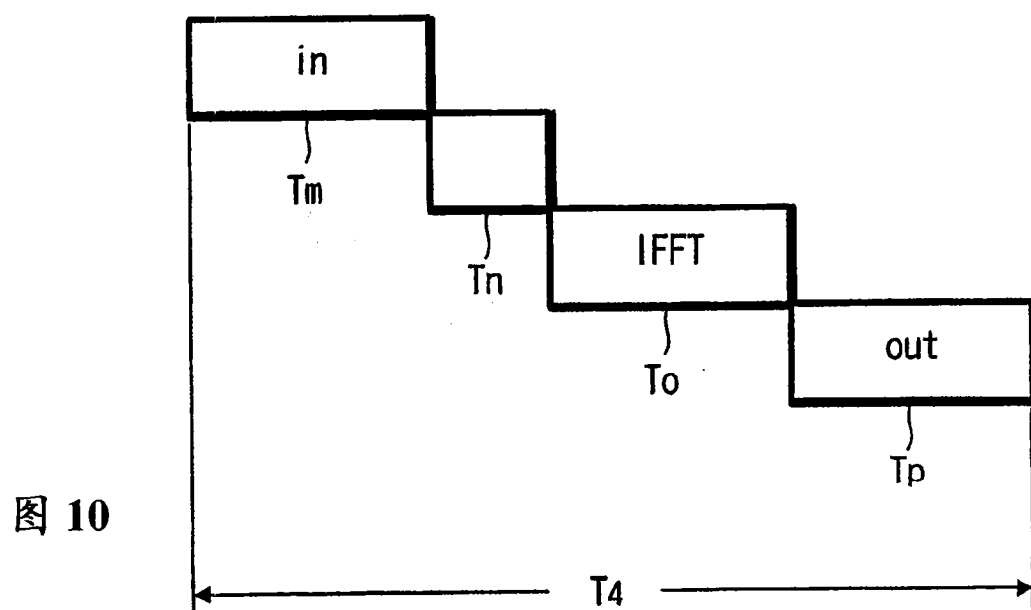
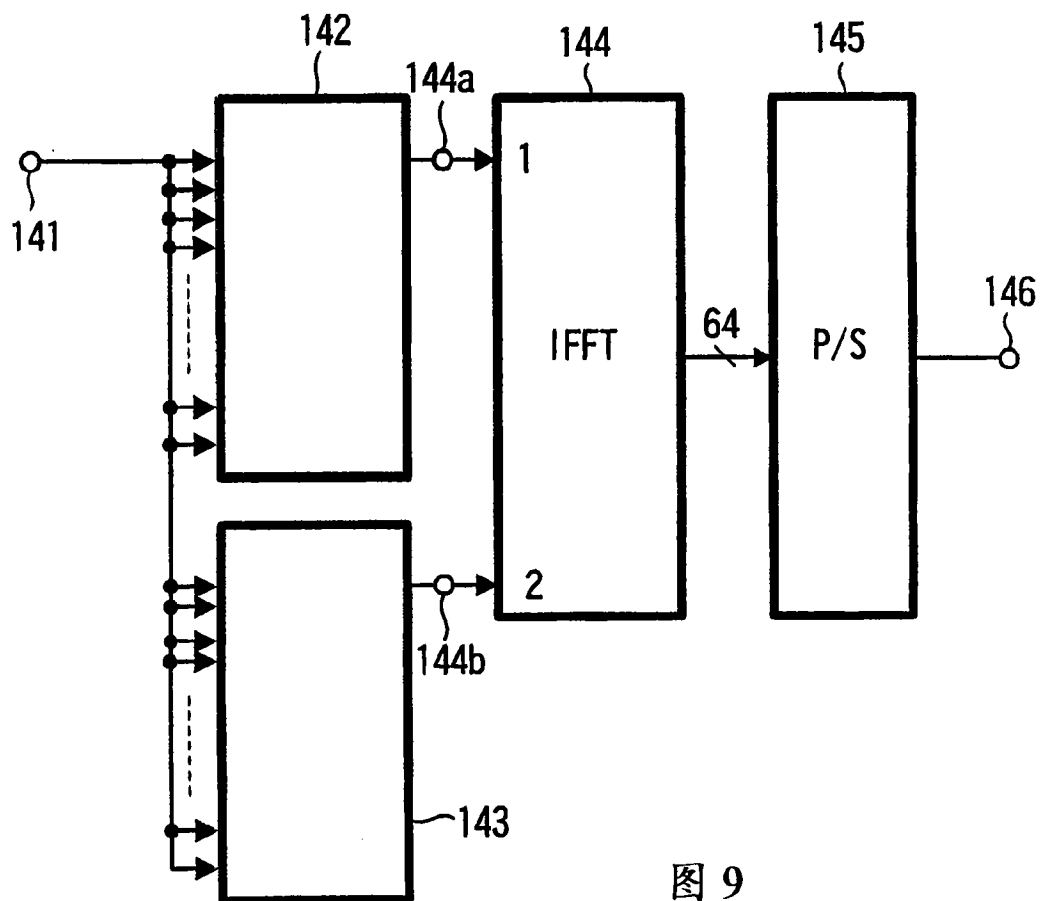
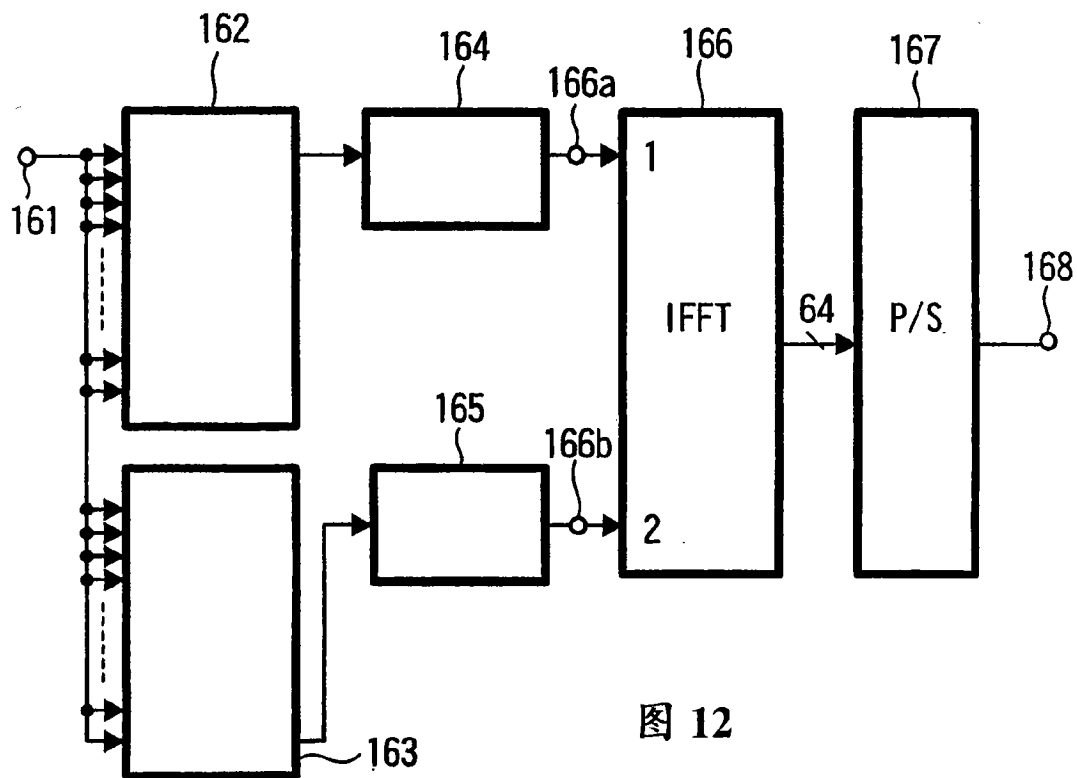
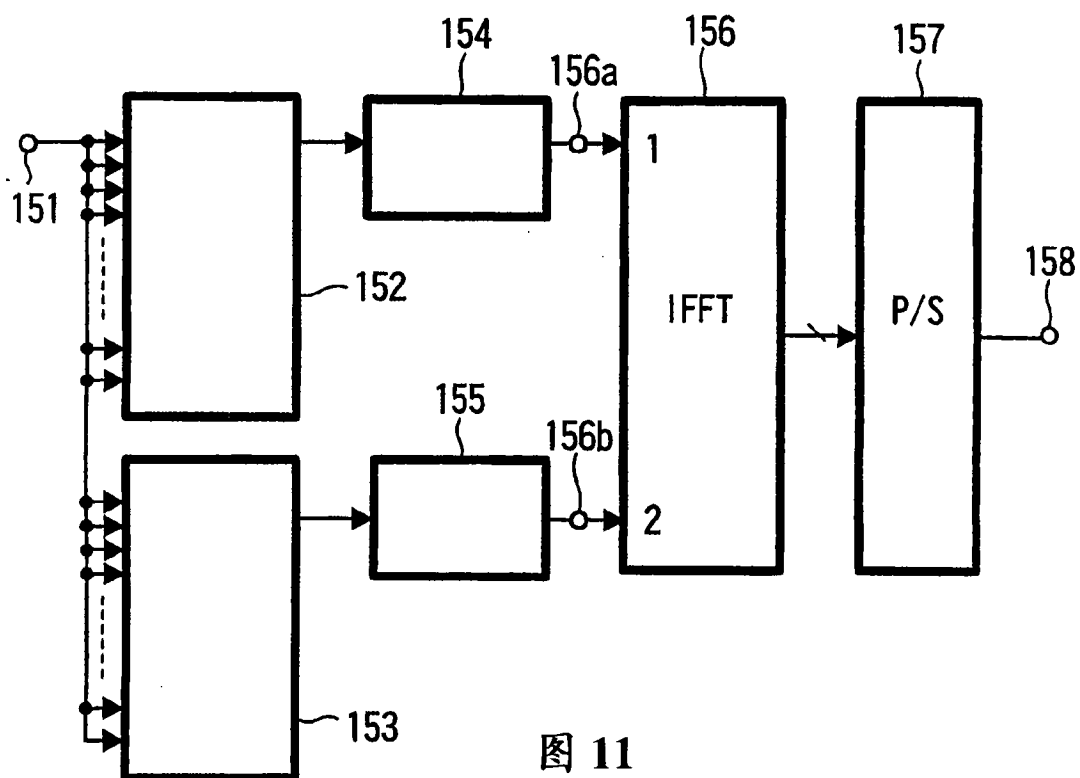


图 8





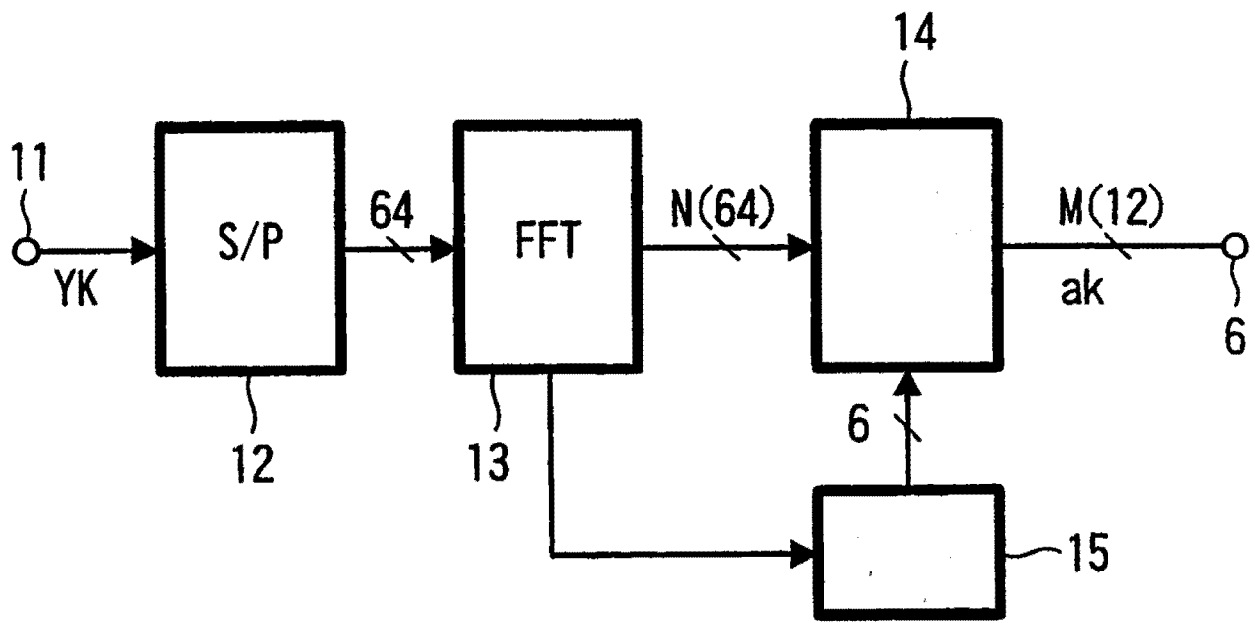


图 13

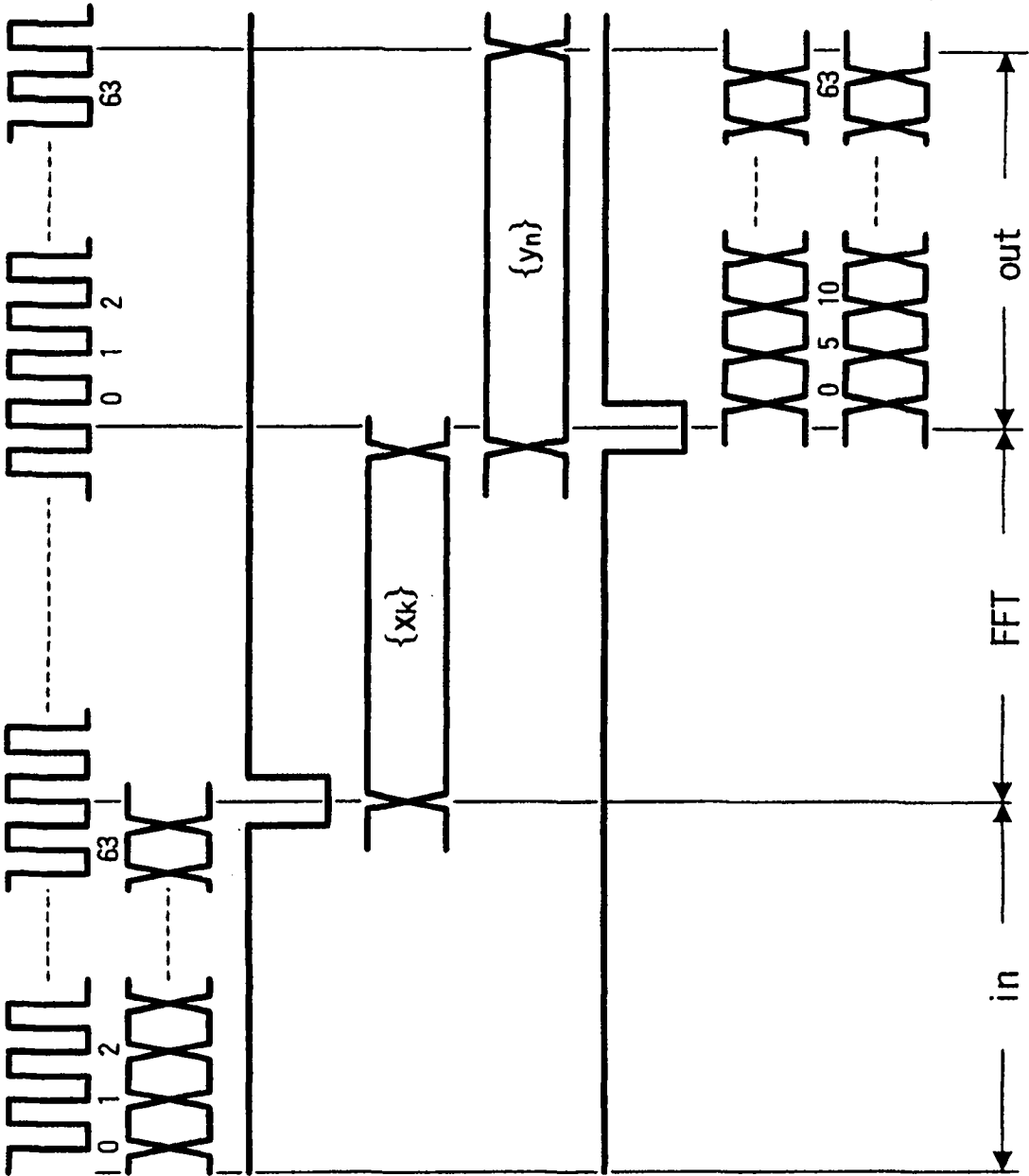


图 14A

图 14B

图 14C

图 14D

图 14E

图 14F

图 14G

图 14H

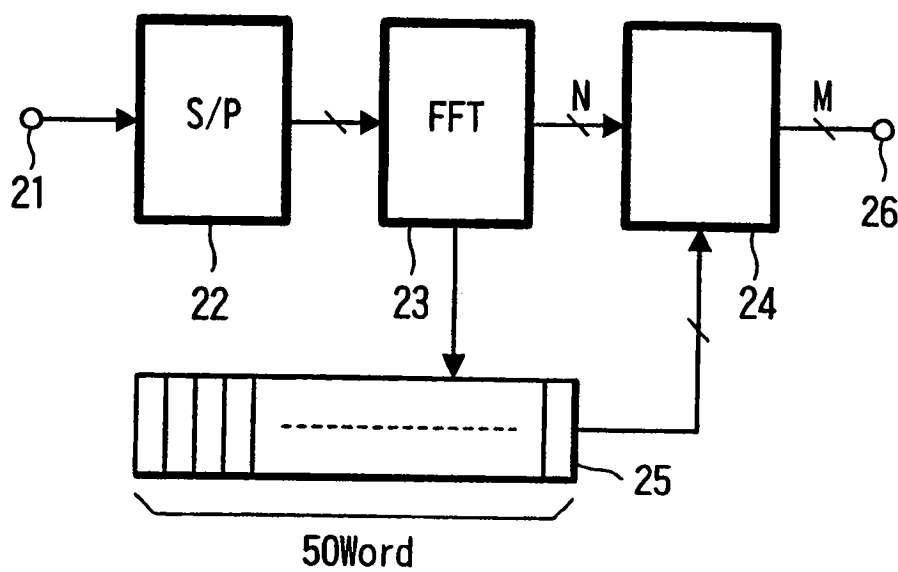


图 15

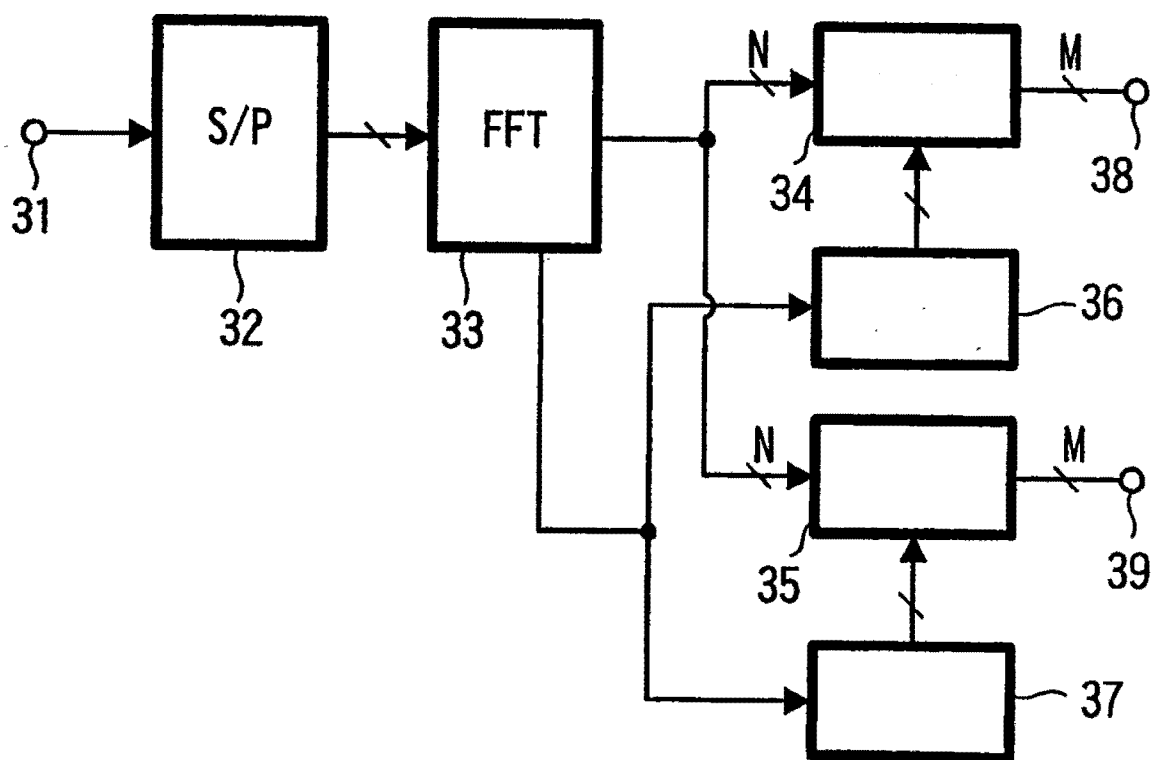


图 16

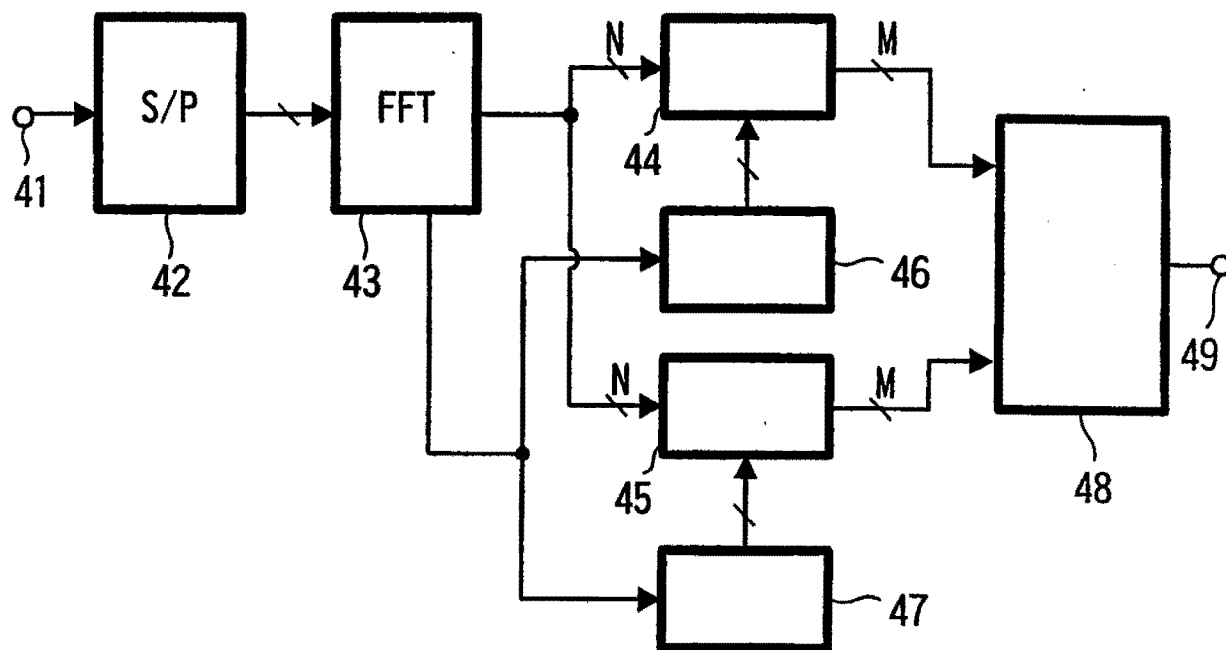


图 17

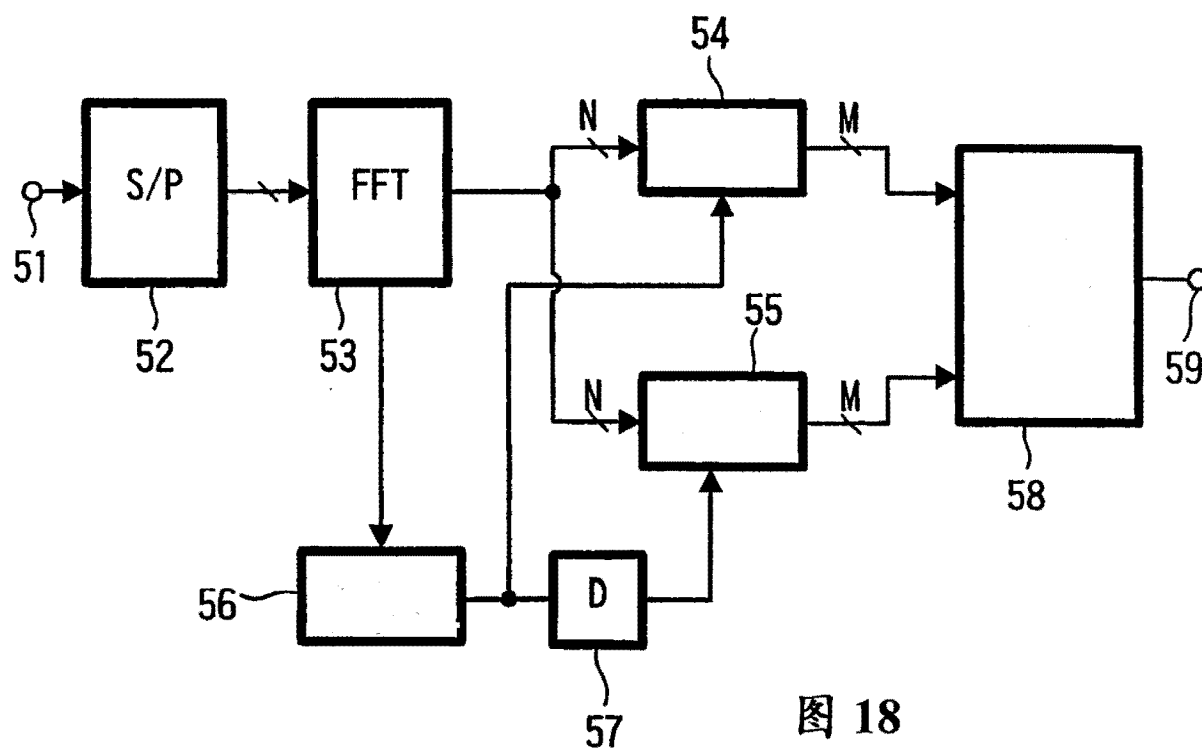


图 18

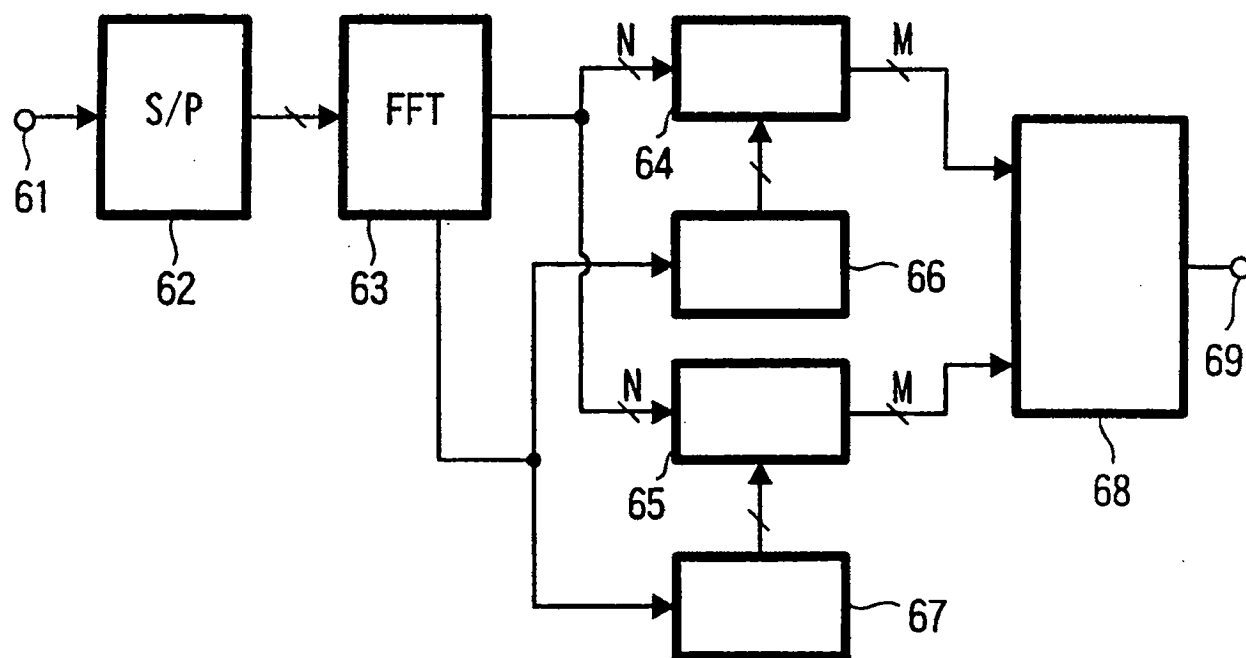


图 19

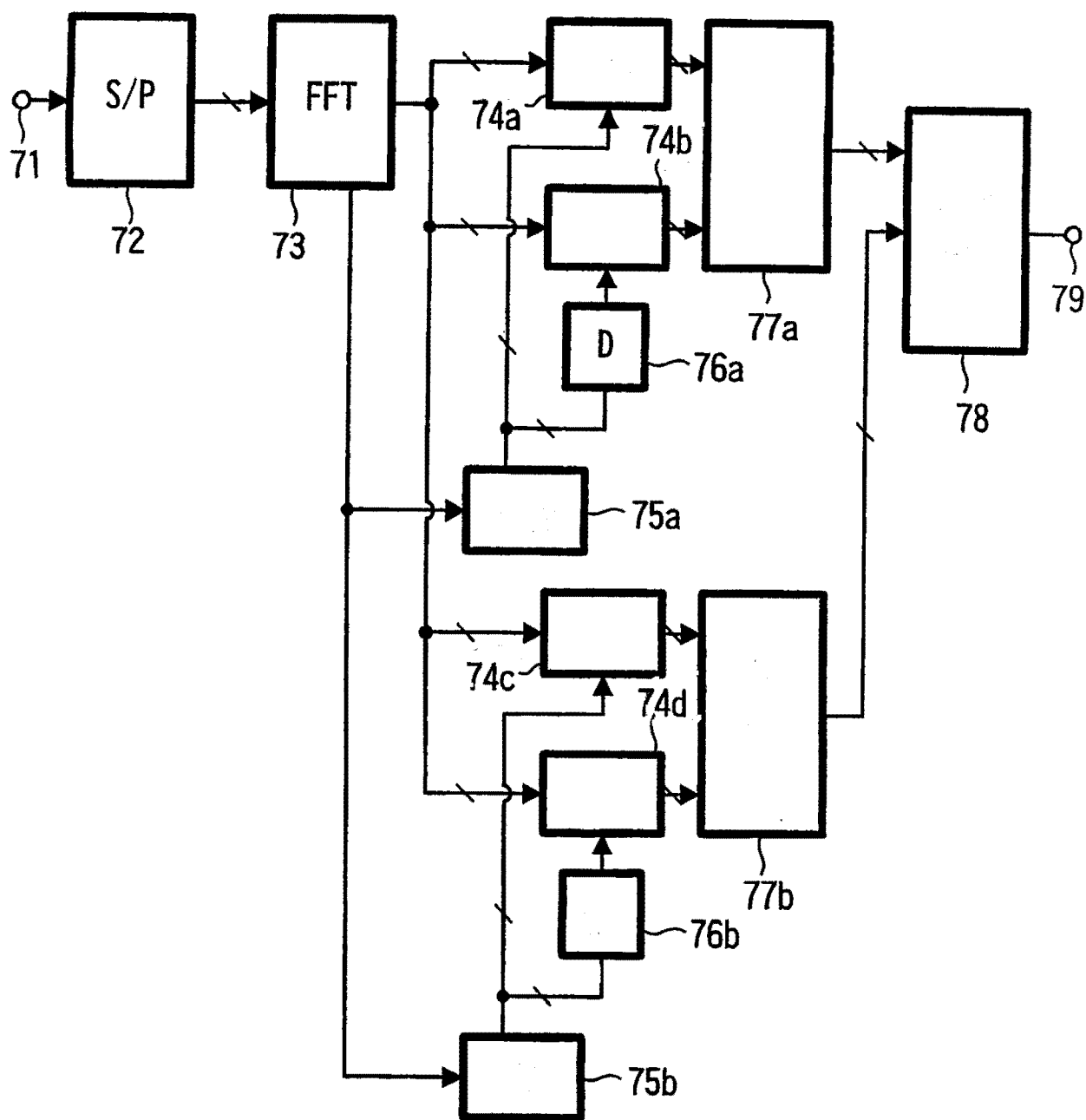


图 20

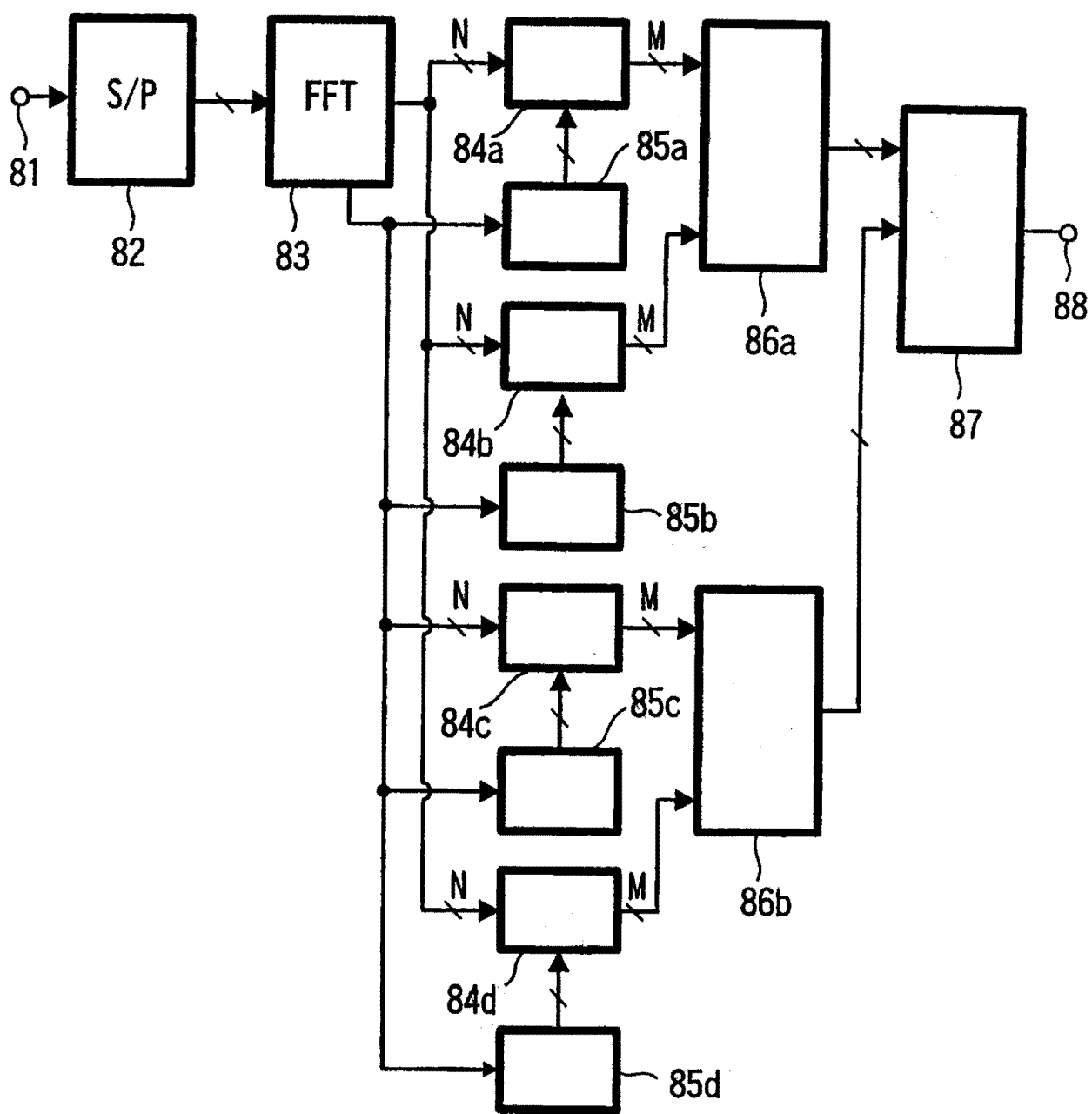


图 21

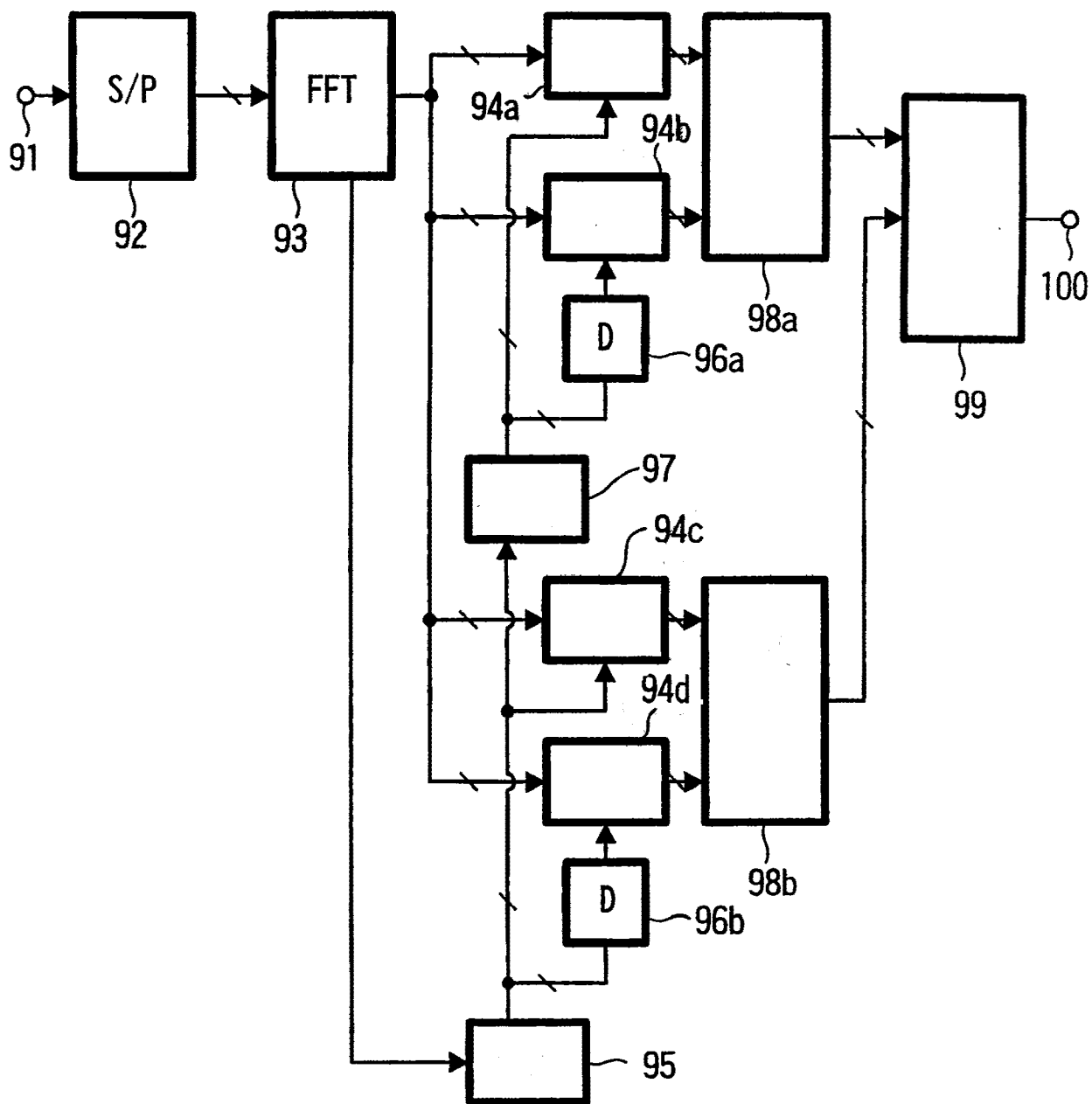


图 22

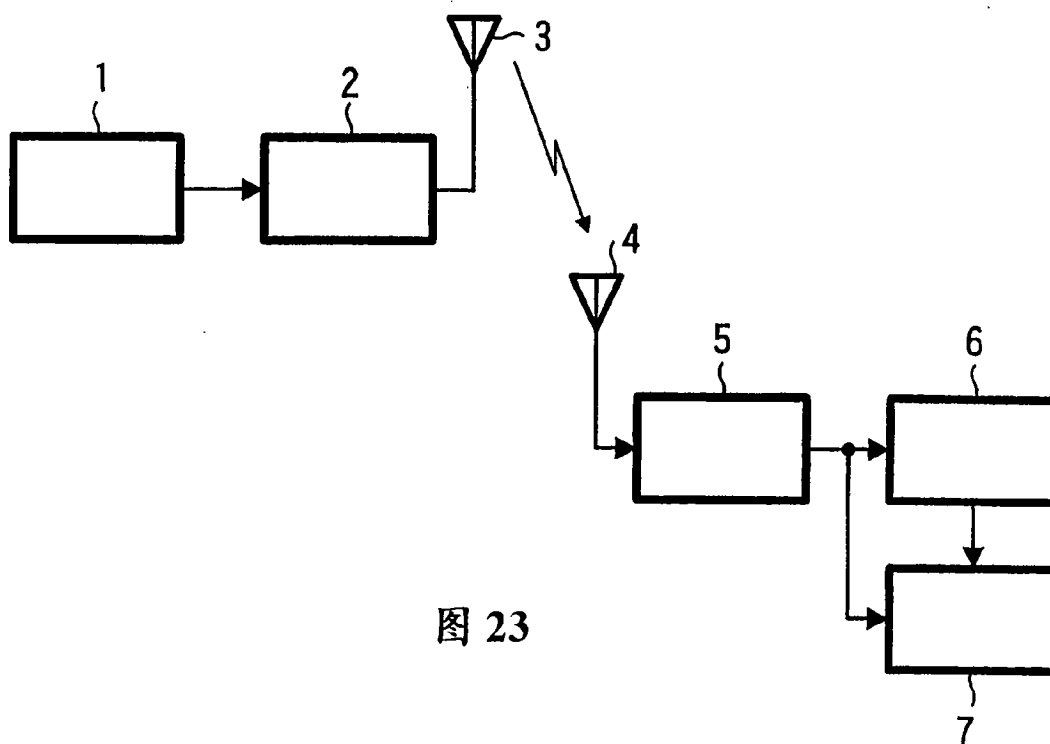


图 23

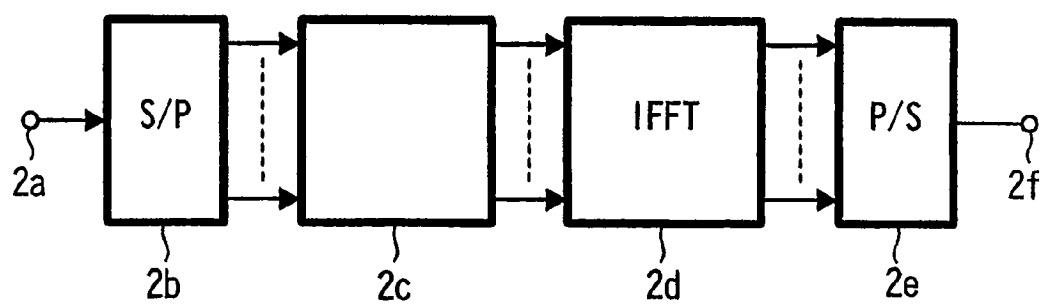


图 24

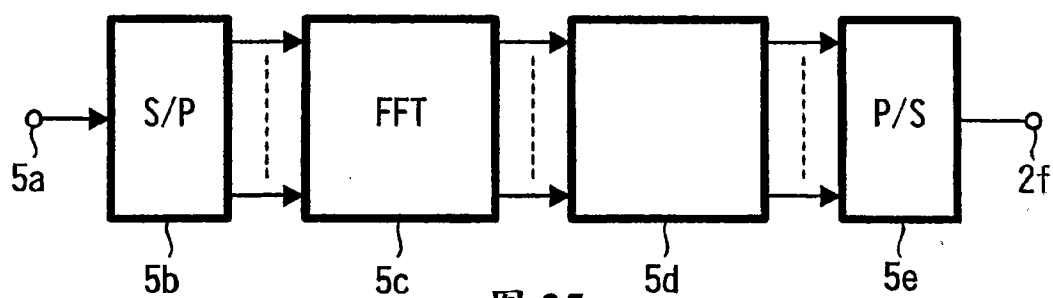


图 25

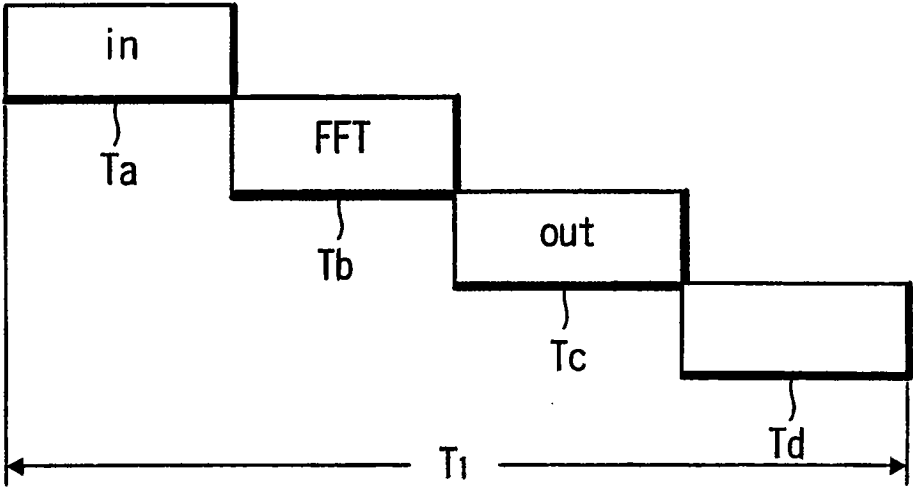


图 26

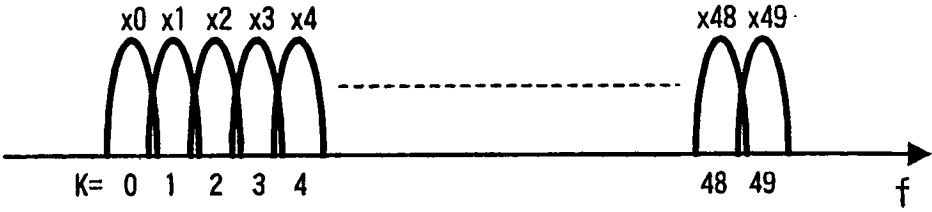


图 27A

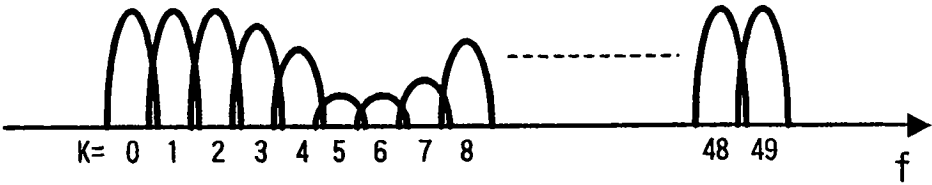


图 27B

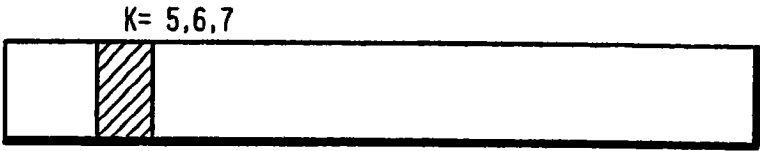


图 28A

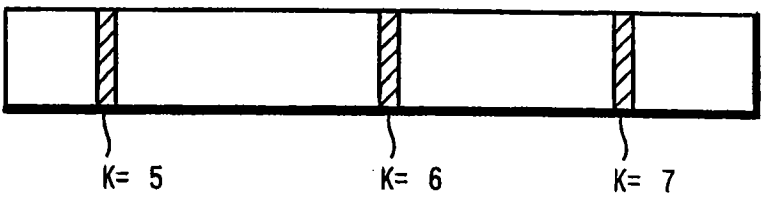


图 28B

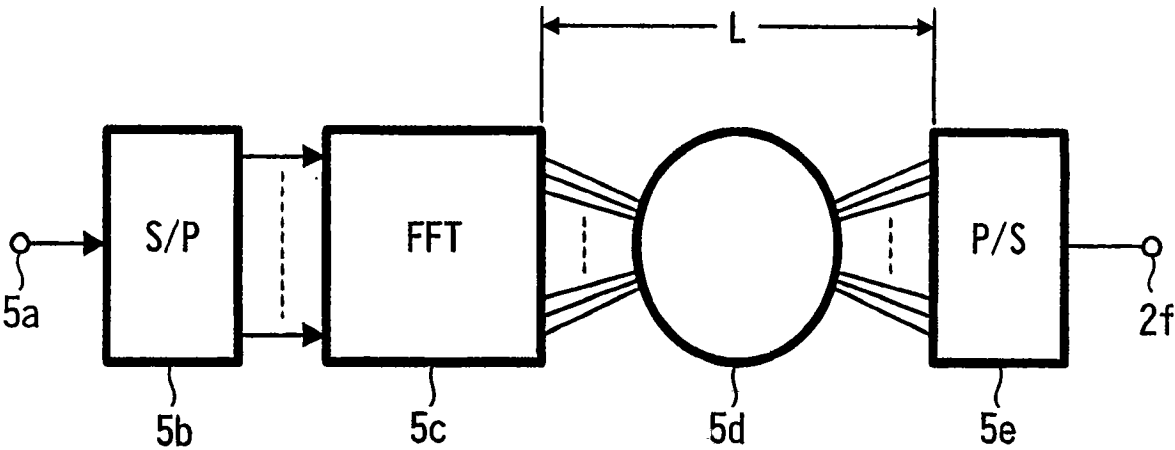


图 29

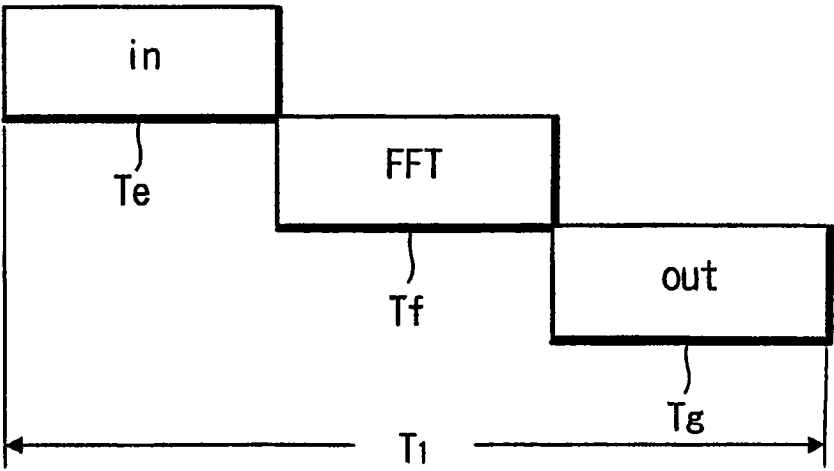


图 30

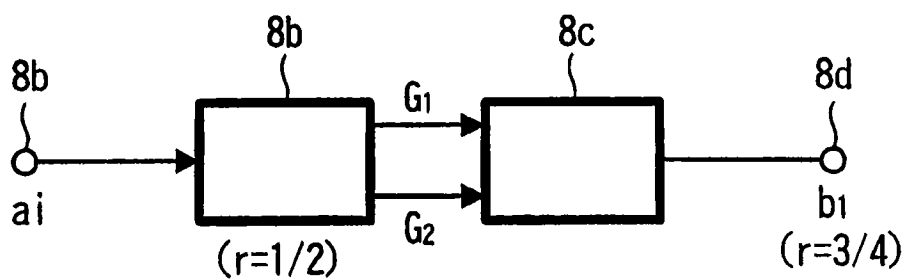


图 31

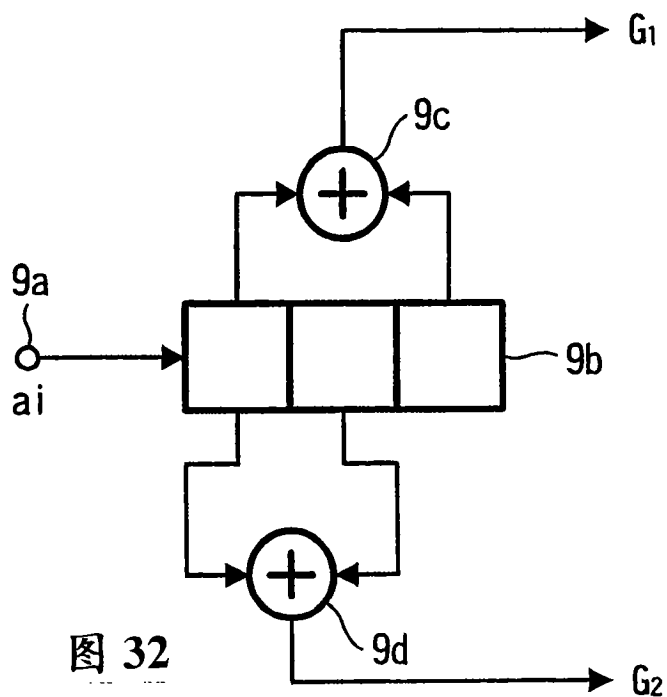


图 32

图 33A

ai

a0	a1	a2	a3	a4	a5	----
----	----	----	----	----	----	------

图 33B

G1

g10	g11	g12	g13	g14	g15	----
-----	----------------	-----	-----	----------------	-----	------

图 33C

G2

g20	g21	g22	g23	g24	g25	----
-----	-----	----------------	-----	-----	----------------	------

图 33D

bi

g10	g20	g21	g12	g13	g23	g25	g15	----
-----	-----	-----	-----	-----	-----	-----	-----	------

引用符号的说明					
			4 7		第2计数器
1 1		接收信号输入端子	4 8		差动解调回路
1 2		串/并变换器	4 9		输出端子
1 3		付里叶变换回路	5 1		接收信号输入端子
1 4		选择器	5 2		串/并变换器
1 5		计数器	5 3		付里叶变换回路
1 6		输出端子	5 4		第1选择器
2 1		接收信号输入端子	5 5		第2选择器
2 2		串/并变换器	5 6		计数器
2 3		付里叶变换回路	5 7		延迟回路
2 4		选择器	5 8		差动解调回路
2 5		移位寄存器	5 9		输出端子
2 6		输出端子	6 1		接收信号输入端子
3 1		接收信号输入端子	6 2		串/并变换回路
3 2		串/并变换器	6 3		付里叶变换回路
3 3		付里叶变换回路	6 4		第1选择器
3 4		第1选择器	6 5		第2选择器
3 5		第2选择器	6 6		第1计数器
3 6		第1计数器	6 7		第2计数器
3 7		第2计数器	6 8		维特比译码器
3 8		输出端子	6 9		输出端子
3 9		输出端子	7 1		接收信号输入端子
4 1		接收信号输入端子	7 2		串/并变换器
4 2		串/并变换器	7 3		付里叶变换回路
4 3		付里叶变换回路	7 4 a		第1选择器
4 4		第1选择器	7 4 b		第2选择器
4 5		第2选择器	7 4 c		第3选择器
4 6		第1计数器	7 4 d		第4选择器

7 5 a	第1计数器
7 5 b	第2计数器
7 6 a	延迟回路
7 6 b	延迟回路
7 7 a	第1差动解调回路
7 7 b	第2差动解调回路
7 8	维特比译码器
7 9	输出端子
8 1	接收信号输入端子
8 2	串/并变换器
8 3	付里时变换回路
8 4 a	第1选择器
8 4 b	第2选择器
8 4 c	第3选择器
8 4 d	第4选择器
8 5 a	第1计数器
8 5 b	第2计数器
8 5 c	第1计数器
8 5 d	第2计数器
8 6 a	第1差动解调回路
8 6 b	第2差动解调回路
8 7	维特比译码器
8 8	输出端子
9 1	接收信号输入端子
9 2	串/并变换器
9 3	付里叶变换回路
9 4 a	第1选择器
9 4 b	第2选择器

9 4 c	第3选择器
9 4 d	第4选择器
9 5	计数器
9 6 a	延迟回路
9 6 b	延迟回路
9 7	加法器
9 8 a	第1差动解调回路
9 8 b	第2差动解调回路
9 9	维特比译码器
1 0 0	输出端子
1 0 1	<u>发送</u> 信号输入端子
1 0 2 a ~ 1 0 2 n	带地址译码器的寄存器
1 0 3	计数器
1 0 4	启动脉冲输入端子
1 0 5	反付里叶变换回路
1 0 6	并/串变换回路
1 0 7	输出端子
1 1 1	接收信号输入端子
1 1 2 a ~ 1 1 2 n	带地址译码器的寄存器
1 1 3	移位寄存器
1 1 4	启动脉冲输入端子
1 1 5	反付里叶变换回路
1 1 6	并/串变换器
1 1 7	输出端子
1 2 1	<u>发送</u> 信号输入端子
1 2 2	卷积编码器
1 2 3	延迟回路
1 2 4 a ~ 1 2 4 n	带地址译码器的寄存器

1 2 5		计数器
1 2 6		同步控制器
1 2 7		启动脉冲输入端子
1 2 8		反付里叶变换回路
1 2 9		并/串变换器
1 3 0		输出端子
1 3 1 a ~ 1 3 1 n		<u>发送</u> 信号输入端子
1 3 2 a ~ 1 3 2 n		选择器
1 3 3		地址译码器
1 3 4		地址输入端子
1 3 5 a ~ 1 3 5 n		D 触发器
1 3 6		时钟输入端子
1 3 7 a ~ 1 3 7 n		输出端子
1 4 1		<u>发送</u> 信号输入端子
1 4 2 , 1 4 3		移位寄存器
1 4 4		反付里叶变换回路
1 4 5		并/串变换器
1 4 6		输出端子
1 5 1		<u>发送</u> 信号输入端子
1 5 2 , 1 5 3		移位寄存器
1 5 4 , 1 5 5		差动编码器
1 5 6		反付里叶变换回路
1 5 7		并/串变换器
1 5 8		输出端子
1 6 1		<u>发送</u> 信号输入端子
1 6 2 , 1 6 3		移位寄存器
1 6 4 , 1 6 5		差动编码器
1 6 6		反付里叶变换回路

1 6 7		并/串变换器
1 6 8		输出端子
1 8 1		输入端子
1 8 2		选择器
1 8 3		地址输入端子
1 8 4		地址译码器
1 8 5		D 触发器
1 8 6		时钟输入端子
1 8 7		输出端子