

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4691336号
(P4691336)

(45) 発行日 平成23年6月1日(2011.6.1)

(24) 登録日 平成23年2月25日(2011.2.25)

(51) Int.Cl.

H05G 1/10 (2006.01)

F 1

H05G 1/10

請求項の数 10 (全 19 頁)

(21) 出願番号 特願2004-235801 (P2004-235801)
 (22) 出願日 平成16年8月13日 (2004.8.13)
 (65) 公開番号 特開2005-63974 (P2005-63974A)
 (43) 公開日 平成17年3月10日 (2005.3.10)
 審査請求日 平成19年8月9日 (2007.8.9)
 (31) 優先権主張番号 0350434
 (32) 優先日 平成15年8月14日 (2003.8.14)
 (33) 優先権主張国 フランス (FR)

(73) 特許権者 300019238
 ジーイー・メディカル・システムズ・グローバル・テクノロジー・カンパニー・エルエルシー
 アメリカ合衆国・ウィスコンシン州・53188・ワウケシャ・ノース・グランドビュー・ブルバード・ダブリュー・710・3000
 (74) 代理人 100137545
 弁理士 荒川 聰志
 (74) 代理人 100105588
 弁理士 小倉 博
 (74) 代理人 100106541
 弁理士 伊藤 信和

最終頁に続く

(54) 【発明の名称】測定用抵抗器を有する高電圧装置

(57) 【特許請求の範囲】

【請求項 1】

第1のキャパシタ列(501-508)と、

前記第1のキャパシタ列(501-508)に並列に接続された第2のキャパシタ列(509-516)と、

高電圧の測定用の1以上の内部抵抗器(601)と、

を備えた高電圧発生装置であつて、

前記第1のキャパシタ列は、第1の平面を形成するように整列した、直列接続された複数のキャパシタを有し、

前記第2のキャパシタ列は、前記第1の平面に平行な第2の平面を形成するように整列した、直列接続された複数のキャパシタを有し、

前記測定用抵抗器は前記第1及び第2の平面の間に配置されている、高電圧発生装置。

【請求項 2】

複数の電圧整流器段の直列連関への交流電圧(VAC)の印加によって直流電圧(VDC)を発生させる高電圧発生装置である、請求項1に記載の装置。

【請求項 3】

前記測定用抵抗器は幾つかの独立型抵抗素子(517-520)により形成される、請求項1又は請求項2に記載の装置。

【請求項 4】

前記測定用抵抗器はプレートにスクリーン印刷された構成要素(801)により形成され

10

20

る、請求項 1 又は請求項 2 に記載の装置。

【請求項 5】

第 1 の接点と第 3 の接点の間で直列接続された複数のダイオード (D 2 1、D 2 2) と、前記第 1 の接点と第 4 の接点の間で直列接続された複数のダイオード (D 1 1、D 1 2) とを備え、

前記第 1 のキャパシタ列は、前記第 3 の接点と第 2 の接点の間で、直列接続された偶数個のキャパシタ (5 0 1 - 5 0 4) と、前記第 4 の接点と前記第 2 の接点の間で、直列接続された偶数個のキャパシタ (5 0 5 - 5 0 8) を有し、

前記第 2 のキャパシタ列は、前記第 3 の接点と前記第 2 の接点の間で、直列接続された偶数個のキャパシタ (5 0 9 - 5 1 2 4) と、前記第 4 の接点と前記第 2 の接点の間で、直列接続された偶数個のキャパシタ (5 1 3 - 5 1 6) を有し、

前記測定用抵抗器は、前記第 4 の接点と同じ電位となる第 5 の接点と第 6 の接点の間で直列接続された複数の抵抗素子 (5 1 7 - 5 2 0) を備え、

前記第 1 及び第 2 の接点への交流電圧 (V A C) の印加によって、前記第 3 及び第 4 の接点間に直流電圧 (V D C) を発生させる、請求項 1 に記載の装置。

【請求項 6】

前記キャパシタの各々は、回路 (5 0 0) の平面に垂直な軸を有する円筒形素子であり、前記第 1 及び第 2 のキャパシタ列の奇数番目のキャパシタの第 1 の端と偶数番目のキャパシタの第 2 の端は前記回路の平面に位置付けられており、

前記第 1 及び第 2 のキャパシタ列の前記奇数番目のキャパシタの第 2 の端と前記偶数番目のキャパシタの第 1 の端は前記回路の平面から離れた位置で互いに接続し、

前記キャパシタは、前記高電圧が前記 2 以上の平面に沿って次第に増大するようにして接続されている、請求項 5 に記載の装置。

【請求項 7】

倍電圧器型回路 (3 0 1 - 1 1 0 2) である請求項 1 - 請求項 6 のいずれか一項に記載の装置。

【請求項 8】

Crookcroft-Walton 乗算器型回路 (1 3 0 1 - 1 6 0 1) である請求項 1 - 請求項 6 のいずれか一項に記載の装置。

【請求項 9】

Haefely 乗算器型回路 (1 7 0 1 - 1 9 0 1) である請求項 1 - 請求項 6 のいずれか一項に記載の装置。

【請求項 10】

前記測定用抵抗器は前記二平面の間にのみ設けられている、請求項 1 - 請求項 9 のいずれか一項に記載の装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明の実施形態は、内部測定用抵抗器を備えた高電圧装置に関する。本発明の分野は、高電圧の発生、及びこれらの高電圧を用いる機器又は装置に関する。具体的には、本発明の分野は、X線画像のような放射線画像の取得のための医用装置に関する。

【背景技術】

【0 0 0 2】

従来技術では、医用画像取得用のX線を発生するためには、X線管のアノードとカソードとの間に40kV(キロボルト) - 160kV超にわたる電源電圧を必要とする。この電圧は一般的には、接地に対して対称な2種類の高電圧を印加する二極式装置によって得られる。換言すると、アノードとカソードとの間に160kVを発生するために、アノードで+80kVを発生しカソードで-80kVを発生する装置が用いられる。一般的には、アノード及びカソードに印加されるこれら2種類の高電圧すなわち正負の高電圧の和を制御することによりこの高電圧を調節する。約10,000の比すなわち一般的には10k

10

20

30

40

50

Vに対して1Vの比で、測定される電圧を分圧する2個の同等の装置が2種類の高電圧を測定する。約100kVの電圧において油内で良好に動作するために、この種の測定装置は2枚の導電プレートの間の最大間隔を約40mm(ミリメートル)としなければならない。

【特許文献1】米国特許第4870746号

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、X線画像の画質を考慮して、それ自体接地されている管のエンベロープにアノードを接続し、カソード単独に全電圧を印加するようになってきている。管用の電源は最早二極式(±80kV)電源ではなく一極式(±160kV)電源となる。すると、高電圧発生器は、1種類のみの電圧であるが従来技術の電圧の値の2倍の電圧を供給することになる。これにより、測定装置に影響が出る。同じ測定装置を利用し続けることが望ましい場合には、絶縁を保つために、各次元の寸法もまた2倍だけ増大させる必要がある。すると測定装置の容積は8倍に増大する。このことは多くの問題点を生ずる。これらの問題点の一つは測定装置の占有空間の必要条件に関連し、小型装置の製造、特に可搬型装置の場合に相容れなくなる。

【0004】

米国特許第5,818,706号は、数段の電圧整流器段の直列連関によって高電圧発生器を得ることができると開示している(特許文献1)。発生される高電圧を測定するために、整流器の直列回路にブリーダ(bleeder)を並列接続する。ブリーダは、整流器段数と同数の抵抗器を有する。ブリーダの各々の抵抗器が一つの整流器段に関連している。各々の抵抗器はまた、付設の遮蔽被覆を有しており、この遮蔽被覆は抵抗器が関連している整流器段の出力に存在する電位に接続されている。上述の米国特許第5,818,706号の装置は遮蔽の結果として、占有空間の必要条件、電弧を生ずる遮蔽用の金属、及び寄生キャパシタンス等の幾つかの問題点を有する。

【特許文献1】米国特許第5,818,706号

【課題を解決するための手段】

【0005】

本発明の一実施形態は、整流器の濾波回路のキャパシタ及びその配線が、ブリーダとも呼ばれる測定用抵抗器の周囲で電場を発生するように構成されている高電圧装置であって、この電場を、電位の増大が抵抗器単独での定常動作時に発生されるものと同様になるような電場とする。

【0006】

本発明の一実施形態では、一つの構成は、整流器のキャパシタを、平面を各々画定する平行な複数の列に分配することを含んでいる。2列の間の間隔は、ブリーダを配設するのに十分な間隔とする。キャパシタの電気配線は、2列の間で電位がブリーダの内部電位と同様の態様で列に全体的に沿って増大するようにする。ブリーダは、直列接続された抵抗器又はプレートにスクリーン印刷された抵抗器のいずれかを含んでいる。

【0007】

本発明の一実施形態は、幾つかのキャパシタと、高電圧の測定用の1以上の内部抵抗器とを備えた高電圧装置であって、キャパシタは、2以上の平行な平面を形成するように整列しており、測定用抵抗器はこれら二平面の間に分配される。

【発明を実施するための最良の形態】

【0008】

本発明の実施形態は、以下の説明及び添付図面からさらに明確に理解されよう。これらの図面は単に表示のために掲げられており、本発明の範囲を如何なる意味でも限定するものではない。

【0009】

図1には公知の装置が示されている。この装置は、一般的には油である絶縁流体に浸漬

10

20

30

40

50

されている。平行六面体形状の箱 101 が絶縁材で構成されており、箱 101 の対向面に各々配置されている 2 枚の導電プレート 102 及び 103 を含んでいる。プレート 102 とプレート 103との間に、平面抵抗器 104 が対角状に配置されている。平面抵抗器 104 は、数百 M Ω (メガオーム) の範囲の大きな値を有する抵抗器である。この抵抗器 (高電圧測定用ブリーダ抵抗器又はブリーダとも呼ばれる) の一端 (104b) は測定したい高電圧に接続されており、他端 (104a) は数十 k Ω の値を有する抵抗器 105 (フット・ブリーダ (foot bleeder) 抵抗器とも呼ばれる) に接続されている。この電気的接続は、結線 (シース付き)、及び所定の距離 (例えば油の外部) に隔設されている抵抗器 105 で形成され得る。

【0010】

10

ブリーダ・フット抵抗器 105 にも接続されているこのブリーダを介して、分圧器ブリッジが形成される。従って、抵抗器 105 の端子での電圧は、測定したい高電圧の部分 (1/10000) となる。

【0011】

導電プレート 102 は接地され (参照電圧に対して)、導電プレート 103 は測定したい高電圧に接続されて、これにより、プレート 102 とプレート 103 との間に電場を発生する効果が得られる。ブリーダ 104 は電場に沈潜している。このアセンブリの幾何学的構成は、高電圧及び接地電位によってブリーダに全体的に沿って分布している寄生キャパシタンスの影響を解消する効果がある。このため、測定は、ダイナミック・レンジについて寄生キャパシタンス値によって攪乱されることがない。

20

【0012】

図 2 は、様々な構成の等価な容量素子 (キャパシタと呼んでもよい) を示しており、これらの容量素子を用いて二つの平行な平面を形成して、ブリーダ (測定用抵抗器) の埋め込みに好ましい電場を発生することができる。図 2 のキャパシタ 201 は、当該キャパシタ 201 を電気回路に挿入することを可能にする 2 個の端子 / 極 202 及び 203 を有している。すると、これらの端子の間に、ファラド単位又はファラドの分数単位で測定される容量効果が発生する。図 2 の例では、キャパシタ 201 は C ファラド (F) の値を有している。キャパシタ 201 を回路に配置してこの回路に給電すると、端子 202 と端子 203 との間に電位差又は電圧差 204 が生ずる。高電圧装置は幾つかのキャパシタを有している。一つのキャパシタは二極式であり、従って 2 個の端子 / 末端 / 極を有する。ある素子の一つの極に対応する電気回路の各々の点が V point と参照される電位を有する。

30

【0013】

図 2 はまた第二のアセンブリを示しており、このアセンブリでは端子 202 と端子 203 との間で、キャパシタ 201 が並列接続された 2 個のキャパシタ 205 及び 206 で置き換えられている。キャパシタ 205 及び 206 は (C/2) F の値を有する。すると、このように装着されたキャパシタ 205 及び 206 は、キャパシタ 201 と等価になる。さらに、従ってキャパシタ 205 とキャパシタ 206 との間に空間が画定され、この空間内に例えば測定用抵抗器のような他の素子を配設することが可能になる。キャパシタ 201 はまた、直列接続された 2 個のキャパシタ 207 及び 208 を含む第三のアセンブリとも等価である。ここでは、端子 202 及び 203 で検知されるキャパシタンスが C F に等しくなるように、キャパシタ 207 及び 208 は各々 2 C F の値を有する。そして、キャパシタ 207 及び 208 は、他の素子を配設することのできる空間を互いに對して画定するように平行に配置される。

40

【0014】

二つの平面を実際に画定するように、キャパシタ 201 として他の等価なアセンブリが用いられる。図 2 は、各々の第一の端子が端子 202 に接続されている 2 個のキャパシタ 209 及び 210 を含む第四のアセンブリを示している。キャパシタ 209 の第二の端子はキャパシタ 211 の第一の端子に接続されている。キャパシタ 210 の第二の端子はキャパシタ 212 の第二の端子に接続されている。キャパシタ 211 及び 212 の第二の端

50

子は端子 203 に接続されている。キャパシタ 209 - 212 は値 C を有する。このようにして得られたアセンブリは、キャパシタ 201 と等価である。このアセンブリによれば、キャパシタ 209 及び 211 が第一の平面を画定する。そして、キャパシタ 210 及び 212 は、第一の平面に平行な第二の平面を画定するように配置される。第二段階として、キャパシタ 210 及び 212 をそれぞれキャパシタ 209 及び 211 に対向して配設する。キャパシタ 209 を通り第一の平面に垂直な直線がキャパシタ 210 も通る場合に、キャパシタ 210 はキャパシタ 209 に対向していると考える。

【0015】

第四のアセンブリの場合には、2 個の点 213 及び 214 が、それぞれキャパシタ 209 とキャパシタ 211 との間、及びキャパシタ 210 とキャパシタ 212 との間に位置している。点 213 及び 214 は、同一電位で且つ極 202 の電位と極 203 の電位との間の中間の電位にある。すると、第一及び第二の平面に沿って、電位の漸進的变化が観察される。本例では、この漸進的变化は緩やかで且つ連続的な増大である。実際に、電位 V 202 から点 213 の電位 V 213 を経て電位 V 203 に到る経路が存在する。この漸進的増大は、枝の各々のキャパシタを増やすことにより向上させることができる。このように、キャパシタ 209 及び 211 を $(3/2)CF$ の値を各々有する 3 個のキャパシタで置き換えることができる。同様に、キャパシタ 210 及び 212 も置き換えられる。すると、3 個のキャパシタを各々含む二つの平面が得られる。すると、これら二平面はまた、一つの中間点が連続した 2 個のキャパシタの間に位置するような 2 個の中間点を各々含む。この場合には、点 202 の電位 V 202 から 2 種類の中間電位を経て点 203 の電位 V 203 に到る経路が存在する。直列接続された 4 個のキャパシタを用いる場合には、3 種類の中間電位が存在し、以下、キャパシタの数が増すと共に同様になる。中間点の数が多いほど、第一の平面と第二の平面との間に存在する電場は連続的になり、従って、接地電位に対する絶縁によってブリーダの動作を最適化するときにこの電場がさらに適切に当該ブリーダを遮蔽する。

【0016】

第四のアセンブリの場合には、分岐回路の同じ枝に属する全キャパシタが同じ平面に位置する。同等のキャパシタを用いるという事実から、二平面の間の電場の漸進的变化が一様になる。同等のキャパシタを用いるという事実は、分岐回路の連続する 2 個の点の間の電位差が一定であることを意味する。換言すると、 $(V203?V213) = (V213?V202)$ が成立する。

【0017】

図 2 は、直列接続された 4 個のキャパシタ 215 - 218 を備えたキャパシタ 201 と等価な第五のアセンブリを示す。各々のキャパシタ 215 - 218 は $4CF$ の値を有する。キャパシタ 215 の第一の端子は端子 202 に接続されている。キャパシタ 215 の第二の端子は、キャパシタ 217 の第一の端子に接続されている第二の端子を有するキャパシタ 216 の第一の端子に接続されている。キャパシタ 217 の第二の端子は、端子 203 に接続されている第二の端子を有するキャパシタ 218 の第一の端子に接続されている。このようにして、3 個の中間点 219、220 及び 221 が画定される。これら 3 個の中間点は、それぞれキャパシタ 215 とキャパシタ 216 の間、キャパシタ 216 とキャパシタ 217 の間、及びキャパシタ 217 とキャパシタ 218 の間には位置する。V 202 が接地電位であり $V203 > V202$ であると考えると、 $V203 > V221 > V220 > V219 > V202$ が得られる。キャパシタ 215 - 218 が等しい値を有している限りにおいて、以上に述べた各電位の間の差は同等となる。換言すると、 $(V203?V221) = (V221?V220) = (V220?V219) = (V219?V202)$ が成立する。

【0018】

キャパシタ 216 及び 218 は、第一の平面を画定するように整列している。キャパシタ 215 及び 217 は、第一の平面に平行な第二の平面を画定するように整列している。キャパシタ 216 は、キャパシタ 215 とキャパシタ 217 の間に存在する空間に対向

10

20

30

40

50

するようにして第一の平面内に配置される。キャパシタ 217 は、キャパシタ 216 とキャパシタ 218 との間に存在する空間に對向して第二の平面内に配置される。このアセンブリは、点 219 - 221 を、点 202 から点 203 に向かう軸に沿って交互配置しつつ互いにさらに近付けることを可能にする。従って、このアセンブリは、キャパシタが互いに對向している場合よりもさらに一層連續的な電場を得ることを可能にする。この電場の連續性及び一様性はまた、連續する 2 個の点の間での電位差が同等であるとの事實によって強化される。

【 0019 】

第五のアセンブリでは、点 202 と点 203 との間で直列接続されたキャパシタの数を増やすことが可能である。この場合には、あるキャパシタが、当該キャパシタが接続されている 2 個のキャパシタ又は 1 個のキャパシタと同じ平面に位置するがないようにする。キャパシタの数を増やすと、第一の平面と第二の平面との間に存在する電場の漸進的变化が向上する。

【 0020 】

図 3 は、高電圧を発生するのに用いられる倍電圧器型アセンブリ 300 を示す。アセンブリ 300 は、点 / 端子 1 と点 / 端子 2 との間のアセンブリ 300 の入力での交流高電圧 VAC の印加によって DC 高電圧 VDC の発生を可能にする。この DC 高電圧 VDC は、2 個の端子 3 及び 4 によって示すアセンブリ 300 の出力で発生される。図 3 - 図 20 に示すアセンブリは、入力において交流電圧 VAC を受け入れて、出力において高電圧を発生する。これらのアセンブリの概略図は公知である。

10

20

【 0021 】

本発明の一実施形態では、測定用抵抗器を、当該抵抗器の端子での電圧と同じ方式で変化する電場に沈潜させて用いることにより、高電圧装置の出力において効率的な測定を行なう。

【 0022 】

図 3 は、アセンブリ 300 の点 3 に接続されているアノードを有するダイオード 301 を示す。ダイオード 301 のカソードは、アセンブリ 300 の点 1 に接続されてダイオード 302 のアノードに接続される。ダイオード 302 のカソードは、アセンブリ 300 の点 4 に接続されている。キャパシタ 303 がその第一の極によって点 3 に、また第二の極によってキャパシタ 304 の第一の極に接続されている。キャパシタ 303 の第二の極はアセンブリ 300 の点 2 に対応している。キャパシタ 304 の第二の極はアセンブリ 300 の点 4 に接続されている。アセンブリ 300 の点 4 は、測定用抵抗器 305 又はブリーダ 305 の第一の極が接続されている点 5 と電気的に等価である。ブリーダ 305 の第二の極（点 6 ）と、点 3 と電気的に等価な点 7 との間に抵抗器 306 を接続することにより、分圧器が形成される。すると、抵抗器 306 の端子において電圧 VM を測定することができる。VM は、アセンブリ 300 によって発生され点 3 と点 4 との間で入手可能な高電圧 VDC に対して分圧器の比で比例している。キャパシタ 303 及び 304 は CF の値を有しており、抵抗器 305 は R オーム（ ）の値を有している。

30

【 0023 】

図 4 は、図 3 の模式図の電気回路図による書き換えを示す。この書き換えは、本発明の一実施形態を考慮に入れている。このため、図 4 は、キャパシタ 303 及び 304 が実際には、直列接続された 2 個の分岐回路 402 及び 403 を含む等価なアセンブリ 401 に埋め込まれていることを示している。分岐回路 402 は、両端が接続されている 2 本の枝を有している。各々の枝は値 2CF を有する直列接続された 4 個のキャパシタを含んでいる。分岐回路 403 は分岐回路 402 と同等である。

40

【 0024 】

図 4 の線図では、ダイオード 301 及び 302 の各々が 2 個のダイオードによって形成されている。図 4 では、ブリーダ 305 は直列接続された 4 個の抵抗器によって形成されている。そして、各々の抵抗器は (R/4) の値を有する。

【 0025 】

50

図5は、図4のアセンブリを実現した回路の図である。経路設定工程によって図4の図から図5の図に到る経路が得られる。経路設定工程は、各々の素子の位置を、占有空間の必要条件、及び当該素子が接続されている相手素子に関係付けて画定する工程を含んでいる。図5は、図4の図を具現化した回路500の上面図であると考えられる。一般的には、本書では、経路設定の結果を回路の上面図で示す。

【0026】

図5は、第一の平面内に整列している8個のキャパシタ501-508を含む第一の列を示している。各々のキャパシタは、回路500の平面に垂直な軸を有する円筒形素子である。キャパシタ501-508は直列接続されている。キャパシタ501-504は分岐回路402の第一の枝に対応する。キャパシタ505-508は分岐回路403の第一の枝に対応する。そして、図の300のアセンブリの点2は、キャパシタ504とキャパシタ505との間の接続に対応する。

【0027】

図5はまた、第二の平面内に整列している8個のキャパシタ509-516を含む第二の列を示している。各々のキャパシタ509-516は、回路500の平面に垂直な軸を有する円筒形素子である。キャパシタ509-516は直列接続されている。キャパシタ509-512は分岐回路402の第二の枝に対応する。キャパシタ513-516は分岐回路403の第二の枝に対応する。そして、図の300のアセンブリの点2は、キャパシタ512とキャパシタ513との間の接続に対応する。

【0028】

図5で画定されている第一の平面と第二の平面とは平行である。これらの平面において、キャパシタ501はキャパシタ509に対向し、キャパシタ502はキャパシタ510に対向し、以下、キャパシタ508及び516によって形成される対に到るまで同様である。キャパシタ501及び509は点3にも接続されている。キャパシタ508及び516は点4にも接続されている。このアセンブリによれば、第一及び第二の平面に沿って、点3の電位から7種類の中間電位を経て点4の電位に到る経路が存在する。各々の中間電位はキャパシタ間の接続に対応する。第一の平面上の一点を考えると、第二の平面の対向点が実質的に同じ電位を有する。

【0029】

第一及び第二の平面は、ブリーダの占有空間の必要条件に応じて数ミリメートル-数十ミリメートルの距離で離隔されている。図5は、4個の抵抗素子517-520によって形成されているブリーダ305を示している。素子517-520は、回路500の点5と点6との間に直列接続されている。素子517-520は、キャパシタ501-508によって画定されている全長にわたって延在している。素子517-520は、第一の平面と第二の平面との間に位置している。実際には、キャパシタ501-508及びキャパシタ509-516は、ブリーダ305がその内部に位置する平行六面体の両壁面を画定している。

【0030】

図5は、点5が点4に接続されていないことを示している。このことは、回路500と同等の回路500に回路500を接続しようとしている場合に有用である。この場合には、点5は次いで点6に接続され、点4は点3に接続される。他の回路を用いない場合、又は回路が回路500と類似の形式の複数の回路から成る連鎖の最後のものである場合には、点5は点4に接続される。

【0031】

図5はまた、アセンブリに有用なダイオードの配置を示している。各素子の間の電気的接続は、公知の方法に従って軌道又は配線によって、また経路設定を得る電気回路図面によって画定されている接続平面に従って形成される。

【0032】

図6は、図5の配線済回路の三次元図である。図3-図12については同等の参照符号で同等の要素を示す。図6は、抵抗器517-520が直列接続されている回路601に

10

20

30

40

50

よってブリーダ 305 が形成されていることを示している。回路 601 では、連続した 2 個の抵抗器すなわち互いに直接接続されている抵抗器が三角形を形成している。この三角形アセンブリは、両壁面によって画定される空間の可能な最も効率的な占有を実現する。これらの壁面のうち、第一の壁面はキャパシタ 501 - 508 によって形成され、第二の壁面はキャパシタ 509 - 516 によって形成されている。このようにして、抵抗器 517 及び 518 は、回路 500 の平面に平行な底辺を有し、キャパシタ 501 - 516 の一つの長さに実質的に等しい高さを有する三角形を形成する。このため、ブリーダ 305 の抵抗素子の連鎖は、上述のキャパシタの高さに沿って、キャパシタ 501 - 508 によって占有される全空間によって画定される長さで延在する鋸歯形を形成する。実用では、実施形態を問わず、ブリーダは二つの平面によって画定される空間のみを占有する。

10

【0033】

ブリーダを、4 よりも多いか少ないかを問わず異なる数の抵抗素子で構成することも可能である。

【0034】

図 7 は、図 3 のアセンブリの実施形態を示す。図 7 は、ブリーダ以外、すなわちアセンブリの点 5 と点 6 との間に接続されている抵抗器に関して以外では図 4 と実質的に同等である。図 7 の例では、ブリーダは単一の抵抗素子となっている。この抵抗素子はスクリーン印刷された抵抗器、すなわちパターンが蝕刻 / 印刷されている回路である。このパターンは、抵抗性導電軌道によって形成される。そして、パターンの末端 / 端子で測定される抵抗を R に等しくする。

20

【0035】

図 8 は、点 5 と点 6 との間に接続されているブリーダに関して以外では図 5 と実質的に同等である。従って、同等の参照符号で同等の要素を示す。図 8 は、図 7 のアセンブリの経路設定の結果であり、すなわちプリント回路 800 である。図 8 は、点 5 と点 6 との間に、R の抵抗を有するようにパターンをスクリーン印刷した回路 801 が接続されていることを示している。回路 801 によって画定される平面は、回路 800 によって画定される平面に垂直である。

【0036】

図 9 は、ブリーダに関して以外では図 6 と実質的に同等である。従って、同等の参照符号で同等の要素を示す。図 9 は、各素子を結線した回路 800 の三次元図である。このように、図 9 は、キャパシタ 501 - 508 によって先ず画定される第一の平面と、キャパシタ 509 - 516 によって画定される第二の平面との間の回路 801 を示す。そして、回路 801 の表面は、回路 801 に平行な平面においてキャパシタ 501 - 508 によって画定される表面と実質的に等しい。回路 801 にスクリーン印刷されたパターンは例えば角鋸歯形 (crenellated) である。但し、鋸歯形パターン、シヌソイド形パターン、直線又はその他任意のパターンであってもよい。

30

【0037】

図 9 は、ブリーダを構成するのに用いられる手段によって占有される空間が小さいほど、第一の平面と第二の平面とを近付けることが可能になり、従って、本発明の一実施形態による高電圧発生装置によって占有される空間が小さくなることを示している。このように、スクリーン印刷された抵抗器を用いることにより、素子をはんだ付けしたプリント回路よりも厚みが小さくなるため空間が節約される。

40

【0038】

図 10 は、図 3 のアセンブリと等価な電気回路図である。図 10 の図は、ブリーダ 305 を構成するスクリーン印刷された抵抗器と、分岐回路 402 及び 403 の枝の各々としての縦型キャパシタとを用いている。そして、これらのキャパシタの各々は (C / 2) F の値を有する。従って、図 10 は、点 3 がキャパシタ 1001 及び 1002 の第一の端子に接続されていることを示す。キャパシタ 1001 及び 1002 の第二の極は点 2 に接続されている。キャパシタ 1003 及び 1004 の第一の極は点 2 に接続されており、第二の極は点 4 に接続されている。

50

【0039】

図11は、図10の電気回路図の経路設定の結果である。従って、同等の要素は同等の参考符号を有する。図11は、キャパシタ1001-1004が、キャパシタの最大寸法(長さ)及び最小寸法(幅)が回路1101の平面に平行になるようにして、回路1101に接続されていることを示している。キャパシタ1001及び1003はさらに、回路1101の平面に垂直な同じ第一の平面に属している。キャパシタ1002及び1004は、第一の平面に平行な第二の平面に属している。これら第一の平面と第二の平面との間に回路1102が配置されて、点5と点6との間に接続されている。この回路1102は、値R₁₀を有するスクリーン印刷された抵抗器である。本発明の原理に従うように、キャパシタは、恰もキャパシタがその軸に沿って直列接続されているさらに小要素であるキャパシタによって構成されているかのように、キャパシタの軸に沿って内部電圧が漸進的に増大するように構成されなければならない。

【0040】

図12は、各素子をはんだ付けした図11の回路の空間的な図である。従って、同等の参考符号は同等の要素に対応する。

【0041】

図13は、Crockcroft-Walton型の4段の乗算器段を有する乗算器型アセンブリの原理を示す図である。かかるアセンブリは周知である。以下の記載は全て4段のものについて述べるが、乗算器の段数を問わず適用可能である。図13-図16は同じアセンブリを示しており、これらの図面において同等の参考符号は同等の要素を示す。図13は、極の一方によって点CW1に接続されているキャパシタ1301を示す。キャパシタ1301の他方の極は点CW8に接続されている。キャパシタ1302は一方の極によって点CW8に接続されており、他方の極によってCW4に接続されている。ダイオード1303のアノードは点CW1に接続されている。ダイオード1303のカソードは点CW9に接続されている。ダイオード1304のアノードは点CW9に接続されている。ダイオード1304のカソードは点CW8に接続されている。ダイオード1305のカソードは点CW8に接続されている。ダイオード1305のアノードは点CW10に接続されている。ダイオード1306のアノードは点CW10に接続されている。ダイオード1306のカソードは点CW4に接続されている。キャパシタ1307は一方の極によって点CW2に接続されており、他方の極によって点CW9に接続されている。キャパシタ1308は一方の極によって点CW9に接続されており、他方の極によって点CW10に接続されている。ブリーダ1309は、第一に点CW4に電気的に等価な点CW5に接続されており、第二に点CW6に接続されている。

【0042】

キャパシタ1301、1302、1307及び1308はC₁₃の値を有している。ブリーダ1309はR₁₃の値を有している。図13はまた、点CW6と、点CW1と電気的に等価な点CW7との間に抵抗器1310が接続されていることを示している。これにより、抵抗器1310の端子で電圧VMを測定することができ、VMは、ブリーダ1309及び抵抗器1310によって形成される分圧器の比で図13のアセンブリによって発生される高電圧に比例する。図13のアセンブリでは、入力交流電圧を点CW1と点CW2との間に印加し、DC高電圧を点CW1と点CW4との間で回収する。

【0043】

図14は、抵抗器1310を除き図13のアセンブリと実質的に等価である電気回路図を示す。図14は、各々のキャパシタ1301、1302、1307及び1308が直列接続されたキャパシタの連鎖で置き換えられていることを示している。このように、キャパシタ1301は直列接続されたキャパシタ1401-1404で置き換えられている。キャパシタ1302は直列接続されたキャパシタ1405-1408で置き換えられている。キャパシタ1307は直列接続されたキャパシタ1409-1412で置き換えられている。キャパシタ1308は直列接続されたキャパシタ1413-1416で置き換えられている。キャパシタ1401-1416は同等であって、4C₁₃の値を有している

。ブリーダ1309は、回路内で直列接続された幾つかの抵抗素子を含む回路601と同等の回路によって構成されている。このように、ブリーダ1309は直列接続された抵抗器1417-1420を含んでいる。

【0044】

図15は、図14の電気回路図の経路設定の結果を示す。キャパシタ1401-1416は、回路1501の平面に垂直な軸を有する円筒形キャパシタである。キャパシタ1409-1416は、回路1501の平面に垂直な第一の平面内で整列している。キャパシタ1401-1408は、第一の平面に平行な第二の平面内で整列している。キャパシタ1409はキャパシタ1401に対向している。キャパシタ1410はキャパシタ1402に対向しており、以下、キャパシタ1416及び1408によって形成される対に到るまで同様である。このように構成されているキャパシタは、ブリーダ1309がその内部に位置している平行六面体の両壁面を画定する。すると、ブリーダ及びその端子での電圧に対する影響は、倍電圧器型アセンブリについて述べたものと同じになる。倍電圧器型アセンブリの場合と同じように、第一及び第二の平面に沿った電場の漸進的变化を向上させるためにキャパシタの数を増やすことができる。

【0045】

実用では、点CW5と点CW4とは接続されている。しかしながら、図5に示す形式の回路を幾つか接続することが望ましい場合には、二つの回路の間でのブリーダの連続性を確保するために点CW5を点CW6に接続する。このように、回路が単独で用いられる場合、又は回路が図15の回路のような回路から成る連鎖の最後のものである場合にのみ、点CW5を点CW4に接続する。

【0046】

図16は、各素子をはんだ付けした図15の回路の三次元図である。図16は、回路1601の平面に平行に位置する二つの垂直な平面を形成する2列のキャパシタの間に位置するブリーダ1309を明確に示している。図16は、素子の空間的構成の観点では図6及び図9と同等である。図16と図6及び図9との相違は各素子の間の接続、軌道及び配線であって、図16については図14の電気回路図に対応している。

【0047】

図17は、4段のHaefely型段を備えたもう一つの乗算器型アセンブリの模式図である。かかるアセンブリは周知である。以下の記載は4段のものについて述べるが、乗算器の段数を問わず適用可能である。図17-図20は同じアセンブリを示しており、これらの図面において同等の参照符号は同等の要素に対応する。

【0048】

図17は、極の一方によって点H1に接続されており、他方の極によって点H8に接続されているキャパシタ1701を示す。キャパシタ1702は、極の一方によって点H8に接続されており、他方の極によって点H9に接続されている。ダイオード1703は、そのアノードによって点H3に接続されており、カソードによって点H8に接続されている。ダイオード1704は、アノードによって点H8に接続されており、カソードによって点H10に接続されている。ダイオード1705は、そのアノードによって点H10に接続されており、カソードによって点H9に接続されている。ダイオード1703は、そのアノードによって点H3に接続されており、カソードによって点H8に接続されている。ダイオード1706は、そのアノードによって点H9に接続されており、カソードによって点H4に接続されている。キャパシタ1707は、その極の一方によって点H3に接続されており、他方の極によって点H4に接続されている。キャパシタ1708は、その極の一方によって点H10に接続されており、他方の極によって点H4に接続されている。ダイオード1709は、そのアノードによって点H3に接続されており、カソードによって点H11に接続されている。ダイオード1710は、そのアノードによって点H11に接続されており、カソードによって点H10に接続されている。ダイオード1711は、そのアノードによって点H8に接続されており、カソードによって点H10に接続されている。ダイオード1711は、そのアノードによって点H10に接続されており、カソードによって点H11に接続されている。

10

20

30

40

50

ソードによって点 H 1 2 に接続されている。ダイオード 1 7 1 3 は、そのアノードによって点 H 1 2 に接続されており、カソードによって点 H 4 に接続されている。キャパシタ 1 7 1 3 は、その極の一方によって点 H 2 に接続されており、他方の極によって点 H 1 1 に接続されている。キャパシタ 1 7 1 4 は、その極の一方によって点 H 1 1 に接続されており、他方の極によって点 H 1 2 に接続されている。点 H 5 と H 6 との間にブリーダが接続されており、点 H 5 は図 1 7 では点 H 4 と電気的に等価である。図 1 7 の各キャパシタは値が 2 C F である。ブリーダ 1 7 1 5 は R の値を有する。

【 0 0 4 9 】

図 1 7 はまた、点 H 6 と、点 H 1 と電気的に等価な点 H 7 との間に抵抗器 1 7 1 6 が接続されていることを示している。これにより、抵抗器 1 7 1 6 の端子で電圧 VM を測定することができ、VM は、ブリーダ 1 7 1 5 及び抵抗器 1 7 1 6 によって形成される分圧器の比で図 1 7 のアセンブリによって発生される高電圧に比例する。図 1 7 のアセンブリでは、入力交流電圧を点 H 1 と点 H 2 との間に印加し、DC 高電圧を点 H 3 と点 H 4 との間で回収する。

【 0 0 5 0 】

図 1 8 は、抵抗器 1 7 1 6 を除き図 1 7 のアセンブリと等価である電気回路図である。図 1 8 は、図 1 7 の各々のキャパシタが直列接続された 4 個のキャパシタのアセンブリによって形成されていることを示している。このように、キャパシタ 1 7 0 1 は直列接続されたキャパシタ 1 8 0 1 - 1 8 0 4 によって形成されている。そして、キャパシタ 1 8 0 1 - 1 8 0 4 の各々は 4 C F の値を有する。同じ手順を図 1 7 の全キャパシタに用いる。

【 0 0 5 1 】

図 1 8 はまた、ブリーダが、独立型抵抗素子すなわち図 4 と同様に値 (R / 4) を有する 4 個の抵抗器を用いることにより構成されるという事実を示している。

【 0 0 5 2 】

図 1 9 は、図 1 8 の電気回路図の経路設定の結果である。図 1 9 は、円筒形キャパシタを用いて、図 1 8 に対応する各素子をレイアウトした回路 1 9 0 1 の平面に平行な平面及び垂直な平面の画定を可能にしていることを示している。キャパシタの軸は回路 1 9 0 1 の平面に垂直である。キャパシタ 1 7 0 1 及び 1 7 0 2 の構成に対応するキャパシタを用いて第一の平面を画定する。従って、このことは点 H 1 と点 H 9 との間に 8 個のキャパシタを設けることに相当する。本発明の一実施形態は、キャパシタ 1 7 0 7 及び 1 7 0 8 の構成に対応するキャパシタを用いて第一の平面に平行な第二の平面を画定する。従って、このことは点 H 3 と点 H 4 との間に 8 個のキャパシタを設けることに相当する。これら二平面は、点 H 5 と点 H 6 との間に接続されているブリーダ 1 7 1 5 が位置する空間を画定する。点 H 5 は図 1 9 では点 H 4 に接続されていない。実用では、図 1 9 の回路は、同じ形式の他の回路と共に一つの連鎖に位置していてもよい。図 1 9 の回路を単独で用いる場合、又はこの回路が連鎖の最後の回路である場合には、点 H 4 を点 H 5 に接続する。

【 0 0 5 3 】

一つの変化形態では、点 H 2 と点 H 1 2 との間に位置するキャパシタを用いて第一の平面を形成することができる。

【 0 0 5 4 】

もう一つの変化形態では、点 H 3 と H 4 との間に位置するキャパシタを図 2 の第五のアセンブリについて示したものと同様に構成する。すると、キャパシタ 1 7 0 7 及び 1 7 0 8 と等価なこれらのキャパシタを用いて、ブリーダ 1 7 1 5 が間に配置されている二つの平面が画定される。

【 0 0 5 5 】

図 2 0 は、各素子をはんだ付けした図 1 7 の回路の三次元図である。図 2 0 は、二つの平行な平面を形成している 2 列のキャパシタの間に位置するブリーダ 1 7 1 5 を明確に示している。

【 0 0 5 6 】

10

20

30

40

50

本発明の一実施形態では、高電圧発生回路にはんだ付けされているか、又は高電圧発生回路に一部がはんだ付けされている他の回路にはんだ付けされている独立型抵抗器形式の素子によってブリーダを形成してよい。ブリーダはまた、ブリーダの値に対応する抵抗器を有する印刷又はスクリーン印刷された軌道を設けたプリント回路によって形成されてよい。これらのブリーダの実施形態は、高電圧発生回路の全ての位相幾何学的構成に合わせて適応構成される。本書の記載は、倍電圧器型、Crockcroft-Walton型及びHaefely型の3種類の位相幾何学的構成への応用を示している。しかしながら、本発明は他の位相幾何学的構成にも適用可能である。

【0057】

平面内のキャパシタの数が増えると、漸進的变化が向上する。求める値に基づいてキャパシタの数を増やす様は図2に示されている。キャパシタの数を増やしても、蓄積エネルギーはキャパシタの容積に比例するので占有空間の必要条件について不利益ではない。このようにして、幾つかの小容積キャパシタで1個の大容積キャパシタと同じエネルギーを蓄積する。

【0058】

例として取り上げた位相幾何学的構成に上述のように適用するときに、ブリーダにおいて非周期的応答が得られ、測定される電圧の増大は、高電圧発生器の出力端子での電圧の増大に完全に追随する。従来の増大は1ms以内に得られていたおり、従って、0.4msで達成される160kVまでの増大への追随が可能になる。

【0059】

実用では、本発明の一実施形態による回路の占有空間の必要条件は、高さの第一次元では、用いられるキャパシタの高さによって、第一及び第二の平面を画定するキャパシタの占有空間の必要条件に対応し、他の次元では用いられる位相幾何学的構成及び用いられるブリーダに対応する。

【0060】

本発明の一実施形態による回路は一般的には、油浴に浸漬させて用いられる。

【0061】

本発明の一実施形態では、高電圧は従って、1以上のキャパシタと、プリント回路に搭載されていてもいなくてもよい1以上の高電圧測定用抵抗器とを含む装置によって発生され、これらの要素の構成は、キャパシタ及びキャパシタの接続の等電位面が発生する電場を、電位の漸進が測定用抵抗器単独での定常動作状態で発生される電位の漸進と同様になるような電場とするものとする。典型的な構成は、プレートの形態で形成されている測定用抵抗器が間に位置する平行な2列のキャパシタを含んでいる。

【0062】

実用では、C及びCについての電流値は、高電圧装置に想到される応用に応じて0.1nF-10nFの範囲区分にある。高いパルス周波数が必要とされる場合には、発生器の精度/濾波よりも速度を優先させて低いキャパシタンス値を選択する。高いパルス周波数が必要とされない場合には、発生器の速度よりも精度/濾波を優先させて高いキャパシタンス値を選択する。

【0063】

ブリーダの標準的な値は、100M-400Mの範囲区分にある。そして、ブリーダは、10k-40kの値を有する測定用抵抗器に関連付けされる。

【0064】

実用では、用いられるダイオードは電流容量が0.5アンペア-2アンペアであり、電圧は、ダイオード302を得るために直列接続されているダイオードの数に依存する。倍電圧器型の場合には、VDCが210kV-70kVの値を有するときにダイオード302の電圧容量はVDCとなる。乗算器型の場合には、各々のダイオード電圧容量は(VDC/ダイオードの総数)×2.5となる。

【0065】

従って、本発明の一実施形態は、高電圧発生装置をさらに小型化する。本発明の一実施

10

20

30

40

50

形態は、発生される高電圧の正確な静的及び動的非周期的測定を可能にする。本発明の一実施形態はまた、測定用抵抗器の遮蔽に特定的に占有される要素を含んでいない。本発明の一実施形態では、測定用抵抗器は、幾つかの独立型抵抗素子(517-520)によって形成される。本発明の一実施形態では、測定用抵抗器は、プレートにスクリーン印刷された素子(801)によって形成される。本発明の一実施形態では、高電圧発生装置の理論的キャパシタンスに等価な容量型アセンブリ(201-215)を用いており、容量型アセンブリの各キャパシタは、2以上の平面を形成するように整列している。本発明の一実施形態では、容量素子は、高電圧がこれら2以上の平面に沿って次第に増大するようにして接続される。本発明の一実施形態では、高電圧発生装置は倍電圧器型回路である(301-1102)。本発明の一実施形態ではまた、高電圧装置はCrockcroft-Walton乗算器型回路である(1301-1601)。本発明の一実施形態ではまた、高電圧発生装置はHaefely乗算器型回路である(1701-1901)。本発明の一実施形態では、測定用抵抗器は二平面の間にのみ位置する。

【0066】

当業者は、開示された実施形態及びその均等構成の構造及び/又は方法及び/又は作用及び/又は結果に対し本発明の範囲から逸脱しない様々な改変を施し又は提案することができる。

【図面の簡単な説明】

【0067】

【図1】従来の測定装置の図である。

10

【図2】等価な容量素子及び電気回路での素子配置を示す図である。

20

【図3】本発明の一実施形態による倍電圧器型回路の模式図である。

【図4】独立型抵抗素子を用いた本発明の一実施形態による倍電圧器型回路の電気回路図である。

【図5】独立型抵抗素子を用いた本発明の一実施形態による倍電圧器型回路の各素子の配置及び配線(プリント回路の経路設定)の図である。

【図6】独立型抵抗素子を用いた本発明の一実施形態による倍電圧器型回路の遠近図である。

【図7】スクリーン印刷された抵抗素子を用いた本発明の一実施形態による倍電圧器型回路の電気回路図である。

30

【図8】スクリーン印刷された抵抗素子を用いた本発明の一実施形態による倍電圧器型回路の各素子の配置及び配線(プリント回路の経路設定)の図である。

【図9】スクリーン印刷された抵抗素子を用いた本発明の一実施形態による倍電圧器型回路の遠近図である。

【図10】スクリーン印刷された抵抗素子及び縦型容量素子を用いた本発明の一実施形態による倍電圧器型回路の電気回路図である。

【図11】スクリーン印刷された抵抗素子及び縦型容量素子を用いた本発明の一実施形態による倍電圧器型回路の各素子の配置及び配線(プリント回路の経路設定)の図である。

【図12】スクリーン印刷された抵抗素子及び縦型容量素子を用いた本発明の一実施形態による倍電圧器型回路の遠近図である。

40

【図13】本発明の一実施形態によるCrockcroft-Walton乗算器型回路の模式図である

【図14】独立型抵抗素子を用いた本発明の一実施形態によるCrockcroft-Walton乗算器型回路の電気回路図である。

【図15】独立型抵抗素子を用いた本発明の一実施形態によるCrockcroft-Walton乗算器型回路の各素子の配置及び配線(プリント回路の経路設定)の図である。

【図16】独立型抵抗素子を用いた本発明の一実施形態によるCrockcroft-Walton乗算器型回路の遠近図である。

【図17】本発明の一実施形態によるHaefely乗算器型回路の模式図である。

【図18】独立型抵抗素子を用いた本発明の一実施形態によるHaefely乗算器型回路の電気回路図である。

50

【図19】独立型抵抗素子を用いた本発明の一実施形態によるHaefely乗算器型回路の各素子の配置及び配線（プリント回路の経路設定）図である。

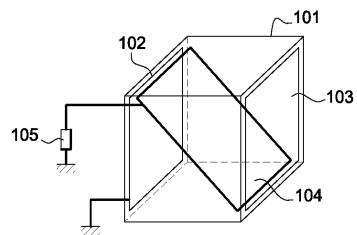
【図20】独立型抵抗素子を用いた本発明の一実施形態によるHaefely乗算器型回路の遠近図である。

【符号の説明】

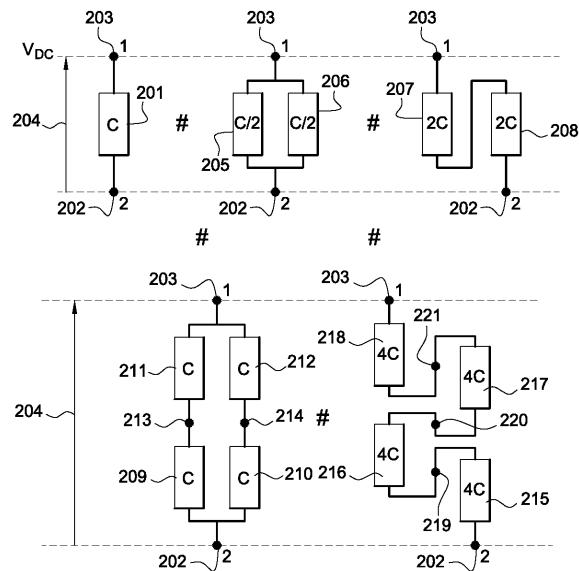
【0068】

101	平行六面体形状の箱	10
102、103	導電プレート	
104	平面抵抗器	
105	フット・ブリーダ抵抗器	
201、205、206、207、208、209、210、211、212、215		
、216、217、218	キャパシタ	
202、203	キャパシタ端子	
204	電位差	
213、214、219、220、221	中間電位の点	
300	倍電圧器型アセンブリ	
301、302	ダイオード	
303、304	キャパシタ	
305	ブリーダ	
306	抵抗器	20
401	アセンブリ	
402、403	分岐回路	
500	回路	
501、502、503、504、505、506、507、508、509、510		
、511、512、513、514、515、516	キャパシタ	
517、518、519、520	ブリーダ用抵抗素子	
601	抵抗器直列回路	
800	プリント回路	
801	スクリーン印刷された抵抗器回路	
1001、1002、1003、1004	キャパシタ	30
1101	回路	
1102	スクリーン印刷された抵抗器回路	
1301、1302、1307、1308	キャパシタ	
1303、1304、1305、1306	ダイオード	
1309	ブリーダ	
1310	抵抗器	
1401、1402、1403、1404、1405、1406、1407、1408		
、1409、1410、1411、1412、1413、1414、1415、1416	キャパシタ	
1417、1418、1419、1420	抵抗器	40
1501、1601	回路	
1701、1702、1707、1708、1713、1714	キャパシタ	
1703、1704、1705、1706、1709、1710、1711、1712	ダイオード	
1715	ブリーダ	
1716	抵抗器	
1801、1802、1803、1804	キャパシタ	
1901	回路	

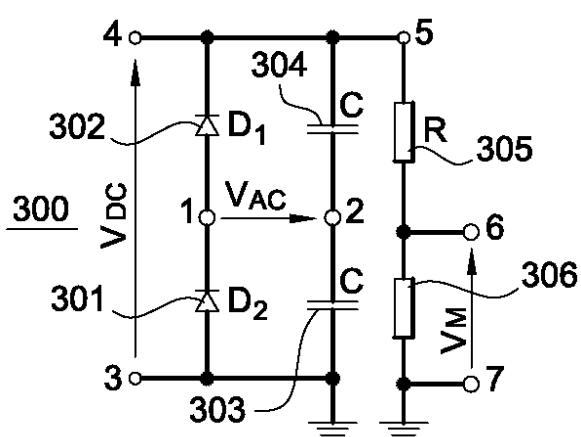
【図1】



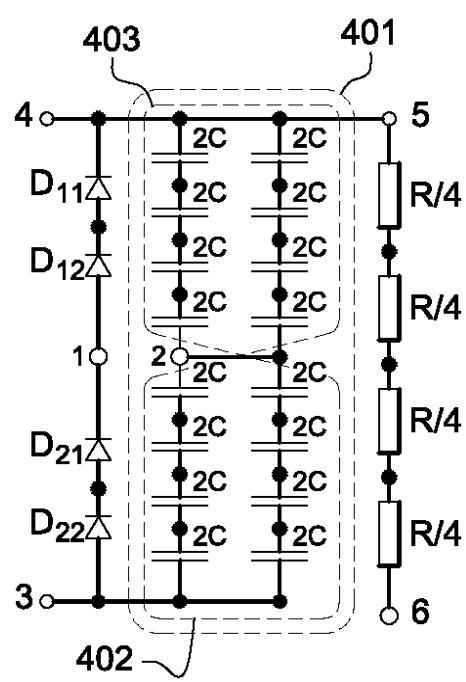
【図2】



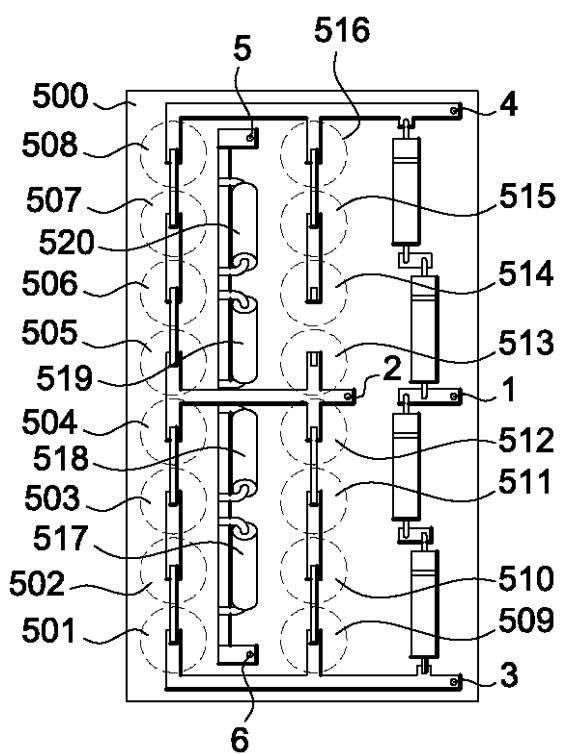
【図3】



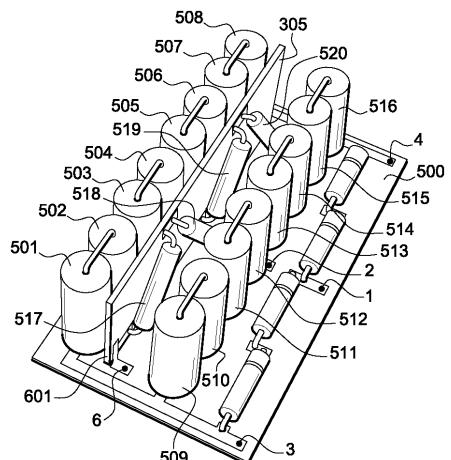
【図4】



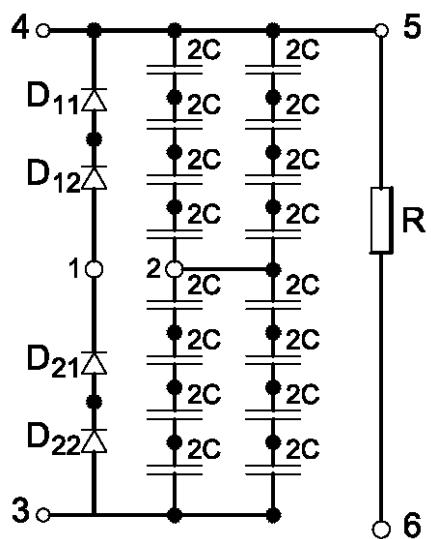
【図5】



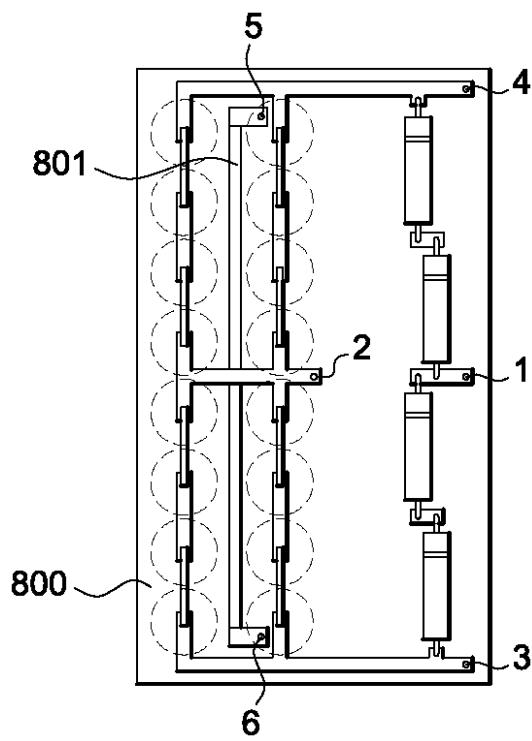
【図6】



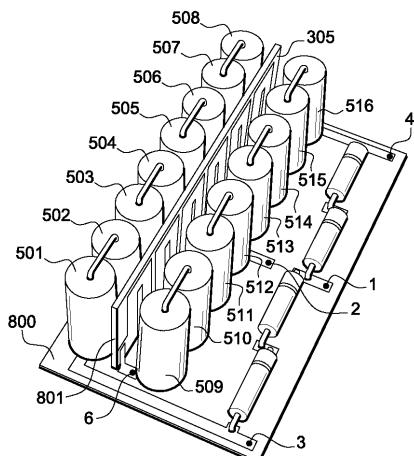
【 义 7 】



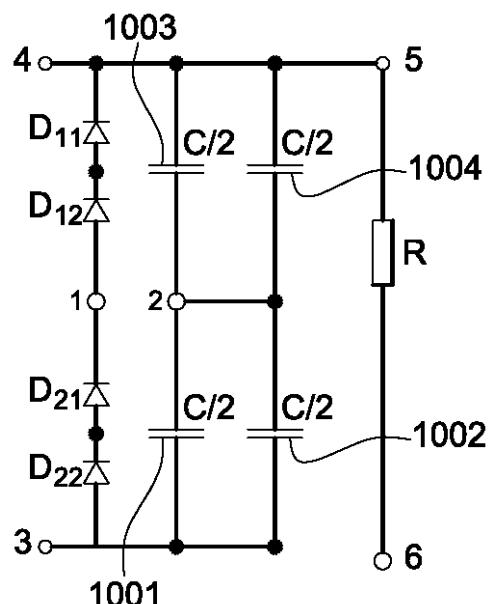
【図8】



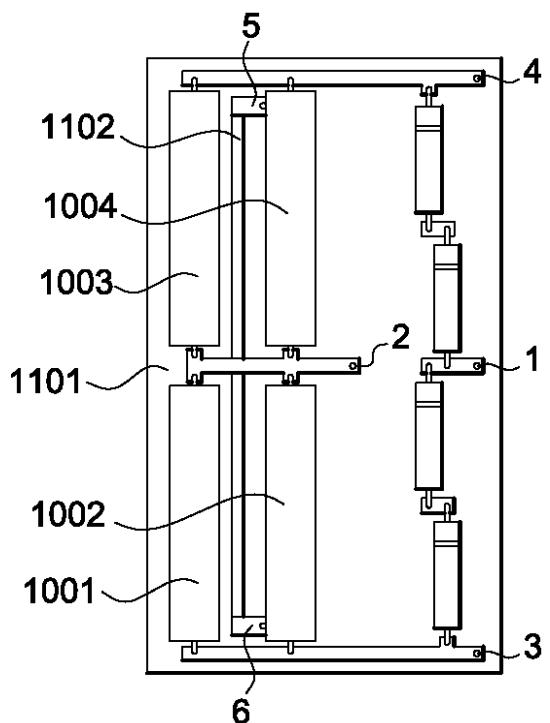
【 四 9 】



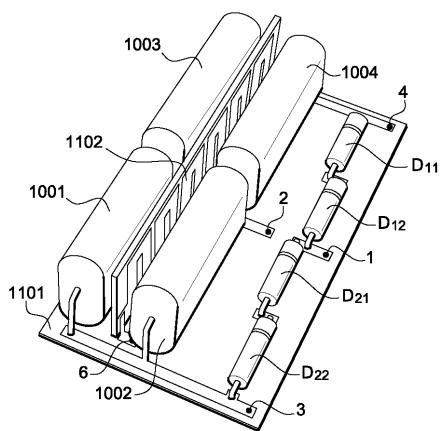
【図10】



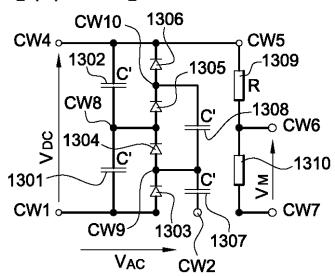
【図 11】



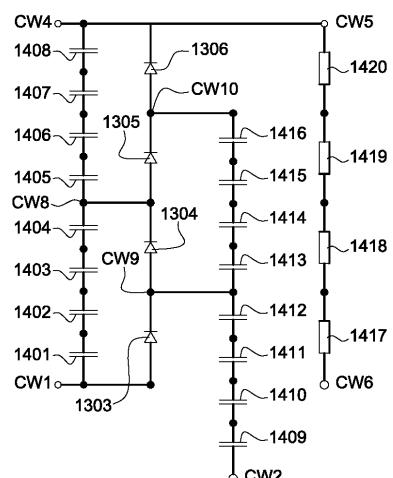
【図 1 2】



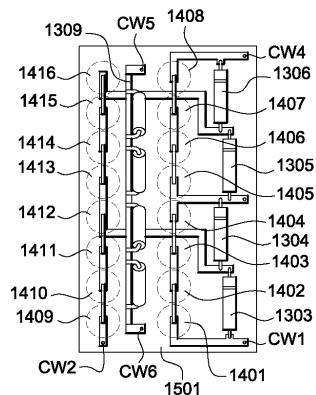
【 図 1 3 】



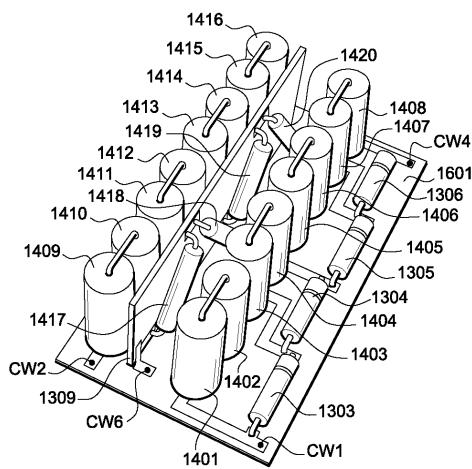
【 図 1 4 】



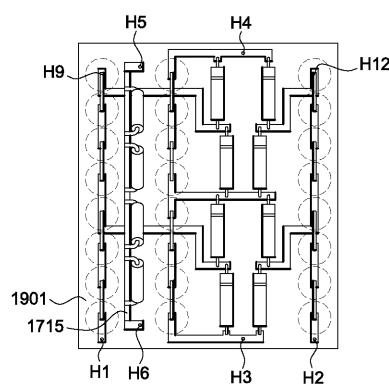
【図15】



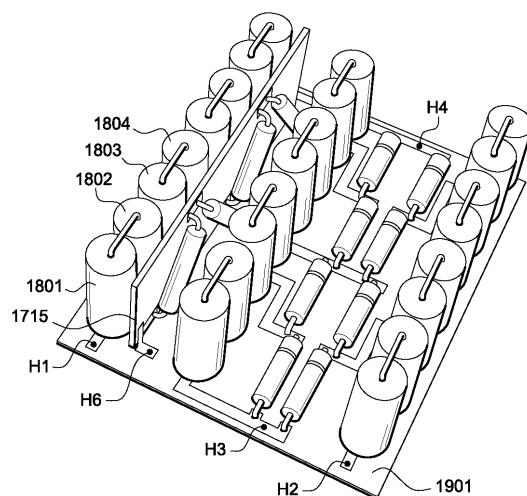
【図 1 6】



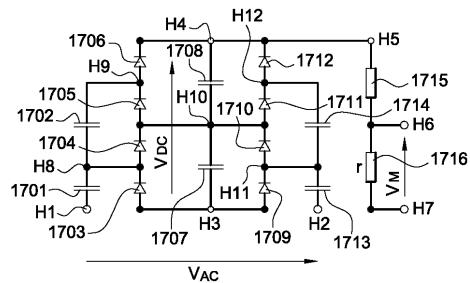
【 図 1 9 】



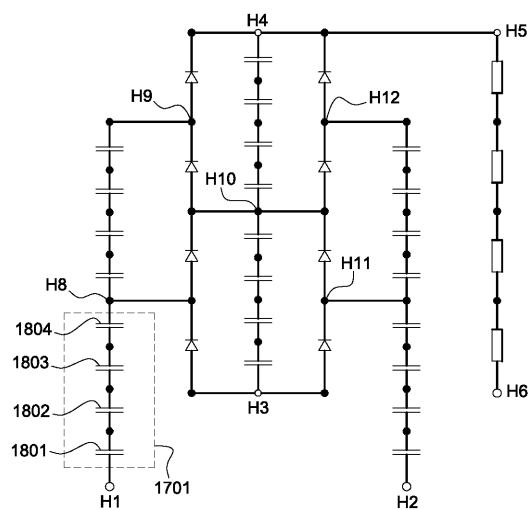
【 図 2 0 】



【図17】



【 図 1 8 】



フロントページの続き

(74)代理人 100129779

弁理士 黒川 俊久

(72)発明者 ジョルジュ・ウィリアム・バティスト

フランス、78530・ピュコ、リュ・カミーユ・エステ・サーンス、11番

(72)発明者 デニス・ペリラ - アメデ

フランス、75006・パリ、リュ・デュ・モンパルナス、38番

(72)発明者 ローレンス・アボナー

フランス、78460・ショアゼ、リュ・デ・ソース、7番

審査官 伊藤 昭治

(56)参考文献 特開平10-112398 (JP, A)

特開平06-076982 (JP, A)

特開平10-041093 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 05 G 1 / 10