

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92114300

※申請日期：92年05月27日

※IPC分類：H01L 27/04 (2006.01)

壹、發明名稱：

(中) 半導體積體電路裝置

(外) 半導体集積回路装置

貳、申請人：(共 2 人)

1. 姓名：(中) 日立製作所股份有限公司

(外) 株式会社日立製作所

代表人：(中) 1. 庄山悦彦

(外)

地址：(中) 日本國東京都千代田區神田駿河台四丁目六番地

(外)

國籍：(中英) 日本 JAPAN

2. 姓名：(中) 日立超愛爾・愛斯・愛・系統股份有限公司

(外) 株式会社日立超エル・エス・アイ・システムズ

代表人：(中) 1. 小切間正彦

(外)

地址：(中) 日本國東京都小平市上水本町五丁目二番一號

(外)

國籍：(中英) 日本 JAPAN

參、發明人：(共 4 人)

1. 姓名：(中) 齊藤佳代子

(外) 斉藤佳代子

地址：(中) 日本國東京都千代田區丸之內一丁目五番一號新丸大樓日立製作所
假知的財産權本部內

(外) 日本国東京都千代田区丸の内一丁目5番1号新丸ビル株式会社日立製作
所知的財産權本部內

2. 姓名：(中) 楠貢

(外) 楠貢

地址：(中) 日本國東京都千代田區丸之內一丁目五番一號新丸大樓日立製作所

知的財産権本部内
(外) 日本国東京都千代田区丸の内一丁目5番1号新丸ビル(株)日立製作
所知的財産権本部内

3. 姓 名: (中) 石塚裕康
(外) 石塚裕康
地 址: (中) 日本国東京都小平市上水本町五丁目二番一號日立超愛爾・愛斯
・愛・系統(株)内
(外) 日本国東京都小平市上水本町五丁目2番1号(株)日立超
エル・エス・アイ・システムズ内

4. 姓 名: (中) 益田信一郎
(外) 益田信一郎
地 址: (中) 日本国東京都小平市上水本町五丁目二番一號日立超愛爾・愛斯
・愛・系統(株)内
(外) 日本国東京都小平市上水本町五丁目2番1号(株)日立超
エル・エス・アイ・システムズ内

肆、聲明事項:

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權:

【格式請依: 受理國家(地區); 申請日; 申請案號數 順序註記】

1. 日本 ; 2002/06/10 ; 2002-168680 ☒ 有主張優先權

知的財産権本部内
(外) 日本国東京都千代田区丸の内一丁目5番1号新丸ビル(株)日立製作
所知的財産権本部内

3. 姓 名: (中) 石塚裕康
(外) 石塚裕康
地 址: (中) 日本国東京都小平市上水本町五丁目二番一號日立超愛爾・愛斯
・愛・系統(株)内
(外) 日本国東京都小平市上水本町五丁目22番1号(株)日立超
エル・エス・アイ・システムズ内

4. 姓 名: (中) 益田信一郎
(外) 益田信一郎
地 址: (中) 日本国東京都小平市上水本町五丁目二番一號日立超愛爾・愛斯
・愛・系統(株)内
(外) 日本国東京都小平市上水本町五丁目22番1号(株)日立超
エル・エス・アイ・システムズ内

肆、聲明事項:

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權:

【格式請依: 受理國家(地區); 申請日; 申請案號數 順序註記】

1. 日本 ; 2002/06/10 ; 2002-168680 ☒ 有主張優先權

(1)

玖、發明說明

【發明所屬之技術領域】

本發明是關於半導體積體電路裝置，且是關於，當在半導體積體電路裝置的輸入端子施加有非所希望的高電壓時可以加以箝位(clampung)，以防止元件被破壞的技術。

【先前技術】

在半導體積體電路確保靜電耐壓很重要。習知的半導體積體電路的靜電耐壓技術有：例如日本特開平 11 - 243639 號公報所記載，有效利用積體區域等，能夠以簡單的架構使突波電壓等急激的電壓變化逸散的技術。藉此技術時，可生成對應所供應的直流電壓發生的電壓變化而變化的變化信號，依據，互補方式進行對外部的信號輸出的成對轉接元件，及所給的輸入信號與上述信號生成部所生成的信號，控制上述成對轉接元件的轉接，以消滅上述電壓變化。

同時，在日本特開平 10 - 303314 號公報則揭示有，施加突波電壓時，防止靜電進入輸入電路的技術。依據此技術時，可以藉由配設：連接在電源線及接地線，從輸入端予供給信號進行上述信號的處理的輸入電路；將從輸入端子輸入的電源電壓方向的第 1 突波電壓所引起的電荷，旁通至電源線的電源側輸入保護電路；連接在上述電源線及上述接地線之間，將由電源側輸入保護電路旁通至上述電源線的第 1 突波電壓的電荷旁通至上述接地線的電源間

保護電路，以防止靜電進入輸入電路。

並且，在供給超過 MOS 電晶體的耐壓的高位準電源的半導體積體電路，有一種以重疊兩層箝位電路來因應的電路技術(例如 USP5907464)。在這種電路，對重疊兩層箝位電路而形成的中間節點，供應由中間電位產生電路產生的中間電位。中間電位產生電路是串聯兩個 p 通道型 MOS 電晶體構成，在此 MOS 電晶體串聯電路將電源電壓分壓而獲得。

【發明內容】

在供給超過 MOS 電晶體的耐壓的高位準電源的半導體積體電路，重疊兩層箝位電路，以兩個元件(例如 p 通道型 MOS 電晶體)的串聯電路生成中間電位，將其供給上述中間節點的技術，高電位側電源與低電位側電源之間的阻抗會變成 1 層時的兩倍。依據本發明人的檢討發現，如果組抗不充分低，是無法充分發揮箝位電路的過電流旁通功能，因此靜電耐壓的提高受到阻礙。

本發明的目的在提供，重疊兩層箝位電路時，以低阻抗將非所希望位準的電位加以箝位的技術。

本發明的上述及其他目的以及新穎的特徵，可以從本說明書的記述以及附圖獲得進一步的瞭解。

茲簡單說明本案所揭示的發明中，具代表性者的概要如下。

亦即，包含：有高電位側電源的輸入端子；及低電位

側電源的輸入端子；以及供應較上述高電位側電源的電壓為低位準的內部電路用電源，而可動作的內部電路；以構成半導體積體電路裝置時，在上述高電位側電源及上述低電位側電源間，分別配設可以將非所希望位準的電壓加以箝位的第 1 箝位電路，及縱向堆疊於此的第 2 箝位電路，縱向堆疊上述第 1 箝位電路與上述第 2 箝位電路而形成的中間節點，結合在上述內部電路用電源。

在內部電路，因結合內部電路用電源與低電位側電源，隨處設有用以減低內部電路用電源所含的雜訊的電容器，因此該等的合成電容量變大，阻抗被抑低。

依據上述手段時，因為將本來就配設作為內部電路的動作電源的內部電路用電源供給中間節點，因此，本來就配設在內部電路的電容器與第 1 箝位電路配置成並聯形態，藉此使阻抗降低，因此，流通於晶片內的過電流造成的電位差變小。因之，可以流通更大的過電流，可以提高其靜電耐壓。

這時，上述內部電路可以含有：結合在上述內部電路用電源的薄膜電晶體所形成的邏輯電路；及設在上述內部電路用電源與上述低電位側電源之間的減低雜訊用電容器。

同時，可配設，藉由將上述高電位側電源降壓而生成上述內部電路用電源的內部電路用電源生成電路。

可以配設，因為供給跟上述高電位側電源不相同的輸入輸出電路用電源，而能夠將信號輸出外部的輸出電路；

及設在上述輸入輸出電路用電源與上述低電位側電源之間，用以將非所希望位準的電壓加以箝位的第3箝位電路。

配設輸入端子；及因供給上述內部電路用電源而動作，取進經由上述輸入端子傳遞的信號的輸入電路，上述輸入電路可以含有：用以取進經由輸入端子取進的信號的輸入電晶體；及用以形成連至上述輸入輸出電路用電源的導通路徑的防止靜電破壞用二極體。

上述第1箝位電路結合於低電位側電源，上述第2箝位電路結合於高電位側電源時，上述第2箝位電路含有：在規定的時間常數範圍形成參照電壓的時間常數電路；可以依據上述參照電壓檢出上述高電位側電源與上述內部電路用電源的電位差的反相電路；可依據上述反相電路的輸出邏輯，短路上述高電位側電源與上述內部電路用電源的MOS電晶體；以及平常動作時，可阻止流通於上述MOS電晶體及上述反相電路的貫穿電流的電阻。

並且，上述高電位側電源、低電位側電源、及內部電路用電源的配線，可以包含配線電阻低的再配線層。

【實施方式】

第17圖表示本發明的半導體積體電路裝置的一個例子的SRAM。

第17圖所示的SRAM102不特別限定，但本例是在半導體晶片120結合BGA(Ball Grid Array)基板121而成。

半導體晶片 120 不特別限定，但本例是藉由習知的半導體積體電路製造技術，形成在單晶矽基板等的一片半導體基板。BGA 基板 121 具有，能以電氣方式結合於零件安裝基板等的外部端子的 BGA 球 124。半導體晶片 120 與 BGA 基板 121 是經由突塊電極 125 以電氣方式相結合。

第 1 圖表示上述 SRAM 的主要部分的電路架構。

經由輸入端子供給高電位側電源 VDD，及低電位側電源 VSS。雖不特別限定，但高電位側電源 VDD 是 2.5 V，低電位側電源 VSS 是 0 V(接地 GND 位準)。設有內部電路電源生成電路 40，此內部電路電源生成電路 40 是藉由將高電位側電源 VDD 的輸出電壓降壓而生成內部電路用電源 VDDi。在從外部供給的高電位側電源 VDD 與低電位側電源 VSS 間設有，分別可將非所希望位準的電壓加以箝位的第 1 箝位電路 10，與縱方向堆疊其上的第 2 箝位電路 20。如此，將兩個箝位電路 10、20 縱方向堆疊的理由是，因 MOS 電晶體的細微化而供應超過 MOS 電晶體的耐壓的高電位側電源 VDD 時，仍可降低加在一個 MOS 電晶體的電壓位準，藉此使 MOS 電晶體能夠使用。而因為縱向重疊第 1 箝位電路 10 與第 2 箝位電路 20 而形成的中間節點 100，則結合在上述內部電路用電源 VDDi。並設有，從外部取進信號用的輸入端子 80，經由此輸入端子 80 取進的信號則由輸入電路 50 取進晶片內部。輸入電路 50 是供給上述內部電路用電源 VDDi 而動作。另設有，將信號輸出外部的輸出電路 70。此輸出電路 70 是由

外部供給 I/O(輸入輸出)電路用電源 VDDQ 而動作。

上述內部電路電源生成電路 40 雖不特別限定，但配設有：結合在高電位側電源 VDD 的 p 通道型 MOS 電晶體 43；用以產生基準電壓的基準電壓產生電路 41；依據從此基準電壓產生電路 41 輸出的基準電壓控制上述 p 通道型 MOS 電晶體 43，藉此形成內部電路用電源 VDDi。雖不特別限定，但此內部電路用電源 VDDi 的電壓位準是 1.2 V。

第 1 箝位電路 10 是如下述構成。

因結合在內部電路用電源 VDDi 的 p 通道型 MOS 電晶體 11，與結合在低電位側電源 VSS 的電容器 12 串聯，可以從其串聯連接處獲得參照電壓。此參照電壓在由 p 通道型 MOS 電晶體 11 的電阻成分與電容器 12 的時間常數所決定的時間內，縱使內部電路用電源 VDDi 的電壓位準上昇到非所希望的值，仍可以維持一定電壓。結合在內部電路用電源 VDDi 的 p 通道型 MOS 電晶體 13，與結合在低電位側電源 VSS 的 n 通道型 MOS 電晶體 14，串聯連接而形成反相器。在此 MOS 電晶體 13、14 的閘電極供應有，上述 p 通道型 MOS 電晶體 11 與電容器 12 的串聯連接節點的參照電壓。而設有可以短路內部電路用電源

→ VDDi 與低電位側電源 VSS 的 n 通道型 MOS 電晶體 16。

MOS 電晶體 13、14 構成的反相器的輸出信號傳遞到此

→ MOS 電晶體 16 的閘電極。在上述 MOS 電晶體 15 的源

極・汲極間存在有雜散二極體 16。

依據此架構時，平常動作時，MOS 電晶體 11 與電容器 12 的串聯連接節點的參照電壓供給 MOS 電晶體 13、14 的閘電極，因此，MOS 電晶體 13 成為截斷狀態，MOS 電晶體 14 成為導通狀態。這時，MOS 電晶體 15 成為截斷狀態。對此，內部電路用電源 VDD_i 的電壓位準瞬間上昇到非所希望的位準時，p 通道型 MOS 電晶體 13 導通，n 通道型 MOS 電晶體 14 截斷。藉此，n 通道型 MOS 電晶體 15 導通，將內部電路用電源 VDD_i 的非所希望的位準的電壓加以箝位。而，因為有雜散二極體 16 的存在，低電位側電源 VSS 的電壓位準上昇到非所希望的位準時，經由上述雜散二極體 16 在內部電路用電源 VDD_i 有電流通，而進行電壓箝位。

第 2 箝位電路 20 是如下述構成。

因結合在高電位側電源 VDD 的 p 通道型 MOS 電晶體 21，與結合在內部電路用電源 VDD_i 的電容器 22 串聯，可以從其串聯連接處獲得參照電壓。此參照電壓在由 p 通道型 MOS 電晶體 21 的電阻成分與電容器 22 的時間常數所決定的時間內，縱使高電位側電源 VDD 的電壓位準上昇到非所希望的值，仍可以維持一定電壓。結合在高電位側電源 VDD 的 p 通道型 MOS 電晶體 23，與結合在內部電路用電源 VDD_i 的 n 通道型 MOS 電晶體 24，串聯連接而形成反相器。在 MOS 電晶體 23、24 的閘電極供應有，上述 p 通道型 MOS 電晶體 21 與電容器 22 的串聯連接節點的參照電壓。而設有可以短路高電位側電源 VDD 與內

部電路用電源 VDD_i 的 n 通道型 MOS 電晶體 25。MOS 電晶體 23、24 構成的反相器的輸出信號傳遞到此 MOS 電晶體 25 的閘電極。在上述 MOS 電晶體 25 的源極・汲極間存在有雜散二極體 26。

第 3 箝位電路 30 是如下述構成。

因結合在 I/O (輸入輸出)電路用電源 $VDDQ$ 的 p 通道型 MOS 電晶體 31，與結合在低電位側電源 VSS 的電容器 32 串聯，可以從其串聯連接處獲得參照電壓。此參照電壓在由 p 通道型 MOS 電晶體 31 的電阻成分與電容器 32 的時間常數所決定的時間內，縱使 I/O (輸入輸出)電路用電源 $VDDQ$ 的電壓位準上昇到非所希望的值，仍可以維持一定電壓。結合在 I/O (輸入輸出)電路用電源 $VDDQ$ 的 p 通道型 MOS 電晶體 33，與結合在低電位側電源 VSS 的 n 通道型 MOS 電晶體 34，串聯連接而形成反相器。在 MOS 電晶體 33、34 的閘電極供應有，上述 p 通道型 MOS 電晶體 31 與電容器 32 的串聯連接節點的參照電壓。而設有可以短路 I/O (輸入輸出)電路用電源 $VDDQ$ 與低電位側電源 VSS 的 n 通道型 MOS 電晶體 35。MOS 電晶體 33、34 構成的反相器的輸出信號傳遞到此 MOS 電晶體 35 的閘電極。在上述 MOS 電晶體 35 的源極・汲極間存在有雜散二極體 36。

這種架構的箝位動作與上述第 1 箝位電路 10 或第 2 箝位電路 20 相同，因此其詳細說明從略。

上述內部電路 60 雖不特別限定，但含有此 SRAM 的

主要內部邏輯。例如，雖未圖示，但此內部電路 60 含有記憶單元陣列或其周邊電路。在第 1 圖，以代表方式表示雙輸入的 AND 閘，或配置在其後級的 MOS 電晶體 62、63，作為內部電路 60 的一個例子。構成這種內部電路 60 的 MOS 電晶體因細微化，耐壓降低，因此供給將高電位側電源 VDD 降壓所獲得的內部電路用電源 VDDi。內部電路的輸出信號，例如從記憶單元陣列讀出的資料可以經由輸出電路 70 輸出外部。同時，在內部電路 60，因結合內部電路用電源 VDDi 與低電位側電源 VSS，隨處設有用以減低內部電路用電源 VDDi 所含的雜訊的電容器 64。因為隨處設備這種電容器 64，因此該等的合成電容量變大，阻抗被抑低。

雖不特別限定，但輸入電路 50 含有：n 通道型 MOS 電晶體 53、55，及 p 通道型 MOS 電晶體 54。藉由串聯結合在內部電路用電源 VDDi 的 p 通道型 MOS 電晶體 54，與結合在低電位側電源 VSS 的 n 通道型 MOS 電晶體 55，而形成取進輸入信號用的反相器。在此 MOS 電晶體 54、55 與輸入信號用的輸入端子 80 間，夾裝有 n 通道型 MOS 電晶體 53。此 MOS 電晶體 53 的閘電極結合在內部電路用電源 VDDi。並設有，用以防止構成此輸入電路 50 的 MOS 電晶體的遭受靜電破壞的二極體 51、52。二極體 51 設在，從輸入端子 80 至 MOS 電晶體 53 的信號輸入路徑與低電位側電源 VSS 之間，二極體 52 設在 I/O 電路用電源 VDDQ 與上述信號輸入路徑之間。

雖不特別限定，但輸出電路 70 含有：經由輸出端子 90 將信號輸出外部的 MOS 電晶體 71 ~ 74，及防止此輸入電路的元件遭受靜電破壞的二極體 75、76。上述 MOS 電晶體 71 ~ 74 等，構成此輸出電路 70 的 MOS 電晶體，在供給 I/O 電路用電源 VDDQ 後動作。

雖不特別限定，但上述電路所使用的電容器 12、22、32、64 等是如第 3 圖所示，可以藉利用閘極氧化膜的 MOS 電容形成。亦即是利用，由於將相當於源電極或汲電極的半導體領域 (P^+ ， N^+) 共同連接在低電位側電源 VSS (或內部電路用電源 VDDi)，而形成在與閘電極 FG 間的 MOS 電容器。

習知的半導體積體電路裝置的靜電破壞耐壓評價方法有：HBM(Human Body Model)方式、MM(Machine Model)方式，及 CDM(Charged Device Model)方式。HMB 方式是模擬積存在人體的靜電放出到半導體積體電路裝置時的波形。MM 方式是模擬積存在機械的靜電放出到半導體積體電路裝置時的波形。CMD 方式是模擬積存在半導體積體電路裝置的封裝體的靜電放出的狀態。不論是那一種方式，只要是經由箝位電路形成有低電阻的電流匯流排，便不會在 MOS 電晶體施加非所希望位準的電壓，因此該 MOS 電路便不受到破壞。以下，以 HMB 方式與 CDM 方式為例，參照第 4 圖至第 7 圖說明箝位電路的作用。再者，為了方便說明，高電位側電源 VDD 的配線的配線電阻以 r_d 表示，低電位側電源 VSS 的配線的配線電阻以 r_s

表示，I/O 電路用電源 VDDQ 的配線的配線電阻以 r_q 表示。

第 4 圖表示在 HBM 時，向輸入端子 80 供應正極側的電荷時之情形。

開關 402 成虛線所示狀態，直流電源(例如，150 V)的正極側結合在電容器 403 時，此電容器 403 被充電。接著，開關 402 切換成實線所示狀態，電容器 403 的儲存電荷(正極側)供給輸入端子 80，藉此進行靜電破壞耐壓評價。此項評價有：VSS 基準、VDD 基準、VDDQ 基準的 3 種。

VSS 基準時，僅低電位側電源 VSS 的輸入端子成為接地位準，以這種狀態，電容器 403 的儲存電荷(正極側)供給輸入端子 80。這時，其他輸入端子成開放狀態。此 VSS 基準時，因為電流經由輸入端子 80、二極體 52、I/O 電路用電源 VDDQ 的配線、因施加非所希望的電壓而導通的 n 通道型 MOS 電晶體 35 至低電位側電源 VSS 的電流路徑流通，因此，可以避免在形成輸入電路 50 的 MOS 電晶體 53、54、55 的電極，施加非所希望位準的電壓。

VDD 基準時，僅高電位側電源 VDD 的輸入端子成為接地位準，以這種狀態，電容器 403 的儲存電荷(正極側)供給輸入端子 80。這時，其他輸入端子成開放狀態。此 VDD 基準時，因為電流經由輸入端子 80、二極體 52、I/O 電路用電源 VDDQ 的配線、因施加非所希望的電壓而導通的 n 通道型 MOS 電晶體 35，低電位側電源 VSS 的配

線、二極體 16、26 至高電位側電源 VDD 的電流路徑流通，因此，可以避免在形成輸入電路 50 的 MOS 電晶體 53、54、55 的電極，施加非所希望位準的電壓。

VDDQ 基準時，僅 I/O 電路用電源 VDDQ 的輸入端子成爲接地位準，以這種狀態，電容器 403 的儲存電荷(正極側)供給輸入端子 80。這時，其他輸入端子成開放狀態。此 VDDQ 基準時，因爲電流經由輸入端子 80、二極體 52 至 I/O 電路用電源 VDDQ 的電流路徑流通，因此，可以避免在形成輸入電路 50 的 MOS 電晶體 53、54、55 的電極，施加非所希望位準的電壓。

第 5 圖表示在 HMB 時，向輸入端子 80 供應負極側的電荷時之情形。

開關 502 成虛線所示狀態，直流電源(例如，150 V)的負極側結合在電容器 403 時，此電容器 403 被充電。接著，開關 402 切換成實線所示狀態，電容器 403 的儲存電荷(負極側)供給輸入端子 80，藉此進行靜電破壞耐壓評價。此項評價有：VSS 基準、VDD 基準、VDDQ 基準的 3 種。

VSS 基準時，僅低電位側電源 VSS 的輸入端子成爲接地位準，以這種狀態，電容器 403 的儲存電荷(負極側)供給輸入端子 80。這時，其他輸入端子成開放狀態。此 VSS 基準時，因爲電流從此低電位側電源 VSS 的輸入端子、配線、再經由二極體 51 至輸入端子 80 的電流路徑流通，因此，可以避免在形成輸入電路 50 的 MOS 電晶體

53、54、55 的電極，施加非所希望位準的電壓。

VDD 基準時，僅高電位側電源 VDD 的輸入端子成爲接地位準，以這種狀態，電容器 403 的儲存電荷(負極側)供給輸入端子 80。這時，其他輸入端子成開放狀態。此 VDD 基準時，因爲電流從此高電位側電源 VDD 的輸入端子、配線，再經由，因施加非所希望位準的電壓而導通的 n 通道型 MOS 電晶體 25、15、低電位側電源 VSS 的配線、二極體 51 至輸入端子 80 的電流路徑流通，因此，可以避免在形成輸入電路 50 的 MOS 電晶體 53、54、55 的電極，施加非所希望位準的電壓。

VDDQ 基準時，僅 I/O 電路用電源 VDDQ 的輸入端子成爲接地位準，以這種狀態，電容器 403 的儲存電荷(負極側)供給輸入端子 80。這時，其他輸入端子成開放狀態。此 VDDQ 基準時，因爲電流從此 I/O 電路用電源 VDDQ 的輸入端子、配線，再經由，因施加非所希望位準的電壓而導通的 n 通道型 MOS 電晶體 35、低電位側電源 VSS 的配線、二極體 51 至輸入端子 80 的電流路徑流通，因此，可以避免在形成輸入電路 50 的 MOS 電晶體 53、54、55 的電極，施加非所希望位準的電壓。

再者，在第 4 圖及第 5 圖，電荷從電容器 403 移動到 SRAM 內時，因各配線電阻 r_s 、 r_d 、 r_q ，或各箝位電路 10、20、30 內的 MOS 電晶體 15、25、35 的導通電阻，會產生電壓，因此對各元件的常數進行設定，使此電壓的位準不超過 MOS 電晶體的耐壓。

第 6 圖表示，在 CDM 方式，放出經由輸入端子 80 帶電的負電位時的情形。

在包含：高電位側電源 VDD 的輸入端子；低電位側電源 VSS 的輸入端子；I/O 電路用電源 VDDQ 的輸入端子；及信號的輸入端子 80 的所有端子，分別經由開關 601、604、602、603 供給直流電源(例如，2000 V)605、608、606、607 的負極側，而在 SRAM 儲存電荷後，截斷開關 601、604、602，切換開關 603，將輸入端子 80 接地 GND(低電位側電源 VSS 位準)。這時，因為電流從輸入端子 80 經由二極體 52、因施加非所希望的電壓而導通的 n 通道型 MOS 電晶體 35、低電位側電源 VSS 的配線至輸入電路 50 的電流路徑流通，同時，電流從輸入端子 80 經由二極體 52、因施加非所希望的電壓而導通的 n 通道型 MOS 電晶體 35、二極體 16，內部電路用電源 VDDi 的配線至輸入電路 50 的電流路徑流通，因此，可以避免在形成輸入電路 50 的 MOS 電晶體 53、54、55 的電極，施加非所希望位準的電壓。

第 7 圖表示，在 CDM 方式，放出經由輸入端子 80 帶電的正電位時的情形。

在包含：高電位側電源 VDD 的輸入端子；低電位側電源 VSS 的輸入端子；I/O 電路用電源 VDDQ 的輸入端子；及信號的輸入端子 80 的所有端子，分別經由開關 701、704、702、703 供給直流電源(例如，2000 V)705、708、706、707 的正極側，而在 SRAM 儲存電荷後，截斷

開關 701、704、702，切換開關 703，將輸入端子 80 接地

GND(低電位側電源 VSS 位準)。這時，因為電流從輸入端

子 50 經由低電位側電源 VSS 的配線、二極體 51、及輸入

端子 80 至 GND 的電流路徑流通，同時，電流從輸入端子

50 經由內部電路用電源 VDDi 的配線、因施加非所希望的

電壓而導通的 n 通道型 MOS 電晶體 15、低電位側電源

VSS 的配線、二極體 51，及輸入端子 80 至 GND 的電流

路徑流通，因此，可以避免在形成輸入電路 50 的 MOS 電

晶體 53、54、55 的電極，施加所希望位準的電壓。

再者，在第 6 圖及第 7 圖，假設輸入電路 50 的輸入
電阻 r_g ，與配線電阻 r_q 、 r_s 、 r_i 之間有 $r_q < r_g$ 、 $r_q + r_s$
 $+ r_i < r_g$ 的關係存在。

在此，再參照第 2 圖說明作為第 1 圖所示電路的比較
對象的電路。

在供應超過 MOS 電晶體的耐壓的高位準的電源的半
導體積體電路裝置，將箝位電路 10、20 重疊兩層時，在
因為將箝位電路 10、20 重疊兩層而形成的中間節點
100，設有串聯 p 通道型 MOS 電晶體 401、402 而成的中
間電位生成電路 404。在這種架構，為了生成上述中間電
位而設兩個 p 通道型 MOS 電晶體 401、402 的串聯電路，
將需要只用以生成上述中間電位的專用的 MOS 電晶體，
同時，生成上述中間電位時，必須令生成中間電位用的規
定的電流流通於兩個 p 通道型 MOS 電晶體 401、402，因
而使半導體積體電路的電流消耗增加。

對此，第 1 圖所示之架構是，內部電路 60 的動作電源是將原來配設的電源的內部電路用電源 $VDDi$ 供給中間節點 100，因此，不需要新設用以生成上述中間電位的兩個 p 通道型 MOS 電晶體 401、402 的串聯電路。因此，可以不必在兩個 p 通道型 MOS 電晶體 401、402 的串聯電路流通無用的電流。

其次說明上述 SRAM 的晶片分布圖。

第 8 圖表示上述 SRAM 102 的再配線層及與之連接的突塊電極及焊接墊的布置。

在第 8 圖，突塊(Bump)電極用圓圈標示，小的四方形是表示由金屬配線層形成的焊接墊。爲了表示所加的電壓或信號的差異，突塊電極、焊接墊、及再配線層用網目、斜線、塗黑等來區別。

形成低電位側電源 VSS 、高電位側電源 VDD 、 I/O 電路用電源 $VDDQ$ 、內部電路用電源 $VDDi$ 的各配線，而該等是結合在對應的突塊電極。低電位側電源 VSS 、高電位側電源 VDD 、 I/O 電路用電源 $VDDQ$ 是經由對應的突塊電極從外部取進，經由對應的配線傳遞至各部分。雖不特別限定，但再配線層 266 是由銅(Cu)及鎳(Ni)形成，是低電阻。由於使用這種再配線層 266 傳送低電位側電源 VSS 、高電位側電源 VDD 、 I/O 電路用電源 $VDDQ$ 、內部電路用電源 $VDDi$ ，因此可以將配線電阻造成的電壓降抑制得很低，因此可以有良好的電源供應。同時，避開中央部配置的記憶墊是將靜態型的複數個記憶單元排列成矩陣

狀。

第 9 圖表示輸入電路 50、內部電路電源生成電路 (VDDi 產生電路)40、箝位電路 10、20、30 的配置。再者，第 9 圖省略再配線層 266 的配線或突塊電極，以便能夠看清楚輸入電路 50、內部電路電源生成電路 (VDDi 產生電路)40、箝位電路 10、20、30 等的配線處所。如第 9 圖所示，爲了儘可能降低配線電阻的影響，將輸入電路 50、內部電路電源生成電路 (VDDi 產生電路)40、箝位電路 10、20、30 分散配置在複數個部位。

第 10 圖表示第 1 箝位電路 10 的布置例子。

p 通道型 MOS 電晶體 13 及 n 通道型 MOS 電晶體 14 是形成反相器用的 MOS 電晶體，分別並聯連接相同數目的 MOS 電晶體。n 通道型 MOS 電晶體 15 是箝位用的 MOS 電晶體，並聯連接複數個 MOS 電晶體，以便能夠穩定流通很多電流。電容器 12 是利用 MOS 電晶體的氧化膜，並聯連接複數個 MOS 電晶體，藉此使 PWELL 的雜散電容較小。內部電路用電源 VDDi、低電位側電源 VSS 使用配線第 2 層。MOS 電晶體 13、14 與 MOS 電晶體 15 的結合，或電容器 12 與 MOS 電晶體 11、13、14 的結合使用配線第 1 層、配線第 2 層。又如第 11 圖所示，利用配線第 3 層進行低電位側電源 VSS 與內部電路用電源 VDDi 的配線。

第 12 圖表示第 2 箝位電路 20 的布置例子。

第 2 箝位電路 20 的布置基本上與第 1 箝位電路 10 的

布置相同。亦即，p 通道型 MOS 電晶體 23 及 n 通道型 MOS 電晶體 24 是形成反相器用的 MOS 電晶體，分別並聯連接相同數目的 MOS 電晶體。n 通道型 MOS 電晶體 25 是箝位用的 MOS 電晶體，並聯連接複數個 MOS 電晶體，以便能夠穩定流通很多電流。電容器 22 是利用 MOS 電晶體的氧化膜，並聯連接複數個 MOS 電晶體，藉此使 PWELL 的雜散電容較小。內部電路用電源 VDDi、高電位側電源 VDD 使用配線第 2 層。MOS 電晶體 23、24 與 MOS 電晶體 25 的結合，或電容器 22 與 MOS 電晶體 21、23、24 的結合使用配線第 1 層、配線第 2 層。又如第 13 圖所示，利用配線第 3 層進行高電位側電源 VDD 與內部電路用電源 VDDi 的配線。

第 10 圖、第 11 圖所示的第 1 箝位電路 10，或第 12 圖、第 13 圖所示的第 2 箝位電路 20 在半導體晶片，可以如第 14 圖所示橫方向配置。也可以如第 15 所示縱方向配置。

又，本例之從外部取進的位址信號也是經由再配線層 266 傳遞，例如以代表性表示的輸入位址信號或控制信號用的突塊電極(用雙重圓圈表示)，結合再配線層 266 的位址信號配線，經由此位址信號配線將位址信號傳送到焊接墊。而從此焊接墊經過半導體晶片 120 的金屬配線層傳送到位址暫存器及預解碼器。再配線層 266 是低電阻，因此，使用這種再配線層 266 傳送位址信號時，位址信號的延遲量很少，可以縮短位址信號傳遞時間。

又，在本例，爲了避免雜訊混進位址信號配線，或相鄰接的位址信號線的串訊，藉由低電位側電源 VSS 的配線將位址信號線遮蔽。例如，將位址信號線夾在中間狀並排配設低電位側電源 VSS，藉此，位址信號線可以由鄰接的低電位側電源 VSS 的配線加以遮蔽。

依據上述例子，可以獲得下列作用效果。

(1)在供給超過 MOS 電晶體的耐壓的高位準的電源的 SRAM，將箝位電路 10、20 重疊兩層時，便可以進行高電位側電源 VDD、低電位側電源 VSS 間的箝位，因此，沒有必要作成箝位電路專用的高耐壓的 MOS 電晶體。

(2)如第 2 圖所示，在供給超過 MOS 電晶體的耐壓的高位準的電源的半導體積體電路，將箝位電路 10、20 重疊兩層時，若配設有，在因重疊兩層箝位電路而形成的中間節點 100，串聯連接 p 通道型 MOS 電晶體 401、402 而成的中間電位生成電路 404，將需要只生成中間電位的專用的 MOS 電晶體，同時，生成上述中間電位時，兩個 p 通道型 MOS 電晶體 401、402 必須流通生成中間電位用的規定的電流，因此半導體積體電路的消耗電流會增加，但第 1 圖所示的架構是，將原來配設作爲內部電路 60 的動作電源的電源的內部電路用電源 VDDi 供給中間節點 100，因此，不必重行配設生成中間電位用的兩個 p 通道型 MOS 電晶體 401、402 的串聯連接電路。因此不會在兩個 p 通道型 MOS 電晶體 401、402 的串聯連接電路流通無用的電流。

(3)在內部電路 60 隨處設有，因結合在內部電路用電源 $VDDi$ 與低電位側電源 VSS ，以減低含在內部電路用電源 $VDDi$ 的雜訊用的電容器 64。由於隨處配設有這種電容器 64，該等的合成電容量變大，阻抗被抑制在較低值。將內部電路用電源 $VDDi$ 供給中間節點 100 的架構，會成為在中間節點 100 與低電位側電源 VSS 間連接上述內部電路 60 的電容器 64 的架構，因此，可以將中間節點 100 與低電位側電源 VSS 間的阻抗抑制在較低值。因為阻抗變小，在晶片內流通的過電流造成的電位差變小。因此可以流通較大的過電流，可以滿足更大的靜電耐壓。

以上具體說明由本發明人所完成的發明，但本發明並非限定如此，當然可以在不脫離其主旨的範圍內作各種變更。

例如，由於使外部供應的高電位側電源 VDD 的電壓位準降低，內部電路用電源 $VDDi$ 的電壓位準有可能變成高電位側電源 VDD 的電壓位準的一半以上。例如，在第 16 圖，內部電路用電源 $VDDi$ 的電壓位準是 1.2 V 時，高電位側電源 VDD 降低成 1.5 V 時。這時，高電位側電源 VDD 與內部電路用電源 $VDDi$ 的差 153 是 0.3 V，相當低，因此在平常動作時，無法充分截斷第 2 箝位電路 20 的 p 通道型 MOS 電晶體 13，或 n 通道型 MOS 電晶體 25。因此，該 MOS 電晶體會有貫穿電流流通。

如此，高電位側電源 VDD 與內部電路用電源 $VDDi$ 的差 153 太低時，在 p 通道型 MOS 電晶體 11 並聯高電阻

151，藉此將 p 通道型 MOS 電晶體 13 的閘極電壓位準提高到可以使該 MOS 電晶體 13 截斷的充分高的位準。同時，在 n 通道型 MOS 電晶體 14 並聯高電阻 152，藉此將 n 通道型 MOS 電晶體 25 的閘極電壓位準降低到可以使該 MOS 電晶體 25 截斷的充分低的位準。藉此可以迴避在 p 通道型 MOS 電晶體 13，或 n 通道型 MOS 電晶體 25 流通貫穿電流。

同時，上述例子是將輸入電路 50 的防止靜電破壞用二極體 52 結合在 I/O 電路用電源 VDDQ，但因結合在輸入端子的各種輸入電路的架構，防止靜電破壞用二極體也可以結合在高電位側電源 VDD。

以上的說明主要是說明將本發明人所完成的發明應用在成為其背景的利用領域的 SRAM 時的詳情，但本發明並非限定如此，可以廣泛應用在各種半導體積體電路裝置。

本發明能夠，以至少包含，可以藉由供應較高電位側電源的電壓位準低的內部電路用電源而動作的內部電路為條件，加以應用。

茲簡單說明，可由本案揭示的發明中具代表性者獲得的效果如下。

亦即，因為是將原來配設作為內部電路的動作電源的電源的內部電路用電源供給中間節點，本來設在內部電路的電容器被配置成與第 1 箝位電路並聯，因此能夠以低阻抗將非所希望的位準的電位加以箝位。如此，將阻抗抑制在較低值，可以使晶片內流通的過電流引起的電位差變

小。因之，可以流通更大的過電流，可以滿足更大的靜電耐壓。

【圖式簡單說明】

第 1 圖是本發明的半導體積體電路的一個例子的 SRAM 的主要部分的架構例子電路圖。

第 2 圖是作為第 1 圖所示電路的比較對象的電路的架構例子電路圖。

第 3 圖是第 1 圖所示電路所含電容器的截面圖。

第 4 圖是說明第 1 圖所示電路的靜電破壞耐壓評價用的電路圖。

第 5 圖是說明第 1 圖所示電路的靜電破壞耐壓評價用的電路圖。

第 6 圖是說明第 1 圖所示電路的靜電破壞耐壓評價用的電路圖。

第 7 圖是說明第 1 圖所示電路的靜電破壞耐壓評價用的電路圖。

第 8 圖是關於上述 SRAM 的再配線層的布置說明圖。

第 9 圖是關於上述 SRAM 的再配線層的布置說明圖。

第 10 圖是關於上述 SRAM 的再配線層的布置說明圖。

第 11 圖是關於上述 SRAM 的再配線層的布置說明圖。

第 12 圖是上述 SRAM 所含的第 2 箱位電路的布置說

I286380

(23)

明圖。

第 13 圖是上述 SRAM 所含的第 2 箝位電路的布置說明圖。

第 14 圖是上述第 1 箝位電路與上述第 2 箝位電路的配置例說明圖。

第 15 圖是上述第 1 箝位電路與上述第 2 箝位電路的配置例說明圖。

第 16 圖是上述第 2 箝位電路的別的架構例子說明圖。

第 17 圖是上述 SRAM 的架構例子說明圖。

[圖號說明]

10：第 1 箝位電路

20：第 2 箝位電路

30：第 3 箝位電路

40：內部電路用電源生成電路

50：輸入電路

60：內部電路

70：輸出電路

80：輸入端子

伍、中文發明摘要

發明之名稱：半導體積體電路裝置

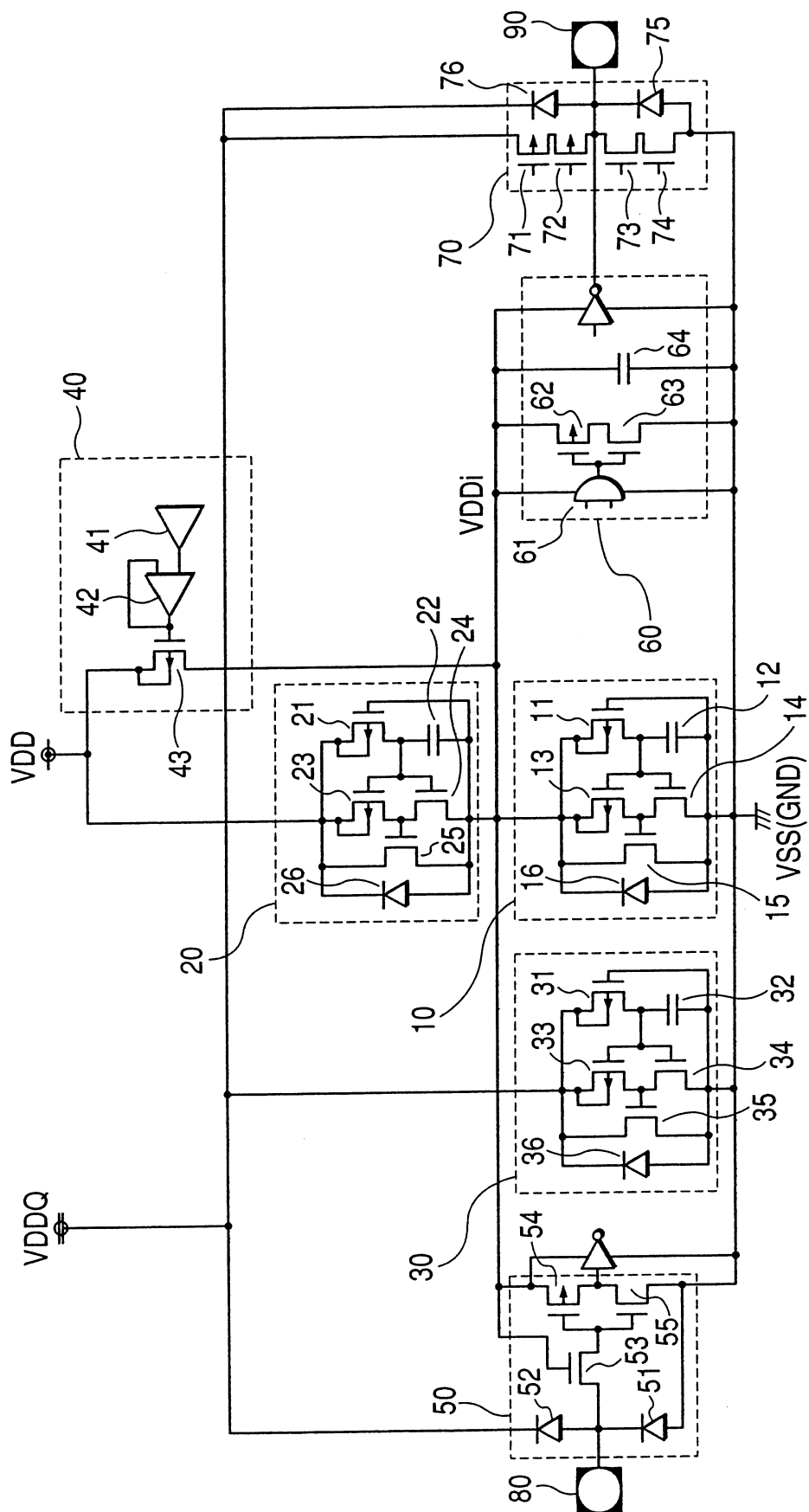
本發明提供一種半導體積體電路裝置，可以降低將箝位電路堆疊兩層時的阻抗。

在高電位側電源(VDD)與低電位側電源(VSS)間配設，分別用以將非所希望位準的電壓加以箝位的第 1 箝位電路(10)，及縱方向堆疊其上的第 2 箝位電路(20)，縱方向堆疊第 1 箝位電路(10)與第 2 箝位電路(20)而形成的中間節點(100)，則結合在內部電路用電源(VDDi)。因原來配設在內部電路的電容器與第 1 箝位電路配置成並聯狀態，因此，由於有此電容器的存在，阻抗降低，流動於晶片內的過電流造成的電位差變小。藉此，可以使流動於晶片內的過電流造成的電位差變小，允許更大的過電流，以提高靜電耐壓。

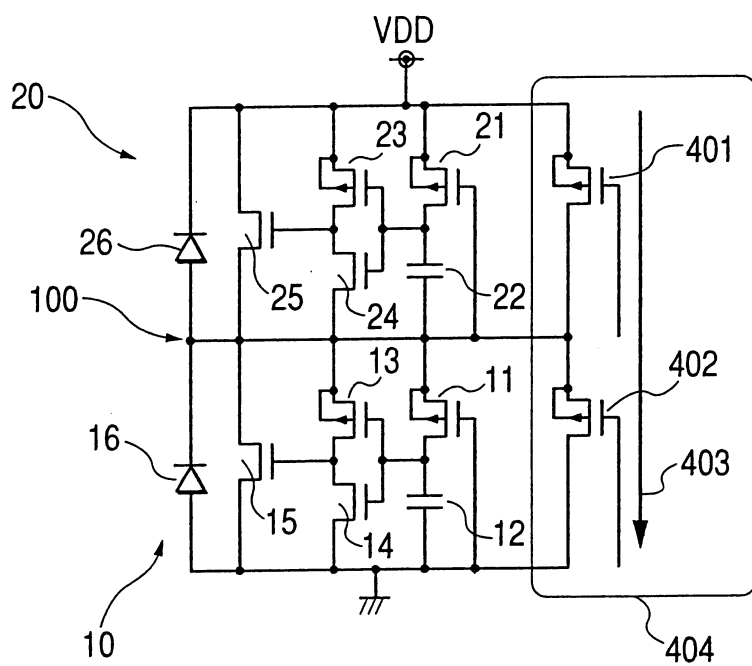
陸、英文發明摘要

發明之名稱：

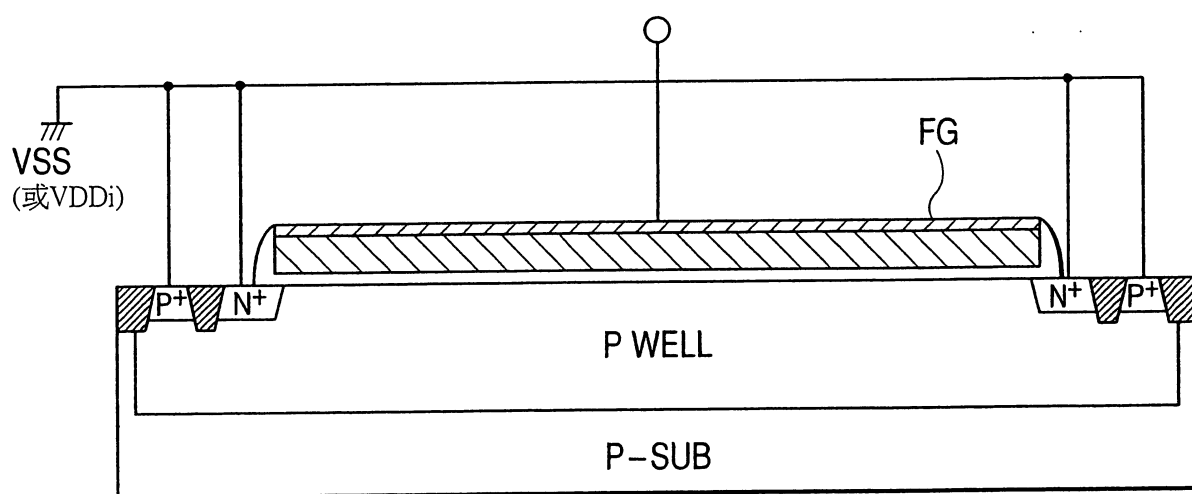
第1圖



第2圖



第3圖



第5圖

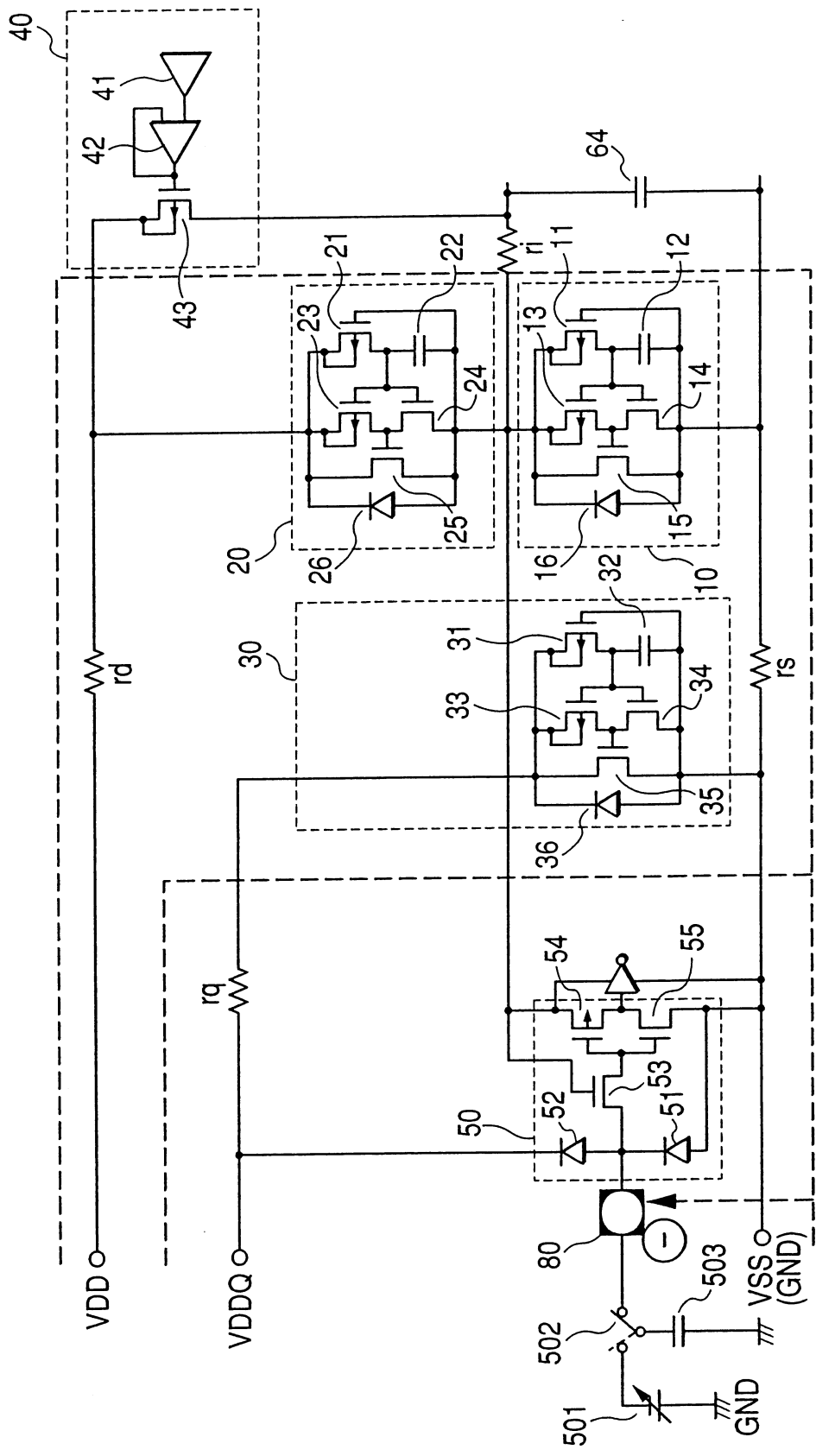
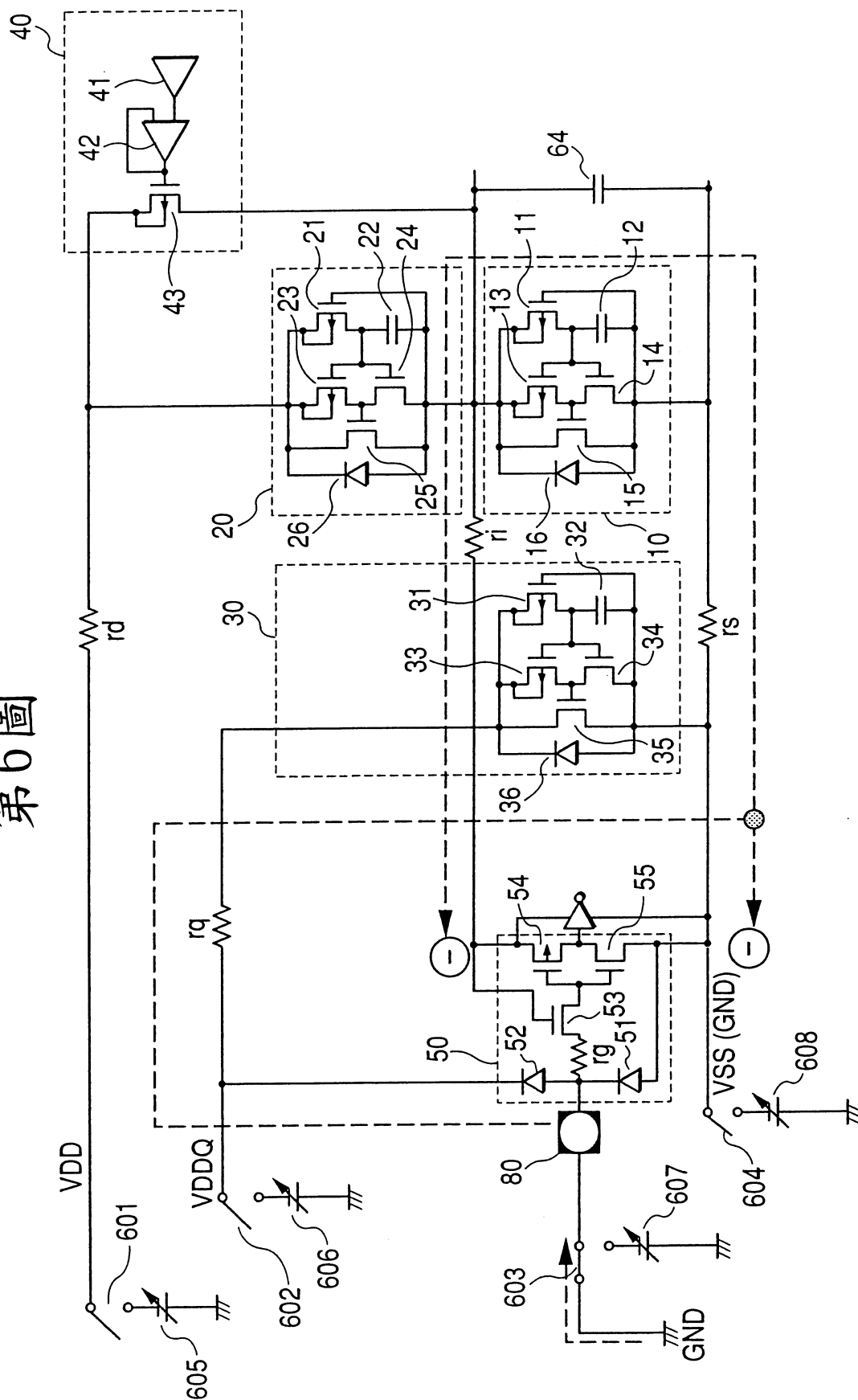
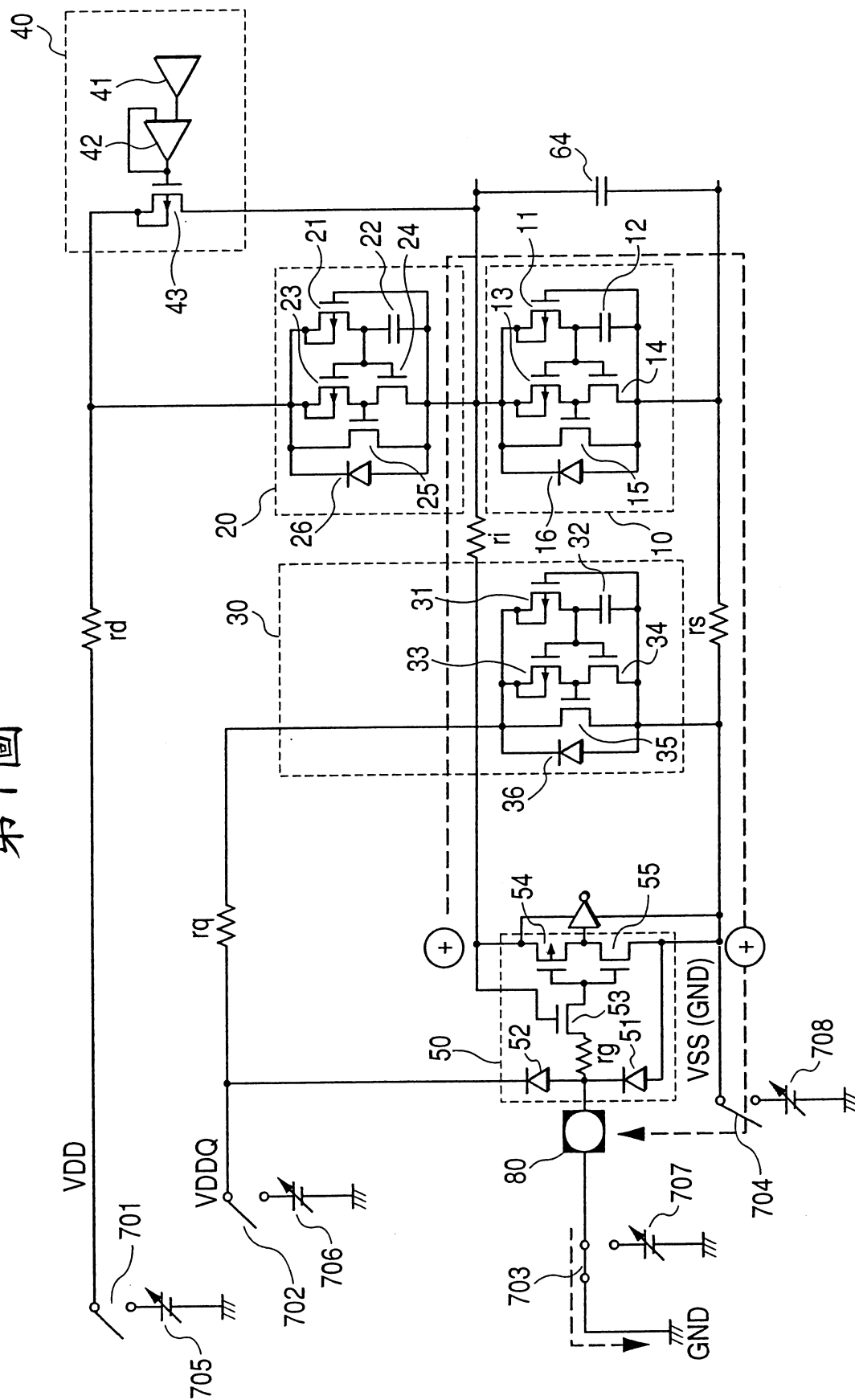


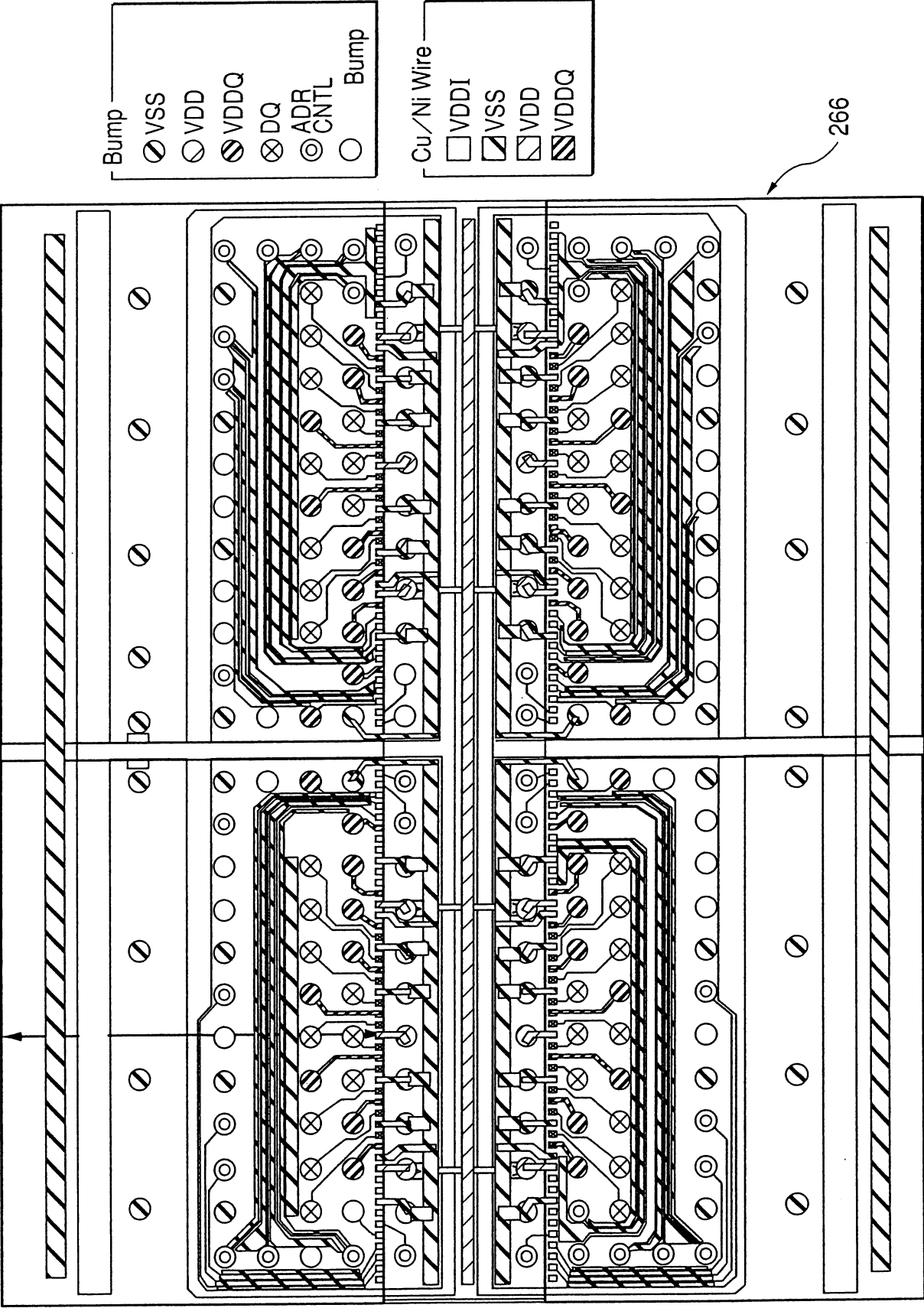
圖
6
樂



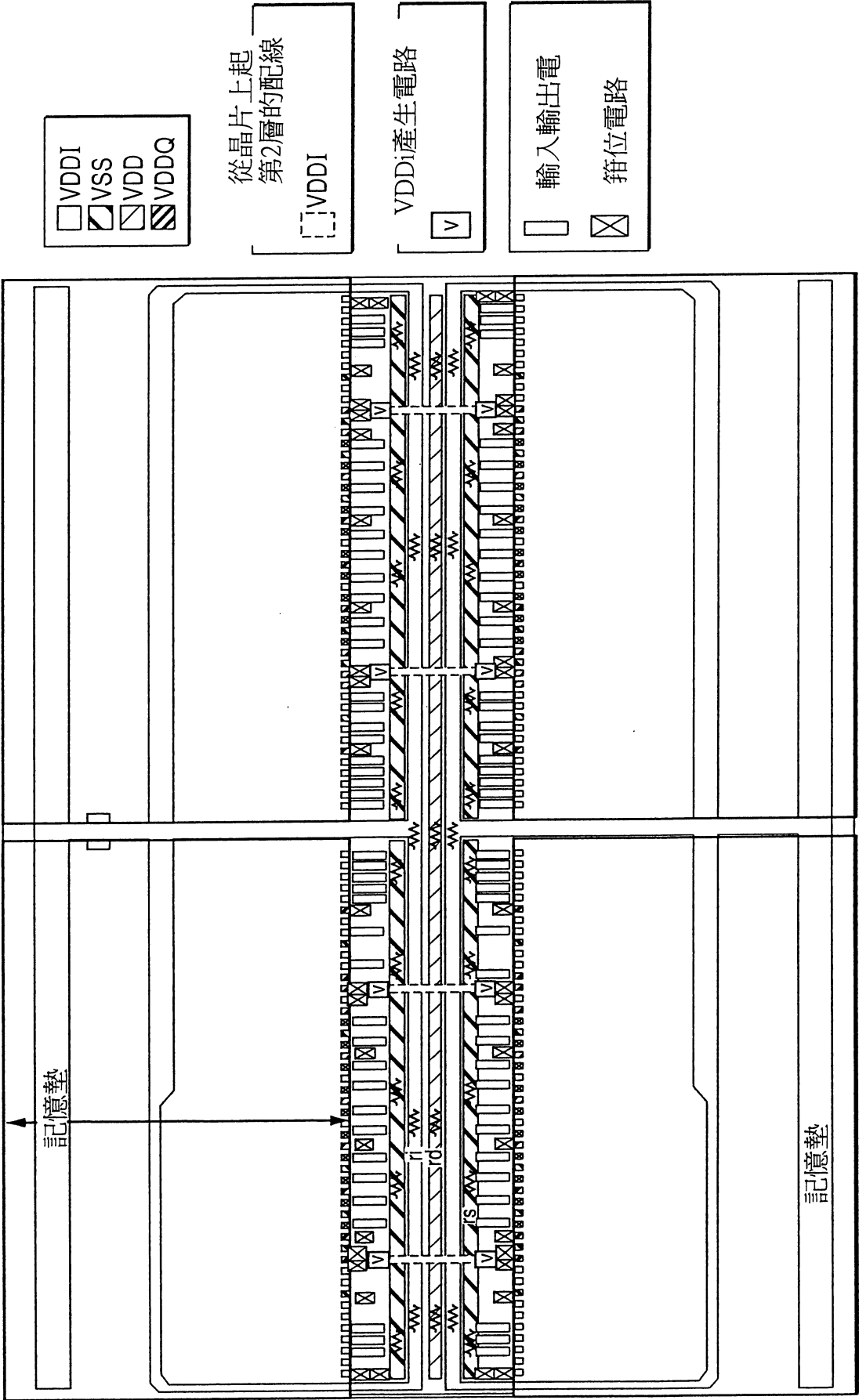
第7圖



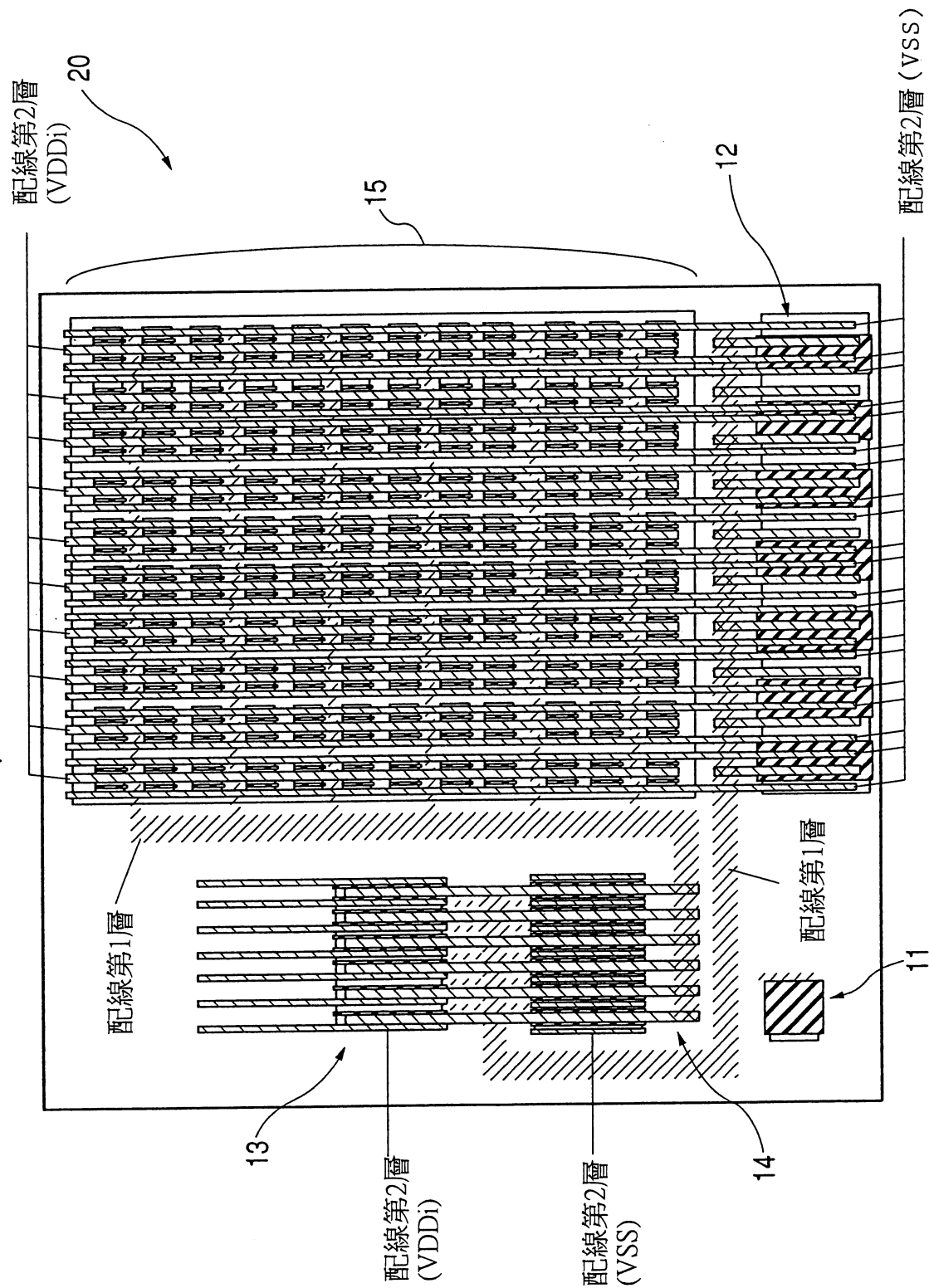
第8圖



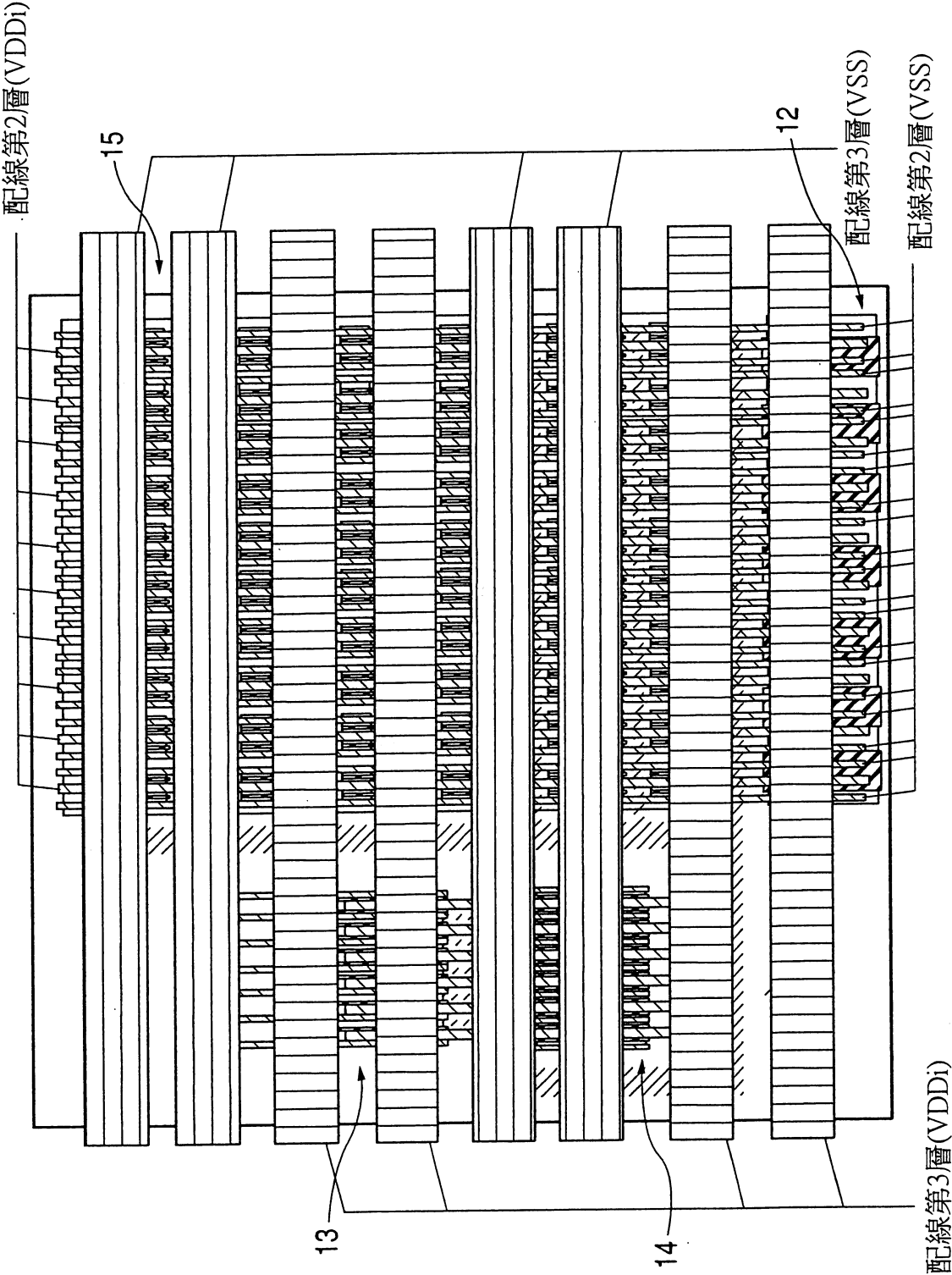
第9圖



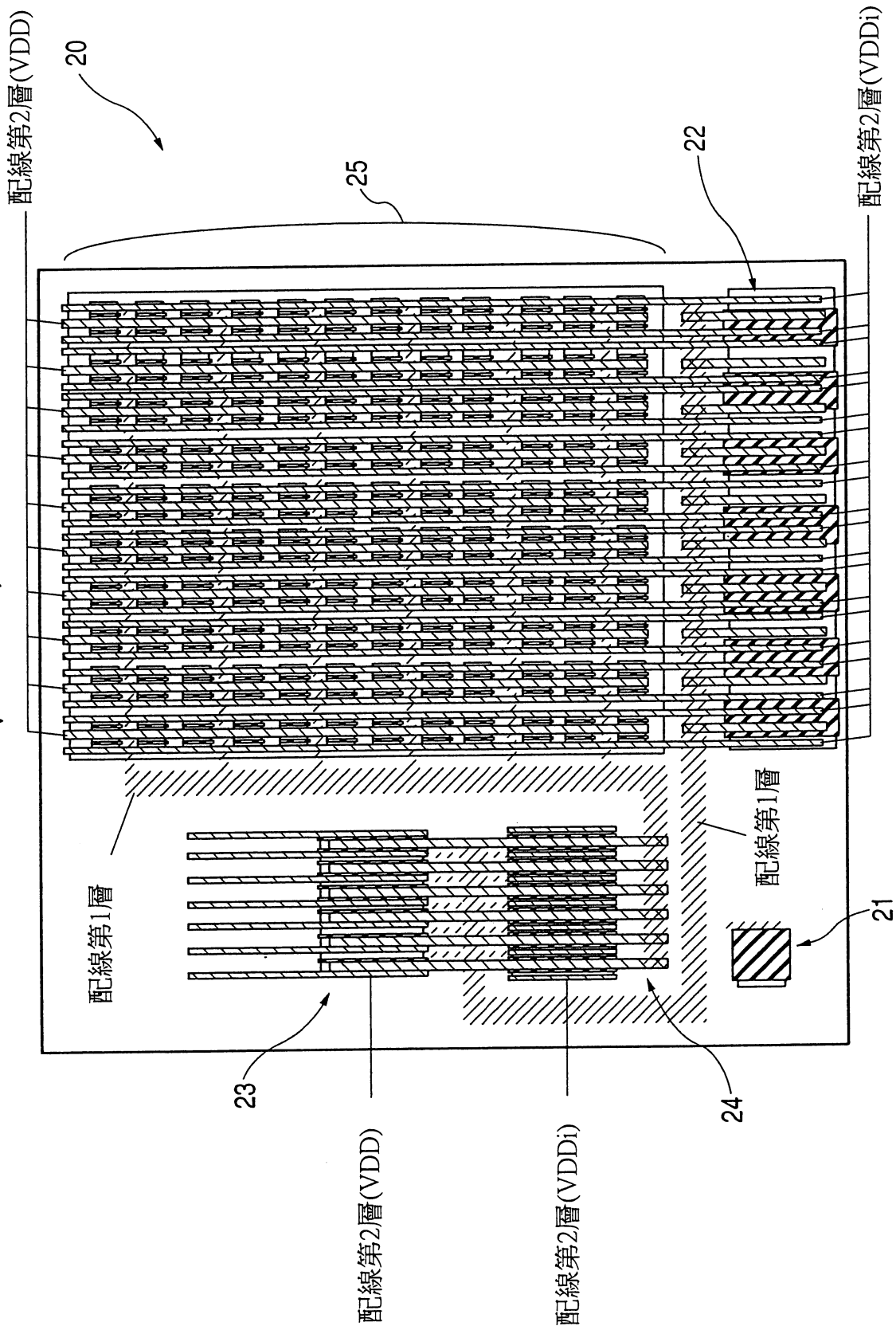
第10圖



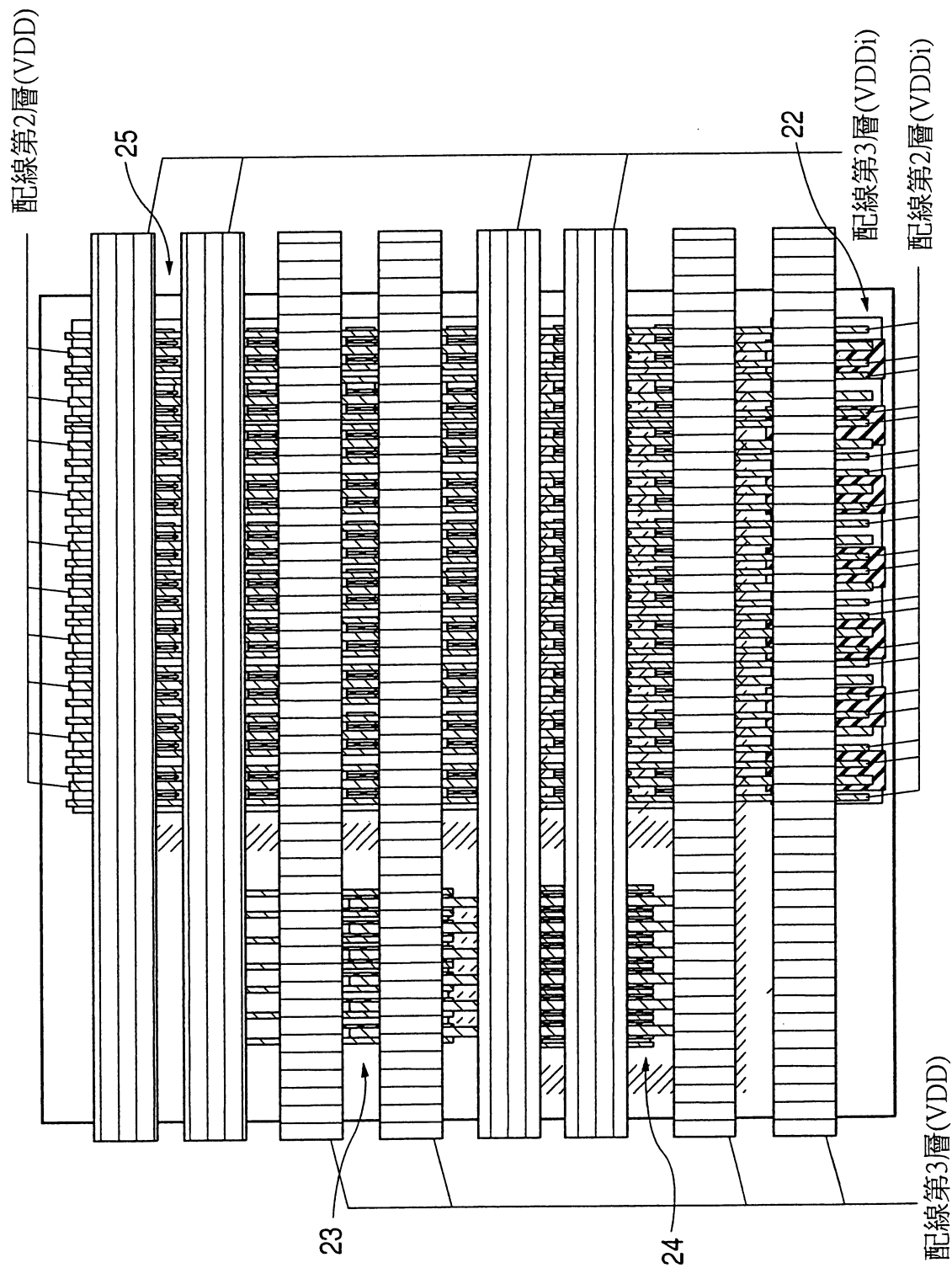
第11圖



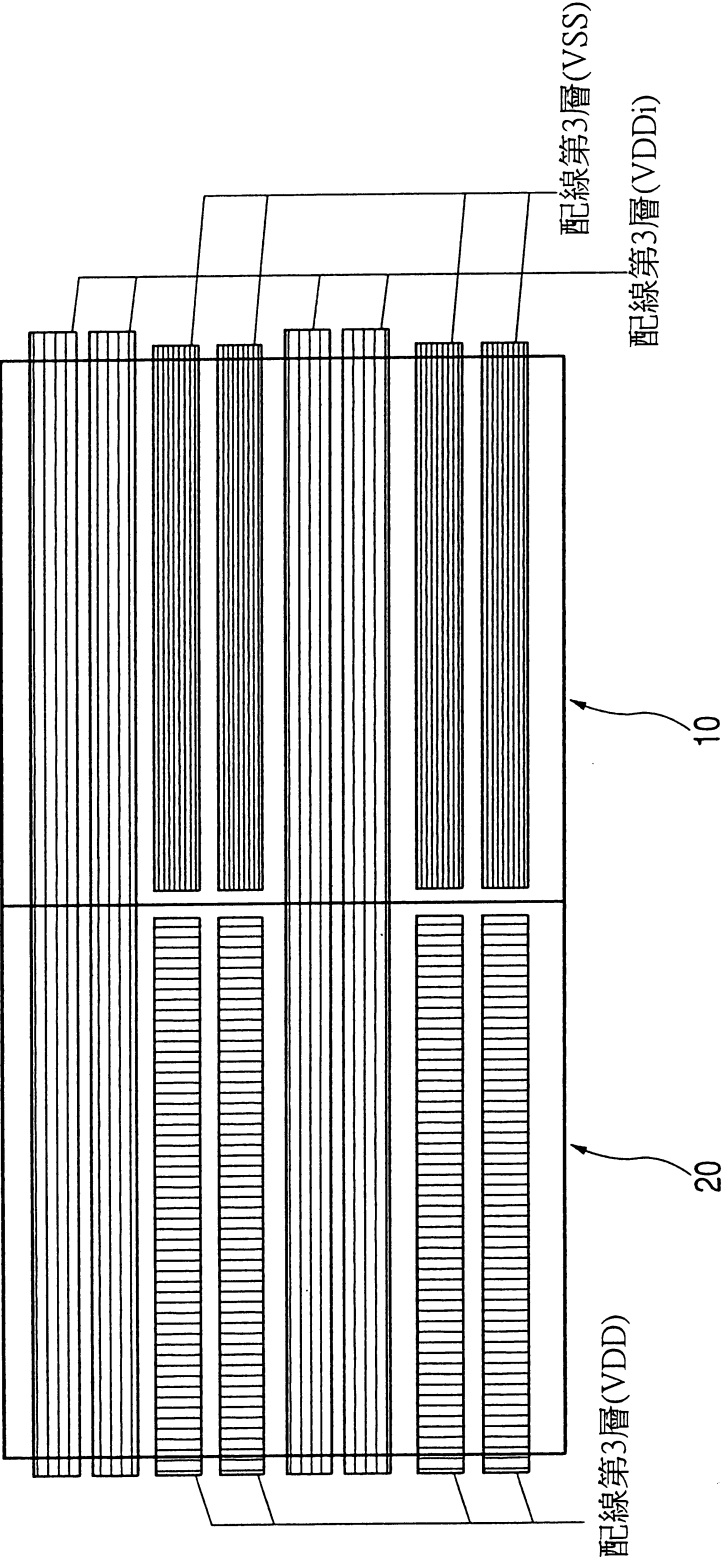
第12圖



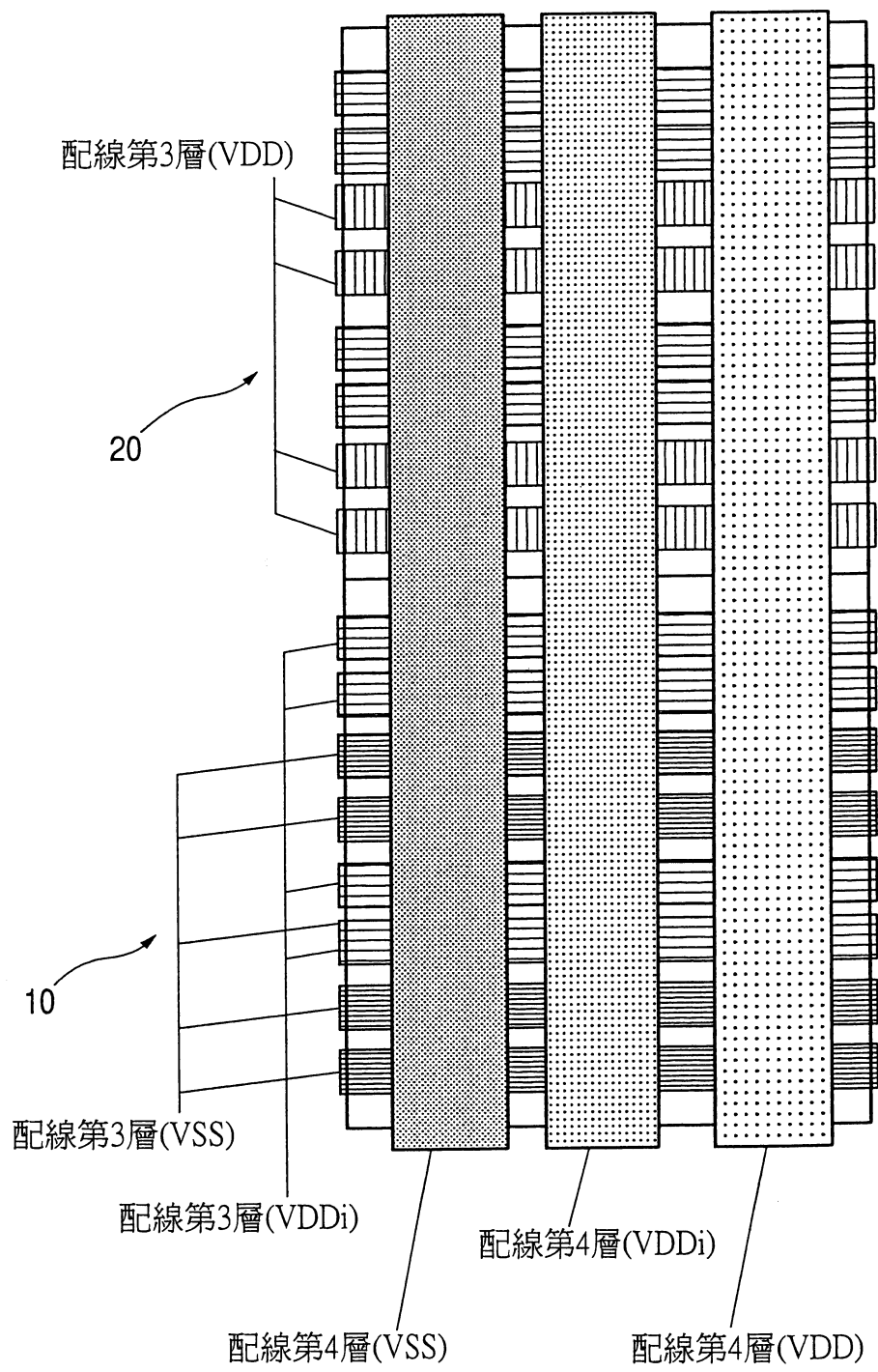
第13圖



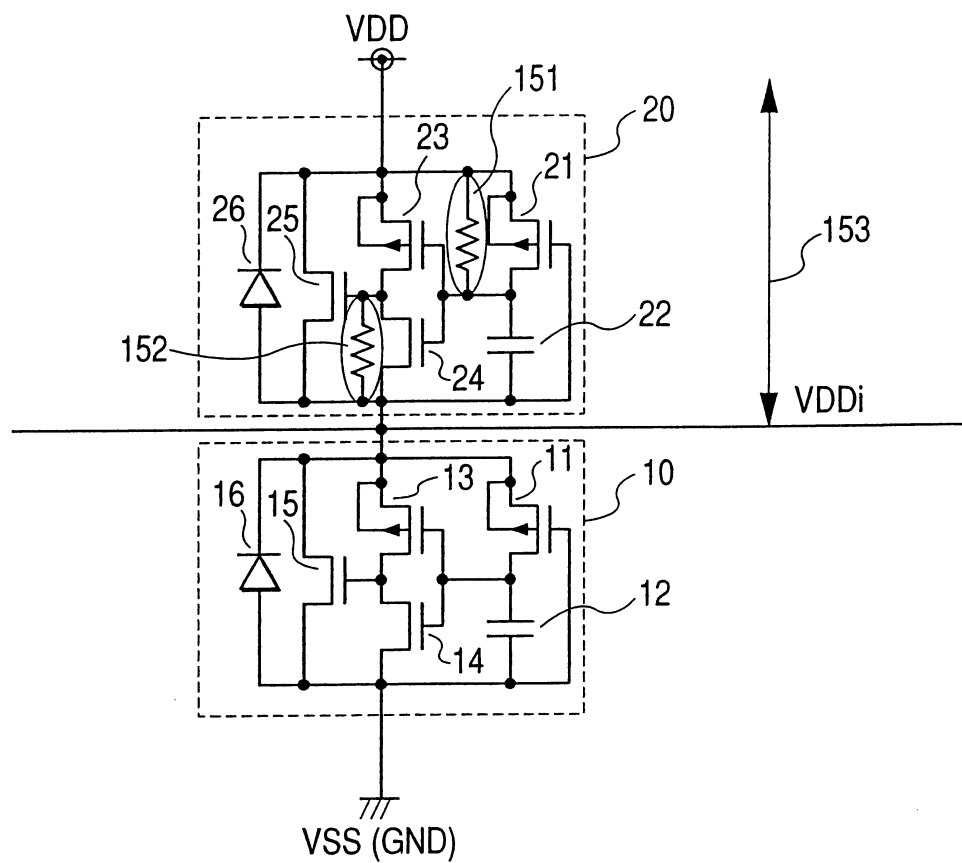
第14圖



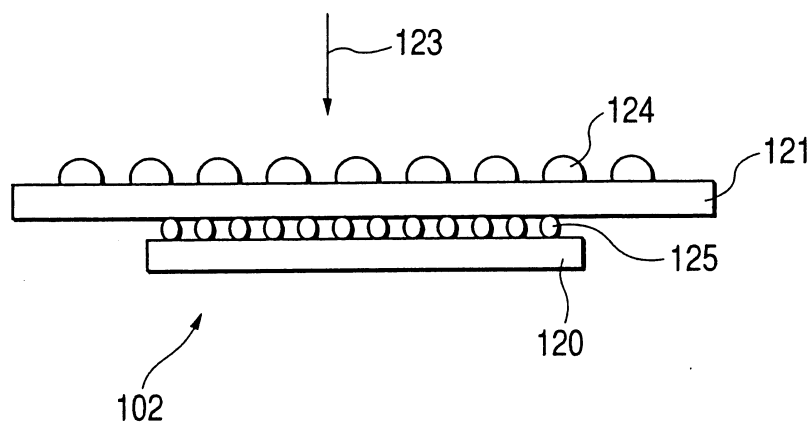
第15圖



第16圖



第17圖



柒、(一)、本案指定代表圖為：第 1 圖

(二)、本代表圖之元件代表符號簡單說明：

10:第 1 箝位電路	20:第 2 箝位電路	30:第 3 箝位電路
11:p 通道型 MOS 電晶體	21:p 通道型 MOS 電晶體	31:p 通道型 MOS 電晶體
12:電容器	22:電容器	32:電容器
13:MOS 電晶體	23:MOS 電晶體	33:MOS 電晶體
14:MOS 電晶體	24:MOS 電晶體	34:n 通道型 MOS 電晶體
15:MOS 電晶體	25:MOS 電晶體	35:n 通道型 MOS 電晶體
16:MOS 電晶體	26:二極體	36:二極體
50:輸入電路	60:內部電路	70:輸出電路
51:二極體	62:MOS 電晶體	71:MOS 電晶體
52:二極體	63:MOS 電晶體	72:MOS 電晶體
53:MOS 電晶體	64:MOS 電晶體	73:MOS 電晶體
54:p 通道型 MOS 電晶體	41:基準電壓產生電路	74:MOS 電晶體
55:n 通道型 MOS 電晶體	43:p 通道型 MOS 電晶體	75:MOS 電晶體
40:內部電路電源生成電路	80:輸入電路	76:MOS 電晶體
90:輸出端子		

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

15-8 3
補正

拾、申請專利範圍

第 92114300 號專利申請案

中文申請專利範圍修正本

民國 95 年 5 月 3 日修正

1.一種半導體積體電路裝置，係包含：高電位側電源的輸入端子、低電位側電源的輸入端子、及可藉由供給比上述高電位側電源的電壓更低位準的内部電路用電源來動作的内部電路；

其特徵為：

分別用以箝位非所希望位準的電壓之第 1 箝位電路、及縱疊的第 2 箝位電路，係被設在上述高電位側電源與上述低電位側電源之間，上述第 1 箝位電路與上述第 2 箝位電路的縱疊之中間節點係結合於上述内部電路用電源，

上述内部電路係包含：由結合於上述内部電路用電源的薄膜電晶體所形成的邏輯電路、及設在上述内部電路用電源與上述低電位側電源之間的減低雜訊用電容器。

2.如申請專利範圍第 1 項之半導體積體電路裝置，其中包含：藉由將上述高電位側電源降壓，而生成上述内部電路用電源的内部電路用電源生成電路。

3.一種半導體積體電路裝置，係包含：高電位側電源的輸入端子、低電位側電源的輸入端子、及可藉由供給比上述高電位側電源的電壓更低位準的内部電路用電源來動作的内部電路；

其特徵為：

分別用以箝位非所希望位準的電壓之第 1 箝位電路、及縱疊的第 2 箝位電路，係被設在上述高電位側電源與上述低電位側電源之間，上述第 1 箝位電路與上述第 2 箝位電路的縱疊之中間節點係結合於上述內部電路用電源，

包含：

可藉由供給與上述內部電路用電源相異的輸入輸出電路用電源來進行信號的外部輸出之輸出電路；及

設在上述輸入輸出電路用電源與上述低電位側電源之間，用以箝位非所希望位準的電壓之第 3 箝位電路。

4.如申請專利範圍第 3 項之半導體積體電路裝置，其中包含：輸入端子、及藉由供給上述內部電路用電源來動作，用以取入經由上述輸入端子而傳遞的信號之輸入電路；

上述輸入電路係包含：用以取入經由輸入端子而取入的信號之輸入電晶體、及形成連至上述輸入輸出電路用電源的導通路徑之防止靜電破壞用二極體。

5.如申請專利範圍第 3 項之半導體積體電路裝置，其中上述第 1 箝位電路與上述第 2 箝位電路係彼此構成相同。