



(12)发明专利

(10)授权公告号 CN 106960873 B

(45)授权公告日 2019.08.13

(21)申请号 201710198803.6

H01L 29/47(2006.01)

(22)申请日 2017.03.29

H01L 21/335(2006.01)

(65)同一申请的已公布的文献号

申请公布号 CN 106960873 A

(56)对比文件

US 2015/0221765 A1,2015.08.06,

JP 昭56-19674 A,1981.02.24,

CN 105405897 A,2016.03.16,

CN 104409494 A,2015.03.11,

(43)申请公布日 2017.07.18

(73)专利权人 西安电子科技大学

地址 710071 陕西省西安市太白南路2号

审查员 郑钰

(72)发明人 毛维 边照科 郝跃 李康

张进成 陈大政 杨凌 张鹏

(74)专利代理机构 陕西电子工业专利中心

61205

代理人 王品华

(51)Int.Cl.

H01L 29/778(2006.01)

H01L 29/40(2006.01)

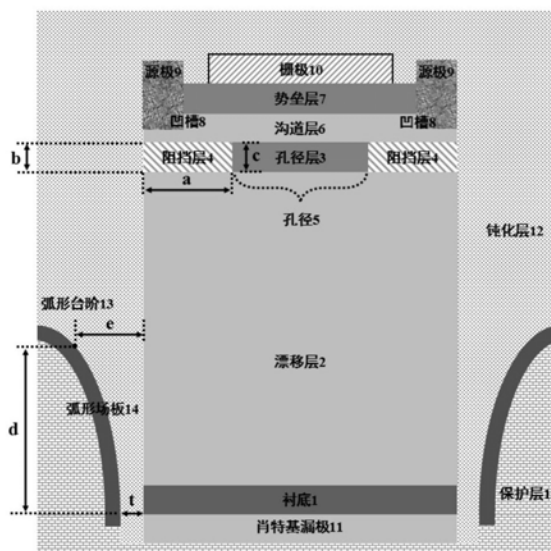
权利要求书2页 说明书11页 附图3页

(54)发明名称

基于弧形漏场板和肖特基漏极的垂直型功率晶体管

(57)摘要

本发明公开了一种基于弧形漏场板和肖特基漏极的垂直型功率晶体管,其包括:衬底(1)、漂移层(2)、孔径层(3)、阻挡层(4)、沟道层(6)、势垒层(7)和钝化层(12),沟道层和势垒层两侧刻蚀有凹槽(8),两侧凹槽中淀积有源极(9),源极之间的势垒层上淀积有栅极(10),阻挡层之间形成孔径(5),衬底下面淀积有肖特基漏极(11),钝化层(12)包裹除肖特基漏极底部以外的所有区域,钝化层背面两侧刻有弧形台阶(13),弧形台阶处淀积有金属,形成弧形场板(14),该弧形场板与肖特基漏极电气连接,且其下方完全填充保护层(15)。本发明反向击穿电压高、工艺简单、导通电阻小、成品率高,可用于电力电子系统。



1. 一种基于弧形漏场板和肖特基漏极的垂直型功率晶体管,包括:衬底(1)、漂移层(2)、孔径层(3)、左右两个对称的阻挡层(4)、沟道层(6)、势垒层(7)和钝化层(12),这些层依次堆叠;沟道层(6)和势垒层(7)的两侧刻蚀有凹槽(8),两侧凹槽(8)中淀积有两个源极(9),源极之间的势垒层上面淀积有栅极(10),衬底(1)下面淀积有肖特基漏极(11),钝化层(12)完全包裹在除肖特基漏极(11)底部以外的所有区域,两个对称的阻挡层(4)中间形成孔径(5),其特征在于:

所述钝化层(12),采用弧形结构,即在钝化层(12)的两边刻有弧形台阶(13),弧形台阶上淀积有金属,形成对称的两个弧形场板(14),该弧形场板与肖特基漏极(11)电气连接,形成从漏极开始向上延伸至漂移层的弧形漏场板;该弧形台阶(13)高于肖特基漏极上边界的部分,其表面的任意一点分别与衬底(1)下表面的垂直距离为 d ,与漂移层(2)的水平距离为 e ,且满足关系 $d=5.5+2.51\ln(e+0.06)$,且 $0\mu\text{m}<d\leq 11\mu\text{m}$,弧形台阶(13)表面与肖特基漏极上边界处于同一水平高度的部位距离漂移层(2)的水平间距为 t , $t=0.05\mu\text{m}$;

所述弧形场板(14)、钝化层(12)和肖特基漏极(11)的下方均覆盖有绝缘介质材料,以形成保护弧形场板的保护层(15)。

2. 根据权利要求1所述的垂直型功率晶体管,其特征在于衬底(1),采用 n^- 型GaN材料。

3. 根据权利要求1所述的垂直型功率晶体管,其特征在于凹槽(8),其深度大于势垒层(7)的厚度,且小于沟道层(6)与势垒层(7)的总厚度。

4. 根据权利要求1所述的垂直型功率晶体管,其特征在于源极(9),其厚度大于凹槽(8)的深度。

5. 一种制作基于弧形漏场板和肖特基漏极的垂直型功率晶体管的方法,包括如下过程:

A. 在采用 n^- 型半导体材料的衬底(1)上外延 n^- 型GaN半导体材料,形成漂移层(2);

B. 在漂移层(2)上外延 n 型GaN半导体材料,形成厚度为 $0.5\sim 3\mu\text{m}$ 、掺杂浓度为 $1\times 10^{15}\sim 1\times 10^{18}\text{cm}^{-3}$ 的孔径层(3);

C. 在孔径层(3)上第一次制作掩模,利用该掩模在孔径层内的两侧位置注入剂量为 $1\times 10^{15}\sim 1\times 10^{16}\text{cm}^{-2}$ 的 p 型杂质,制作厚度 b 与孔径层厚度相同、宽度 a 为 $0.5\sim 5\mu\text{m}$ 的阻挡层(4),两个对称的阻挡层(4)之间形成孔径(5);

D. 在两个阻挡层(4)和孔径(5)上部外延GaN半导体材料,形成厚度为 $0.04\sim 0.2\mu\text{m}$ 的沟道层(6);

E. 在沟道层(6)上部外延GaN基宽禁带半导体材料,形成厚度为 $5\sim 50\text{nm}$ 的势垒层(7);

F. 在势垒层(7)上第二次制作掩模,利用该掩模在势垒层(7)左、右两侧进行刻蚀,且刻蚀深度大于势垒层(7)的厚度,且小于沟道层(6)与势垒层(7)的总厚度,形成左、右两个凹槽(8);

G. 在两个凹槽(8)上部和势垒层(7)的上部第三次制作掩模,利用该掩模在两个凹槽中淀积金属,且所淀积金属的厚度大于凹槽(8)的深度,以制作源极(9);

H. 在源极(9)上部和势垒层(7)上部第四次制作掩模,利用该掩模在左、右两侧源极(9)之间的势垒层(7)上部淀积金属,以制作栅极(10);

I. 在衬底(1)的背面上淀积金属,以制作肖特基漏极(11);

J. 在除了肖特基漏极(11)底部以外的其他所有区域淀积绝缘介质材料,形成包裹的钝

化层(12)；

K. 在肖特基漏极(11)的背面和钝化层(12)的背面制作第五次掩模,利用该掩模在钝化层(12)背面的左右两边内进行刻蚀,形成弧形台阶(13),该弧形台阶(13)高于肖特基漏极上边界的部分,其表面的任意一点分别与衬底下表面的垂直距离 d 和与漂移层的水平距离 e ,满足关系 $d=5.5+2.5\ln(e+0.06)$,且 $0\mu\text{m}<d\leq 11\mu\text{m}$,弧形台阶表面与肖特基漏极上边界处于同一水平高度的部位距离漂移层(2)的水平间距为 t , $t=0.05\mu\text{m}$;

L. 在肖特基漏极(11)的背面、钝化层(12)的背面以及弧形台阶(13)的背面制作第六次掩模,利用该掩模在左右两边的弧形台阶上淀积金属,形成左右对称的两个弧形场板(14),该弧形场板(14)下边界所在高度等于或低于肖特基漏极(11)上边界所在高度,并将该两侧的弧形场板(14)与肖特基漏极(11)电气连接;

M. 淀积绝缘介质材料,以完全覆盖两个弧形场板(14)、钝化层(12)和肖特基漏极(11)的下部区域,制作保护层(15),完成整个器件的制作。

基于弧形漏场板和肖特基漏极的垂直型功率晶体管

技术领域

[0001] 本发明属于微电子技术领域,涉及半导体器件,特别是基于弧形漏场板和肖特基漏极的垂直型功率晶体管,可用于电力电子系统。

技术背景

[0002] 功率半导体器件是电力电子技术的核心元件,随着能源和环境问题的日益突出,研发新型高性能、低损耗功率器件就成为提高电能利用率、节约能源、缓解能源危机的有效途径之一。而在功率器件研究中,高速、高压与低导通电阻之间存在着严重的制约关系,合理、有效地改进这种制约关系是提高器件整体性能的关键。随着微电子技术的发展,传统第一代Si半导体和第二代GaAs半导体功率器件性能已接近其材料本身决定的理论极限。为了能进一步减少芯片面积、提高工作频率、提高工作温度、降低导通电阻、提高击穿电压、降低整机体积、提高整机效率,以GaN为代表的宽禁带半导体材料,凭借其更大的禁带宽度、更高的临界击穿电场和更高的电子饱和漂移速度,且化学性能稳定、耐高温、抗辐射等突出优点,在制备高性能功率器件方面脱颖而出,应用潜力巨大。特别是采用GaN基异质结结构的横向高电子迁移率晶体管,即横向GaN基高电子迁移率晶体管HEMT器件,更是因其低导通电阻、高击穿电压、高工作频率等特性,成为了国内外研究和应用的热点、焦点。

[0003] 然而,在横向GaN基HEMT器件中,为了获得更高的击穿电压,需要增加栅漏间距,这会增大器件尺寸和导通电阻,减小单位芯片面积上的有效电流密度和芯片性能,从而导致芯片面积和研制成本的增加。此外,在横向GaN基HEMT器件中,由高电场和表面态所引起的电流崩塌问题较为严重,尽管当前已有众多抑制措施,但电流崩塌问题依然没有得到彻底解决。为了解决上述问题,研究者们提出了垂直型GaN基电流孔径异质结晶体管,也是一种GaN基垂直型功率晶体管,参见AlGaN/GaN current aperture vertical electron transistors, IEEE Device Research Conference, pp.31-32, 2002。GaN基电流孔径异质结晶体管可通过增加漂移区厚度提高击穿电压,避免了牺牲器件尺寸和导通电阻的问题,因此可以实现高功率密度芯片。而且在GaN基电流孔径异质结晶体管中,高电场区域位于半导体材料体内,这可以彻底地消除电流崩塌问题。2004年, Ilan Ben-Yaacov等人利用刻蚀后MOCVD再生长沟道技术研制出AlGaN/GaN电流孔径异质结晶体管,该器件未采用钝化层,最大输出电流为750mA/mm,跨导为120mS/mm,两端栅击穿电压为65V,且电流崩塌效应得到显著抑制,参见AlGaN/GaN current aperture vertical electron transistors with regrown channels, Journal of Applied Physics, Vol.95, No.4, pp.2073-2078, 2004。2012年, Srabanti Chowdhury等人利用Mg离子注入阻挡层结合等离子辅助MBE再生长AlGaN/GaN异质结的技术,研制出基于GaN衬底的电流孔径异质结晶体管,该器件采用3 μ m漂移区,最大输出电流为4kA \cdot cm⁻²,导通电阻为2.2m Ω \cdot cm²,击穿电压为250V,且抑制电流崩塌效果好,参见CAVET on Bulk GaN Substrates Achieved With MBE-Regrown AlGaN/GaN Layers to Suppress Dispersion, IEEE Electron Device Letters, Vol.33, No.1, pp.41-43, 2012。同年,由Masahiro Sugimoto等人提出的一种增强型GaN基电流孔径异质结晶体管

获得授权,参见Transistor,US8188514B2,2012。此外,2014年,Hui Nie等人基于GaN衬底研制出一种增强型GaN基电流孔径异质结晶体管,该器件阈值电压为0.5V,饱和电流大于2.3A,击穿电压为1.5kV,导通电阻为 $2.2\text{m}\Omega\cdot\text{cm}^2$,参见1.5-kV and $2.2\text{-m}\Omega\text{-cm}^2$ Vertical GaN Transistors on Bulk-GaN Substrates,IEEE Electron Device Letters,Vol.35, No.9,pp.939-941,2014。

[0004] 传统GaN基电流孔径异质结晶体管是基于GaN基宽禁带半导体异质结结构,其包括:衬底1、漂移层2、孔径层3、左、右两个对称的阻挡层4、孔径5、沟道层6、势垒层7和钝化层12;沟道层6和势垒层7的两侧刻蚀有凹槽8,两侧凹槽8中淀积有两个源极9,源极之间的势垒层上面淀积有栅极10,衬底1下面淀积有漏极11,钝化层12完全包裹除了漏极11底部以外的所有区域,如图1所示。

[0005] 经过十多年的理论和实验研究,研究者们发现,上述传统GaN基电流孔径异质结晶体管结构上存在固有缺陷,会导致器件中电场强度分布极不均匀,尤其是在阻挡层与孔径区域交界面下方附近的半导体材料中存在极高的电场峰值,从而引起器件过早击穿。这使得实际工艺中很难实现通过增加n型GaN漂移层的厚度来持续提高器件的击穿电压。因此,传统结构GaN基电流孔径异质结晶体管的击穿电压普遍不高。为了获得更高的器件击穿电压,并可以通过增加n型GaN漂移层的厚度来持续提高器件的击穿电压,2013年,Zhongda Li等人利用数值仿真技术研究了一种基于超结的增强型GaN基电流孔径异质结晶体管,研究表明超结结构可以有效调制器件内部的电场分布,使处于关态时器件内部各处电场强度趋于均匀分布,因此器件击穿电压可达5~20kV,且采用 $3\mu\text{m}$ 半柱宽时击穿电压为12.4kV,而导通电阻仅为 $4.2\text{m}\Omega\cdot\text{cm}^2$,参见Design and Simulation of 5-20-kV GaN Enhancement-Mode Vertical Superjunction HEMT,IEEE Transactions on Electron Decices,Vol.60,No.10,pp.3230-3237,2013。采用超结的GaN基电流孔径异质结晶体管从理论上可以获得高击穿电压,且可实现击穿电压随n型GaN漂移层厚度的增加而持续提高,是目前国内外已报道文献中击穿电压最高的一种非常有效的大功率器件结构。然而,超结结构的制造工艺难度非常大,尤其是厚n型GaN漂移层情况下,几乎无法实现高性能超结结构的制作。因此,探索和研发制造工艺简单、击穿电压高的新型GaN基电流孔径异质结晶体管,非常必要、迫切,具有重要的现实意义。

[0006] 场板结构已成为横向GaN基HEMT器件中用于提高器件击穿电压和可靠性的一种成熟、有效的场终端技术,且该技术可以实现器件击穿电压随场板的长度和结构变化而持续增加。近年来,通过利用场板结构已使横向GaN基HEMT器件的性能取得了突飞猛进的提升,参见High Breakdown Voltage AlGa_N-Ga_N Power-HEMT Design and High Current Density Switching Behavior,IEEE Transactions on Electron Devices,Vol.50, No.12,pp.2528-2531,2003,和High Breakdown Voltage AlGa_N-Ga_N HEMTs Achieved by Multiple Field Plates,IEEE Electron Device Letters,Vol.25,No.4,pp.161-163,2004,以及High Breakdown Voltage Achieved on AlGa_N/Ga_N HEMTs With Integrated Slant Field Plates,IEEE Electron Device Letters,Vol.27,No.9,pp.713-715,2006。在实际应用中,研究者们发现在电动汽车、功率管理系统、S类功率放大器等许多技术领域中,往往需要功率器件具有很强的反向阻断能力,也就是希望器件在关态下具有很高的负的漏极击穿电压,即反向击穿电压。而现有的GaN基电流孔径异质结晶体管均采用欧姆漏

极,当器件漏极施加非常低反向电压时,器件中的电流阻挡层便会失效,形成很大的漏源泄漏电流,而且随着漏极反向电压的增加,器件栅极也会正向开启,并通过很大栅电流,最终导致器件失效。因此,现有的GaN基电流孔径异质结晶体管均无法实现反向阻断功能,即使将场板结构应用于GaN基电流孔径异质结晶体管中,对改善器件的反向阻断特性也无任何效果。

发明内容

[0007] 本发明的目的在于针对上述已有技术的不足,提供一种基于弧形漏场板和肖特基漏极的垂直型功率晶体管,以减小器件的制作难度,实现反向击穿电压的可持续增加,缓解器件击穿电压与导通电阻之间的矛盾,改善器件的反向击穿特性和可靠性。

[0008] 为实现上述目的,本发明的技术方案是这样实现的:

[0009] 一、器件结构

[0010] 一种基于弧形漏场板和肖特基漏极的垂直型功率晶体管,包括:衬底、漂移层、孔径层、左右两个对称的阻挡层、沟道层、势垒层和钝化层,沟道层和势垒层的两侧刻蚀有凹槽,两侧凹槽中淀积有两个源极,源极之间的势垒层上面淀积有栅极,衬底下面淀积有肖特基漏极,钝化层完全包裹在除肖特基漏极底部以外的所有区域,两个对称的阻挡层之间形成孔径,其特征在于:

[0011] 所述钝化层,采用弧形结构,即在钝化层的两边刻有弧形台阶,弧形台阶上淀积有金属,形成对称的两个弧形场板,该弧形场板与肖特基漏极电气连接,形成弧形漏场板;

[0012] 所述弧形场板、钝化层和肖特基漏极的下方均覆盖有绝缘介质材料,以形成保护弧形场板的保护层。

[0013] 二、制作方法

[0014] 本发明制作基于弧形漏场板和肖特基漏极的垂直型功率晶体管的方法,包括如下过程:

[0015] A. 在采用 n^- 型半导体材料的衬底1上外延 n^- 型GaN半导体材料,形成厚度为 $3\sim 50\mu\text{m}$ 、掺杂浓度为 $1\times 10^{15}\sim 1\times 10^{18}\text{cm}^{-3}$ 的漂移层2;

[0016] B. 在漂移层2上外延 n 型GaN半导体材料,形成厚度 c 为 $0.5\sim 3\mu\text{m}$ 、掺杂浓度为 $1\times 10^{15}\sim 1\times 10^{18}\text{cm}^{-3}$ 的孔径层3;

[0017] C. 在孔径层3上第一次制作掩模,利用该掩模在孔径层内的两侧位置注入剂量为 $1\times 10^{15}\sim 1\times 10^{16}\text{cm}^{-2}$ 的 p 型杂质,制作厚度 b 与孔径层厚度 c 相同、宽度 a 为 $0.5\sim 5\mu\text{m}$ 的阻挡层4,两个对称的阻挡层4之间形成孔径5;

[0018] D. 在两个阻挡层4和孔径5上部外延GaN半导体材料,形成厚度为 $0.04\sim 0.2\mu\text{m}$ 的沟道层6;

[0019] E. 在沟道层6上部外延GaN基宽禁带半导体材料,形成厚度为 $5\sim 50\text{nm}$ 的势垒层7;

[0020] F. 在势垒层7上第二次制作掩模,利用该掩模在势垒层7左、右两侧进行刻蚀,且刻蚀深度大于势垒层7的厚度,且小于沟道层6与势垒层7的总厚度,形成左、右两个凹槽8;

[0021] G. 在两个凹槽8上部和势垒层7的上部第三次制作掩模,利用该掩模在两个凹槽中淀积金属,且所淀积金属的厚度大于凹槽8的深度,以制作源极9;

[0022] H. 在源极9上部和势垒层7上部第四次制作掩模,利用该掩模在左、右两侧源极9之

间的势垒层7上部淀积金属,以制作栅极10,该栅极10与两个阻挡层4之间均存在水平方向上的交叠,交叠长度大于 $0\mu\text{m}$;

[0023] I.在衬底1的背面上淀积金属,以制作肖特基漏极11;

[0024] J.在除了肖特基漏极11底部以外的其他所有区域淀积绝缘介质材料,形成包裹的钝化层12;

[0025] K.在肖特基漏极11的背面和钝化层12的背面制作第五次掩模,利用该掩模在钝化层12背面的左右两边内进行刻蚀,形成弧形台阶13,该弧形台阶13高于肖特基漏极上边界的部分,其表面的任意一点分别与衬底下表面的垂直距离 d 和与漂移层的水平距离 e ,近似满足关系 $d=5.5+2.5\ln(e+0.06)$,且 $0\mu\text{m}<d\leq 11\mu\text{m}$,弧形台阶表面与肖特基漏极上边界处于同一水平高度的部位距离漂移层2的水平间距为 t , $t=0.05\mu\text{m}$ 。

[0026] L.在肖特基漏极11的背面、钝化层12的背面以及弧形台阶13的背面制作第六次掩模,利用该掩模在左右两边的弧形台阶上淀积金属,形成左右对称的两个弧形场板14,并将该两侧的弧形场板14与肖特基漏极11电气连接,该弧形场板14下边界所在高度等于或低于肖特基漏极11上边界所在高度;

[0027] M.淀积绝缘介质材料,以完全覆盖两个弧形场板14、钝化层12和肖特基漏极11的下部区域,制作保护层15,完成整个器件的制作。

[0028] 本发明器件与传统GaN基电流孔径异质结晶体管比较,具有以下优点:

[0029] 1.实现反向击穿电压持续增加。

[0030] 本发明采用了弧形漏场板,利用该弧形场板有效调制漂移层内电场分布,使得器件漂移层内的高电场区面积显著增加,并可在弧形场板处漂移层两侧表面附近形成连续的高电场区;

[0031] 通过调整弧形场板与漂移层之间钝化层的厚度等,可以使得弧形场板对应的漂移层内各电场峰值相等,且小于GaN基宽禁带半导体材料的击穿电场,从而提高了器件的反向击穿电压,且通过增加弧形场板的长度可实现反向击穿电压的持续增加。

[0032] 2.在提高器件反向击穿电压的同时,器件导通电阻几乎恒定。

[0033] 本发明通过在器件两侧采用弧形漏场板的方法来提高器件反向击穿电压,由于场板不会影响器件导通电阻,当器件导通时,在器件漂移层内部只存在肖特基漏极附近的耗尽区,并未引入其它耗尽区,因此,随着弧形场板长度的增加,器件的反向击穿电压持续增加,而导通电阻几乎保持恒定。

[0034] 3.工艺简单,易于实现,提高了成品率。

[0035] 本发明器件结构中,弧形场板的制作是通过在漂移层两侧的钝化层中刻蚀弧形台阶并淀积金属而实现的,其工艺简单,且不会对器件中半导体材料产生损伤,避免了采用超结的GaN基电流孔径异质结晶体管结构所带来的工艺复杂化问题,大大提高了器件的成品率。

[0036] 以下结合附图和实施例进一步说明本发明的技术内容和效果。

附图说明

[0037] 图1是传统GaN基电流孔径异质结晶体管的结构图;

[0038] 图2是本发明基于弧形漏场板和肖特基漏极的垂直型功率晶体管的结构图;

- [0039] 图3是本发明制作基于弧形漏场板和肖特基漏极的垂直型功率晶体管的流程图；
[0040] 图4是对本发明器件仿真所得的击穿情况下的二维电场分布图。

具体实施方式

[0041] 参照图2,本发明基于弧形漏场板和肖特基漏极的垂直型功率晶体管是基于GaN基宽禁带半导体异质结结构,其包括:衬底1、漂移层2、孔径层3、左右两个对称的阻挡层4、孔径5、沟道层6、势垒层7和钝化层12,沟道层6和势垒层7的两侧刻蚀有凹槽8,两侧凹槽8中淀积有两个源极9,源极之间的势垒层上面淀积有栅极10,衬底1下面淀积有肖特基漏极11,钝化层12完全包裹在除肖特基漏极11底部以外的所有区域,其中:

[0042] 所述衬底1,采用n⁻型GaN材料;

[0043] 所述漂移层2,位于衬底1上部,其厚度为3~50μm、掺杂浓度为 $1 \times 10^{15} \sim 1 \times 10^{18} \text{cm}^{-3}$;

[0044] 所述孔径层3,位于漂移层2上部,其厚度c为0.5~3μm、掺杂浓度为 $1 \times 10^{15} \sim 1 \times 10^{18} \text{cm}^{-3}$;

[0045] 所述阻挡层4,位于孔径层3内的两侧,其厚度b为0.5~3μm,宽度a为0.5~5μm;

[0046] 所述孔径5,位于两个阻挡层4之间;

[0047] 所述沟道层6,位于两个阻挡层4和孔径5上部,其厚度为0.04~0.2μm;

[0048] 所述势垒层7,位于沟道层6上部,其由若干层相同或不同的GaN基宽禁带半导体材料组成,厚度为5~50nm;

[0049] 所述凹槽8,其深度大于势垒层7的厚度,且小于沟道层6与势垒层7的总厚度;

[0050] 所述源极9,其金属厚度大于凹槽8的深度;

[0051] 所述栅极10,其与两个阻挡层4之间均存在水平方向上的交叠,交叠长度大于0μm;

[0052] 所述肖特基漏极11,采用肖特基结构;

[0053] 所述器件两边的钝化层12,其背面刻有弧形台阶13,该弧形台阶上淀积金属,形成左、右两个弧形场板14,弧形台阶13高于肖特基漏极上边界的部分,其表面的任意一点分别与衬底下表面的垂直距离为d,与漂移层的水平距离为e,且近似满足关系 $d = 5.5 + 2.5 \ln(e + 0.06)$, $0 \mu\text{m} < d \leq 11 \mu\text{m}$,弧形台阶13表面与肖特基漏极上边界处于同一水平高度的部位距离漂移层2的水平间距为t, $t = 0.05 \mu\text{m}$ 。

[0054] 所述两个弧形场板14,其下边界所在高度等于或低于肖特基漏极11上边界所在高度;两个弧形场板14与肖特基漏极11电气连接;两个弧形场板14的下部,钝化层12下部和肖特基漏极11的下部均覆盖有保护层15,该保护层15和钝化层12均可采用SiO₂、SiN、Al₂O₃、Sc₂O₃、HfO₂、TiO₂中的任意一种或其它绝缘介质材料;

[0055] 参照图3,本发明制作基于弧形漏场板和肖特基漏极的垂直型功率晶体管的过程,给出如下三种实施例:

[0056] 实施例一:制作钝化层和保护层均为SiN的基于弧形漏场板和肖特基漏极的垂直型功率晶体管。

[0057] 步骤1.在衬底上外延n⁻型GaN,形成漂移层2,如图3a。

[0058] 采用n⁻型半导体材料做衬底1,使用金属有机物化学气相淀积技术,在衬底1上外延厚度为3μm、掺杂浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 的n⁻型GaN材料,形成漂移层2,其中:

[0059] 外延采用的工艺条件为:温度为950℃,压强为40Torr,以SiH₄为掺杂源,氢气流量为4000sccm,氨气流量为4000sccm,镓源流量为100μmol/min。

[0060] 步骤2.在漂移层上外延n型GaN,形成孔径层3,如图3b。

[0061] 使用金属有机物化学气相淀积技术,在漂移层2上外延厚度为0.5μm、掺杂浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 的n型GaN材料,形成孔径层3,其中:

[0062] 外延采用的工艺条件为:温度为950℃,压强为40Torr,以SiH₄为掺杂源,氢气流量为4000sccm,氨气流量为4000sccm,镓源流量为100μmol/min。

[0063] 步骤3.制作阻挡层4,如图3c。

[0064] 先在孔径层3上第一次制作掩模;

[0065] 再使用离子注入技术,在孔径层内的两侧位置注入剂量为 $1 \times 10^{15} \text{cm}^{-2}$ 的p型杂质Mg,形成厚度b为0.5μm,宽度a为0.5μm的两个阻挡层4,两个对称的阻挡层4之间形成孔径5。

[0066] 步骤4.外延GaN材料制作沟道层6,如图3d。

[0067] 使用分子束外延技术,在两个阻挡层4和孔径5的上部外延厚度为0.04μm的GaN材料,形成沟道层6;

[0068] 所述分子束外延技术,其工艺条件为:真空度小于等于 $1.0 \times 10^{-10} \text{mbar}$,射频功率为400W,反应剂采用N₂、高纯Ga源。

[0069] 步骤5.外延Al_{0.5}Ga_{0.5}N,制作势垒层7,如图3e。

[0070] 使用分子束外延技术在沟道层6上外延厚度为5nm的Al_{0.5}Ga_{0.5}N材料,形成势垒层7,其中:

[0071] 分子束外延的工艺条件为:真空度小于等于 $1.0 \times 10^{-10} \text{mbar}$,射频功率为400W,反应剂采用N₂、高纯Ga源、高纯Al源。

[0072] 步骤6.在势垒层7和沟道层6左右两侧刻蚀制作凹槽8,如图3f。

[0073] 在势垒层7上第二次制作掩模,使用反应离子刻蚀技术,在势垒层7和沟道层6的左、右两侧进行刻蚀,且刻蚀深度为0.01μm,形成左、右两个凹槽8;

[0074] 反应离子刻蚀的工艺条件为:Cl₂流量为15sccm,压强为10mTorr,功率为100W。

[0075] 步骤7.制作源极9,如图3g。

[0076] 先在两个凹槽8上部和势垒层7的上部第三次制作掩模;

[0077] 再使用电子束蒸发技术,在两个凹槽8上部淀积Ti/Au/Ni组合金属,形成源极9,其中:所淀积的金属,自下而上,Ti的厚度为0.02μm、Au的厚度为0.3μm、Ni的厚度为0.05μm;

[0078] 电子束蒸发的工艺条件为:真空度小于 $1.8 \times 10^{-3} \text{Pa}$,功率范围为200~1000W,蒸发速率小于3Å/s。

[0079] 步骤8.制作栅极10,如图3h。

[0080] 8.1)在源极9上部和势垒层7的上部第四次制作掩模;

[0081] 8.2)使用电子束蒸发技术,在势垒层7上淀积Ni/Au/Ni组合金属,形成栅极10,其中:所淀积的金属自下而上,Ni的厚度为0.02μm、Au的厚度为0.2μm、Ni的厚度为0.04μm,栅极10与两个阻挡层4之间的交叠长度为0.2μm;

[0082] 电子束蒸发的工艺条件为:真空度小于 $1.8 \times 10^{-3} \text{Pa}$,功率范围为200~1000W,蒸发速率小于3Å/s。

[0083] 步骤9.制作肖特基漏极11,如图3i。

[0084] 使用电子束蒸发技术,在整个衬底1的背面上淀积Pt/Au/Ni组合金属,形成肖特基漏极11;

[0085] 其中:所淀积的金属自下而上,Pt的厚度为 $0.02\mu\text{m}$ 、Au的厚度为 $0.7\mu\text{m}$ 、Ni的厚度为 $0.05\mu\text{m}$;淀积金属所采用的工艺条件为:真空度小于 $1.8\times 10^{-3}\text{Pa}$,功率范围为 $200\sim 1000\text{W}$,蒸发速率小于 $3\text{\AA}/\text{s}$ 。

[0086] 步骤10.淀积SiN绝缘介质材料,形成包裹的钝化层12,如图3j。

[0087] 使用等离子体增强化学气相淀积技术,在除了肖特基漏极11底部以外的其他所有区域淀积SiN绝缘介质材料,形成包裹的钝化层12,其中:

[0088] 淀积钝化层的工艺条件是:气体为 NH_3 、 N_2 及 SiH_4 ,气体流量分别为 2.5sccm 、 950sccm 和 250sccm ,温度、射频功率和压强分别为 300°C 、 25W 和 950mTorr 。

[0089] 步骤11.在钝化层内的左、右两边刻蚀弧形台阶13,如图3k。

[0090] 在肖特基漏极11的背面和钝化层12的背面制作第五次掩模,使用反应离子刻蚀技术在背面的钝化层12左右两边内进行刻蚀,形成弧形台阶13,该弧形台阶13高于肖特基漏极上边界的部分,其表面的任意一点分别与衬底1下表面的垂直距离 d 和与漂移层2的水平距离 e ,近似满足关系 $d=5.5+2.5\ln(e+0.06)$, d 最大为 $2\mu\text{m}$,弧形台阶13表面与肖特基漏极上边界处于同一水平高度的部位距离漂移层2的水平间距 t 为 $0.05\mu\text{m}$,其中:

[0091] 反应离子刻蚀的工艺条件为: CF_4 流量为 45sccm , O_2 流量为 5sccm ,压强为 15mTorr ,功率为 250W 。

[0092] 步骤12.制作弧形场板14,如图3l。

[0093] 12.1)在肖特基漏极11的背面以及带有弧形台阶的钝化层12的背面制作第六次掩模;

[0094] 12.2)使用电子束蒸发技术,即在真空度小于 $1.8\times 10^{-3}\text{Pa}$,功率范围为 $200\sim 1000\text{W}$,蒸发速率小于 $3\text{\AA}/\text{s}$ 的工艺条件下,在左、右两边的弧形台阶处淀积金属Ni,制作左、右对称的两个弧形场板14,并将该两侧的弧形场板与肖特基漏极电气连接,两个弧形场板14下边界所在高度等于肖特基漏极11上边界所在高度。

[0095] 步骤13.淀积SiN绝缘介质材料,制作保护层15,如图3m。

[0096] 使用等离子体增强化学气相淀积技术,在两个弧形场板14下部、钝化层12下部和肖特基漏极11的下部区域覆盖SiN绝缘介质材料制作保护层15,完成整个器件的制作。

[0097] 所述等离子体增强化学气相淀积技术,其工艺条件为:气体为 NH_3 、 N_2 及 SiH_4 ,气体流量分别为 2.5sccm 、 950sccm 和 250sccm ,温度、射频功率和压强分别为 300°C 、 25W 和 950mTorr 。

[0098] 实施例二:制作钝化层和保护层均为 SiO_2 的基于弧形漏场板和肖特基漏极的垂直型功率晶体管。

[0099] 第一步.在衬底1上外延 n^- 型GaN,形成漂移层2,如图3a。

[0100] 在温度为 1000°C ,压强为 45Torr ,以 SiH_4 为掺杂源,氢气流量为 4400sccm ,氨气流量为 4400sccm ,镓源流量为 $110\mu\text{mol}/\text{min}$ 的工艺条件下,采用 n^- 型半导体材料做衬底1,使用金属有机物化学气相淀积技术,在衬底1上外延厚度为 $25\mu\text{m}$ 、掺杂浓度为 $1\times 10^{16}\text{cm}^{-3}$ 的 n^- 型GaN材料,完成漂移层2的制作。

[0101] 第二步.在漂移层上外延 n 型GaN,形成孔径层3,如图3b。

[0102] 在温度为1000℃,压强为45Torr,以SiH₄为掺杂源,氢气流量为4400sccm,氨气流量为4400sccm,镓源流量为110μmol/min的工艺条件下,使用金属有机物化学气相淀积技术,在漂移层2上外延厚度c为1.5μm、掺杂浓度为 $1 \times 10^{16} \text{m}^{-3}$ 的n型GaN材料,完成孔径层3的制作。

[0103] 第三步.制作阻挡层4,如图3c。

[0104] 3.1) 在孔径层3上第一次制作掩模;

[0105] 3.2) 使用离子注入技术,在孔径层3内的两侧位置注入剂量为 $5 \times 10^{15} \text{cm}^{-2}$ 的p型杂质Mg,形成厚度b为1.5μm,宽度a为3μm的两个阻挡层4,两个对称的阻挡层4之间形成孔径5。

[0106] 第四步.外延GaN材料,制作沟道层6,如图3d。

[0107] 在真空度小于等于 $1.0 \times 10^{-10} \text{mbar}$,射频功率为400W,反应剂采用N₂、高纯Ga源的工艺条件下,使用分子束外延技术,在两个阻挡层4和孔径5的上部外延厚度为0.1μm的GaN材料,完成沟道层6的制作。

[0108] 第五步.外延Al_{0.3}Ga_{0.7}N,制作势垒层7,如图3e。

[0109] 在真空度小于等于 $1.0 \times 10^{-10} \text{mbar}$,射频功率为400W,反应剂采用N₂、高纯Ga源、高纯Al源的工艺条件下,使用分子束外延技术,在沟道层6上外延厚度为24nm的Al_{0.3}Ga_{0.7}N材料,完成势垒层7的制作。

[0110] 第六步.在势垒层7和沟道层6的左右两侧刻蚀制作凹槽8,如图3f。

[0111] 6.1) 在势垒层7上第二次制作掩模;

[0112] 6.2) 在Cl₂流量为15sccm,压强为10mTorr,功率为100W的工艺条件下,使用反应离子刻蚀技术,在势垒层7和沟道层6的左、右两侧进行刻蚀形成左、右两个凹槽8,凹槽刻蚀深度为0.03μm。

[0113] 第七步.制作源极9,如图3g。

[0114] 7.1) 在两个凹槽8上部和势垒层7的上部第三次制作掩模;

[0115] 7.2) 在真空度小于 $1.8 \times 10^{-3} \text{Pa}$,功率范围为200~1000W,蒸发速率小于3Å/s的工艺条件下,使用电子束蒸发技术,在两个凹槽8上部淀积Ti/Au/Ni组合金属,形成源极9,其中:所淀积的金属,自下而上,Ti的厚度为0.02μm、Au的厚度为0.2μm、Ni的厚度为0.05μm。

[0116] 第八步.制作栅极10,如图3h。

[0117] 8.1) 在两个源极9上部和势垒层7上部第四次制作掩模;

[0118] 8.2) 在真空度小于 $1.8 \times 10^{-3} \text{Pa}$,功率范围为200~1000W,蒸发速率小于3Å/s的工艺条件下,使用电子束蒸发技术,在势垒层7上淀积Ni/Au/Ni组合金属,完成栅极10的制作,且自下而上,Ni的厚度为0.02μm、Au的厚度为0.2μm、Ni的厚度为0.04μm,栅极10与两个阻挡层4之间的交叠长度为0.6μm。

[0119] 第九步.制作肖特基漏极11,如图3i。

[0120] 在真空度小于 $1.8 \times 10^{-3} \text{Pa}$,功率范围为200~1000W,蒸发速率小于3Å/s的工艺条件下,使用电子束蒸发技术,在整个衬底1背面依次淀积金属Au、Ni,完成肖特基漏极11的制作,且Au的厚度为0.7μm、Ni的厚度为0.05μm。

[0121] 第十步.淀积SiO₂绝缘介质材料,形成包裹的钝化层12,如图3j。

[0122] 在N₂O流量为850sccm,SiH₄流量为200sccm,温度为250℃,射频功率为25W,压力为1100mTorr的工艺条件下,使用等离子体增强化学气相淀积技术,淀积SiO₂绝缘介质材料,

以包裹除了肖特基漏极11底部以外的其他所有区域,完成钝化层12的制作。

[0123] 第十一步.在钝化层内的左、右边刻蚀弧形台阶13,如图3k。

[0124] 11.1)在肖特基漏极11的背面和钝化层12的背面制作第五次掩模;

[0125] 11.2)在CF₄流量为20sccm,O₂流量为2sccm,压强为20mTorr,偏置电压为100V的工艺条件下,使用反应离子刻蚀技术,在背面的钝化层12左右两边内进行刻蚀,形成弧形台阶13,该弧形台阶13高于肖特基漏极上边界的部分,其表面的任意一点分别与衬底1下表面的垂直距离d和与漂移层2的水平距离e,近似满足关系 $d=5.5+2.5\ln(e+0.06)$,d最大为7.5 μm ,弧形台阶13表面与肖特基漏极上边界处于同一水平高度的部位距离漂移层2的水平间距t为0.05 μm 。

[0126] 第十二步.制作弧形场板14,如图3l。

[0127] 12.1)在肖特基漏极11的背面以及带有弧形台阶的钝化层12的背面制作第六次掩模;

[0128] 12.2)在真空度小于 $1.8\times 10^{-3}\text{Pa}$,功率范围为200~1000W,蒸发速率小于 $3\text{\AA}/\text{s}$ 的工艺条件下,使用电子束蒸发技术,在钝化层12左、右边的弧形台阶处依次淀积金属Ti、Au,完成弧形场板14的制作,并将该弧形场板与肖特基漏极电气连接,两个弧形场板14下边界所在高度低于肖特基漏极11上边界所在高度0.2 μm 。

[0129] 第十三步.淀积SiO₂材料,制作保护层15,如图3m。

[0130] 在N₂O流量为850sccm,SiH₄流量为200sccm,温度为250℃,射频功率为25W,压力为1100mTorr的工艺条件下,使用等离子体增强化学气相淀积技术,在两个弧形场板14下部、钝化层12下部和肖特基漏极11的下部区域覆盖SiO₂绝缘介质材料制作保护层15,从而完成整个器件的制作。

[0131] 实施例三:制作钝化层为SiO₂,保护层为SiN的基于弧形漏场板和肖特基漏极的垂直型功率晶体管。

[0132] 步骤A.采用n⁻型半导体材料做衬底1,使用金属有机物化学气相淀积技术,采用温度为950℃,压强为40Torr,以SiH₄为掺杂源,氢气流量为4000sccm,氨气流量为4000sccm,镓源流量为100 $\mu\text{mol}/\text{min}$ 的工艺条件,在衬底上外延厚度为50 μm 、掺杂浓度为 $1\times 10^{18}\text{cm}^{-3}$ 的n⁻型GaN材料,制作漂移层2,如图3a。

[0133] 步骤B.采用温度为950℃,压强为40Torr,以SiH₄为掺杂源,氢气流量为4000sccm,氨气流量为4000sccm,镓源流量为100 $\mu\text{mol}/\text{min}$ 的工艺条件,使用金属有机物化学气相淀积技术,在漂移层2上外延厚度为3 μm 、掺杂浓度为 $1\times 10^{18}\text{cm}^{-3}$ 的n型GaN材料,制作孔径层3,如图3b。

[0134] 步骤C.在孔径层3上先第一次制作掩模,再使用离子注入技术,在孔径层内的两侧位置注入剂量为 $1\times 10^{16}\text{cm}^{-2}$ 的p型杂质Mg,制作厚度为3 μm ,宽度为5 μm 的两个阻挡层4,两个对称的阻挡层4之间形成孔径5,如图3c。

[0135] 步骤D.采用真空度小于等于 $1.0\times 10^{-10}\text{mbar}$,射频功率为400W,反应剂为N₂和高纯Ga源的工艺条件,使用分子束外延技术,在两个阻挡层4和孔径5上部外延厚度为0.2 μm 的GaN材质的沟道层6,如图3d。

[0136] 步骤E.采用真空度小于等于 $1.0\times 10^{-10}\text{mbar}$,射频功率为400W,反应剂为N₂、高纯Ga源和高纯Al源的工艺条件,使用分子束外延技术,在沟道层6上外延厚度为50nm的

Al_{0.1}Ga_{0.9}N材质的势垒层7,如图3e。

[0137] 步骤F.在势垒层7上第二次制作掩模,再采用Cl₂流量为15sccm,压强为10mTorr,功率为100W的工艺条件,使用反应离子刻蚀技术,在势垒层7和沟道层6的左、右两侧进行刻蚀,且刻蚀深度为0.06μm,形成左、右两个凹槽8,如图3f。

[0138] 步骤G.在两个凹槽8上部和势垒层7的上部第三次制作掩模,再采用真空度小于 1.8×10^{-3} Pa,功率范围为200~1000W,蒸发速率小于3Å/s的工艺条件,使用电子束蒸发技术,在两个凹槽8上部淀积Ti/Au/Ni组合金属,制作源极9,其中所淀积的金属自下而上为Ti的厚度是0.02μm、Au的厚度是0.2μm、Ni的厚度是0.05μm,如图3g。

[0139] 步骤H.在源极9上部和势垒层7的上部第四次制作掩模;再采用真空度小于 1.8×10^{-3} Pa,功率范围为200~1000W,蒸发速率小于3Å/s的工艺条件,使用电子束蒸发技术,在势垒层7上淀积金属,制作栅极10,其中所淀积的金属为Ni/Au/Ni金属组合,且Ni的厚度为0.02μm,Au的厚度为0.2μm,Ni的厚度为0.04μm,栅极10与两个阻挡层4之间的交叠长度为0.8μm,如图3h。

[0140] 步骤I.采用真空度小于 1.8×10^{-3} Pa,功率范围为200~1000W,蒸发速率小于3Å/s的工艺条件,使用电子束蒸发技术,在整个衬底1的背面上淀积金属,制作肖特基漏极11,其中所淀积的金属为Ni,Ni的厚度为0.4μm,如图3i。

[0141] 步骤J.采用N₂O流量为850sccm,SiH₄流量为200sccm,温度为250℃,射频功率为25W,压力为1100mTorr的工艺条件,使用等离子体增强化学气相淀积技术,淀积SiO₂绝缘介质材料,以包裹除了肖特基漏极11底部以外的其他所有区域,完成钝化层12的制作,如图3j。

[0142] 步骤K.在肖特基漏极11的背面和钝化层12的背面制作第五次掩模,再采用CF₄流量为20sccm,O₂流量为2sccm,压强为20mTorr,偏置电压为100V的工艺条件,使用反应离子刻蚀技术,在背面的钝化层12左、右两侧内刻蚀,形成弧形台阶13,该弧形台阶13高于肖特基漏极上边界的部分,其表面的任意一点分别与衬底1下表面的垂直距离d和与漂移层2的水平距离e,近似满足关系 $d = 5.5 + 2.5 \ln(e + 0.06)$,d最大为11μm,弧形台阶13表面与肖特基漏极上边界处于同一水平高度的部位距离漂移层2的水平间距t为0.05μm,如图3k。

[0143] 步骤L.在肖特基漏极11的背面以及带有弧形台阶的钝化层12的背面制作第六次掩模,再采用真空度小于 1.8×10^{-3} Pa,功率范围为200~1000W,蒸发速率小于3Å/s的工艺条件,使用电子束蒸发技术,在背面钝化层两侧的弧形台阶处依次淀积金属Ti、Au,完成两个弧形场板14的制作,并将该弧形场板与肖特基漏极电气连接,两个弧形场板14下边界所在高度低于肖特基漏极11上边界所在高度0.3μm,如图3l。

[0144] 步骤M.使用等离子体增强化学气相淀积技术,在两个弧形场板14下部、钝化层12下部和肖特基漏极11的下部区域覆盖SiN绝缘介质材料,制作保护层15,完成整个器件的制作,如图3m。

[0145] 所述等离子体增强化学气相淀积的工艺条件是:

[0146] NH₃气体的流量为2.5sccm;

[0147] N₂气体的流量为950sccm;

[0148] SiH₄气体的流量为250sccm;

[0149] 温度为300℃,射频功率为25W,压强为950mTorr。

[0150] 本发明的效果可通过以下仿真进一步说明。

[0151] 仿真:对本发明器件在击穿情况下的二维电场分布进行仿真,结果如图4,其中器件的击穿电压为-1600V。

[0152] 由图4可以看出,击穿情况下,本发明器件中电场强度分布均匀,在器件内部以及漂移层两侧表面附近形成了连续平缓的高电场区,且高场区的范围大,说明本发明器件结构可以有效地调制器件内部和漂移层两侧表面附近的电场分布。因此本发明器件可以有效实现反向阻断功能。

[0153] 以上描述仅是本发明的几个具体实施例,并不构成对本发明的限制,显然对于本领域的专业人员来说,在了解了本发明内容和原理后,能够在不背离本发明的原理和范围的情况下,根据本发明的方法进行形式和细节上的各种修正和改变,但是这些基于本发明的修正和改变仍在本发明的权利要求保护范围之内。

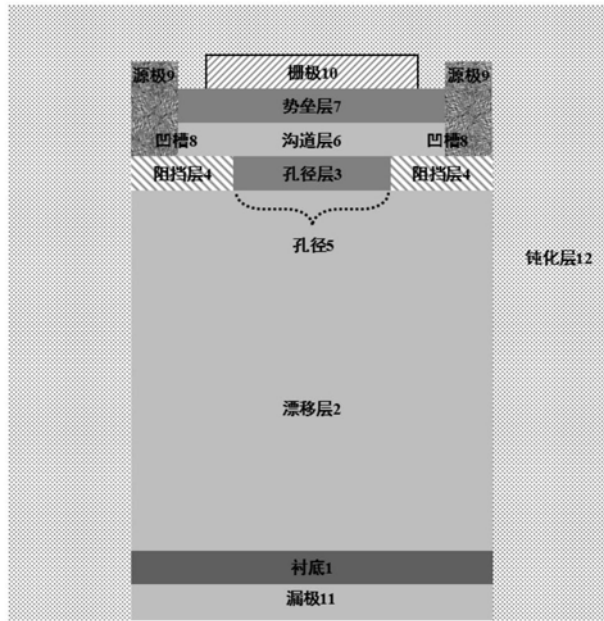


图1

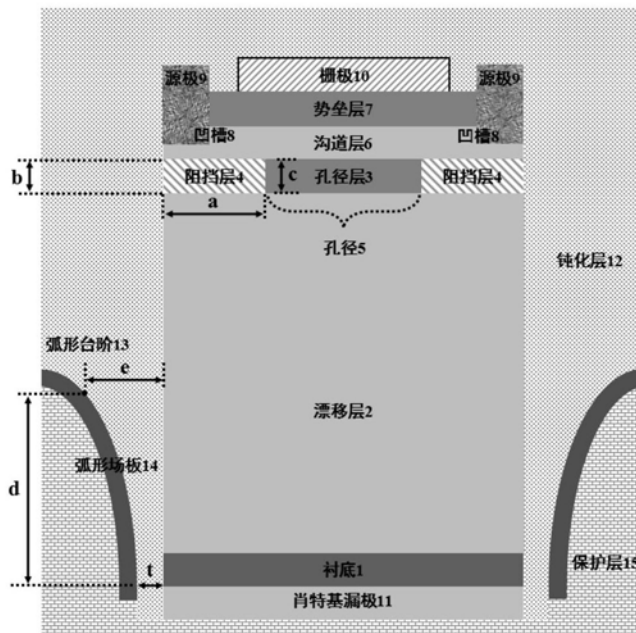


图2

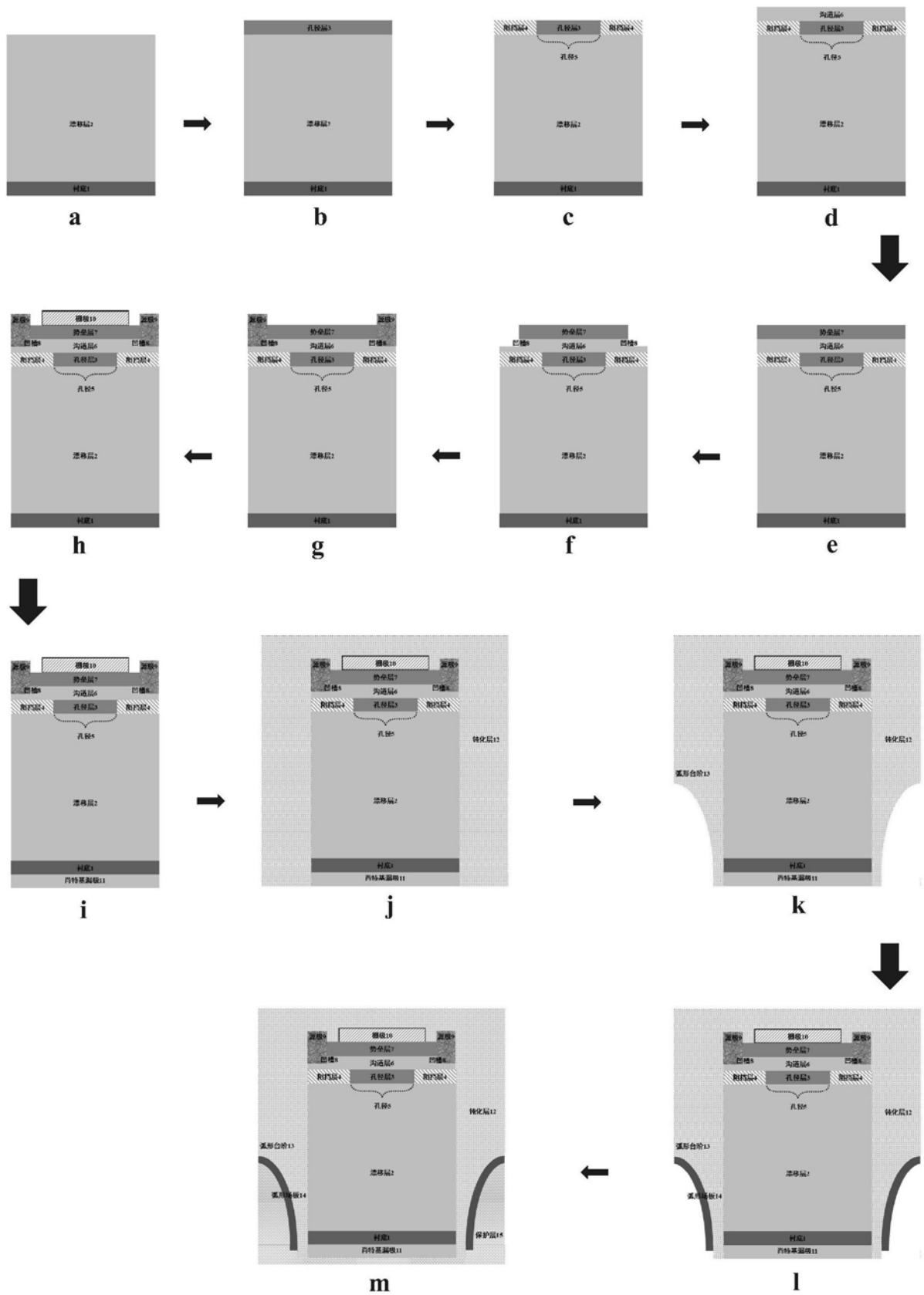


图3

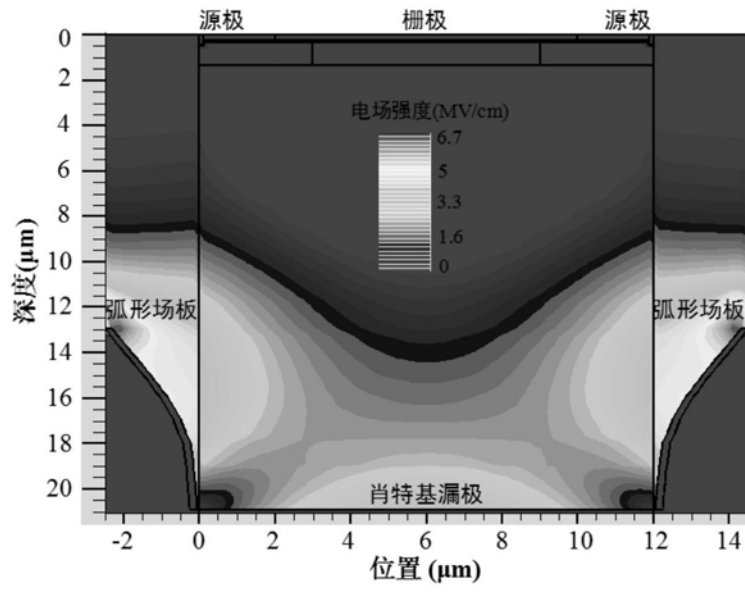


图4