

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 97127098

※ 申請日期： 97.7.16

※IPC 分類：~~H04B~~

H03M1/14 (2006.01)

一、發明名稱：(中文/英文)

以反饋信號為基礎之動態轉換率控制

DYNAMIC SLEW RATE CONTROL BASED ON A FEEDBACK
SIGNAL

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商高通公司

QUALCOMM INCORPORATED

代表人：(中文/英文)

湯瑪仕 R 勞斯

ROUSE, THOMAS R.

住居所或營業所地址：(中文/英文)

美國加州聖地牙哥市摩豪斯大道5775號

5775 MOREHOUSE DRIVE SAN DIEGO, CA 92121-1714, U. S. A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 藍納特 K-A 麥斯
MATHE, LENNART K-A
2. 關孝宏
QUAN, XIAOHONG

國 籍：(中文/英文)

1. 瑞典 SWEDEN
2. 中華人民共和國 P.R.C.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2007年07月16日；60/950,061

2. 美國；2008年07月14日；12/173,006

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本揭示案大體係關於電子技術，且更特定言之，係關於用於增強反饋電路內之有效電路(例如，德耳塔-西格馬類比數位轉換器($\Delta\Sigma$ ADC)內之積分器)之轉換率的技術。

本專利申請案主張2007年7月16日申請之題為"用於德耳塔-西格馬ADC之積分器電路動態偏壓技術(An Integrator Circuit Dynamic Biasing Technique for Delta-Sigma ADC)"的臨時申請案第60/950,061號之優先權，該案已讓渡給本案之受讓人，且在此以引用之方式明確地併入本文中。

【先前技術】

$\Delta\Sigma$ ADC一般用於數位化類比信號且提供數位樣本。 $\Delta\Sigma$ ADC通常包括一或多個積分器及一或多個反饋路徑。每一積分器經常以由運算跨導放大器(OTA)、電容器及開關組成之開關電容器電路來實施。

高效能 $\Delta\Sigma$ ADC經常要求 $\Delta\Sigma$ ADC中之積分器(尤其第一積分器)的快速穩態回應(settling response)。在許多狀況下，積分器之穩態回應受OTA之轉換率限制。轉換率為輸出信號可歸因於輸入信號之大變化而變化的最大速率。較快穩態回應可由較快轉換率達成，其可接著由OTA之較高偏流獲得。因而，在轉換率與功率消耗之間存在折衷。需要在不使用高偏流的情況下達成快速穩態回應，因為低功率消耗在現代無線及攜帶型電子器件中係重要的。

【發明內容】

本文描述用於增強反饋電路內之有效電路的轉換率以便改良穩態回應之技術。在一態樣中，快速穩態回應可藉由動態地施加一可增強有效電路之轉換率的升壓電流而達成。升壓電流之量及/或極性可以反饋電路中之反饋信號為基礎來控制。反饋信號可用於預測有效電路之輸出何時將具有一大正步或負步。僅在需要達成對於大正步或負步之快速穩態回應時才可施加升壓電流。因而，可以很少額外功率獲得良好效能。該等技術可用於諸如 $\Delta\Sigma$ ADC之各種反饋電路。

在一個設計中，具有轉換率增強之 $\Delta\Sigma$ ADC可接收一類比信號且提供數位樣本。 $\Delta\Sigma$ ADC可包括一積分器、一轉換率增強電路及一控制電路。該積分器(其可為 $\Delta\Sigma$ ADC中之多個積分器中之第一者)可接收一輸入信號且提供一輸出信號。該轉換率增強電路可以 $\Delta\Sigma$ ADC中之反饋信號為基礎來增強積分器之轉換率。該轉換率增強電路可提供(i)一對於反饋信號之僅特定值(例如，最大值及最小值)的升壓電流，或(ii)對於反饋信號之不同值的不同升壓電流量。反饋信號之最大值可對應於最大正值，且反饋信號之最小值可對應於最大負值。

在一個設計中，該轉換率增強電路可包括耦接至積分器之至少一升壓電路。當啟用每一升壓電路時，該升壓電路可提供一升壓電流以增強積分器之轉換率。每一升壓電路可包括至少一支。在一個設計中，每一分支可包括串聯耦接並在積分器輸出與電源電壓之間的一電阻器及一開

關。在另一設計中，每一分支可包括一可切換之電流源。在兩者設計中，可接通每一分支之開關以向積分器提供升壓電流。可選擇可組態數目之分支以提供一可程式化量之升壓電流。

在一個設計中，當啟用轉換率增強電路時，轉換率增強電路可提供升壓電流之脈衝以增強積分器之轉換率。脈衝之持續時間及升壓電流之振幅可以在一個取樣週期中由積分器轉移的電荷量為基礎來判定。脈衝之持續時間可以由第一電阻器及第一電容器構成之RC電路為基礎來判定。升壓電流量可以第二電阻器為基礎來判定。積分器可以取樣電容器為基礎來執行積分。第一電阻器可關於積體電路(IC)製程變化而追蹤第二電阻器，且第一電容器可關於IC製程變化而追蹤取樣電容器。此可允許轉換率增強電路即使在電阻器值及電容器值歸因於IC製程變化而變化的情況下亦有助於轉移適量電荷。

在一個設計中，轉換率控制電路包括一脈衝產生器及一控制信號產生器。該脈衝產生器可接收一用於積分器之控制信號，並在每一取樣週期中產生包含一脈衝之第一信號。控制信號產生器可以第一信號及 $\Delta\Sigma$ ADC中之反饋信號為基礎來產生用於轉換率增強電路之至少一控制信號。

在下文進一步詳細地描述本揭示案之各種態樣及特徵。

【實施方式】

本文所描述之技術可用於具有有效電路之各種反饋電路。有效電路為一包含諸如OTA之放大器的電路。積分器

為有效電路之一個實例。反饋電路為一提供用於控制反饋電路內之一或多個電路之操作的反饋信號的電路。為清楚起見，下文針對 $\Delta\Sigma$ ADC來描述該等技術之各種態樣， $\Delta\Sigma$ ADC為具有有效電路之反饋電路的一個實例。

本文所描述之技術可用於諸如無線通信、計算、網路連接、消費者電子產品等之各種應用。該等技術亦可用於各種器件，諸如，無線通信器件、蜂巢式電話、個人數位助理(PDA)、掌上型器件、無線數據機、膝上型電腦、無繩電話、藍芽(Bluetooth)器件、廣播接收器、消費者電子器件等。下文描述該等技術對於無線通信器件(其可為蜂巢式電話或一些其他器件)中之 $\Delta\Sigma$ ADC之使用。

圖1展示無線通信器件100之設計的方塊圖。為簡單起見，圖1中僅展示接收器部分。亦為簡單起見，圖1中僅展示用於一個天線之一個接收鏈。大體而言，無線器件可包括用於任何數目之天線、任何數目之頻帶及任何數目之無線電技術之任何數目之接收鏈。

天線110可接收由基地台傳輸之射頻(RF)調變信號且提供一接收之RF信號。低雜訊放大器(LNA) 112可放大接收之RF信號且提供一放大之RF信號。濾波器114可過濾放大之RF信號以傳遞有關頻帶中之信號分量，並移除頻帶外雜訊及不需要的信號。降頻轉換器116可用本地振盪器(LO)信號來降頻轉換經過濾之RF信號，且提供一降頻轉換之信號。可選擇LO信號之頻率，使得選定頻道中之所要信號經降頻轉換至基頻、近基頻或中頻(IF)。放大器(Amp) 118

可放大經降頻轉換之信號且提供一具有所要信號位準之信號。低通濾波器 120 可過濾來自放大器 118 之信號以傳遞選定頻道中之所要信號，並移除可由降頻轉換過程產生之雜訊及不需要之信號。

$\Delta\Sigma$ ADC 130 可數位化來自低通濾波器 120 之類比信號，且提供數位樣本至資料處理器 140。 $\Delta\Sigma$ ADC 130 可提供特定優點，諸如，較佳線性、改良之量化雜訊特性及在其他類型 ADC 上之較簡單實施。 $\Delta\Sigma$ ADC 130 可藉由以比所要信號頻寬大許多倍的取樣速率對類比信號之振幅的變化進行連續 L 位元近似而執行對類比信號之類比數位轉換，其中 L 可為一或更大。數位樣本可包括所要的信號及量化雜訊。 $\Delta\Sigma$ ADC 130 可經設計使得量化雜訊被推出(或雜訊成形)頻帶外，使得其可更易於被過濾。

資料處理器 140 可處理來自 $\Delta\Sigma$ ADC 130 之數位樣本以恢復發送至無線器件 100 之資料。控制器/處理器 150 可控制無線器件 100 處之操作。記憶體 152 可儲存無線器件 100 之程式碼及資料。

圖 1 展示具有 $\Delta\Sigma$ ADC 之特定接收器設計。接收器亦可包括圖 1 中未展示之不同及/或額外電路區塊。

$\Delta\Sigma$ ADC 130 可由諸如單一迴路 $\Delta\Sigma$ ADC、級聯(或多級雜訊成形(Multi-stage noise-shaping, MASH)) $\Delta\Sigma$ ADC 等之各種設計來實施。 $\Delta\Sigma$ ADC 130 亦可由任何級(例如，一級、二級或更高級)來實施。 $\Delta\Sigma$ ADC 130 可提供具有一或多個(L)位元解析度之數位樣本。大體而言，較高級及/或較多

位元可以較大電路複雜性為代價提供較佳效能。

圖2展示具有轉換率增強之2位元二級 $\Delta\Sigma$ ADC 130a之設計的方塊圖。 $\Delta\Sigma$ ADC 130a可用於圖1中之 $\Delta\Sigma$ ADC 130。在 $\Delta\Sigma$ ADC 130a內，加法器212自類比信號(表示為 X)減去由數位類比轉換器(DAC) 230輸出之類比反饋信號(表示為 Z)。積分器220a求加法器212之輸出的積分，且提供第一積分器輸出信號。積分器220b求第一積分器輸出信號的積分，且提供一第二積分器輸出信號。增益電路222a及222b分別以增益 g_1 及 g_2 來分別縮放第一積分器輸出信號及第二積分器輸出信號。增益電路222c以增益1來縮放類比信號。加法器224對增益電路222a、222b及222c之輸出求和，且提供一中間信號。量化器226量化中間信號且提供2位元數位樣本(表示為 Y)。數位樣本具有四個可能之2位元值00、01、10及11。DAC 230接收一包含來自量化器226之數位樣本之數位反饋信號。DAC 230將數位樣本轉換成類比信號，且提供具有分別用於數位樣本00、01、10及11之四個可能標準化值-1、-1/3、+1/3及+1的類比反饋信號。標準化類比值-1、-1/3、+1/3及+1可分別對應於實際類比值 $-V_{ref}$ 、 $-V_{ref}/3$ 、 $+V_{ref}/3$ 及 $+V_{ref}$ ，其中 V_{ref} 為DAC 230之參考電壓。為簡單起見，下文大量描述引用標準化類比值而非實際類比值。在任何狀況下，在提供至DAC 230之數位反饋信號的值與由DAC 230所提供之類比反饋信號的值之間存在一對一映射。

在圖2中所示之設計中，轉換率增強電路250耦接至第一

積分器 220a 且增強該積分器之轉換率，如下文所描述。轉換率控制電路 260 接收一反饋信號，且產生用於轉換率增強電路 250 之控制信號。反饋信號可為提供至 DAC 230 之數位反饋信號(如圖 2 中所示)或為由 DAC 230 所提供之類比反饋信號(圖 2 中未展示)。大體而言，轉換率增強可應用於 $\Delta\Sigma$ ADC 130a 內之任何積分器，以便改良該積分器之轉換率及穩態回應。

圖 3 展示具有轉換率增強之 L 位元四級級聯 $\Delta\Sigma$ ADC 130b 之設計的方塊圖。ADC 130b 亦可用於圖 1 中之 $\Delta\Sigma$ ADC 130。 $\Delta\Sigma$ ADC 130b 包括兩個迴路 302a 及 302b，其中每一迴路 302 包括兩個區段 310、量化器 326 及 DAC 330。每一區段 310 包括與積分器 320 串聯耦接之加法器 312。

對於第一迴路 302a 內之每一區段 310，加法器 312 自一區段輸入信號減去由 DAC 330a 輸出之第一類比反饋信號(表示為 Z_1)。積分器 320 求加法器 312 之輸出的積分且提供一區段輸出信號。量化器 326a 量化來自積分器 320b 之輸出信號，且提供一第一量化信號(表示為 Q_1)。DAC 330a 將第一量化信號轉換成類比信號，且提供第一類比反饋信號。

對於第二迴路 302b 內之每一區段 310，加法器 312 自一區段輸入信號減去由 DAC 330b 輸出之第二類比反饋信號(表示為 Z_2)。積分器 320 求加法器 312 之輸出的積分且提供一區段輸出信號。量化器 326b 量化來自積分器 320d 之輸出信號，且提供一第二量化信號(表示為 Q_2)。DAC 330b 將第二量化信號轉換成類比信號且提供第二類比反饋信號。

電路340判定來自第一迴路302a之量化誤差，且產生第二迴路302b之輸入信號(表示為 X_2)。在電路340內，加法器342自來自區段310b之輸出信號減去第一量化信號。增益電路344以增益 g 來縮放加法器342之輸出，且提供第二迴路302b之 X_2 信號。雜訊消除邏輯348接收來自迴路302a及302b之第一量化信號及第二量化信號，處理此等量化信號，且提供 L 位元數位樣本，其中 $L \geq 1$ 。

在圖3中所示之設計中，轉換率增強電路350耦接至第一積分器320a且增強該積分器之轉換率。轉換率控制電路360接收第一量化信號作為反饋信號，且產生用於轉換率增強電路350之控制信號。大體而言，轉換率增強可應用於 $\Delta\Sigma$ ADC 130b內之任何積分器，以便改良該積分器之轉換率及穩態回應。

圖2及圖3展示具有轉換率增強之兩個實例 $\Delta\Sigma$ ADC。具有轉換率增強之 $\Delta\Sigma$ ADC亦可由其他設計來實施。為清楚起見，下文描述對於圖2中之2位元 $\Delta\Sigma$ ADC 130a的技術之各種態樣。

圖2及圖3中之每一積分器可用由OTA、電容器及開關構成之開關電容器電路來實施。所有此等電路元件可易於製造於互補金屬氧化半導體(CMOS)中。

圖4展示由單取樣開關電容器電路實施之積分器400之設計的示意圖。積分器400可用於圖2及圖3中之積分器中的每一者。在積分器400內，開關412具有接收輸入信號 V_{in} 之一端及耦接至節點A之另一端。開關414耦接於節點A與電

路接地之間。輸入取樣電容器420耦接於節點A與節點B之間。開關416耦接於節點B與電路接地之間。開關418耦接於節點B與OTA 424之反相輸入之間。OTA 424之非反相輸入耦接至電路接地。積分電容器422耦接於OTA 424之反相輸入與輸出之間。OTA 424提供一輸出信號 V_{out} 。開關412、414、416及418分別由S2d、S1d、S2及S1控制信號控制。

圖5展示圖4中之控制信號之時序圖。圖5之頂部展示取樣時脈，取樣時脈具有頻率 f_{samp} 且表示為SCLK。取樣時脈之每一循環包括兩個相位：(i)對應於取樣時脈處於邏輯高之時間的相位一；及(ii)對應於取樣時脈處於邏輯低之時間的相位二。

如圖5中所示，在每一取樣週期中S1信號在相位一期間處於邏輯高，且S2信號在相位二期間處於邏輯高。S1d信號及S2d信號分別為S1信號及S2信號之延長(或延遲)型式。S1信號及S1d信號與S2信號及S2d信號不重疊。S1信號、S1d信號、S2信號及S2d信號具有頻率 f_{samp} 及小於50%之工作週期。

返回參看圖4，積分器400操作如下。在相位二期間，開關412及416藉由S2信號及S2d信號之邏輯高接通，開關414及418藉由S1信號及S1d信號之邏輯低斷開，且電容器420由 V_{in} 信號充電。在相位一期間，開關414及418藉由S1信號及S1d信號之邏輯高接通，開關412及416由S2信號及S2d信號之邏輯低斷開，且電容器420上之電荷轉移至電容器

422，此導致 V_{out} 信號改變。在每一取樣時脈循環中，電容器 420 由輸入信號充電且隨後將其電荷轉移至電容器 422。

積分器輸出之總穩態回應可視轉換率限制穩態及線性穩態而定。當積分器輸出存在大變化時，在總穩態回應之第一/早期部分期間出現轉換率限制穩態。在整個總穩態回應期間出現線性穩態。然而，與在早期部分期間之轉換率限制穩態相比，線性穩態可忽略不計且其在總穩態回應之後期部分中可能較顯著。

在總穩態回應之早期部分期間電荷可自電容器 420 轉移至電容器 422 的速率視 OTA 424 之轉換率而定。需要具有快速轉換率，使得電容器 420 中之所有電荷可在短時間量中轉移至電容器 422。若轉換率不充分快，則電容器 422 在積分階段之末端可能不會被充滿電，且積分器 400 之輸出可能不會穩定至適當值。歸因於不完全穩態之電容器 422 之(及積分器 400 之)最終值的誤差可導致較高雜訊底部，此可顯著增加量化雜訊並使 $\Delta\Sigma$ ADC 之效能降級。較快轉換率可藉由使用 OTA 424 之較大偏流而獲得。然而，使用較大偏流將增加功率消耗，此係無線及攜帶型電子器件不需要的。

在一態樣中， $\Delta\Sigma$ ADC 內之積分器的快速穩態回應可藉由動態施加一可加速電荷自電容器 420 至電容器 422 之轉移的升壓電流而達成，使得 OTA 424 不進入轉換率限制。升壓電流之數量及/或極性可以 $\Delta\Sigma$ ADC 中之反饋信號為基礎來控制。反饋信號可用於預測積分器之輸出何時將具有大

正步或負步。僅在需要達成對於大正步及負步之快速穩態回應時才可施加升壓電流。因而，可用很少額外功率獲得良好效能。

圖6展示具有轉換率增強之積分器402之單端設計的示意圖。積分器402包括開關412、414、416及418、電容器420及422以及OTA 424，其均在上文關於圖4而描述。積分器402進一步包括一接收轉換率控制信號並在需要時提供升壓電流之轉換率增強電路450。轉換率控制信號可以反饋信號為基礎而產生，反饋信號可指示電容器422之最終值。當反饋信號指示電容器422之大正步時，轉換率增強電路450可提供一可輔助OTA 424對電容器422充電之正升壓電流。相反，當反饋信號指示電容器422之大負步時，轉換率增強電路450可提供一可輔助OTA 424對電容器422放電之負升壓電流。

圖7展示積分器700、DAC 730及轉換率增強電路750之差動設計的示意圖，該差動設計可分別用於圖2中之積分器220a、DAC 230及轉換率增強電路250，或分別用於圖3中之積分器320a、DAC 330a及轉換率增強電路350。積分器700接收由 V_{inp} 信號及 V_{inn} 信號構成之差動輸入信號，且提供由 V_{outp} 信號及 V_{outn} 信號構成之差動輸出信號。轉換率增強電路750提供用於 V_{outp} 信號及 V_{outn} 信號之升壓電流(當需要時)，以便達成快速穩態回應。

在積分器700內，在上部路徑中之開關712a、714a、716a及718a以及電容器720a及722a以及下部路徑中之開關

712b、714b、716b及718b以及電容器720b及722b分別以類似於圖4中之開關412、414、416及418以及電容器420及422的方式耦接。開關712a及712b分別接收 V_{inn} 信號及 V_{inp} 信號。開關714a及開關714b在節點J處耦接在一起，且開關716a及716b耦接至一輸入共模電壓 V_{icm} 。

在DAC 730內，開關732a具有接收 V_{refp} 電壓之一端及耦接至節點U之另一端。開關732b具有接收 V_{refn} 電壓的一端及耦接至節點V之另一端。開關734耦接於節點U與V之間。對於4層級DAC，參考取樣電路740之三個複本並聯耦接於節點U及V與OTA 724之反相輸入及非反相輸入之間。為簡單起見，圖7中展示電路740之僅一個複本。對於電路740之每一複本，參考取樣電容器742a耦接於節點U與節點E之間，且參考取樣電容器742b耦接於節點V與節點F之間。開關744a及744b串聯耦接並在節點E與F之間。開關746a及748a分別耦接於節點E與OTA 724之反相輸入及非反相輸入之間。開關746b及748b分別耦接於節點F與OTA 724之反相輸入及非反相輸入之間。開關746a及748b由D1m控制信號控制，且開關746b及748a由D2m控制信號控制，其中m可分別等於對於電路740之複本1、2及3的1、2及3。電路740之三個複本的D1m信號及D2m信號以S2信號及反饋信號為基礎而產生。詳言之，以反饋信號為基礎而啟用或停用D1m信號及D2m信號，且若啟用，則在S2信號為活動的時間期間D1m信號及D2m信號為活動的。

電路740之三個複本用於取樣由 V_{refp} 電壓及 V_{refn} 電壓界定

之差動參考電壓。對於電路 740 之每一複本，在每一取樣週期中啟用 D1m 信號或 D2m 信號。當啟用 D1m 信號時，節點 E 經由開關 746a 而耦接至 OTA 724 之反相輸入，且節點 F 經由開關 748b 而耦接至 OTA 724 之非反相輸入。相反，當啟用 D2m 信號時，節點 E 經由開關 748a 而耦接至 OTA 724 之非反相輸入，且節點 F 經由開關 746b 而耦接至 OTA 724 之反相輸入。

當反饋信號為 +1 時，啟用電路 740 之所有三個複本的 D1m 信號，且電路 740 之所有三個複本中的電容器 742 在相同方向上耦接且提供正儲存電荷之三個單元。當反饋信號為 -1 時，啟用電路 740 之所有三個複本的 D2m 信號，且電路 740 之所有三個複本中的電容器 742 在相同方向上耦接且提供負儲存電荷之三個單元。當反饋信號為 +1/3 時，啟用電路 740 之兩個複本的 D1m 信號，啟用電路 740 之剩餘複本之 D2m 信號，且電路 740 之三個複本中的電容器 742 提供正儲存電荷之一個單元。當反饋信號為 -1/3 時，啟用電路 740 之兩個複本的 D2m 信號，啟用電路 740 之剩餘複本的 D1m 信號，且電路 740 之三個複本中的電容器 742 提供負儲存電荷之一個單元。

在圖 7 中所示之設計中，電容器 720a 及 720b 在 S2 信號情況下在相位二期間取樣 V_{inn} 信號及 V_{inp} 信號，而電容器 742a 及 742b 在 S1 信號情況下在相位一期間取樣 V_{refp} 信號及 V_{refn} 信號。電容器 720a 及 720b 在相位一期間提供其儲存電荷至電容器 722a 及 722b，且電容器 742a 及 742b 在相位二期間提

供其儲存電荷至電容器 722a 及 722b。因而，輸入信號及參考電壓在交替時脈相位上取樣，且亦在交替時脈相位上積分。輸入信號及參考電壓之此交替取樣 (i) 允許輸入信號及 DAC 反饋信號之獨立積分，及 (ii) 允許積分器負載在取樣時脈之相位一與二之間平衡。

在圖 7 中所示之設計中，轉換率增強電路 750 包括正升壓電路 760 及 790 以及負升壓電路 770 及 780。升壓電路 760 包括串聯耦接且在正電源電壓 V_{DD} 與 V_{outp} 輸出之間的開關 762 及電阻器 764。升壓電路 770 包括串聯耦接且在 V_{DD} 電源與 V_{outn} 輸出之間的開關 772 及電阻器 774。升壓電路 780 包括串聯耦接且在負電源電壓 V_{SS} 與 V_{outp} 輸出之間的開關 782 及電阻器 784。升壓電路 790 包括串聯耦接且在 V_{SS} 電源與 V_{outn} 輸出之間的開關 792 及電阻器 794。 V_{SS} 可為電路接地或某其他電壓。亦可使用其他電壓替代圖 7 中之 V_{DD} 及 V_{SS} 。開關 762 及 792 由 B1 控制信號控制，且開關 772 及 782 由 B2 控制信號控制。

圖 5 展示圖 2 中所示之 2 位元 $\Delta\Sigma$ ADC 130a 的 B1 信號及 B2 信號之設計。在此設計中，當反饋信號為 +1 時施加正升壓，當反饋信號為 -1 時施加負升壓，且當反饋信號為 -1/3 或 +1/3 時不施加升壓。B1 信號及 B2 信號在 S2 信號經啟用之初各自啟用持續一短時段。

在圖 7 中所示之設計中，當來自電容器 742a 及 742b 之儲存電荷累積且經轉移至電容器 722a 及 722b 時施加升壓電流。當來自電容器 720a 及 720b 之儲存電荷累積且經轉移至

電容器 722a 及 722b 時不施加升壓電流。此設計可提供上文描述之優點，例如，DAC 輸出之隔離以及僅由反饋信號控制開關 762、772、782 及 792。大體而言，當累積來自電容器 742 之電荷時及/或當累積來自電容器 720 之電荷時可施加升壓電流。

表 1 展示圖 2 中之 2 位元 $\Delta\Sigma$ ADC 130a 之動態轉換率控制的設計。 $\Delta\Sigma$ ADC 130a 可提供具有四個可能 2 位元值 00、01、10 及 11 的數位樣本。DAC 230 可提供具有分別用於數位樣本 00、01、10 及 11 之四個可能標準化值 -1、-1/3、+1/3 及 +1 的類比反饋信號。最大正步可發生在反饋信號等於 +1 時，且最大負步可發生在反饋信號等於 -1 時。尤其對於反饋信號等於 +1 或 -1 的狀況，可發生轉換限制穩態。反饋資訊可用於判定何時提供升壓電流以及升壓電流之極性/方向。

在圖 7 及表 1 中所示之設計中，當反饋信號為 +1 時，如圖 5 中所示啟用 B1 信號，且開關 762 及 792 接通。正升壓電流係藉由 V_{DD} 電源經由對於 V_{outp} 信號之開關 762 及電阻器 764 而提供。正升壓電流亦藉由 V_{SS} 電源經由對於 V_{outn} 信號之開關 792 及電阻器 794 而提供。當反饋信號為 -1 時，如圖 5 中所示啟用 B2 信號，且開關 772 及 782 接通。負升壓電流係藉由 V_{DD} 電源經由對於 V_{outn} 信號之開關 772 及電阻器 774 而提供。負升壓電流亦藉由 V_{SS} 電源經由對於 V_{outp} 信號之開關 782 及電阻器 784 而提供。當反饋信號為 -1/3 或 +1/3 時，如圖 5 中所示 B1 信號與 B2 信號二者皆停用，且開關 762、

772、782及792斷開。

表 1

數位樣本	反饋信號	B1信號	B2信號	開關組態	開關組態
00	-1	停用	啟用	開關772及782接通，且其他開關斷開	經由電阻器774及784供應負升壓電流
01	-1/3	停用	停用	所有開關斷開	不施加升壓
10	+1/3	停用	停用	所有開關斷開	不施加升壓
11	+1	啟用	停用	開關762及792接通，且其他開關斷開	經由電阻器764及794供應正升壓電流

圖8展示積分器800、DAC 830及可程式化轉換率增強電路850之差動設計的示意圖，該設計亦可分別用於圖2中之積分器220a、DAC 230及轉換率增強電路250，或分別用於圖3中之積分器320a、DAC 330a及轉換率增強電路350。積分器800及DAC 830包括以與圖7中之積分器700及DAC 730內的電路元件712a至748b相同之方式耦接的電路元件812a至848b。轉換率增強電路850可提供一對於 V_{outn} 信號及 V_{outp} 信號之可程式化升壓電流(當需要時)，以便達成快速穩態回應。

在圖8中所示之設計中，升壓電路850包括正升壓電路860及890以及負升壓電路870及880。升壓電路860包括分別與K個電阻器864a至864k串聯耦接之K個開關862a至862k。開關862與電阻器864之每一串聯組合耦接於 V_{DD} 電源與 V_{outp} 輸出之間。升壓電路870包括分別與K個電阻器874a至874k串聯耦接之K個開關872a至872k。開關872與電阻器874之每一串聯組合耦接於 V_{DD} 電源與 V_{outn} 輸出之間。

升壓電路880包括分別與K個電阻器884a至884k串聯耦接之K個開關882a至882k。開關882與電阻器884之每一串聯組合耦接於 V_{SS} 電源與 V_{outp} 輸出之間。升壓電路890包括分別與K個電阻器894a至894k串聯耦接之K個開關892a至892k。開關892與電阻器894之每一串聯組合耦接於 V_{SS} 電源與 V_{outn} 輸出之間。大體而言，K可為任何整數值，且任何數目之電阻器分支可用於升壓電路860至890中之每一者。K之較大值可提供經程式化升壓電流之較大解析度。

開關862a至862k及開關892a至892k分別由B1a至B1k控制信號控制。開關872a至872k及開關882a至882k分別由B2a至B2k控制信號控制。當反饋信號為+1時，不同量之正升壓電流可藉由啟用不同數目之B1信號而獲得。當反饋信號為-1時，不同量之負升壓電流可藉由啟用不同數目之B2信號而獲得。舉例而言，最小量之正升壓電流可藉由僅啟用B1a信號而獲得，且最大量之正升壓電流可藉由啟用所有K個B1a信號至B1k信號而獲得。

圖8中所示之設計允許施加可程式化量之升壓電流用於轉換率增強。可程式化量之升壓電流可有益於各種情況。在一個設計中，可程式化性特徵可用於獲得對於不同參考電壓之所要量之升壓電流。在另一設計中，可程式化性特徵可用於獲得對於不同操作模式之不同量之升壓電流，不同操作模式可具有不同取樣速率。舉例而言，無線器件可操作於具有寬頻信號之WCDMA模式或具有窄頻信號之GSM模式中。較大升壓電流可用於WCDMA模式，該模式

可具有較高取樣速率且因而可需要一較短穩態時間。較小升壓電流或無升壓電流可用於GSM模式，GSM模式可具有一較低取樣速率且因而可能能夠容許較長穩態時間。在又一設計中，可程式化性特徵可用於支援不同數目之量化位準。舉例而言，對於具有相對輸出值-5、-3、-1、+1、+3及+5的6層級 $\Delta\Sigma$ 調變器，最大升壓可施加於-5及+5層級，最大升壓之一半可施加於-3及+3層級，無升壓可施加於-1及+1層級。可程式化量之升壓電流亦可用於其他情況。

圖9展示圖2中之轉換率控制電路260之設計的方塊圖。電路260包括一脈衝產生器910及一控制信號產生器930。脈衝產生器910接收 $\Delta\Sigma$ ADC 130a之C2控制信號，且在每一取樣週期中提供一脈衝。在脈衝產生器910內，RC電路920接收C2信號且提供一延遲之C2信號。RC電路920包括具有 R_{delay} 值之電阻器922及具有 C_{delay} 值之電容器924。反相器926使來自RC電路920之延遲C2信號反相且提供一反相C2信號。AND閘928接收C2信號及反相C2信號，且在每一取樣週期中提供包含一脈衝之第一信號。每一脈衝之寬度由 R_{delay} 值及 C_{delay} 值來判定。

在控制信號產生器930內，偵測器932接收反饋信號，偵測+1，且只要偵測到+1便提供邏輯高輸出。AND閘934接收來自脈衝產生器910之第一信號及偵測器932之輸出且產生B1控制信號。只要偵測到+1便啟用B1信號，且B1信號具有一由來自脈衝產生器910之第一信號所判定之脈衝持續時間。類似地，偵測器936接收反饋信號，偵測-1，且

只要偵測到-1便提供邏輯高輸出。AND閘938接收來自脈衝產生器910之第一信號及偵測器936之輸出且產生B2控制信號。只要偵測到-1便啟用B2信號，且B2信號具有一由來自脈衝產生器910之第一信號所判定之脈衝持續時間。

圖9展示轉換率控制電路260之特定設計。轉換率增強電路之轉換率控制信號亦可以其他方式產生。舉例而言，在另一設計中，RC電路920可由串聯耦接之多個反相器來替代。反相器之數目可為固定的或可程式化。

在一個設計中，啟用轉換率增強持續僅充分時間量以將電荷自取樣電容器(例如，圖7中之電容器742a及742b)轉移至積分電容器(例如，圖7中之電容器722a及722b)，且在剩餘時間停用轉換率增強。轉換率增強係藉由在必要時供電(sourcing)或吸收(sinking)經良好控制之電流脈衝而達成。電流脈衝之量及方向可經數位化地及動態地控制。僅在存在來自DAC反饋路徑之大轉換事件時才可接通電流脈衝。在電流脈衝之預定短持續時間後，積分器如同無電流升壓發生而以正常方式運作。因而，線性穩態、頻寬及雜訊特性並不受轉換率增強電路影響。此外，無額外靜態電流自轉換率增強電路提取。

對於圖7中所示之設計，當升壓電路760至790中之每一者由可施加B1或B2信號啟用時，該升壓電路提供一電流脈衝。電流脈衝之寬度及振幅可以自取樣電容器742轉移至積分電容器722的電荷量為基礎來判定。待於一個取樣週期中轉移之電荷量可表示為：

$$(I_{bias} + I_{boost}) \cdot t_{boost} = \Delta Q = V_{ref} \cdot C_{smp} , \quad \text{方程式 (1)}$$

其中 I_{bias} 為 OTA 724 之靜態偏流，

I_{boost} 為由轉換率增強電路 750 所提供之升壓電流，

t_{boost} 為 I_{boost} 施加至 OTA 724 之持續時間，

C_{smp} 為取樣電容器 742a 或 742b 之電容，

V_{ref} 為 DAC 參考電壓，及

ΔQ 為由施加 I_{bias} 及 I_{boost} 保持持續時間 t_{boost} 而產生之電荷量。

參考電壓可表示為：

$$V_{ref} = V_{refp} - V_{refn} . \quad \text{方程式 (2)}$$

平均差動升壓電流可表示為：

$$I_{boost} = \frac{V_{DD} - V_{odm}}{2 \cdot R} , \quad \text{方程式 (3)}$$

其中 V_{odm} 為輸出差動模式電壓。如方程式 (3) 中所示，升壓電流量與轉換率增強電路 750 內之電阻器 764、774、784 或 794 的值 R 成反比。舉例而言，若電阻器值 R 自 600 歐姆減少至 300 歐姆，則升壓電流量可加倍。

作為一實例，轉換率增強可用於圖 2 中之 $\Delta\Sigma$ ADC 130a 中的積分器 220a。1 奈秒 (ns) 之升壓脈衝寬度可以所要的總穩態回應為基礎來選擇。積分器 220a 可經設計有 $V_{ref} = 1.2$ 伏 (V)， $C_{smp} = 2.1$ 微微法拉 (pF)，且 $I_{bias} = 0.625$ 微安 (μA)。藉由方程式 (1)，升壓電流之所要量可給出為：

$$I_{boost} = \frac{V_{ref} \cdot C_{smp}}{t_{boost}} - I_{bias} = \frac{1.2 \text{ V} \times 2.1 \text{ pF}}{1.0 \text{ ns}} - 0.625 \mu A = 1.9 \text{ mA} . \quad \text{方程式 (4)}$$

若 $V_{DD}=2.1\text{V}$ 且輸出差動電壓為 $V_{odm}=0.5\text{V}$ ，則每一升壓電路中之電阻器值 R 可給出為：

$$R = \frac{V_{DD} - V_{odm}}{2 \cdot I_{\text{boost}}} = \frac{2.2\text{V} - 0.5\text{V}}{3.8\text{mA}} = 447\ \Omega。 \quad \text{方程式(5)}$$

可將電阻器 764、774、784 及 794 設定為 447 歐姆以獲得可在一個取樣週期內分別將 2.52 微庫倫 (pC) 之電荷自取樣電容器 742a 及 742b 轉移至積分電容器 722a 及 722b 的升壓電流。升壓電流量可藉由改變電阻器 764、774、784 及 794 之值來調整。電阻器 764 及 774 可具有與電阻器 784 及 794 相同的值，或此等電阻器可具有不同值，此視用於積分器及轉換率增強電路之各種電壓而定。

升壓電流脈衝之持續時間可由圖 9 中之 RC 電路 920 來控制，RC 電路 920 具有 R_{delay} 之電阻器值及 C_{delay} 之電容器值。電流脈衝之持續時間可表示為：

$$t_{\text{boost}} \propto R_{\text{delay}} \cdot C_{\text{delay}}。 \quad \text{方程式(6)}$$

使用 RC 電路 920 以產生 B1 信號及 B2 信號之脈衝可 (i) 允許 RC 電路中之電容器 924 追蹤積分器 700 中之電容器 742a 及 742b 的變化，及 (ii) 允許 RC 電路中之電阻器 922 追蹤轉換率增強電路 750 中之電阻器 764、774、784 或 794 的變化。電阻器值及電容器值可歸因於 IC 製程、溫度等之變化而改變。B1 信號及 B2 信號上之脈衝持續時間可自動改變以考慮電阻器值及電容器值的變化。此接著可允許甚至在電阻器值及電容器值變化之情況下轉移適當量之電荷 ΔQ ，假

定電容器與電阻器匹配。

經由使用 RC 電路 920 的電容器及電阻器追蹤可確保在電阻器及電容器變化時電荷保持恆定。舉例而言，脈衝持續時間可因較大電阻器值而延長，較大電阻器值可減少升壓電流量且因而需要更多時間來將電荷自取樣電容器轉移至積分電容器。脈衝持續時間亦可因較大電容器值而延長，較大電容器值可增加轉移電荷之量因而需要更多時間用於電荷轉移。舉例而言，若電阻器 764、774、784 及 794 之值 R 歸因於 IC 製程變化而增加 10%，則升壓電流 I_{boost} 可減少 10%。然而，RC 電路 920 內之電阻器 922 之值 R_{delay} 亦將增加 10%，且升壓脈衝持續時間 t_{boost} 接著將增加 10%。因此，即使電阻器值已增加 10%，由轉換率增強電路 750 所提供之總電荷 $Q_{boost} = I_{boost} \cdot t_{boost}$ 仍將保持恆定。

為追蹤 IC 製程變化，RC 電路 920 中之電阻器 922 及轉換率增強電路 750 中之電阻器 764、774、784 或 794 應為同一類型。此等電阻器可為基極擴散電阻器、發射極擴散電阻器、離子植入電阻器、收縮電阻器 (pinch resistor)、磊晶電阻器、收縮磊晶電阻器、薄膜電阻器或某其他類型電阻器。類似地，RC 電路 920 中之電容器 924 及積分器 700 中之取樣電容器 742a 及 742b 亦應為同一類型。此等電容器可在反偏壓及 MOS 電容器結構下由 pn 接合來實施。電容器 720a、720b、722a、722b、742a 及 742b 亦應在 IC 製程及溫度變化時彼此追蹤。

在上文描述中，轉換率增強應用於 $\Delta\Sigma$ ADC 中之第一積

分器。快速穩態回應在第一積分器中可能更重要，因為在輸入引用時，後繼積分器之非線性穩態誤差除以第一積分器增益且因此對信雜失真比(signal-to-noise-plus-distortion ratio, SNDR)之影響比第一積分器對其的影響小。轉換率增強可以非常小的功率消耗成本及額外電路提供第一積分器之快速穩態回應。轉換率增強亦可應用於 $\Delta\Sigma$ ADC中之任何剩餘積分器以可能改良效能。

為清楚起見，上文已描述對於來自2位元 $\Delta\Sigma$ ADC之反饋值+1及-1的轉換率增強。大體而言，轉換率增強可應用於具有任何數目之輸出位元(例如，1位元輸出、2位元輸出、3位元輸出等)之 $\Delta\Sigma$ ADC。此外，轉換率增強可應用於可能輸出值之全部或子集。在一個設計中，轉換率增強可應用於僅最大輸出值及最小輸出值，如上文所描述。在另一設計中，轉換率增強可應用於具有一個位元以上輸出之 $\Delta\Sigma$ ADC的額外輸出值。相同升壓電流量可施加至每一輸出值。或者，不同升壓電流量可施加至不同輸出值。舉例而言，較大升壓電流可施加至輸出值+1及-1，且較小升壓電流可施加至輸出值+1/3及-1/3。

積分器之總穩態回應可視轉換率限制穩態及線性穩態而定，如上文描述。當以高頻操作時，轉換率限制穩態時間可超過大正步及負步之總穩態時間的50%，且因而可對積分器效能具有大的影響。可啟用轉換率增強，以便減少對於DAC反饋值-1及+1的積分器之轉換率限制穩態時間。對於DAC反饋值+1/3或-1/3，積分器之轉換率限制穩態時間

可忽略不計，且因此可停用轉換率增強。

圖 10 展示用於操作具有轉換率增強之 $\Delta\Sigma$ ADC 的過程 1000 之設計。類比信號可由 $\Delta\Sigma$ ADC 來數位化以獲得數位樣本 (區塊 1012)。 $\Delta\Sigma$ ADC 內之積分器的轉換率可以 $\Delta\Sigma$ ADC 中之反饋信號為基礎而增強 (區塊 1014)。

圖 11 展示用於達成圖 10 中之區塊 1014 中的轉換率增強之過程的設計。可偵測反饋信號中之最大值 (區塊 1112)。當偵測到最大值時可向積分器提供正升壓電流之脈衝 (區塊 1114)。可偵測反饋信號中之最小值 (區塊 1116)。當偵測到最小值時可向積分器提供負升壓電流之脈衝 (區塊 1118)。正升壓電流及負升壓電流可分別以第一電阻器及第二電阻器為基礎而產生 (區塊 1120)。可產生升壓電流之脈衝以具有一以第三電阻器為基礎而判定的持續時間，該第三電阻器關於 IC 製程變化而追蹤第一電阻器及第二電阻器 (區塊 1122)。亦可產生脈衝以具有一以電容器為基礎而判定的持續時間，該電容器關於 IC 製程變化而追蹤積分器中之取樣電容器 (區塊 1124)。

在一個設計中，可產生可程式化量之升壓電流以增強積分器之轉換率。可以一用於積分器之參考電壓、 $\Delta\Sigma$ ADC 之操作模式、類比信號之頻寬、 $\Delta\Sigma$ ADC 之取樣速率、輸出位元或層級之數目及/或某其他因素為基礎來判定升壓電流之可程式化量。

本文所描述之技術可提供各種優點。第一，轉換率增強可允許積分器以較小偏流操作同時達成快速穩態時間。在

轉換率增強之情況下，積分器之穩態時間可不再由轉換率限制，且可在不降級總效能的情況下顯著減少積分器之靜態偏流。第二，當轉換率增強關閉時，積分器可如同未添加轉換率增強一樣運作。頻寬、雜訊及額外靜態電流消耗可忽略不計或沒有影響。第三，可由相對簡單之電路達成轉換率增強，相對簡單之電路可由很少電路組件及小矽面積來實施。

本文所描述之技術可實施於 IC、類比 IC、RF IC (RFIC)、混合信號 IC、特殊應用積體電路(ASIC)、印刷電路板(PCB)、電子器件等上。本文所描述之電路可由各種 IC 製程技術來製造，諸如，CMOS、N 通道 MOS (NMOS)、P 通道 MOS (PMOS)、雙極接合電晶體(BJT)、雙極 CMOS (BiCMOS)、矽鍺(SiGe)、砷化鎵(GaAs)等。

實施本文所描述技術之裝置可為獨立器件或可為較大器件之部分。器件可為：(i)獨立 IC；(ii)一或多個 IC 之集合，其可包括用於儲存資料及/或指令之記憶體 IC；(iii)諸如 RF 接收器(RFR)或 RF 傳輸器/接收器(RTR)之 RFIC；(iv)諸如行動台數據機(MSM)之 ASIC；(v)可嵌入於其他器件中之模組；(vi)接收器、蜂巢式電話、無線器件、手機或行動單元；(vii)等。

在一或多個例示性設計中，所描述之功能可以硬體、軟體、韌體或其任何組合來實施。若以軟體實施，則該等功能可作為一或多個指令或程式碼儲存於電腦可讀媒體上或在電腦可讀媒體上傳輸。電腦可讀媒體包括電腦儲存媒體

與通信媒體，其包括有助於將電腦程式自一個地方轉移至另一個地方的任何媒體。儲存媒體可為可由電腦存取之任何可用媒體。舉例而言，且非限制性的，此等電腦可讀媒體可包含RAM、ROM、EEPROM、CD-ROM或其他光碟儲存器、磁碟儲存器或其他磁性儲存器件，或可用於載運或儲存呈指令或資料結構之形式的所要程式碼且可由電腦存取的任何其他媒體。又，任何連接均適當地稱為電腦可讀媒體。舉例而言，若使用同軸電纜、光纖電纜、雙絞線、數位用戶線(DSL)或諸如紅外、無線電及微波之無線技術而自網站、伺服器或其他遠端源傳輸軟體，則同軸電纜、光纖電纜、雙絞線、DSL或諸如紅外、無線電及微波之無線技術包括在媒體之定義中。如本文所用之磁碟及光碟包括緊密光碟(CD)、雷射光碟、光學碟片、數位通用光碟(DVD)、軟性磁碟及藍光光碟，其中磁碟通常以磁性方式再生資料，而光碟則用雷射以光學方式再生資料。上述之組合亦應包括在電腦可讀媒體之範疇內。

提供本揭示案之前述說明以使任何熟習此項技術者能夠製造或使用本揭示案。熟習此項技術者將易於瞭解本揭示案之各種修改，且本文中所界定之一般原理可在不脫離本揭示案之範疇的情況下應用於其他變體。因此，本揭示案並不意欲限於本文所描述之實例及設計，而是符合與本文所揭示之原理及新穎特徵一致之最廣泛範疇。

【圖式簡單說明】

圖1展示一無線通信器件。

圖2展示一2位元二級 $\Delta\Sigma$ ADC。

圖3展示一L位元四級級聯 $\Delta\Sigma$ ADC。

圖4展示無轉換率增強之單端積分器。

圖5展示圖4中之各種控制信號之時序圖。

圖6展示具有轉換率增強之單端積分器。

圖7展示具有轉換率增強之差動積分器。

圖8展示具有可程式化轉換率增強之差動積分器。

圖9展示轉換率控制電路。

圖10展示操作具有轉換率增強之 $\Delta\Sigma$ ADC的過程。

圖11展示用於達成轉換率增強之過程。

【主要元件符號說明】

100	無線通信器件
110	天線
112	低雜訊放大器(LNA)
114	濾波器
116	降頻轉換器
118	放大器(Amp)
120	低通濾波器
130	德耳塔-西格馬類比數位轉換器($\Delta\Sigma$ ADC)
130a	2位元二級 $\Delta\Sigma$ ADC
130b	L位元四級級聯 $\Delta\Sigma$ ADC
140	資料處理器
150	控制器/處理器
152	記憶體

212	加法器
220a	積分器
220b	積分器
222a	增益電路
222b	增益電路
222c	增益電路
224	加法器
226	量化器
230	數位類比轉換器(DAC)
250	轉換率增強電路
260	轉換率控制電路
302a	迴路
302b	迴路
310	區段
310b	區段
312	加法器
320	積分器
320a	積分器
320b	積分器
320d	積分器
326a	量化器
326b	量化器
330a	DAC
330b	DAC

340	電路
342	加法器
344	增益電路
348	雜訊消除邏輯
350	轉換率增強電路
360	轉換率控制電路
400	積分器
402	積分器
412	開關
414	開關
416	開關
418	開關
420	電容器
422	電容器
424	運算跨導放大器(OTA)
450	轉換率增強電路
700	積分器
712a	開關
712b	開關
714a	開關
714b	開關
716a	開關
716b	開關
718a	開關

718b	開 關
720a	電 容 器
720b	電 容 器
722a	電 容 器
722b	電 容 器
724	OTA
730	DAC
732a	開 關
732b	開 關
734	開 關
740	參 考 取 樣 電 路
742a	電 容 器
742b	電 容 器
744a	開 關
744b	開 關
746a	開 關
746b	開 關
748a	開 關
748b	開 關
750	轉 換 率 增 強 電 路
760	正 升 壓 電 路
762	開 關
764	電 阻 器
770	負 升 壓 電 路

772	開關
774	電阻器
780	負升壓電路
782	開關
784	電阻器
790	正升壓電路
792	開關
794	電阻器
800	積分器
812a	電路元件
812b	電路元件
814a	電路元件
814b	電路元件
816a	電路元件
816b	電路元件
818a	電路元件
818b	電路元件
820a	電路元件
820b	電路元件
822a	電路元件
822b	電路元件
824	電路元件
830	電路元件
832a	電路元件

832b	電路元件
834	電路元件
840	電路元件
842a	電路元件
842b	電路元件
844a	電路元件
844b	電路元件
846a	電路元件
846b	電路元件
848a	電路元件
848b	電路元件
850	轉換率增強電路、升壓電路
860	正升壓電路
862a	開關
862k	開關
864a	電阻器
864k	電阻器
870	升壓電路
872a	開關
872k	開關
874a	電阻器
874k	電阻器
880	升壓電路
882a	開關

882k	開 關
884a	電 阻 器
884k	電 阻 器
890	升 壓 電 路
892a	開 關
892k	開 關
894a	電 阻 器
894k	電 阻 器
910	脈 衝 產 生 器
920	RC 電 路
922	電 阻 器
924	電 容 器
926	反 相 器
928	AND 閘
930	控 制 信 號 產 生 器
932	偵 測 器
934	AND 閘
936	偵 測 器
938	AND 閘

五、中文發明摘要：

本發明描述用於增強一反饋電路(諸如， $\Delta\Sigma$ ADC)內之一有效電路的轉換率之技術。在一個設計中， $\Delta\Sigma$ ADC包括一積分器、一轉換率增強電路及一控制電路。該積分器接收一輸入信號且提供一輸出信號。該轉換率增強電路以該 $\Delta\Sigma$ ADC中之一反饋信號為基礎來增強該積分器之該轉換率。該轉換率增強電路可提供(i)一對於該反饋信號之僅特定值(例如，最大值及最小值)的升壓電流，或(ii)對於反饋信號之不同值的不同升壓電流量。在一個設計中，該轉換率增強電路包括耦接至該積分器之至少一升壓電路。當啟用每一升壓電路時，該升壓電路提供一升壓電流以增強該積分器之該轉換率。

六、英文發明摘要：

Techniques for enhancing the slew rate of an active circuit within a feedback circuit (such as a $\Delta\Sigma$ ADC) are described. In one design, a $\Delta\Sigma$ ADC includes an integrator, a slew rate enhancement circuit, and a control circuit. The integrator receives an input signal and provides an output signal. The slew rate enhancement circuit enhances the slew rate of the integrator based on a feedback signal in the $\Delta\Sigma$ ADC. The slew rate enhancement circuit may provide (i) a boost current for only certain values (e.g., the largest and smallest values) of the feedback signal or (ii) different amounts of boost current for different values of the feedback signal. In one design, the slew rate enhancement circuit includes at least one boost circuit coupled to the integrator. Each boost circuit provides a boost current to enhance the slew rate of the integrator when that boost circuit is enabled.

十、申請專利範圍：

1. 一種裝置，其包含：

一德耳塔-西格馬類比數位轉換器($\Delta\Sigma$ ADC)，其操作以接收一類比信號且提供數位樣本，該 $\Delta\Sigma$ ADC包含

一積分器，其操作以接收一輸入信號且提供一輸出信號，及

一轉換率增強電路，其耦接至該積分器且操作以以該 $\Delta\Sigma$ ADC中之一反饋信號為基礎來增強該積分器之轉換率。

2. 如請求項1之裝置，其中該轉換率增強電路包含

一第一升壓電路，其耦接至該積分器之一第一輸出且操作以在啟用該第一升壓電路時提供一正升壓電流，及

一第二升壓電路，其耦接至該積分器之該第一輸出且操作以在啟用該第二升壓電路時提供一負升壓電流。

3. 如請求項2之裝置，其中該轉換率增強電路進一步包含

一第三升壓電路，其耦接至該積分器之一第二輸出且操作以在啟用該第三升壓電路時提供一正升壓電流，及

一第四升壓電路，其耦接至該積分器之該第二輸出且操作以在啟用該第四升壓電路時提供一負升壓電流，該第一輸出及該第二輸出形成該積分器之一差動輸出。

4. 如請求項1之裝置，其中該轉換率增強電路包含耦接至該積分器之至少一升壓電路，每一升壓電路操作以在啟用該升壓電路時提供一升壓電流以增強該積分器之該轉換率。

5. 如請求項4之裝置，其中每一升壓電路包含

一電阻器及一開關，其串聯耦接且在該積分器之一輸出與一電源電壓之間，該開關經接通以提供該升壓電流。

6. 如請求項4之裝置，其中每一升壓電路包含

電阻器及開關之多個集合，每一集合包含串聯耦接並在該積分器之一輸出與一電源電壓之間的一電阻器及一開關，其中一可程式化數目之開關經接通以提供該升壓電流。

7. 如請求項6之裝置，其中經接通用於每一升壓電路之開關的該數目係以一用於該積分器之參考電壓、該 $\Delta\Sigma$ ADC之一操作模式、該類比信號之頻寬及該 $\Delta\Sigma$ ADC之取樣速率中的至少一者為基礎來判定。

8. 如請求項1之裝置，其中該轉換率增強電路在啟用該轉換率增強電路時提供升壓電流之一脈衝以增強該積分器之該轉換率。

9. 如請求項8之裝置，其中該脈衝之持續時間係以一包含一第一電阻器之RC電路為基礎來判定，其中升壓電流之量係以該轉換率增強電路中之一第二電阻器為基礎來判定，且其中該第一電阻器關於積體電路(IC)製程變化而追蹤該第二電阻器。

10. 如請求項8之裝置，其中該脈衝之持續時間係以一包含一第一電容器之RC電路為基礎來判定，其中該積分器以一取樣電容器為基礎執行積分，且其中該第一電容器關

於積體電路(IC)製程變化而追蹤該取樣電容器。

11. 如請求項8之裝置，其中該脈衝之持續時間及該升壓電流之振幅係以在一個取樣週期內由該積分器轉移的一電荷量為基礎來判定。

12. 如請求項1之裝置，其中該轉換率增強電路提供分別對於該反饋信號之最大值及最小值的第一及第二升壓電流量。

13. 如請求項1之裝置，其中該轉換率增強電路提供該反饋信號之不同值的不同之升壓電流量。

14. 如請求項1之裝置，其進一步包含：

一控制電路，其操作以接收該反饋信號且產生用於該轉換率增強電路之至少一控制信號。

15. 如請求項14之裝置，其中該控制電路包含

一脈衝產生器，其操作以接收一用於該積分器之控制信號且產生一包含脈衝之第一信號，每一脈衝具有一以一RC電路為基礎所判定之持續時間；及

一控制信號產生器，其操作以以來自該脈衝產生器之該第一信號及該反饋信號為基礎而產生用於該轉換率增強電路之至少一控制信號。

16. 如請求項15之裝置，其中該控制信號產生器操作以偵測該反饋信號中之一最大值，只要偵測到該最大值便在一第一控制信號上提供一脈衝，偵測該反饋信號中之一最小值，及只要偵測到該最小值便在一第二控制信號上提供一脈衝。

17. 如請求項1之裝置，其中該 $\Delta\Sigma$ ADC提供2位元數位樣本，且其中對於該等數位樣本之僅最大值及最小值啟用該轉換率增強電路。
18. 如請求項1之裝置，其中該 $\Delta\Sigma$ ADC包含多個積分器，且其中該積分器為該多個積分器中之一第一積分器。
19. 如請求項1之裝置，其中該 $\Delta\Sigma$ ADC為一包含兩個積分器之二級 $\Delta\Sigma$ ADC，且其中該積分器為該兩個積分器中之一第一積分器。
20. 如請求項1之裝置，其中該 $\Delta\Sigma$ ADC為一包含多個積分器之級聯 $\Delta\Sigma$ ADC，且其中該積分器為該多個積分器中之一第一積分器。
21. 如請求項1之裝置，其中該裝置為一積體電路。
22. 一種裝置，其包含：
 - 一有效電路，其在一反饋電路內且操作以接收一輸入信號並提供一輸出信號；
 - 一控制電路，其操作以接收該反饋電路中之一反饋信號且產生至少一控制信號；及
 - 一轉換率增強電路，其耦接至該有效電路且操作以接收來自該控制電路之該至少一控制信號並以該至少一控制信號為基礎來增強該有效電路之轉換率。
23. 如請求項22之裝置，其中該有效電路為一積分器，且該反饋電路為一德耳塔-西格馬類比數位轉換器($\Delta\Sigma$ ADC)。
24. 一種方法，其包含：

用一德耳塔-西格馬類比數位轉換器($\Delta\Sigma$ ADC)來數位化一類比信號以獲得數位樣本；及

以該 $\Delta\Sigma$ ADC中之一反饋信號為基礎來增強該 $\Delta\Sigma$ ADC內之一積分器的轉換率。

25. 如請求項24之方法，其中該增強該積分器之該轉換率包含

偵測該反饋信號中之一最大值，

當偵測到該最大值時提供正升壓電流之一脈衝，

偵測該反饋信號中之一最小值，及

當偵測到該最小值時提供負升壓電流之一脈衝。

26. 如請求項25之方法，其中該增強該積分器之該轉換率進一步包含

分別以第一電阻器及第二電阻器為基礎來產生該正升壓電流及該負升壓電流，及

產生具有以一第三電阻器為基礎而判定之持續時間的脈衝，該第三電阻器關於積體電路(IC)製程變化而追蹤該第一電阻器及該第二電阻器。

27. 如請求項25之方法，其中該增強該積分器之該轉換率進一步包含產生具有以一第一電容器為基礎而判定之持續時間的脈衝，該第一電容器關於積體電路(IC)製程變化而追蹤該積分器中之一取樣電容器。

28. 如請求項24之方法，其中該增強該積分器之該轉換率包含產生一可程式化量的升壓電流以增強該積分器之該轉換率，該可程式化量之升壓電流係以一用於該積分器之參考電壓、該 $\Delta\Sigma$ ADC之一操作模式、該類比信號之頻寬

及該 $\Delta\Sigma$ ADC之取樣速率中的至少一者為基礎來判定。

29. 一種裝置，其包含：

用於用一德耳塔-西格馬類比數位轉換器($\Delta\Sigma$ ADC)來數位化一類比信號以獲得數位樣本的構件；及

用於以該 $\Delta\Sigma$ ADC中之一反饋信號為基礎來增強該 $\Delta\Sigma$ ADC內之一積分器之轉換率的構件。

30. 如請求項29之裝置，其中該用於增強該積分器之該轉換率的構件包含

用於偵測該反饋信號中之一最大值的構件，

用於在偵測到該最大值時提供正升壓電流之一脈衝的構件，

用於偵測該反饋信號中之一最小值的構件，及

用於在偵測到該最小值時提供負升壓電流之一脈衝的構件。

31. 如請求項30之裝置，其中該用於增強該積分器之該轉換率的構件進一步包含

用於分別以第一電阻器及第二電阻器為基礎而產生該正升壓電流及該負升壓電流的構件，及

用於產生具有以一第三電阻器為基礎而判定的持續時間之脈衝的構件，該第三電阻器關於積體電路(IC)製程變化而追蹤該第一電阻器及該第二電阻器。

32. 如請求項30之裝置，其中該用於增強該積分器之該轉換率的構件進一步包含用於產生具有以一第一電容器為基礎而判定的持續時間之脈衝的構件，該第一電容器關於

積體電路(IC)製程變化而追蹤該積分器中之一取樣電容器。

33. 如請求項29之裝置，其中該用於增強該積分器之該轉換率的構件包含用於產生一可程式化量之升壓電流以增強該積分器之該轉換率的構件，該可程式化量之升壓電流係以一用於該積分器之參考電壓、該 $\Delta\Sigma$ ADC之一操作模式、該類比信號之頻寬及該 $\Delta\Sigma$ ADC之取樣速率中的至少一者為基礎而判定。

十一、圖式：

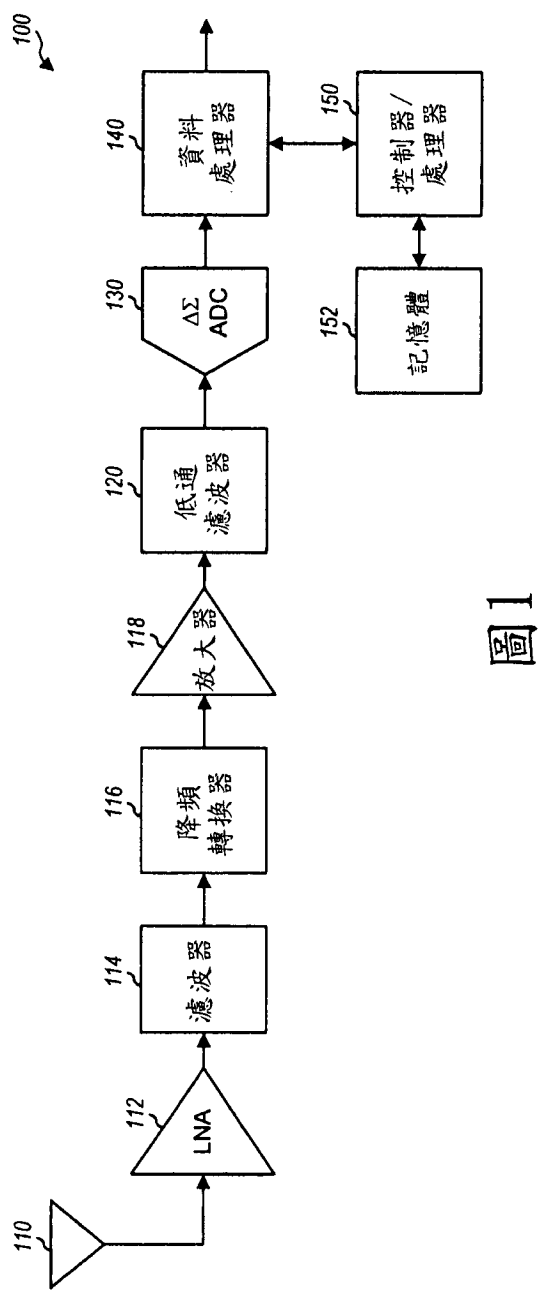


圖1

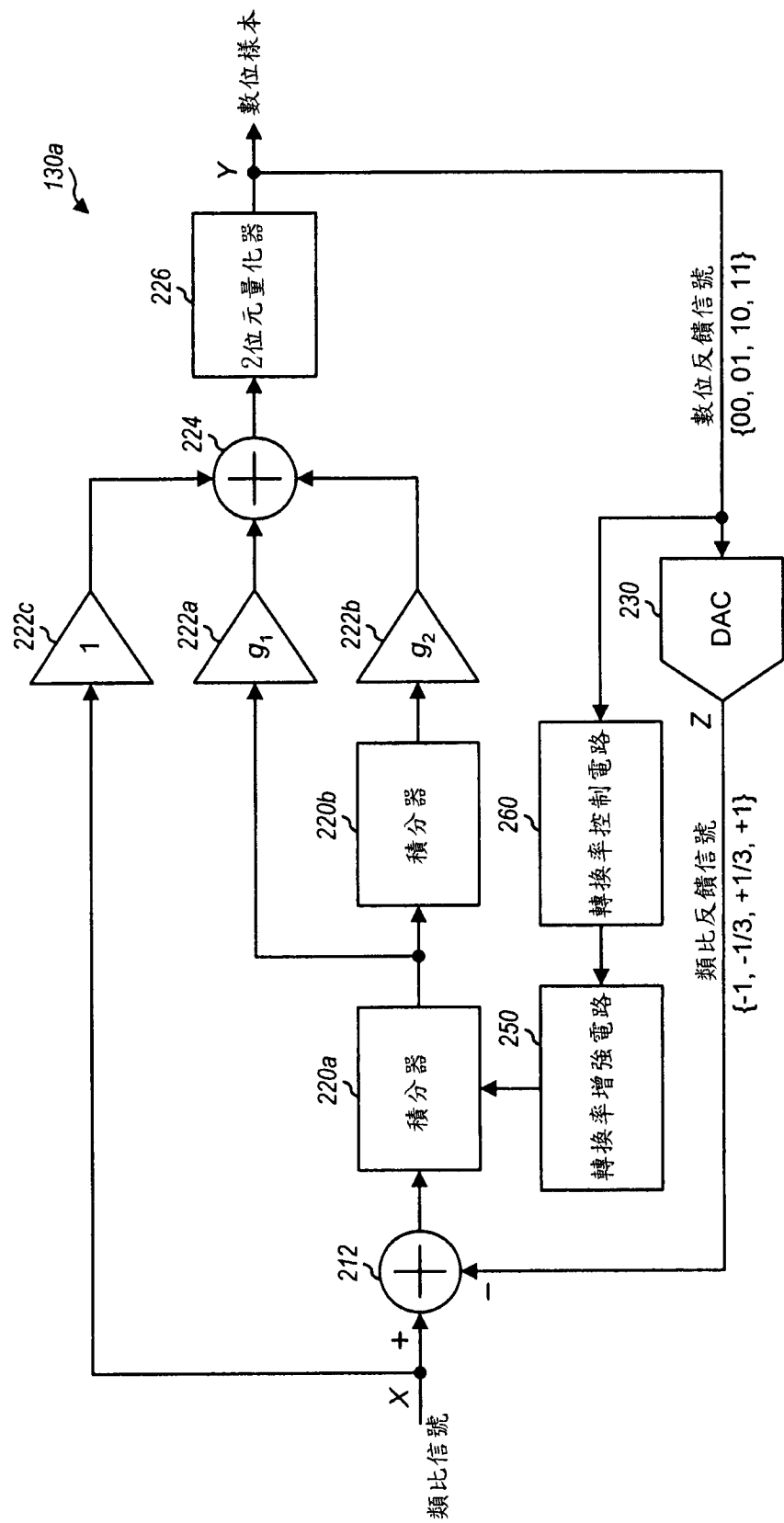


圖2

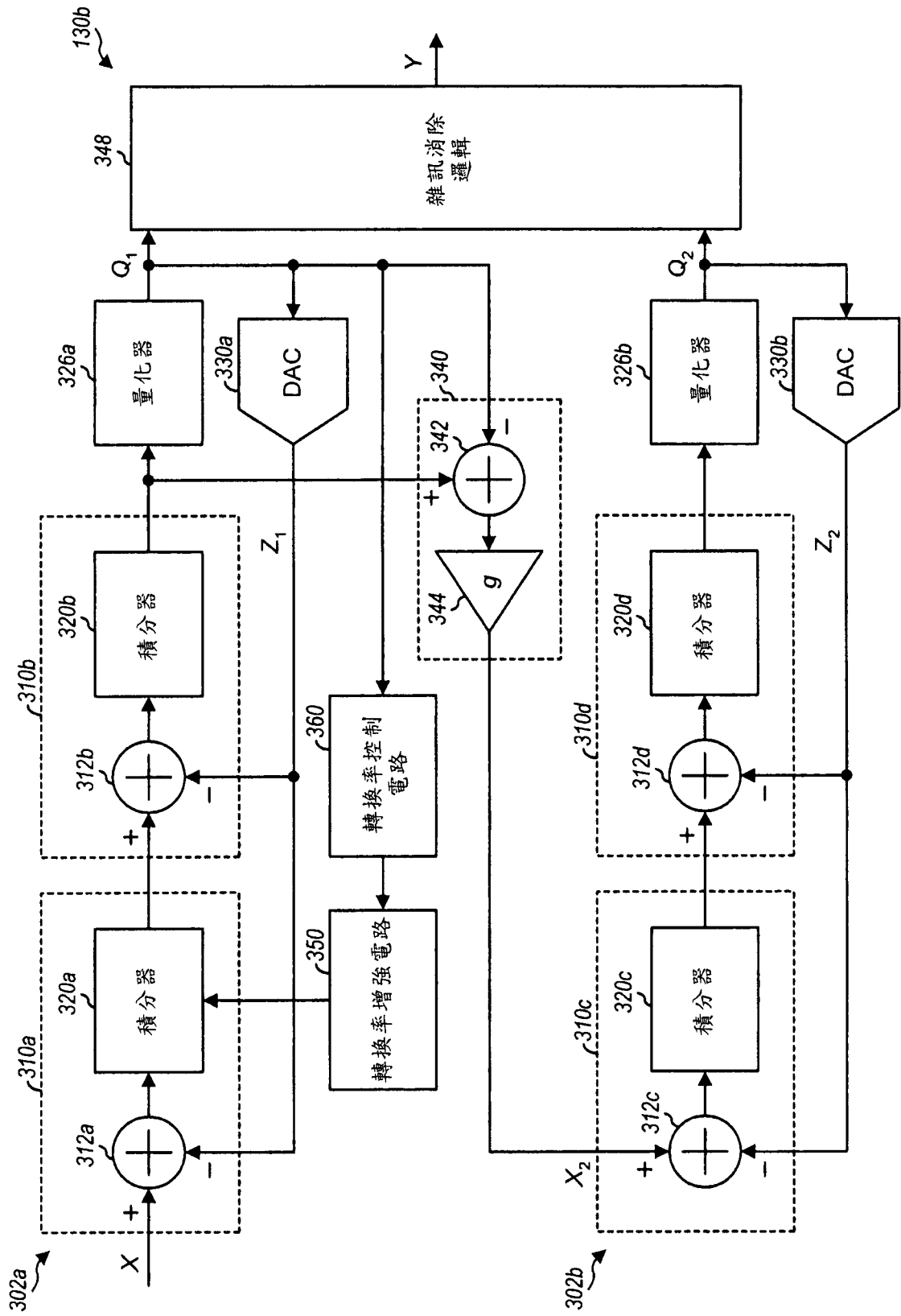


圖3

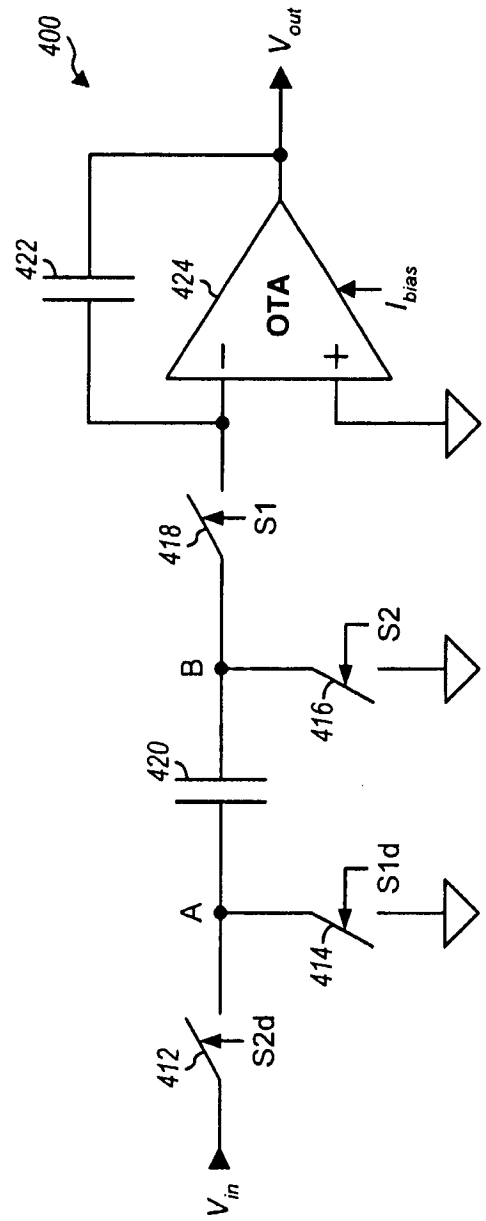


圖4

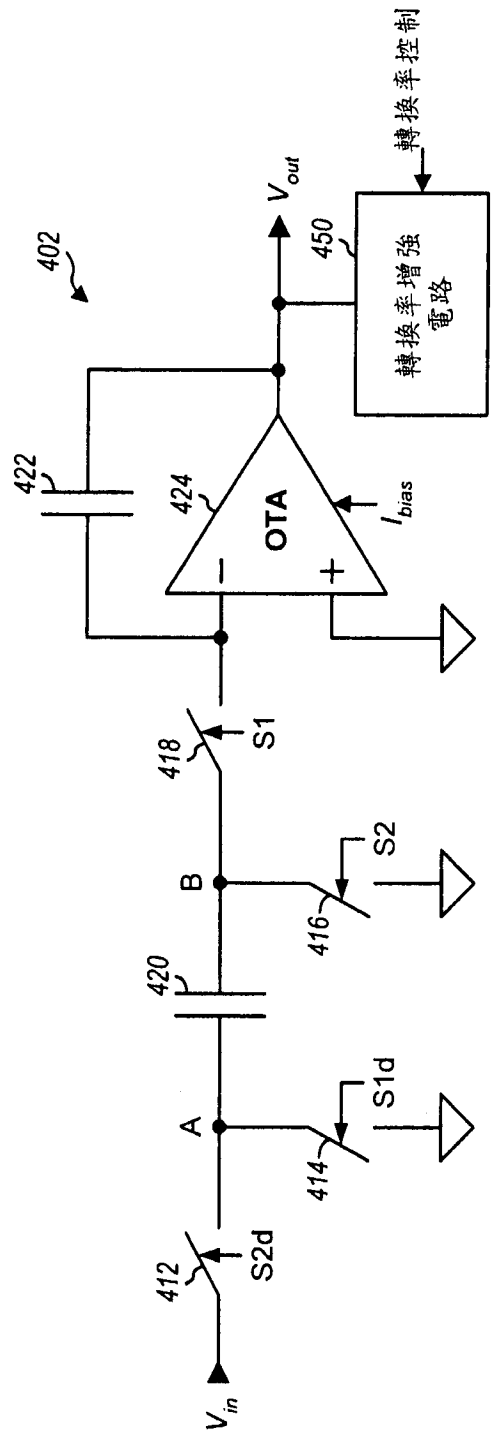


圖6

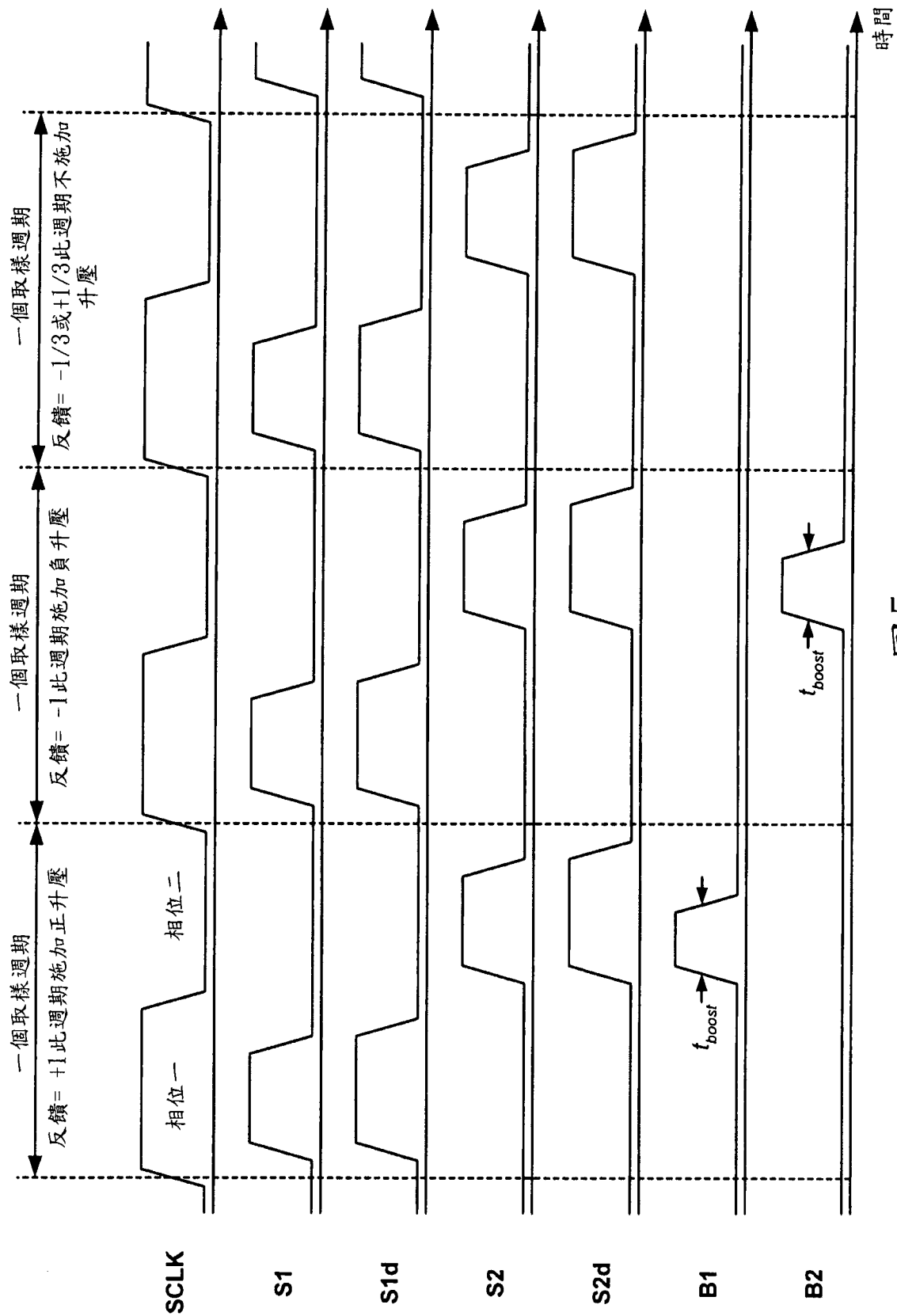


圖5

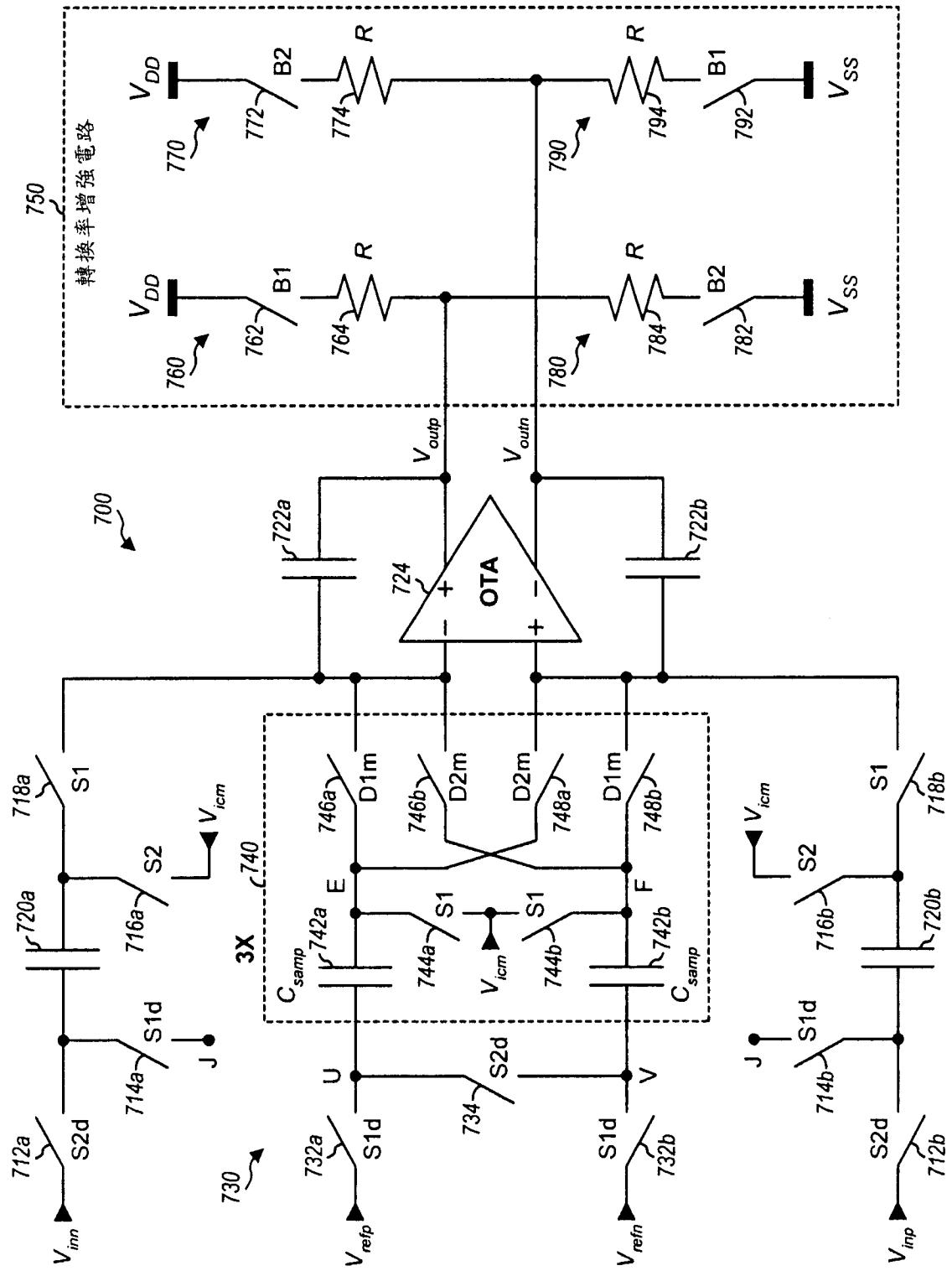


圖7

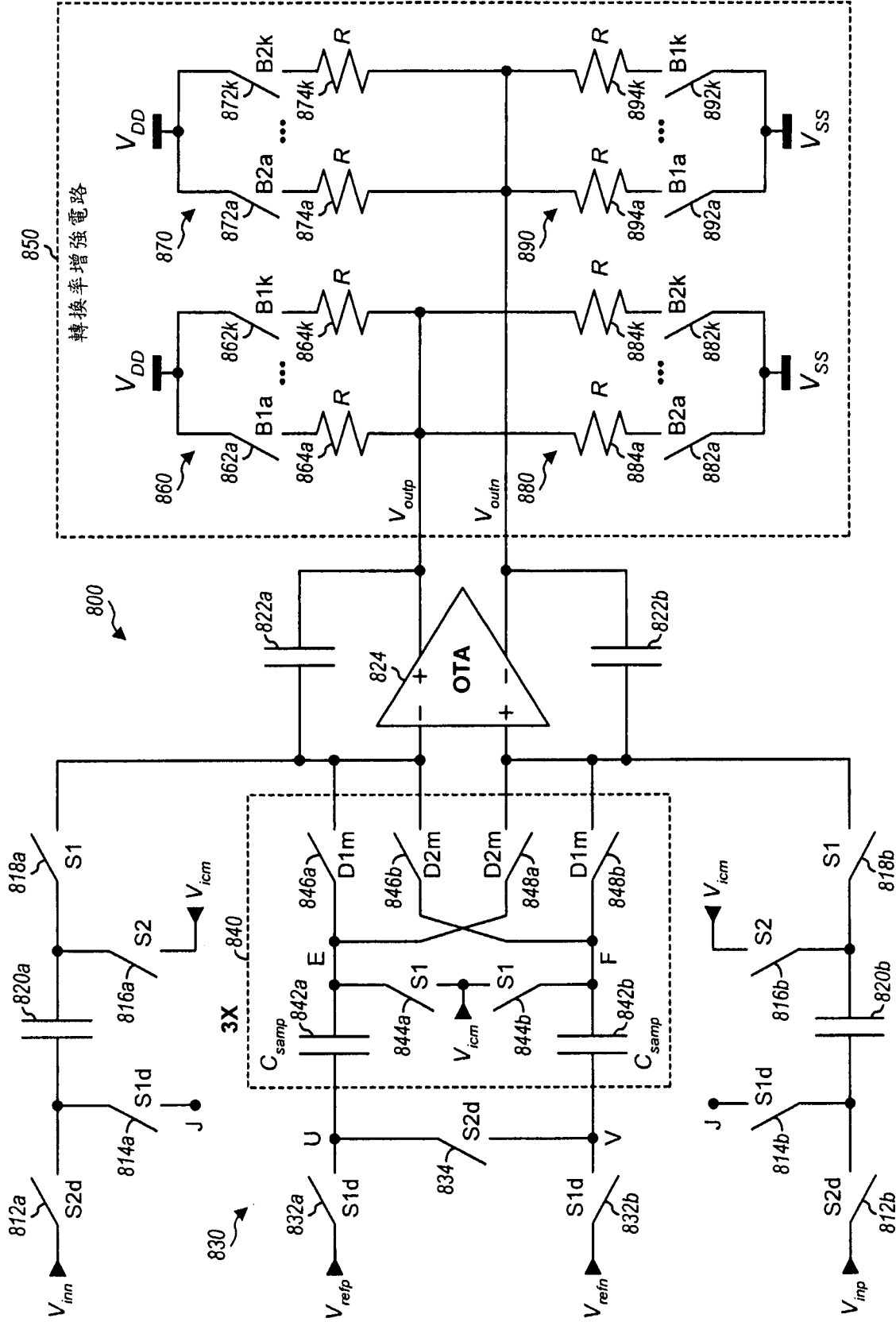


圖8

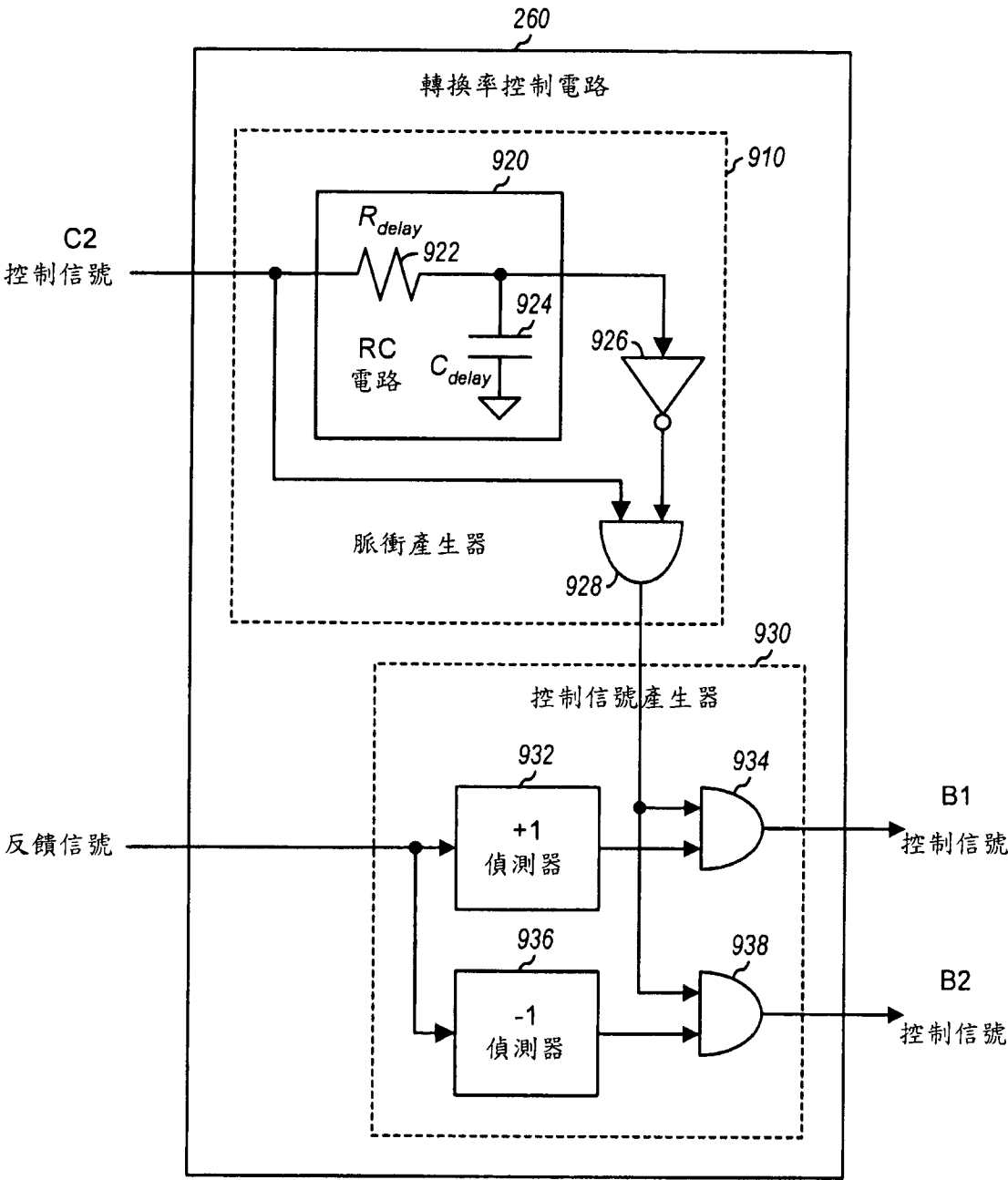


圖9

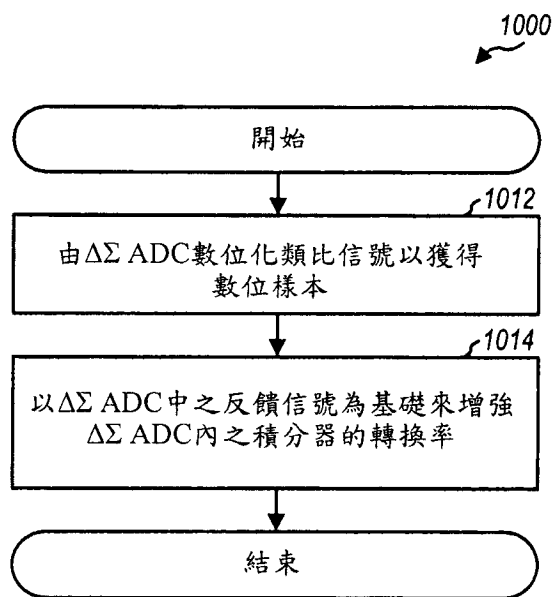


圖 10

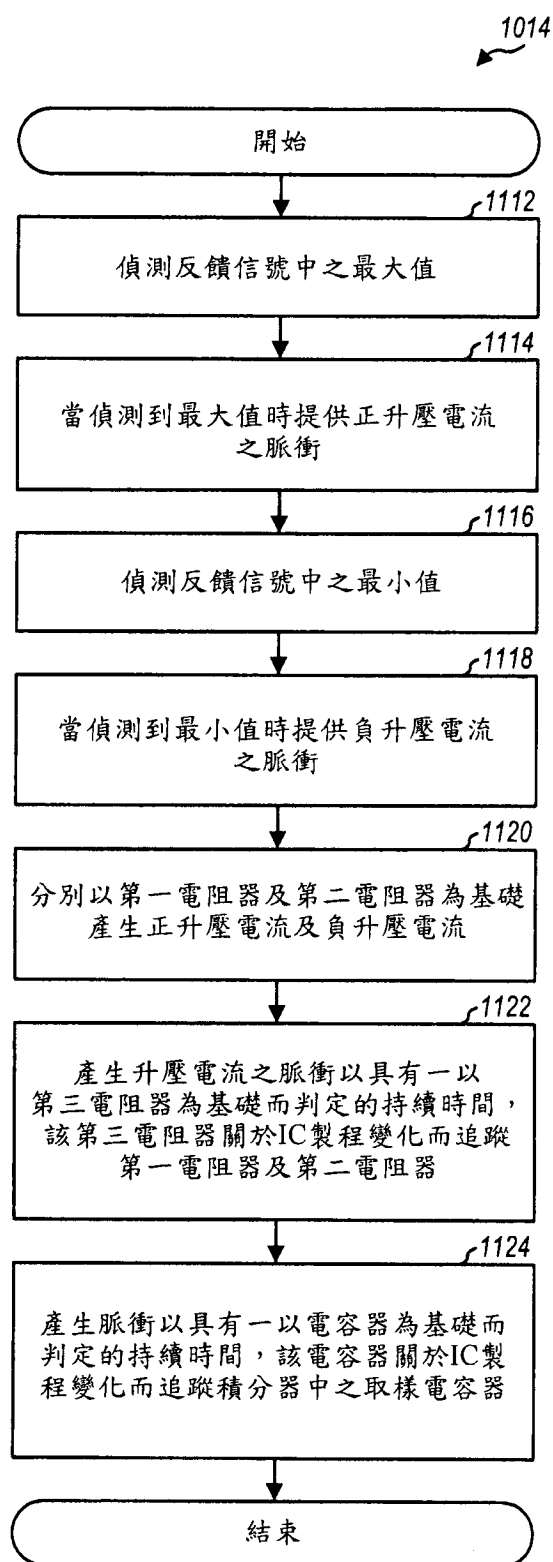


圖 11

七、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

130a	2位元二級 $\Delta\Sigma$ ADC
212	加法器
220a	積分器
220b	積分器
222a	增益電路
222b	增益電路
222c	增益電路
224	加法器
226	量化器
230	數位類比轉換器(DAC)
250	轉換率增強電路
260	轉換率控制電路

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)