

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-110117
(P2012-110117A)

(43) 公開日 平成24年6月7日(2012.6.7)

(51) Int.Cl. F I テーマコード (参考)
HO2M 3/28 (2006.01) HO2M 3/28 Q 5H730
 HO2M 3/28 R

審査請求 未請求 請求項の数 6 O L (全 15 頁)

(21) 出願番号 特願2010-256696 (P2010-256696)
 (22) 出願日 平成22年11月17日 (2010.11.17)

(71) 出願人 000103208
 コーセル株式会社
 富山県富山市上赤江町1丁目6番43号
 (74) 代理人 100095430
 弁理士 廣澤 勲
 (72) 発明者 平田 哲郎
 富山県富山市上赤江町一丁目6番43号
 コーセル株式会社内
 Fターム(参考) 5H730 AA02 BB43 BB57 BB61 DD04
 DD41 EE02 EE07 FD01 FD26
 VV03

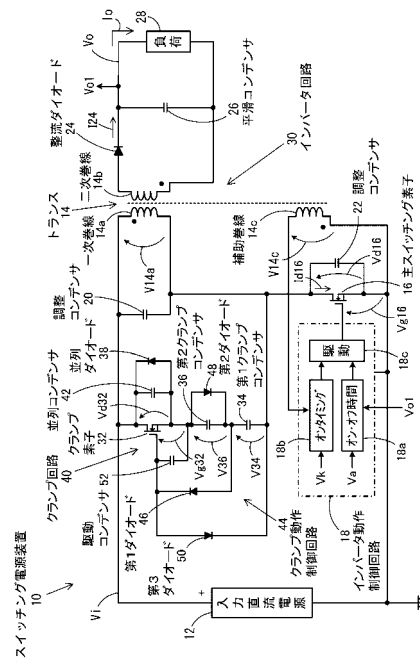
(54) 【発明の名称】 スイッチング電源装置

(57) 【要約】 (修正有)

【課題】コンパクトで安価に構成できる制御回路により、理想的なアクティブクランプ動作を行うことができるフライバック式のスイッチング電源装置を提供する。

【解決手段】フライバック式のインバータ回路30を有する。ローサイドの主スイッチング素子16にトランス14の一次巻線14aが接続されている。クランプ素子32とクランプコンデンサ34、36で成るクランプ回路40を有する。主スイッチング素子16を制御するインバータ動作制御回路18を有する。クランプ素子32を制御するクランプ動作制御回路44を有する。クランプ動作制御回路44は、クランプコンデンサ34、36の midpoint からクランプ素子32のゲートに向かう第1ダイオード46、クランプ素子32のソース端子からクランプコンデンサ34、36の midpoint に向かう第2ダイオード48、及びクランプ素子32のゲートから主スイッチング素子16のドレインに向かう第3ダイオードを備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

入力直流電源と直列接続され自己のオン・オフ動作によって入力電圧を断続する主スイッチング素子と、前記断続電圧が印加される一次巻線及び前記一次巻線に磁気結合した二次巻線を有するトランスと、前記主スイッチング素子のオフ期間中に前記二次巻線に発生する電圧を整流する整流回路と、その整流電圧を平滑して直流の出力電圧を負荷に供給する平滑回路とで構成されたフライバック方式のインバータ回路と、

前記一次巻線の両端に接続されたクランプ素子とクランプコンデンサとの直列回路であって、前記主スイッチング素子のオフ期間中に前記クランプ素子が導通することによって、前記トランスの各巻線に発生する電圧を制限するクランプ回路と、

10

前記主スイッチング素子のオン時間及びオフ時間を制御するインバータ動作制御回路と

、
前記クランプ素子が前記スイッチング素子と相補的にオン・オフするよう制御するクランプ動作制御回路と、を備えたスイッチング電源装置において、

前記インバータ回路は、前記一次巻線の一端が前記直流入力電源のプラス側に接続され、前記主スイッチング素子が前記一次巻線の他端と前記直流入力電源のグランド側との間に接続され、

前記クランプ回路の前記クランプ素子は、前記一次巻線の前記入力直流電源側の一端にドレイン端子が接続された N - c h の M O S 型 F E T であって、そのソース端子からドレイン端子の向きに並列ダイオードと並列コンデンサとが設けられ、前記クランプコンデンサは、前記一次巻線の主スイッチング素子側の一端と前記クランプ素子のソース端子との間に接続された第 1 及び第 2 クランプコンデンサの直列回路で構成され、

20

前記クランプ動作制御回路は、前記第 1 及び第 2 クランプコンデンサの midpoint から前記クランプ素子のゲート端子に向けて順方向に接続された第 1 ダイオードと、前記第 2 クランプコンデンサと並列に設けられ前記クランプ素子のソース端子から前記第 1 及び第 2 クランプコンデンサの midpoint に向けて順方向に接続された第 2 ダイオードと、前記クランプ素子のゲート端子から前記一次巻線の主スイッチング素子側の一端に向けて順方向に接続された第 3 ダイオードと、前記クランプ素子のゲート・ソース端子間に設けられた駆動コンデンサとで構成され、前記主スイッチング素子のオン・オフによって変化する前記一次巻線の主スイッチング素子側の一端の電圧変化に応じて前記クランプ素子をオン・オフさせることを特徴とするスイッチング電源装置。

30

【請求項 2】

前記クランプ回路の前記並列ダイオードは、前記クランプ素子である M O S 型 F E T のドレイン・ソース間の寄生ダイオードに並列接続された個別ダイオード素子である請求項 1 記載のスイッチング電源装置。

【請求項 3】

前記インバータ動作制御回路は、前記主スイッチング素子の両端電圧が所定電圧以下に低下したときにオンに転じるよう前記主スイッチング素子のオン・オフを制御する請求項 1 又は 2 記載のスイッチング電源装置。

【請求項 4】

前記クランプ回路の前記並列コンデンサは、前記クランプ素子である M O S 型 F E T のドレイン・ソース間の寄生コンデンサ及び並列接続された個別コンデンサ素子である請求項 3 記載のスイッチング電源装置。

40

【請求項 5】

前記クランプ動作制御回路の前記駆動コンデンサは、前記クランプ素子である M O S 型 F E T のゲート・ソース間の寄生コンデンサ及び並列接続された個別コンデンサ素子である請求項 3 記載のスイッチング電源装置。

【請求項 6】

前記トランスが有する何れかの巻線と並列に、又は前記主スイッチング素子と並列に、前記主スイッチング素子の両端電圧の変化を調整する調整コンデンサが接続されている請

50

求項 3 記載のスイッチング電源装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、アクティブクランプ回路を備えたフライバック式のスイッチング電源装置に関する。

【背景技術】

【0002】

従来から、主スイッチング素子がオフの期間、トランス巻線と並列にクランプコンデンサを導通させることによりトランス巻線の両端に発生する電圧のピーク値を制限し、主スイッチング素子等に加わる電圧ストレスを軽減するアクティブクランプ方式のスイッチング電源装置がある。

10

【0003】

例えば、特許文献 1 に開示されているように、主スイッチング素子及びトランスを有するインバータ回路と、クランプコンデンサ及びクランプ素子で成るクランプ回路（アクティブクランプ回路）とを備え、さらに、主スイッチング素子のオン時間及びオフ時間を制御するオン/オフ制御回路と、主スイッチング素子がオンに転じるタイミングを決定するタイミング検出回路と、クランプ素子をオン・オフ制御するトランス回路とを備えたスイッチング電源回路がある。

20

【0004】

このオン/オフ制御回路は、主スイッチング素子がオフに転じた後クランプ素子がオンに転じるまでの期間を確保する遅延回路と、クランプ素子がオフに転じた後主スイッチング素子がオンに転じるまでの期間を確保する遅延回路とを有し、主スイッチング素子用のオン/オフ制御信号及びクランプ素子用のクランプ制御信号の 2 つの信号を出力する。トランス回路は、このクランプ制御信号をハイサイドの位置にあるクランプ素子の駆動端子に伝達し、クランプ素子をオン・オフ制御する。従って、クランプ素子と主スイッチング素子とが同時にオンする不具合を防止し、2 つの素子が相補的にオン・オフする適正な動作を実現することができる。

【0005】

30

さらに、タイミング検出回路は、主スイッチング素子の両端電圧が共振により最小値をとるタイミングを検出し、オン/オフ制御回路は、そのタイミングで期間が終了するように主スイッチング素子をオン・オフ制御する。従って、主スイッチング素子がオンに反転したときのスイッチング損失を小さく抑えることができる。

【0006】

また、特許文献 2 に開示されているように、フライバック方式のインバータ回路と、トランスに接続されたクランプコンデンサ及びクランプ素子で成るクランプ回路と、主スイッチング素子及びクランプ素子をオン・オフ制御するスイッチング駆動部とを備えたスイッチング電源回路がある。

【0007】

40

このスイッチング駆動部は、特許文献 1 のスイッチング電源回路と同様に、クランプ素子が主スイッチング素子と同時にオンする不具合を防止し、さらにスイッチング損失が小さくなるタイミングで主スイッチング素子をオンに反転させる制御を行う。主スイッチング素子用の制御信号とクランプ素子用の制御信号の 2 つの制御信号は発振回路で生成され、クランプ素子用の制御信号は、レベルシフト回路とドライブ回路を通じてハイサイドの位置にあるクランプ素子に伝達される構成となっている。

【先行技術文献】

【特許文献】

【0008】

【特許文献 1】特開 2000 - 92829 号公報

50

【特許文献2】特開2001-314079号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかし、特許文献1, 2のスイッチング電源回路は、クランプ素子用の制御信号をハイサイドの位置にあるクランプ素子に伝達するための回路ブロックをシンプルで安価に構成することが難しいという問題があった。

【0010】

例えば、特許文献1のスイッチング電源回路の場合、クランプ素子用の制御信号をクランプ素子に伝達するトランス回路が設けられているが、このトランス回路は、バッファ回路、トランス、複数の抵抗やコンデンサといった多数の部品で構成され、かつトランスを介して電氣的に分離された入力側回路と出力側回路との間に一定の絶縁距離を確保しなければならない。また、トランス自体も、所定の絶縁構造が必要なためあまり小形化することができない。従って、トランス回路をコンパクトに構成することが困難であった。

10

【0011】

また、特許文献2のスイッチング電源回路の場合、クランプ素子用の制御信号がレベルシフト回路を通じてクランプ素子に伝達される。レベルシフト回路は、例えば、ブーストラップ(チャージポンプ)動作によりフローティング電源を生じさせ、フローティング電源を断続することによってクランプ素子駆動用のパルス電圧を出力するハイサイド・ドライバICを用いて構成する方法が考えられる。しかし、高速スイッチングが可能なドライバICは比較的高価なため、スイッチング周波数が高めに設定されるスイッチング電源には採用しにくいものであった。

20

【0012】

この発明は、上記背景技術に鑑みて成されたもので、コンパクトで安価に構成できる制御回路により、理想的なアクティブクランプ動作を行うことができるフライバック式のスイッチング電源装置を提供することを目的とする。

【課題を解決するための手段】

【0013】

この発明は、入力直流電源と直列接続され自己のオン・オフ動作によって入力電圧を断続する主スイッチング素子と、前記断続電圧が印加される一次巻線及び前記一次巻線に磁気結合した二次巻線を有するトランスと、前記主スイッチング素子のオフ期間中に前記二次巻線に発生する電圧を整流する整流回路と、その整流電圧を平滑して直流の出力電圧を負荷に供給する平滑回路とで構成されたフライバック方式のインバータ回路と、前記一次巻線の両端に接続されたクランプ素子とクランプコンデンサとの直列回路であって、前記主スイッチング素子のオフ期間中に前記クランプ素子が導通することによって、前記トランスの各巻線に発生する電圧を制限するクランプ回路と、前記主スイッチング素子のオン時間及びオフ時間を制御するインバータ動作制御回路と、前記クランプ素子が前記スイッチング素子と相補的にオン・オフするよう制御するクランプ動作制御回路と、を備えたスイッチング電源装置であって、前記インバータ回路は、前記一次巻線の一端が前記直流入力電源のプラス側に接続され、前記主スイッチング素子が前記一次巻線の他端と前記直流入力電源のグランド側との間に接続され、前記クランプ回路の前記クランプ素子は、前記一次巻線の前記入力直流電源側の一端にドレイン端子が接続されたN-chのMOS型FETであって、そのソース端子からドレイン端子の向きに並列ダイオードと並列コンデンサとが設けられ、前記クランプコンデンサは、前記一次巻線の主スイッチング素子側の一端と前記クランプ素子のソース端子との間に接続された第1及び第2クランプコンデンサの直列回路で構成され、前記クランプ動作制御回路は、前記第1及び第2クランプコンデンサの midpoint から前記クランプ素子のゲート端子に向けて順方向に接続された第1ダイオードと、前記第2クランプコンデンサと並列に設けられ前記クランプ素子のソース端子から前記第1及び第2クランプコンデンサの midpoint に向けて順方向に接続された第2ダイオードと、前記クランプ素子のゲート端子から前記一次巻線の主スイッチング素子側の一端に向

30

40

50

けて順方向に接続された第3ダイオードと、前記クランプ素子のゲート・ソース端子間に設けられた駆動コンデンサとで構成され、前記主スイッチング素子のオン・オフによって変化する前記一次巻線の主スイッチング素子側の一端の電圧変化に応じて前記クランプ素子をオン・オフさせるスイッチング電源装置である。

【0014】

前記クランプ回路の前記並列ダイオードは、前記クランプ素子であるMOS型FETのドレイン・ソース間の寄生ダイオードに並列接続された個別ダイオード素子であってもよい。

【0015】

前記インバータ動作制御回路は、前記主スイッチング素子の両端電圧が所定電圧以下に低下したときにオンに転じるよう前記主スイッチング素子のオン・オフを制御する。

10

【0016】

前記クランプ回路の前記並列コンデンサは、前記クランプ素子であるMOS型FETのドレイン・ソース間の寄生コンデンサ及び並列接続された個別コンデンサ素子であってもよい。また、前記クランプ動作制御回路の前記駆動コンデンサは、前記クランプ素子であるMOS型FETのゲート・ソース間の寄生コンデンサ及び並列接続された個別コンデンサ素子であってもよい。また、前記トランスが有する何れかの巻線と並列に、又は前記主スイッチング素子と並列に、前記主スイッチング素子の両端電圧の変化を調整する調整コンデンサが接続されていてもよい。

【発明の効果】

20

【0017】

この発明のスイッチング電源装置は、コンパクトかつ安価に構成可能なクランプ動作制御回路により、クランプ素子が主スイッチング素子と同時にオンするのを防止する理想的な動作を容易に実現することができる。

【0018】

さらに、インバータ動作制御回路として、例えば、通常の擬似共振フライバック方式用の制御ICを使用することによって、上記の理想的な動作を実現しつつ、主スイッチング素子のスイッチング損失を小さく抑えることができる。

【図面の簡単な説明】

【0019】

30

【図1】この発明のスイッチング電源装置の一実施形態を示す回路図である。

【図2】この実施形態の動作を示すタイムチャートである。

【図3】図2の期間T1における各素子の状態や電流の流れを説明する等価回路である。

【図4】図2の期間T2における各素子の状態や電流の流れを説明する等価回路である。

【図5】図2の期間T3における各素子の状態や電流の流れを説明する等価回路である。

【図6】図2の期間T4における各素子の状態や電流の流れを説明する等価回路である。

【図7】図2の期間T5, T6における各素子の状態や電流の流れを説明する等価回路である。

【図8】図2の期間T7における各素子の状態や電流の流れを説明する等価回路である。

【発明を実施するための形態】

40

【0020】

以下、この発明のスイッチング電源装置の一実施形態について、図面に基づいて説明する。この実施形態のスイッチング電源装置10は、直流入力電源12から入力された入力電圧 V_i を、直流の出力電圧 V_o に変換して出力する直流安定化電源である。

【0021】

まず、スイッチング電源装置10の構成を図1に基づいて説明する。スイッチング電源装置10は、直流入力電源12の両端に、トランス14の一次巻線14aと主スイッチング素子16との直列回路が接続されている。主スイッチング素子16は、N-chのMOS型FETであり、ドレイン端子が一次巻線14a側に、ソース端子が入力電源12のグランド側に各々接続されている。そして、後述するインバータ動作制御回路18が出力す

50

る駆動パルスがゲート・ソース間に印加され、オン・オフする。

【0022】

一次巻線14aの両端には、図示しない巻線容量と並列に個別のコンデンサ素子である調整コンデンサ20が接続されている。また、主スイッチング素子16のドレイン・ソース間には、図示しない寄生コンデンサと並列に個別のコンデンサ素子である調整コンデンサ22が接続されている。調整コンデンサ20, 22の容量については後で説明する。

【0023】

トランス14は、互いに磁気結合した一次巻線14a、二次巻線14b及び補助巻線14cを有し、巻数はそれぞれ N_a , N_b , N_c である。図1の回路図に付してあるドットは各巻線の極性を示している。ここでは、一次巻線14aの入力電源12のプラス側の一端に基準のドットを付し、他の巻線の極性を表わした。

10

【0024】

二次巻線14bには、二次巻線14bに発生する交流電圧を整流する整流回路である整流ダイオード24が設けられ、二次巻線14bのドットが付してない一端にアノード端子が接続されている。整流ダイオード24は、主スイッチング素子16のオフ期間中に二次巻線14bに発生する電圧を整流する。整流回路の出力には平滑回路である平滑コンデンサ26が設けられ、整流ダイオード24のカソード端子と二次巻線14bのドットが付された一端との間に接続されている。平滑コンデンサ26は、整流ダイオード24が出力した整流電圧を平滑して直流の出力電圧 V_o を生成し、負荷28に出力電圧 V_o と出力電流 I_o を供給する。

20

【0025】

このように、スイッチング電源装置10は、トランス14、主スイッチング素子16、整流ダイオード24及び平滑コンデンサ26で構成されたフライバック式のインバータ回路30を有している。

【0026】

一次巻線14aの両端には、クランプ素子32、第1クランプコンデンサ34、第2クランプコンデンサ36、並列ダイオード38で構成されたクランプ回路40が接続されている。クランプ素子32は $N-ch$ のMOS型FETであり、ドレイン端子が一次巻線14aのドットが付された一端に接続され、ソース端子が第2クランプコンデンサ36の一端に接続されている。クランプ素子32内のドレイン・ソース端子間には、並列コンデンサ42が寄生している。並列ダイオード38は、クランプ素子32内のドレイン端子からソース端子の向きにある寄生ダイオードを用いているが、クランプ素子32に発熱が集中するのを防止するため、外部に別個のダイオード素子を設け発熱を分散させてもよい。第2クランプコンデンサ36の他の一端には、第1クランプコンデンサ34の一端が接続され、第1クランプコンデンサ34の他の一端は、一次巻線14bの主スイッチング素子16側の一端に接続されている。

30

【0027】

クランプ回路40は、クランプ素子32が後述するクランプ動作制御回路44によってオン・オフ制御され、2つのクランプコンデンサ34, 36を一次巻線14aと並列に接続し、また切り離す動作を繰り返す。

40

【0028】

インバータ動作制御回路18は、オン・オフ時間制御部18a、オンタイミング制御部18b及び駆動回路18cを備えている。オン・オフ時間制御部18aは、出力電圧 V_o に相当する信号 V_{o1} が基準電圧 V_a に近づくように、すなわち、出力電圧 V_o が基準電圧 V_a に相当する一定の電圧になるようにパルス幅変調を行い、主スイッチング素子16のオン時間及びオフ時間を決める。オンタイミング制御部18bは、主スイッチング素子16のオフ期間中に、補助巻線14cの電圧 V_{14c} (ドットと逆向きに発生する電圧)が、基準電圧($-V_k$)以下に低下したときに、主スイッチング素子16をオンに反転させる指令を出す。駆動回路18cは、オン・オフ時間制御部18aからのオン時間及びオフ時間の指令と、オンタイミング制御部18bからの主スイッチング素子16をオンに転

50

じさせる指令とを受け、双方を充足する駆動パルスの主スイッチング素子 16 のゲート・ソース端子間に向けて出力する。

【0029】

前記クランプ動作制御回路 44 は、第 1～第 3 ダイオード 46, 48, 50 及び駆動コンデンサ 52 で構成されている。第 1 ダイオード 46 は、第 1 及び第 2 クランプコンデンサ 34, 36 の中点からクランプ素子 32 のゲート端子に向けて接続されている。第 2 ダイオード 48 は、第 2 クランプコンデンサ 36 と並列に設けられクランプ素子 32 のソース端子から第 1 及び第 2 クランプコンデンサ 34, 36 の中点に向けて接続されている。第 3 ダイオード 50 は、クランプ素子 32 のゲート端子から一次巻線 14a の主スイッチング素子 16 側の一端に向けて接続されている。駆動コンデンサ 52 は、ここでは、クランプ素子 32 のゲート・ソース端子間に寄生する寄生コンデンサを用いているが、容量調整のため外部に個別のコンデンサ素子を付加してもよい。

10

【0030】

ここで、各部コンデンサの容量の大小関係について説明する。第 1 クランプコンデンサ 34 の容量を C_{34} 、第 2 クランプコンデンサ 36 の容量を C_{36} 、並列コンデンサ 42 の容量を C_{42} 、駆動コンデンサ 52 の容量を C_{52} 、平滑コンデンサ 26 の容量を C_{26} とすると、容量 C_{26} は容量 C_{34} , C_{36} よりも十分大きな値であり、容量 C_{34} , C_{36} は容量 C_{42} よりも十分大きな値に設定されている。また、トランス 14 の巻線容量と調整コンデンサ 20 との並列合成容量を C_{20} 、主スイッチング素子 16 のドレイン・ソース間の寄生容量と調整コンデンサ 22 との並列合成容量を C_{22} とすると、容量 C_{34} , C_{36} 及び C_{52} の直列合成容量は、容量 C_{20} , C_{22} の並列合成容量よりも大きな値に設定されている。

20

【0031】

次に、スイッチング電源装置 10 の動作を、図 2～図 7 に基づいて説明する。スイッチング電源装置 10 の動作は、図 2 のタイムチャートに示すように、スイッチングの一周期を期間 $T_1 \sim T_7$ に分けて説明することができる。図 3～図 7 の等価回路は、各期間ごとに、各素子の状態や電流の流れを説明したもので、主スイッチング素子 16 及びクランプ素子 32 は、オンかオフかの状態が分かりやすいようにスイッチの形で表わした。また、各部のダイオードが導通した時の順電圧は十分に小さく、ほぼゼロボルトと想定した。

【0032】

期間 T_1 では、インバータ動作制御回路 18 の制御により、主スイッチング素子 16 のゲート・ソース間の電圧 V_{g16} がハイレベルになっており、図 3 に示すように、主スイッチング素子 16 がオンし、ドレイン・ソース間の電圧 V_{d16} がほぼゼロボルトになっている。従って、一次巻線 14a にはドットの向きに入力電圧 V_i が印加され、二次巻線 14b に接続された整流ダイオード 24 の両端が逆バイアスされ、整流ダイオード 24 がオフしている。このとき、入力直流電源 12、一次巻線 14a、主スイッチング素子 16、入力直流電源 12 の経路に、図 2 の電流 I_{d16} の波形に示すように、所定の傾きで単調増加する電流が流れ、トランス 14 に励磁エネルギーを蓄積する。また、オフ状態の整流ダイオード 24 の電流 I_{24} はゼロアンペアであり、出力電流 I_o は平滑コンデンサ 26 から負荷 28 に向けて供給される。

30

40

【0033】

クランプ動作制御回路 44 は、期間 T_7 から引き続き、第 2 ダイオード 48、第 1 ダイオード 46、第 3 ダイオード 50 が導通して第 1 クランプコンデンサ 34、第 2 クランプコンデンサ 36 及び駆動コンデンサ 52 の両端を短絡し、電圧 V_{34} , V_{36} 、クランプ素子 32 のゲート・ソース間の電圧 V_{g32} をほぼゼロボルトに保持している。また、クランプ回路 40 のクランプ素子 32 がオフになるので、第 1、第 2 クランプコンデンサ 34, 36 が一次巻線 14a から切り離され、ドレイン・ソース間の電圧 V_{d32} が入力電圧 V_i に保持されている。

【0034】

期間 T_1 は、出力電圧信号 V_{o1} と基準電圧 V_a とが等しくなるようにするインバータ

50

動作制御回路 18 の制御により、主スイッチング素子 16 の電圧 V_{g16} がローレベルに反転した時点で終了する。

【0035】

期間 T_2 になると、図 4 に示すように、主スイッチング素子 16 がオフに転じ、トランス 14 に蓄積された励磁エネルギーを放出するリセット動作が行われる。そのため、入力直流電源 12、トランス 14 の一次巻線 14a 及び巻線容量、調整コンデンサ 22 の経路に調整コンデンサ 22 を充電する電流（リセット電流）が流れ、ドレイン・ソース間の電圧 V_{d16} が上昇する。それに合わせて、調整コンデンサ 20 を放電する電流（リセット電流）が流れ、一次巻線 14a のドットの向きの電圧 V_{14a} が、入力電圧 V_i から低下する。

10

【0036】

また、期間 T_2 の間は電圧 V_{14a} が正電圧なので、二次巻線 14b に接続された整流ダイオード 24 の両端の逆バイアス状態が維持され、整流ダイオード 24 がオフしたまま、出力電流 I_o は、平滑コンデンサ 26 から負荷 28 に向けて供給される。

【0037】

クランプ回路 40 及びクランプ動作制御回路 44 は、電圧 V_{d16} の上昇に伴い、第 1 ダイオード 46、第 2 ダイオード 48、第 3 ダイオード 50 がオフに転じ、トランス 14 の一次巻線 14a 及び巻線容量から、第 1 クランプコンデンサ 34、第 2 クランプコンデンサ 36、並列コンデンサ 42 に至る経路と、トランス 14 の一次巻線 14a 及び巻線容量から、第 1 クランプコンデンサ 34、第 1 ダイオード 46、駆動コンデンサ 52、並列コンデンサ 42 に至る経路に、並列コンデンサ 42 の電荷を放電する向きのリセット電流が流れ、クランプ素子 32 の電圧 V_{d32} が低下する。このとき、並列コンデンサ 42 の容量 C_{42} は、第 1 及び第 2 クランプコンデンサ 34、36 の容量 C_{34} 、 C_{36} よりも十分小さいので、第 1 及び第 2 クランプコンデンサの電圧 V_{34} 、 V_{36} 、及びクランプ素子 32 の電圧 V_{g32} がほぼゼロボルトに保持され、クランプ素子 32 がオフを継続する。

20

【0038】

主スイッチング素子 16 の電圧 V_{d16} が上昇する傾きは、互いに並列の関係にある容量 C_{20} 、 C_{22} 、 C_{42} の合成容量と、トランス 14 のインダクタンスとで定まる共振周波数によって決定される。すなわち、合成容量が小さいほど共振周波数が高くなり、電圧 V_{d16} の上昇の傾きが急峻になる。ここで、期間 T_2 における合成容量 $C(T_2)$ は、式 (1) のように表わされる。

30

【数 1】

$$C(T_2) = C_{20} + C_{22} + C_{42} \quad (C_{42} \ll C_{34}, C_{36}) \quad (1)$$

スイッチング電源装置 10 は、容量 C_{42} が小さな値なので合成容量 $C(T_2)$ が非常に小さくなり、図 2 に示すように、電圧 V_{d16} の上昇の傾きが急峻になる。

【0039】

期間 T_2 は、一次巻線 14a の電圧 V_{14a} とクランプ素子 32 の電圧 V_{d32} がゼロボルトに達した時点で終了する。

40

【0040】

期間 T_3 になると、図 5 に示すように、一次巻線 14a の電圧 V_{14a} が正電圧から負電圧に反転する。主スイッチング素子 16 はオフを継続している。トランス 14 のリセット動作は期間 3 においても継続し、入力直流電源 12、トランス 14 の一次巻線 14a 及び巻線容量、調整コンデンサ 22 の経路に、調整コンデンサ 22 を充電する電流（リセット電流）が流れ、ドレイン・ソース間の電圧 V_{d16} が入力電圧 V_i を超えて上昇する。それに合わせて、調整コンデンサ 20 を逆向きに充電する電流（リセット電流）が流れ、一次巻線 14a の電圧 V_{14a} がドットと逆向きに反転して上昇する。

【0041】

50

また、期間 T 3 の間は、二次巻線 1 4 b の電圧がドットと逆向きに反転するものの電圧が低いので、整流ダイオード 2 4 の両端は逆バイアスが維持され、整流ダイオード 2 4 がオフしたまま、出力電流 I o は平滑コンデンサ 2 6 から負荷 2 8 に向けて供給される。

【 0 0 4 2 】

クランプ回路 4 0 及びクランプ動作制御回路 4 4 には、クランプ素子 3 2 の電圧 V d 3 2 がゼロボルトに達した後もトランス 1 4 からのリセット電流が流れる。リセット電流の経路は、図 5 に示すように、トランス 1 4 の一次巻線 1 4 a 及び巻線容量から、第 1 クランプコンデンサ 3 4、第 2 クランプコンデンサ 3 6、並列ダイオード 3 8 に至る経路と、一次巻線 1 4 a 及び巻線容量から、第 1 クランプコンデンサ 3 4、第 1 ダイオード 4 6、駆動コンデンサ 5 2、並列ダイオード 3 8 に至る経路の二つの経路になる。従って、並列ダイオード 3 8 が導通することによって電圧 V d 3 2 がほぼゼロボルトで一定となり、第 1 及び第 2 クランプコンデンサの電圧 V 3 4、V 3 6、が負方向に低下し、クランプ素子 3 2 の電圧 V g 3 2 が上昇する。電圧 V g 3 2 がゲート閾値 V t h 3 2 よりも低い間は、上記のように、クランプ素子 3 2 がオフしているのでリセット電流が並列ダイオード 3 8 に流れるが、電圧 V g 3 2 がゲート閾値 V t h 3 2 を超えた時点でクランプ素子 3 2 がオンに転じ、並列ダイオード 3 8 に流れていたリセット電流がクランプ素子 3 2 に流れるようになる。

10

【 0 0 4 3 】

主スイッチング素子 1 6 の電圧 V d 1 6 が上昇する傾きは、互いに並列の関係にある容量 C 2 0、C 2 2、C 3 4、C 3 6、C 5 2 の合成容量と、トランス 1 4 のインダクタンスとで定まる共振周波数によって決定される。ここで、期間 T 3 における合成容量 C (T 3) は、式 (2) のように表わされる。

20

【 数 2 】

$$C(T3) = C20 + C22 + \frac{C34 \cdot (C36 + C52)}{C34 + C36 + C52} \quad (2)$$

スイッチング電源装置 1 0 は、C 3 4、C 3 6、C 5 2 の合成容量が、容量 C 2 0、C 2 2、C 4 2 よりも大きいので、合成容量 C (T 3) が合成容量 C (T 2) よりも大きくなり、図 2 に示すように、期間 T 3 の電圧 V d 1 6 の上昇の傾きが、期間 T 2 の上昇の傾きよりも緩やかになる。

30

【 0 0 4 4 】

期間 T 3 は、2 次巻線 1 4 b のドットと逆向きの電圧が上昇し、整流ダイオード 2 4 の両端の逆バイアスが解除された時点で終了する。

【 0 0 4 5 】

期間 T 4 になると、図 6 に示すように、整流ダイオード 2 4 がオンに転じ、トランス 1 4 の二次巻線 1 4 b がドットと逆向きに出力電圧 V o が印加される。主スイッチング素子 1 6 はオフを継続している。この期間 T 4 は、整流ダイオード 2 4 が導通することによって二次巻線 1 4 b が出力電圧 V o に固定され、トランス 1 4 のリセット電流が、整流ダイオード 2 4、大きな容量 2 6 を有した平滑コンデンサ 2 6 に流れ、図 2 のタイムチャートに示す電流 I 2 4 のように、所定の傾きで減少する波形となる。出力電流 I o は、電流 I 2 4 のうちの直流成分が負荷 2 8 に供給される。

40

【 0 0 4 6 】

二次巻線 1 4 b が出力電圧 V o に固定されるので、一次巻線 1 4 a の電圧 V 1 4 a は、図 2 の波形 (実線) に示すようにほぼ一定となり、式 (3) で表わされる電圧に保持される。

【数 3】

$$V_{14a} = -\frac{N_a}{N_b} \cdot V_o = -V_r \quad (3)$$

【0047】

このとき、クランプ回路 40 とクランプ動作制御回路 44 の各コンデンサ 34, 36, 52 の電圧 V_{34} , V_{36} , V_{g32} は、電圧 V_{14a} に発生する電圧 V_r をそれぞれの容量比で分圧した電圧になり、その電圧は、式 (4), (5) のように表わされる。このとき、電圧 V_{34} , V_{36} , V_{g32} が固定され電流はほとんど流れない。また、電圧 V_{g32} がオン閾値 V_{th} 以上に固定されるので、クランプ素子 32 のオンが維持される。

【数 4】

$$V_{34} = -V_r \cdot \frac{C_{36} + C_{52}}{C_{34} + C_{36} + C_{52}} \quad (4)$$

【数 5】

$$V_{36} = V_{g32} = -V_r \cdot \frac{C_{34}}{C_{34} + C_{36} + C_{52}} > V_{th32} \quad (5)$$

【0048】

なお、トランス 14 の漏れインダクタンスが大きい場合や、第 1 及び第 2 コンデンサ 34, 36 の容量が小さい場合などは、トランス 14 の電圧 V_{14a} , V_{14c} 、主スイッチング素子 16 の電圧 V_{d16} に、図 2 の破線で示す波形のようなリングングが発生する。その場合、第 1 ダイオード 46 の逆流阻止動作により、電圧 V_{g32} がリングングのピーク電圧に保持されることになり、上述した動作と若干の違いが生じる。しかし、この発明の動作や作用効果に対してほとんど影響がないので、ここでは説明を省略する。

【0049】

期間 T4 は、整流ダイオード 24 の電流 I_{24} が減少してゼロアンペアに達し、トランス 14 のリセット動作が終わった時点で終了する。

【0050】

期間 T5 になると、トランス 14 のリセット動作が終わり、整流ダイオード 24 がオフに転じ、平滑コンデンサ 26 から負荷 28 に向けて出力電流 I_o が供給されるようになる。また、主スイッチング素子 16 はオフを継続している。従って、トランス 14 と、トランス 14 の 1 次巻線 14a の周囲のコンデンサとの間で自由共振が発生し、図 2 に示すように、スイッチング素子 16 の電圧 V_{d16} が正弦波状のカーブを描いて緩やかに低下する。このとき、電圧 V_{d16} の低下に伴って第 1 及び第 2 クランプコンデンサ 34, 36 の電圧 V_{34} , V_{36} が負方向の電圧がゼロボルトに向けて上昇するが、クランプ素子 32 の電圧 V_{g32} は、第 1 ダイオード 46 の逆流阻止動作により、式 (3) で表わされる電圧 V_{g32} のまま保持される。

【0051】

自由共振における共振電流の経路は、図 7 に示すように、トランス 14 の一次巻線 14a 及び巻線容量から調整コンデンサ 20 に至る経路と、一次巻線 14a 及び巻線容量から、オン状態のクランプ素子 32、第 2 クランプコンデンサ 36、第 1 クランプコンデンサ 34 に至る経路と、一次巻線 14a 及び巻線容量から、入力直流電源 12、調整コンデンサ 22 に至る経路の三つの経路になる。このとき、第 1、第 2 及び第 3 ダイオード 46, 48, 50 は、その両端に逆バイアスが印加されオフしている。

【0052】

自由共振の周波数は、互いに並列の関係にある容量 C_{20} , C_{22} , C_{34} , C_{36} の

合成容量と、トランス 14 のインダクタンスとで定まる共振周波数によってほぼ決定される。ここで、期間 T5 における合成容量 C (T5) は、式 (6) のように表わされる。

【数 6】

$$C(T5) = C20 + C22 + \frac{C34 \cdot C36}{C34 + C36} \quad (6)$$

【0053】

期間 T5 は、負方向の電圧 V36、V34 との合計電圧が低下して電圧 Vg32 達し、第 3 ダイオード 50 の逆バイアスが解除された時点で終了する。

10

【0054】

期間 T6 になると、第 3 ダイオード 50 がオンに転じる。主スイッチング素子 16 はオフを継続し、整流ダイオード 24 もオフを継続し、出力電流 I_o は平滑コンデンサ 26 から負荷 28 に向けて供給される。

【0055】

この期間 T6 に移行すると、期間 T5 で説明した三つの共振電流の経路に加え、図 7 に示すように、一次巻線 14a 及び巻線容量から、オン状態のクランプ素子 32、駆動コンデンサ 52、第 3 ダイオード 50 に至る経路が発生する。自由共振の周波数は、互いに並列の関係にある容量 C20、C22、C34、C36、C52 の合成容量と、トランス 14 のインダクタンスとで定まる共振周波数によってほぼ決定される。期間 T6 における合成容量 C (T6) は、式 (7) のように表わされる。

20

【数 7】

$$C(T6) = C20 + C22 + \frac{C34 \cdot C36}{C34 + C36} + C52 \quad (7)$$

ここでは、上記のように合成容量 C (T6) が合成容量 C (T5) よりも容量 C52 分だけ大きくなるものの、共振周波数に大きな変化はなく、図 2 に示すように、期間 T6 の電圧 Vd16 の低下のカーブは、期間 T5 のカーブを単に延長したようなカーブになる。

【0056】

期間 T6 は、クランプ素子 32 の電圧 Vg32 が低下し、オン閾値 Vth32 に達した時点で終了する。

30

【0057】

期間 T7 になると、図 8 に示すように、クランプ素子 32 がオフに転じる。主スイッチング素子 16 はオフを継続し、整流ダイオード 24 もオフを継続し、出力電流 I_o は平滑コンデンサ 26 から負荷 28 に向けて供給される。

【0058】

この期間 T7 に移行すると、期間 T6 で説明した四つの共振電流の経路のうち、オン状態のクランプ素子 32 を通っていた 2 つの経路に代わって、一次巻線 14a 及び巻線容量から、並列コンデンサ 42、第 2 ダイオード 48、第 1 ダイオード 46、第 3 ダイオード 50 に至る経路が発生する。従って、第 1 及び第 2 クランプコンデンサ 34 及び駆動コンデンサ 52 は、第 1、第 2 及び第 3 ダイオード 48、46、50 によってほぼ短絡され、電圧 V34、V36、Vg32 がほぼゼロボルトに保持される。

40

【0059】

自由共振の周波数は、互いに並列の関係にある容量 C20、C22、C42 の合成容量と、トランス 14 のインダクタンスとで定まる共振周波数によってほぼ決定される。ここで、期間 T7 における合成容量 C (T7) は、式 (8) のように表わされる。

【数 8】

$$C(T7) = C20 + C22 + C42 \quad (C42 \ll C34, C36) \quad (8)$$

【0060】

このように、合成容量 $C(T7)$ は期間 $T6$ の合成容量 $C(T6)$ よりも十分に小さいので、共振周波数が非常に高くなり、図 2 に示すように、期間 $T7$ の電圧 $Vd16$ の低下のカーブは、期間 $T6$ の低下のカーブに比べて非常に急峻になる。

【0061】

期間 $T7$ は、インバータ動作制御回路 18 の制御により、主スイッチング素子 16 のゲート・ソース間の電圧 $Vg16$ がハイレベルに転じた時点で終了する。オンタイミング制御部 18b は、補助巻線 14c のドットと逆向きの電圧 $V14c$ が $(-Vk)$ まで低下したことを検出すると、電圧 $Vd16$ がゼロボルト付近まで低下した、と判断し、駆動回路 18c が主スイッチング素子 16 のゲート・ソース間の電圧 $Vg16$ をハイレベルに反転させ、主スイッチング 16 をオンさせる。従って、電圧 $Vd16$ がゼロボルト付近まで低下したタイミングで主スイッチング素子 16 がオンするので、スイッチング損失を小さく抑えることができる。

10

【0062】

スイッチング電源装置 10 は、上記の期間 $T1 \sim T7$ の動作を繰り返し、直流入力電源 12 から入力された入力電圧 Vi を直流の出力電圧 Vo に変換し、負荷 28 に安定供給する。

20

【0063】

以上説明したように、スイッチング電源装置 10 は、ローサイドの位置にある主スイッチング素子 16 とハイサイドの位置にあるクランプ素子 32 を、コンパクトかつ安価に構成したクランプ動作制御回路 44 により、同時にオンする不具合が生じない理想的なアクティブクランプ動作を行うことができる。また、クランプ動作制御回路 44 は、トランス 14 の一次巻線 14a の主スイッチング素子 16 側の一端の電圧変化に応じてクランプ素子 32 をオン・オフさせるよう構成されているので、インバータ動作制御回路 18 は、主スイッチング素子 16 のオン・オフのみを制御できればよい。従って、インバータ動作制御回路 18 を、上述した特許文献 1, 2 のスイッチング電源回路におけるオン/オフ制御回路や発振回路に比べ、非常にシンプルに構成することができ、例えば、アクティブクランプ制御用の特別な機能を具備しない汎用制御 IC を使用することも可能である。

30

【0064】

さらに、インバータ動作制御回路 18 は、主スイッチング素子 16 の電圧 $Vd16$ が一定以下に低下したタイミングで主スイッチング素子 16 をオンに転じさせる制御、すなわちゼロボルトスイッチングに近い制御を行うので、上記の理想的なアクティブクランプ動作を実現しつつ、容易に主スイッチング素子のスイッチング損失を小さく抑えることができる。しかも、このインバータ動作制御回路 18 として、アクティブクランプ制御用の特別な機能を具備しない通常の擬似共振フライバック用の制御 IC を使用することも可能である。

40

【0065】

また、半導体の寄生容量やコイル部品の巻線容量等は、部品個々の個体差や環境温度の変動の影響により、比較的大きくばらつくことが想定される。従って、従来のスイッチング電源装置の場合、主スイッチング素子のドレイン・ソース間電圧の自由共振(図 2 における電圧 $Vd16$ 波形の期間 $T5 \sim T7$ に相当)の共振周波数及び振幅が安定せず、主スイッチング素子のスイッチング損失を小さくできないケースがあり得る。しかし、スイッチング電源装置 10 は、上記のアクティブクランプ動作が行われる範囲で、調整コンデンサ 20 をトランス 14 の巻線容量よりも十分大きな容量に設定し、調整コンデンサ 22 を主スイッチング素子 16 のドレイン・ソース間の寄生容量よりも十分大きな容量に設定し、第 1 及び第 2 クランプコンデンサ 34, 36 を寄生コンデンサである並列コンデンサ 4

50

2及び駆動コンデンサ52よりも十分大きな容量に設定すれば、上記の寄生容量等のばらつきを容易に吸収し、電圧 V_{d16} の自由共振の共振周波数や振幅を安定にすることができる。

【0066】

なお、この発明は上記実施形態に限定されるものではない。例えば、スイッチングノイズの発生を防止する目的で、図1に示されていないノイズ対策部品を付加することができる。例えば、上述した本発明の動作を妨げない範囲で、二次巻線14b又は補助巻線14cと並列に、または、整流ダイオード24と並列にスナバ用コンデンサを付加してもよい。その場合、スナバ用コンデンサは、トランス14の巻数比でインピーダンス変換した容量のコンデンサが調整コンデンサ20と並列に接続された、とみなして取り扱うことができる。

10

【0067】

また、インバータ動作制御回路は、主スイッチング素子16のスイッチング周波数を一定に保持する周波数固定型の制御を行うものでもよいし、自励フライバック式のように周波数変動型の制御を行うものであってもよい。また、インバータ制御回路が上記のゼロボルトスイッチングに近い制御を行う場合、主スイッチング素子の両端電圧が一定以下に低下したことを検知する方法は、上記実施形態のスイッチング電源装置10のように、トランス14の補助巻線14cの電圧変化をモニタすることによって間接的に検出する方法に限定するものではない。例えば、主スイッチング素子の両端を直接的にモニタすることによって検出する方法や、整流ダイオードの電流がゼロアンペアになったこと(期間 T_4 が終了したこと)を検知し、その後一定時間が経過したときに電圧 V_{d16} が低下しているとみなす方法など、自由に選択することができる。

20

【符号の説明】

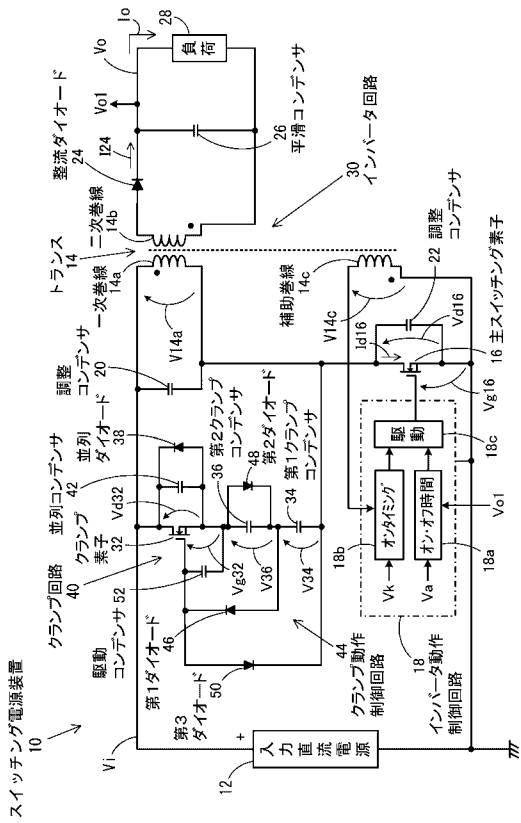
【0068】

- 10 スwitchング電源装置
- 14 トランス
- 14a 一次巻線
- 14b 二次巻線
- 16 主スイッチング素子
- 18 インバータ動作制御回路
- 20, 22 調整コンデンサ
- 24 整流ダイオード
- 26 平滑コンデンサ
- 30 インバータ回路
- 32 クランプ素子
- 34 第1クランプコンデンサ
- 36 第2クランプコンデンサ
- 38 並列ダイオード
- 40 クランプ回路
- 42 並列コンデンサ
- 44 クランプ動作制御回路
- 46 第1ダイオード
- 48 第2ダイオード
- 50 第3ダイオード
- V_a, V_k 基準電圧
- V_{o1} 出力電圧信号

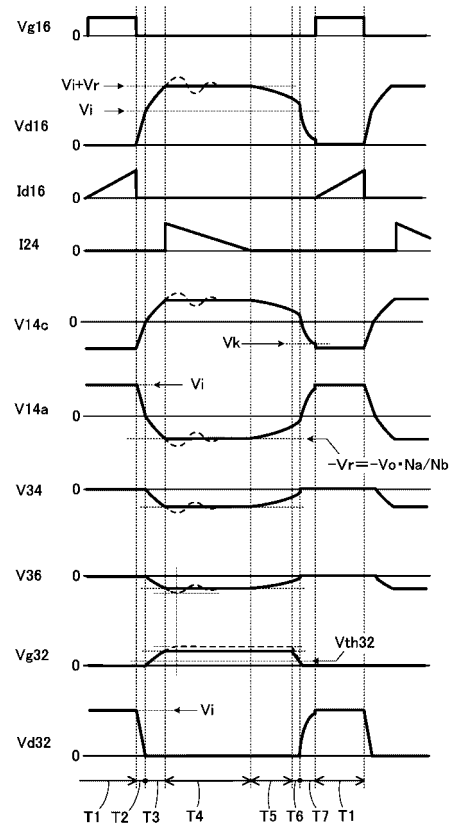
30

40

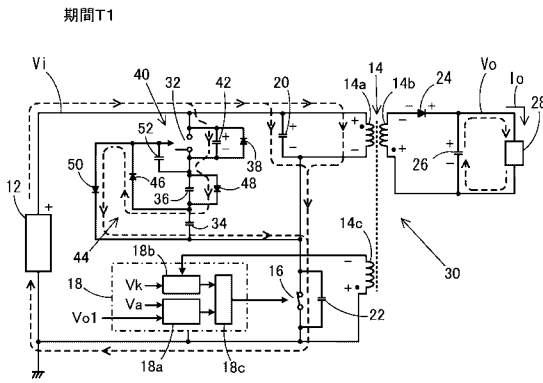
【図1】



【図2】



【図3】



【図4】

