

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019 年 5 月 31 日 (31.05.2019)



(10) 国际公布号
WO 2019/100424 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2017/113532

(22) 国际申请日: 2017 年 11 月 29 日 (29.11.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201711175909.0 2017 年 11 月 22 日 (22.11.2017) CN

(71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖新技术开发区高新大道 666 号光谷生物创新园 C5 栋, Hubei 430000 (CN)。

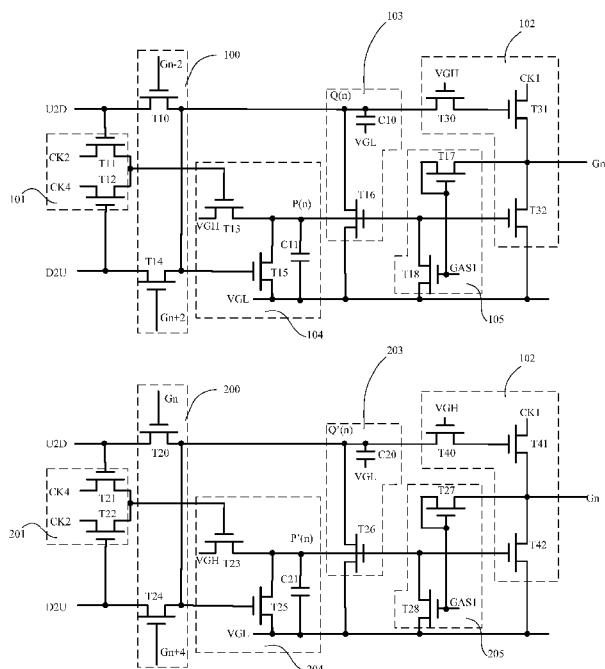
(72) 发明人: 管延庆 (GUAN, Yanqing); 中国湖北省武汉市东湖新技术开发区高新大道 666 号光谷生物创新园 C5 栋, Hubei 430000 (CN)。

(74) 代理人: 深圳汇智容达专利商标事务所 (普通合伙) (SHENZHEN RONDA PATENT AND TRADEMARK LAW OFFICE); 中国广东省深圳市福田区深南中路求是大厦东座 2709-2711, Guangdong 518040 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) Title: GOA CIRCUIT

(54) 发明名称: 一种 GOA 电路



PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

一种 GOA 电路

本申请要求于 2017 年 11 月 22 日提交中国专利局、申请号为 201711175909.0、发明名称为“一种 GOA 电路”的中国专利申请的优先权，上述专利的全部内容通过引用结合在本申请中。

技术领域

本发明涉及显示技术领域，尤其涉及一种 GOA 电路。

背景技术

目前，液晶显示装置作为电子设备的显示部件已经广泛的应用于各种电子产品中，而阵列基板行驱动电路(Gate Driver On Array，简称 GOA)，是利用薄膜晶体管(Thin Film Transistor，TFT)液晶显示器阵列制程将栅极行扫描驱动信号电路制作在阵列基板上，以实现对栅极逐行扫描的驱动方式，具有降低生产成本和实现面板窄边框设计的优点，为多种显示器所使用。

基于低温多晶硅(Low Temperature Poly-silicon，简称 LTPS)技术的显示面板，根据面板内采用的薄膜晶体管(TFT)类型，可以分为 NMOS 型，PMOS 型，以及皆有 NMOS 和 PMOS 型的 CMOS。类似的，GOA 电路分为 NMOS 电路，PMOS 电路以及 CMOS 电路。NMOS 电路相比于 CMOS 电路而言，由于 NMOS 电路省去 PP(P 掺杂，即磷离子掺杂)这一层光罩及工序，对于提高良率以及降低成本都大有裨益，所以开发稳定的 NMOS 电路具有现实的产业需求。

当前大尺寸液晶显示面板已成为行业内发展的主要趋势，随着面板尺寸和栅极驱动行数的增加，GOA 负载也相应增大，因而 GOA 中各 TFT 的尺寸和面板边框会增加，不利于实现液晶显示面板的窄边框，同时负载增大也会使 GOA 模块功耗增加。

同时，当液晶显示面板在异常断电情况下，若 GOA 电路无法有效的实现 All Gate ON(即将 GOA 电路中的所有栅极驱动信号设置为有效电位，以

同时对液晶显示装置进行扫描)功能,当液晶显示面板将出现残影。

发明内容

为解决上述技术问题,本发明提供一种 GOA 电路,可以消除液晶显示面板在异常断电时出现的残影,提高用户体验。

相应地,本发明实施例提供一种 GOA 电路,用于液晶显示面板中,包括级联的多级 GOA 电路重复单元,每一级 GOA 电路重复单元均包括:第一正反向扫描模块 100、第一时钟输入模块 101、第一信号点控制模块 103、第三信号点控制模块 104、第一输出模块 102、第一全局信号作用模块 105、第二正反向扫描模块 200、第二时钟输入模块 201、第二信号点控制模块 203、第四信号点控制模块 204、第二输出模块 202、第二全局信号作用模块 205;其中:

设 n 为正整数,除第一级 GOA 电路重复单元和最后一级 GOA 电路重复单元外,在第 n 级 GOA 电路重复单元中:

所述第一正反向扫描模块 100 与所述第二正反向扫描模块 200,用于根据第一扫描控制信号或第二扫描控制信号控制 GOA 电路进行正向扫描或反向扫描;

所述第一输出模块 102、第二输出模块 202 分别接入第一条时钟信号 CK1,并分别利用所述第一条时钟信号依次输出第 n 条扫描信号 G_n 、第 $n+2$ 条扫描信号 G_{n+2} ;

所述第一时钟输入模块 101,用于输出第二条时钟信号 CK2 或第四条时钟信号 CK4 至所述第三信号点控制模块 104;所述第二时钟输入模块 201 用于输出第四条时钟信号 CK4 或第二条时钟信号 CK2 至所述第四信号点控制模块 204;

所述第一信号点控制模块 103 用于在第 n 级 GOA 电路重复单元作用期间,控制第一信号点 $Q(n)$ 的电平;所述第二信号点控制模块 203 用于在第 n 级 GOA 电路重复单元作用期间,控制第二信号点 $Q'(n)$ 的电平;

所述第三信号点控制模块 104 用于在第 n 级 GOA 电路重复单元作用期间,控制第三信号点 $P(n)$ 的电平;所述第四信号点控制模块 204 用于在第 n

级 GOA 电路重复单元作用期间, 控制第四信号点 $P'(n)$ 的电平;

第一全局信号作用模块 105 和所述第二全局信号作用模块 205, 用于在断电时, 利用第一全局信号 GAS1 实现第 n 级 GOA 电路重复单元中所有扫描信号打开。

其中, 除第一级 GOA 电路重复单元和最后一级 GOA 电路重复单元外, 在第 n 级 GOA 电路重复单元中:

所述第一正反向扫描模块 100 包括: 第十薄膜晶体管 T10 和第十四薄膜晶体管 T14, 所述第十薄膜晶体管的栅极接入上一级第 $n-1$ 级 GOA 电路重复单元输出的第 $n-2$ 条扫描信号 G_{n-2} , 其源极接第一扫描控制信号, 其漏极电连接第一节点 $Q(n)$; 第十四薄膜晶体管 T14 的栅极接入第 n 级 GOA 电路重复单元输出的第 $n+2$ 条扫描信号 G_{n+2} , 其源极接第二扫描控制信号, 其漏极电连接第一节点 $Q(n)$;

所述第二正反向扫描模块 200 包括: 第二十薄膜晶体管 T20 和第二十四薄膜晶体管 T24, 所述第二十薄膜晶体管的栅极接入第 n 级 GOA 电路重复单元输出的第 n 条扫描信号 G_n , 其源极接第一扫描控制信号, 其漏极电连接第二节点 $Q'(n)$; 第二十四薄膜晶体管 T24 的栅极接入下一级第 $n+1$ 级 GOA 电路重复单元输出的第 $n+4$ 条扫描信号 G_{n+4} , 其源极接第二扫描控制信号, 其漏极电连接第二节点 $Q'(n)$ 。

其中, 所述第一正反向扫描模块 100、第一时钟输入模块 101、第一信号点控制模块 103、第一输出模块 102 均电连接于第一信号点 $Q(n)$, 所述第三信号点控制模块 104 和第一全局信号作用模块 105 均电连接于第三信号点 $P(n)$; 所述第二正反向扫描模块 200、第二时钟输入模块 201、第二信号点控制模块 203、第二输出模块 202 均电连接于第二信号点 $Q'(n)$, 所述第四信号点控制模块 204 和第二全局信号作用模块 205 电连接于第四信号点 $P'(n)$ 。

其中, 在第一级 GOA 电路重复单元中, 所述第十薄膜晶体管 T10 的栅极接入电路起始信号 STV;

所述第一级 GOA 电路重复单元进一步包括第十九薄膜晶体管 T19, 所述第十九薄膜晶体管的栅极接入第一级 GOA 电路重复单元输出的第一条扫描信号 G_1 , 其源极连接恒压低电位, 其漏极连接所述第十薄膜晶体管 T10

的栅极。

其中,在最后一级GOA电路重复单元中,所述第二十四薄膜晶体管T24的栅极接入电路起始信号STV;

所述最后一级GOA电路重复单元进一步包括第二十九薄膜晶体管T29,所述第二十九薄膜晶体管的栅极接入最后一级GOA电路重复单元输出的最后一条扫描信号Glast,其源极连接恒压低电位,其漏极连接所述第二十四薄膜晶体管T24的栅极。

其中,所述第一输出模块102包括:第三十薄膜晶体管T30、第三十一薄膜晶体管T31以及第三十二薄膜晶体管T32,所述第三十薄膜晶体管T30源极电连接第一节点Q(n),其栅极连接恒压高电位;所述第三十一薄膜晶体管T31栅极连接所述第三十薄膜晶体管的漏极,其漏极接入第一条时钟信号CK1;所述第三十二薄膜晶体管T30的栅极连接第三节点P(n),其源极连接恒压低电位,其漏极与所述第三十一薄膜晶体管T31的源极相连接,并电连接于第n级GOA电路重复单元输出的第n条扫描信号Gn;

所述第二输出模块202包括:第四十薄膜晶体管T40、第四十一薄膜晶体管T41以及第四十二薄膜晶体管T42,所述第四十薄膜晶体管T40源极电连接第二节点Q'(n),其栅极连接恒压高电位;所述第四十一薄膜晶体管T41栅极连接所述第四十薄膜晶体管的漏极,其漏极接入第一条时钟信号CK1;所述第四十二薄膜晶体管T40的栅极连接第四节点P'(n),其源极连接恒压低电位,其漏极与所述第四十一薄膜晶体管T41的源极相连接,并电连接于第n级GOA电路重复单元输出的第n+2条扫描信号Gn+2。

其中,所述第一时钟输入模块101包括:第十一薄膜晶体管T11、第十二薄膜晶体管T12,所述第十一薄膜晶体管T11的栅极接入第一扫描控制信号,其漏极接入第二条时钟信号CK2;所述第十二薄膜晶体管T12的栅极接入第二扫描控制信号,其源极接入第四条时钟信号CK4,其漏极连接所述第十一薄膜晶体管T11的源极;

所述第二时钟输入模块201包括:第二十一薄膜晶体管T21、第二十二薄膜晶体管T22,所述第二十一薄膜晶体管T21的栅极接入第一扫描控制信号,其漏极接入第四条时钟信号CK4;所述第二十二薄膜晶体管T22的栅极

接入第二扫描控制信号，其源极接入第二条时钟信号 CK2，其漏极连接所述第二十一薄膜晶体管 T21 的源极。

其中，所述第一信号点控制模块 103 包括第十六薄膜晶体管 T16 及第十电容 C10，所述第十六薄膜晶体管 T16 栅极连接第三信号点 P(n)，其漏极连接第一信号点 Q(n)，其源极连接恒压低电位；所述第十电容 C10 的一端接入恒压低电位，另一端连接第一信号点 Q(n)；

所述第二信号点控制模块 203 包括第二十六薄膜晶体管 T26 及第二十电容 C20，所述第二十六薄膜晶体管 T26 栅极连接第四信号点 P'(n)，其漏极连接第二信号点 Q'(n)，其源极连接恒压低电位；所述第二十电容 C20 的一端接入恒压低电位，另一端连接第二信号点 Q'(n)。

其中，所述第三信号点控制模块 104 包括：第十三薄膜晶体管 T13、第十五薄膜晶体管 T15 以及第十一电容 C11，所述第十三薄膜晶体管 T13 的栅极与所述第十一薄膜晶体管 T11 的源极相连接，其漏极接入恒压高电位，其源极连接第三节点 P(n)；所述第十五薄膜晶体管 T15 的栅极连接第一信号点 Q(n)，其漏极连接恒压低电位，其源极连接第三信号点 P(n)；所述第十一电容 C11 一端连接恒压低电位，另一端连接第三信号点 P(n)；

所述第四信号点控制模块 204 包括：第二十三薄膜晶体管 T23、第二十五薄膜晶体管 T25 以及第二十一电容 C21，所述第二十三薄膜晶体管 T23 的栅极与所述第二十一薄膜晶体管 T21 的源极相连接，其漏极接入恒压高电位，其源极连接第四节点 P'(n)；所述第二十五薄膜晶体管 T25 的栅极连接第二信号点 Q'(n)，其漏极连接恒压低电位，其源极连接第四信号点 P'(n)；所述第二十一电容 C21 一端连接恒压低电位，另一端连接第四信号点 P'(n)。

其中，第一全局信号作用模块 105 包括第十七薄膜晶体管 T17 和第十八薄膜晶体管 T18，所述第十七薄膜晶体管 T17 的栅极与其源极相连接，其漏极连接第 n 级 GOA 电路重复单元的第 n 条扫描信号 Gn；所述第十八薄膜晶体管 T18 的栅极与所述第十七薄膜晶体管 T17 的栅极相连接，并接入第一全局信号 GAS1，其漏极连接第三信号点 P(n)，其源极连接恒压低电位；

第二全局信号作用模块 205 包括第二十七薄膜晶体管 T27 和第二十八薄膜晶体管 T28，所述第二十七薄膜晶体管 T27 的栅极与其源极相连接，其漏

极连接第 n 级 GOA 电路重复单元的第 $n+2$ 条扫描信号 G_{n+2} ; 所述第二十八薄膜晶体管 T28 的栅极与所述第二十七薄膜晶体管 T27 的栅极相连接, 并接入第一全局信号 GAS1, 其漏极连接第四信号点 $P'(n)$, 其源极连接恒压低电位。

其中, 所述所有薄膜晶体管均为 N 沟道的薄膜晶体管。

相应地, 本发明实施例的另一方面, 还提供一种 GOA 电路, 用于液晶显示面板中, 其包括级联的多级 GOA 电路重复单元, 每一级 GOA 电路重复单元均包括: 第一正反向扫描模块 (100)、第一时钟输入模块 (101)、第一信号点控制模块 (103)、第三信号点控制模块 (104)、第一输出模块 (102)、第一全局信号作用模块 (105)、第二正反向扫描模块 (200)、第二时钟输入模块 (201)、第二信号点控制模块 (203)、第四信号点控制模块 (204)、第二输出模块 (202)、第二全局信号作用模块 (205); 其中:

设 n 为正整数, 除第一级 GOA 电路重复单元和最后一级 GOA 电路重复单元外, 在第 n 级 GOA 电路重复单元中:

所述第一正反向扫描模块 (100) 与所述第二正反向扫描模块 (200), 用于根据第一扫描控制信号或第二扫描控制信号控制 GOA 电路进行正向扫描或反向扫描;

所述第一输出模块 (102)、第二输出模块 (202) 分别接入第一条时钟信号 (CK1), 并分别利用所述第一条时钟信号依次输出第 n 条扫描信号 (G_n)、第 $n+2$ 条扫描信号 (G_{n+2});

所述第一时钟输入模块 (101), 用于输出第二条时钟信号 (CK2) 或第四条时钟信号 (CK4) 至所述第三信号点控制模块 (104); 所述第二时钟输入模块 (201) 用于输出第四条时钟信号 (CK4) 或第二条时钟信号 (CK2) 至所述第四信号点控制模块 (204);

所述第一信号点控制模块 (103) 用于在第 n 级 GOA 电路重复单元作用期间, 控制第一信号点 ($Q(n)$) 的电平; 所述第二信号点控制模块 (203) 用于在第 n 级 GOA 电路重复单元作用期间, 控制第二信号点 ($Q'(n)$) 的电平;

所述第三信号点控制模块 (104) 用于在第 n 级 GOA 电路重复单元作用

期间,控制第三信号点($P(n)$)的电平;所述第四信号点控制模块(204)用于在第 n 级GOA电路重复单元作用期间,控制第四信号点($P'(n)$)的电平;

第一全局信号作用模块(105)和所述第二全局信号作用模块(205),用于在断电时,利用第一全局信号($GAS1$)实现第 n 级GOA电路重复单元中所有扫描信号打开;

其中,所述第一全局信号作用模块(105)包括第十七薄膜晶体管($T17$)和第十八薄膜晶体管($T18$),所述第十七薄膜晶体管($T17$)的栅极与其源极相连接,其漏极连接第 n 级GOA电路重复单元的第 n 条扫描信号(G_n);所述第十八薄膜晶体管($T18$)的栅极与所述第十七薄膜晶体管($T17$)的栅极相连接,并接入第一全局信号($GAS1$),其漏极连接第三信号点($P(n)$),其源极连接恒压低电位;

所述第二全局信号作用模块(205)包括第二十七薄膜晶体管($T27$)和第二十八薄膜晶体管($T28$),所述第二十七薄膜晶体管($T27$)的栅极与其源极相连接,其漏极连接第 n 级GOA电路重复单元的第 $n+2$ 条扫描信号(G_{n+2});所述第二十八薄膜晶体管($T28$)的栅极与所述第二十七薄膜晶体管($T27$)的栅极相连接,并接入第一全局信号($GAS1$),其漏极连接第四信号点($P'(n)$),其源极连接恒压低电位。

其中,所述第一正反向扫描模块(100)、第一时钟输入模块(101)、第一信号点控制模块(103)、第一输出模块(102)均电连接于第一信号点($Q(n)$),所述第三信号点控制模块(104)和第一全局信号作用模块(105)均电连接于第三信号点($P(n)$);所述第二正反向扫描模块(200)、第二时钟输入模块(201)、第二信号点控制模块(203)、第二输出模块(202)均电连接于第二信号点($Q'(n)$),所述第四信号点控制模块(204)和第二全局信号作用模块(205)电连接于第四信号点($P'(n)$)。

其中,除第一级GOA电路重复单元和最后一级GOA电路重复单元外,在第 n 级GOA电路重复单元中:

所述第一正反向扫描模块(100)包括:第十薄膜晶体管($T10$)和第十四薄膜晶体管($T14$),所述第十薄膜晶体管的栅极接入上一级第 $n-1$ 级GOA电路重复单元输出的第 $n-2$ 条扫描信号(G_{n-2}),其源极接第一扫描控制信

号, 其漏极电连接第一节点 ($Q(n)$); 第十四薄膜晶体管 ($T14$) 的栅极接入第 n 级 GOA 电路重复单元输出的第 $n+2$ 条扫描信号 (G_{n+2}), 其源极接第二扫描控制信号, 其漏极电连接第一节点 ($Q(n)$);

所述第二正反向扫描模块 (200) 包括: 第二十薄膜晶体管 ($T20$) 和第二十四薄膜晶体管 ($T24$), 所述第二十薄膜晶体管的栅极接入第 n 级 GOA 电路重复单元输出的第 n 条扫描信号 (G_n), 其源极接第一扫描控制信号, 其漏极电连接第二节点 ($Q'(n)$); 第二十四薄膜晶体管 ($T24$) 的栅极接入下一级第 $n+1$ 级 GOA 电路重复单元输出的第 $n+4$ 条扫描信号 (G_{n+4}), 其源极接第二扫描控制信号, 其漏极电连接第二节点 ($Q'(n)$).

其中, 在第一级 GOA 电路重复单元中, 所述第十薄膜晶体管 ($T10$) 的栅极接入电路起始信号 (STV);

所述第一级 GOA 电路重复单元进一步包括第十九薄膜晶体管 ($T19$), 所述第十九薄膜晶体管的栅极接入第一级 GOA 电路重复单元输出的第一条扫描信号 ($G1$), 其源极连接恒压低电位, 其漏极连接所述第十薄膜晶体管 ($T10$) 的栅极。

其中, 在最后一级 GOA 电路重复单元中, 所述第二十四薄膜晶体管 ($T24$) 的栅极接入电路起始信号 (STV);

所述最后一级 GOA 电路重复单元进一步包括第二十九薄膜晶体管 ($T29$), 所述第二十九薄膜晶体管的栅极接入最后一级 GOA 电路重复单元输出的最后一条扫描信号 (G_{last}), 其源极连接恒压低电位, 其漏极连接所述第二十四薄膜晶体管 ($T24$) 的栅极。

其中, 所述第一输出模块 (102) 包括: 第三十薄膜晶体管 ($T30$)、第三十一薄膜晶体管 ($T31$) 以及第三十二薄膜晶体管 ($T32$), 所述第三十薄膜晶体管 ($T30$) 源极电连接第一节点 $Q(n)$, 其栅极连接恒压高电位; 所述第三十一薄膜晶体管 ($T31$) 栅极连接所述第三十薄膜晶体管的漏极, 其漏极接入第一条时钟信号 ($CK1$); 所述第三十二薄膜晶体管 ($T32$) 的栅极连接第三节点 ($P(n)$), 其源极连接恒压低电位, 其漏极与所述第三十一薄膜晶体管 ($T31$) 的源极相连接, 并电连接于第 n 级 GOA 电路重复单元输出的第 n 条扫描信号 (G_n);

所述第二输出模块(202)包括:第四十薄膜晶体管(T40)、第四十一薄膜晶体管(T41)以及第四十二薄膜晶体管(T42),所述第四十薄膜晶体管(T40)源极电连接第二节点($Q'(n)$),其栅极连接恒压高电位;所述第四十一薄膜晶体管(T41)栅极连接所述第四十薄膜晶体管的漏极,其漏极接入第一条时钟信号(CK1);所述第四十二薄膜晶体管(T40)的栅极连接第四节点($P'(n)$),其源极连接恒压低电位,其漏极与所述第四十一薄膜晶体管(T41)的源极相连接,并电连接于第n级GOA电路重复单元输出的第n+2条扫描信号(G_{n+2})。

其中,所述第一时钟输入模块(101)包括:第十一薄膜晶体管(T11)、第十二薄膜晶体管(T12),所述第十一薄膜晶体管(T11)的栅极接入第一扫描控制信号,其漏极接入第二条时钟信号(CK2);所述第十二薄膜晶体管(T12)的栅极接入第二扫描控制信号,其源极接入第四条时钟信号(CK4),其漏极连接所述第十一薄膜晶体管(T11)的源极;

所述第二时钟输入模块(201)包括:第二十一薄膜晶体管(T21)、第二十二薄膜晶体管(T22),所述第二十一薄膜晶体管(T21)的栅极接入第一扫描控制信号,其漏极接入第四条时钟信号(CK4);所述第二十二薄膜晶体管(T22)的栅极接入第二扫描控制信号,其源极接入第二条时钟信号(CK2),其漏极连接所述第二十一薄膜晶体管(T21)的源极。

其中,所述第一信号点控制模块(103)包括第十六薄膜晶体管(T16)及第十电容(C10),所述第十六薄膜晶体管(T16)栅极连接第三信号点($P(n)$),其漏极连接第一信号点($Q(n)$),其源极连接恒压低电位;所述第十电容(C10)的一端接入恒压低电位,另一端连接第一信号点($Q(n)$);

所述第二信号点控制模块(203)包括第二十六薄膜晶体管(T26)及第二十电容(C20),所述第二十六薄膜晶体管(T26)栅极连接第四信号点($P'(n)$),其漏极连接第二信号点($Q'(n)$),其源极连接恒压低电位;所述第二十电容(C20)的一端接入恒压低电位,另一端连接第二信号点($Q'(n)$)。

其中,所述第三信号点控制模块(104)包括:第十三薄膜晶体管(T13)、第十五薄膜晶体管(T15)以及第十一电容(C11),所述第十三薄膜晶体管(T13)的栅极与所述第十一薄膜晶体管(T11)的源极相连接,其漏极接入

恒压高电位，其源极连接第三节点（P(n)）；所述第十五薄膜晶体管（T15）的栅极连接第一信号点（Q(n)），其漏极连接恒压低电位，其源极连接第三信号点（P(n)）；所述第十一电容（C11）一端连接恒压低电位，另一端连接第三信号点（P(n)）；

所述第四信号点控制模块（204）包括：第二十三薄膜晶体管（T23）、第二十五薄膜晶体管（T25）以及第二十一电容（C21），所述第二十三薄膜晶体管（T23）的栅极与所述第二十一薄膜晶体管（T21）的源极相连接，其漏极接入恒压高电位，其源极连接第四节点（P'(n)）；所述第二十五薄膜晶体管（T25）的栅极连接第二信号点（Q'(n)），其漏极连接恒压低电位，其源极连接第四信号点（P'(n)）；所述第二十一电容（C21）一端连接恒压低电位，另一端连接第四信号点（P'(n)）。

实施本发明，具有如下有益效果：

综上所述，本发明通过在每一级 GOA 电路重复单元中设置有第一全局信号作用模块和第二全局信号作用模块，可以在断电时，实现 All Gate ON 功能，可以将液晶显示面板的像素开关完全打开，从而及时释放掉像素电极上的电荷，通过液晶显示面板的数据线（即 Data Line）将像素电极的电荷导走，消除液晶显示面板在断电时出现的残影，同时能消除首尾行的残影，可以提高用户体验。

附图说明

为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 是本发明提供的一种 GOA 电路的一个实施例中第 n 级 GOA 电路重复单元的电路图。

图 2 是本发明提供的一种 GOA 电路的一个实施例第一级 GOA 电路重复单元的部分电路图；

图 3 是本发明提供的一种 GOA 电路的一个实施例最后一级 GOA 电路

重复单元的部分电路图;

图 4 是本发明提供一种 GOA 电路一个实施例中在断电时各信号的时序图。

具体实施方式

下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚完整地描述,显然,所描述的实施例仅仅是本发明的一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动的前提下所获得的所有其它实施例,都属于本发明保护的范围。

在此,还需要说明的是,为了避免因不必要的细节而模糊了本发明,在附图中仅仅示出了与根据本发明的方案密切相关的结构和/或处理步骤,而省略了与本发明关系不大的其他细节。

如图 1 所示,示出了本发明提供的一种 GOA 电路的一个实施例中第 n 级 GOA 电路重复单元的电路图。在该实施例中,所述 GOA 电路用于液晶显示面板中,其包括:第一正反向扫描模块 100、第一时钟输入模块 101、第一信号点控制模块 103、第三信号点控制模块 104、第一输出模块 102、第一全局信号作用模块 105、第二正反向扫描模块 200、第二时钟输入模块 201、第二信号点控制模块 203、第四信号点控制模块 204、第二输出模块 202、第二全局信号作用模块 205; 其中:

所述第一正反向扫描模块 100、第一时钟输入模块 101、第一信号点控制模块 103、第一输出模块 102 均电连接于第一信号点 $Q(n)$,所述第三信号点控制模块 104 和第一全局信号作用模块 105 均电连接于第三信号点 $P(n)$; 所述第二正反向扫描模块 200、第二时钟输入模块 201、第二信号点控制模块 203、第二输出模块 202 均电连接于第二信号点 $Q'(n)$,所述第四信号点控制模块 204 和第二全局信号作用模块 205 电连接于第四信号点 $P'(n)$;

设 n 为正整数,除第一级 GOA 电路重复单元和最后一级 GOA 电路重复单元外,在第 n 级 GOA 电路重复单元中:

所述第一正反向扫描模块 100 与所述第二正反向扫描模块 200,用于根

据第一扫描控制信号或第二扫描控制信号控制 GOA 电路进行正向扫描或反向扫描, 其中所述第一扫描控制信号、第二扫描控制信号相位相反, 可以理解的是, 本发明中的 GOA 电路既可以使用液晶显示面板的正向扫描状态(即第一扫描控制信号 U2D 为高电位, 第二扫描控制信号 D2U 为低电位), 也可以使用反向扫描状态, (即第一扫描控制信号 U2D 为低电位, 第二扫描控制信号 D2U 为高电位)可以实现像素单元的薄膜晶体管逐行打开。

所述第一输出模块 102、第二输出模块 202 分别接入第一条时钟信号 CK1, 并分别利用所述第一条时钟信号依次输出第 n 条扫描信号 G_n 、第 n+2 条扫描信号 G_{n+2} ;

所述第一时钟输入模块 101, 用于输出第二条时钟信号 CK2 或第四条时钟信号 CK4 至所述第三信号点控制模块 104; 所述第二时钟输入模块 201 用于输出第四条时钟信号 CK4 或第二条时钟信号 CK2 至所述第四信号点控制模块 204;

所述第一信号点控制模块 103 用于在第 n 级 GOA 电路重复单元作用期间, 控制第一信号点 $Q(n)$ 的电平, 以控制第一输出模块打开进行扫描信号输出; 所述第二信号点控制模块 203 用于在第 n 级 GOA 电路重复单元作用期间, 控制第二信号点 $Q'(n)$ 的电平, 以控制第二输出模块打开进行扫描信号输出;

所述第三信号点控制模块 104 用于在第 n 级 GOA 电路重复单元作用期间, 控制第三信号点 $P(n)$ 的电平, 具体为在第二条时钟信号 CK2 或第四条时钟信号 CK4 的作用下, 拉低第三信号点 $P(n)$ 的电平; 所述第四信号点控制模块 204 用于在第 n 级 GOA 电路重复单元作用期间, 控制第四信号点 $P'(n)$ 的电平 (如拉低其电平);

第一全局信号作用模块 105 和所述第二全局信号作用模块 205, 用于在断电时, 利用第一全局信号 GAS1 实现第 n 级 GOA 电路重复单元中所有扫描信号打开。

其中, 除第一级 GOA 电路重复单元和最后一级 GOA 电路重复单元外, 在第 n 级 GOA 电路重复单元中:

所述第一正反向扫描模块 100 包括: 第十薄膜晶体管 T10 和第十四薄膜

晶体管 T14, 所述第十薄膜晶体管的栅极接入上一级第 $n-1$ 级 GOA 电路重复单元输出的第 $n-2$ 条扫描信号 G_{n-2} , 其源极接第一扫描控制信号, 其漏极电连接第一节点 $Q(n)$; 第十四薄膜晶体管 T14 的栅极接入第 n 级 GOA 电路重复单元输出的第 $n+2$ 条扫描信号 G_{n+2} , 其源极接第二扫描控制信号, 其漏极电连接第一节点 $Q(n)$;

所述第二正反向扫描模块 200 包括: 第二十薄膜晶体管 T20 和第二十四薄膜晶体管 T24, 所述第二十薄膜晶体管的栅极接入第 n 级 GOA 电路重复单元输出的第 n 条扫描信号 G_n , 其源极接第一扫描控制信号, 其漏极电连接第二节点 $Q'(n)$; 第二十四薄膜晶体管 T24 的栅极接入下一级第 $n+1$ 级 GOA 电路重复单元输出的第 $n+4$ 条扫描信号 G_{n+4} , 其源极接第二扫描控制信号, 其漏极电连接第二节点 $Q'(n)$ 。

其中, 所述第一输出模块 102 包括: 第三十薄膜晶体管 T30、第三十一薄膜晶体管 T31 以及第三十二薄膜晶体管 T32, 所述第三十薄膜晶体管 T30 源极电连接第一节点 $Q(n)$, 其栅极连接恒压高电位; 所述第三十一薄膜晶体管 T31 栅极连接所述第三十薄膜晶体管的漏极, 其漏极接入第一条时钟信号 CK1; 所述第三十二薄膜晶体管 T30 的栅极连接第三节点 $P(n)$, 其源极连接恒压低电位, 其漏极与所述第三十一薄膜晶体管 T31 的源极相连接, 并电连接于第 n 级 GOA 电路重复单元输出的第 n 条扫描信号 G_n ;

所述第二输出模块 202 包括: 第四十薄膜晶体管 T40、第四十一薄膜晶体管 T41 以及第四十二薄膜晶体管 T42, 所述第四十薄膜晶体管 T40 源极电连接第二节点 $Q'(n)$, 其栅极连接恒压高电位; 所述第四十一薄膜晶体管 T41 栅极连接所述第四十薄膜晶体管的漏极, 其漏极接入第一条时钟信号 CK1; 所述第四十二薄膜晶体管 T40 的栅极连接第四节点 $P'(n)$, 其源极连接恒压低电位, 其漏极与所述第四十一薄膜晶体管 T41 的源极相连接, 并电连接于第 n 级 GOA 电路重复单元输出的第 $n+2$ 条扫描信号 G_{n+2} 。

其中, 所述第一时钟输入模块 101 包括: 第十一薄膜晶体管 T11、第十二薄膜晶体管 T12, 所述第十一薄膜晶体管 T11 的栅极接入第一扫描控制信号, 其漏极接入第二条时钟信号 CK2; 所述第十二薄膜晶体管 T12 的栅极接入第二扫描控制信号, 其源极接入第四条时钟信号 CK4, 其漏极连接所述第

十一薄膜晶体管 T11 的源极;

所述第二时钟输入模块 201 包括: 第二十一薄膜晶体管 T21、第二十二薄膜晶体管 T22, 所述第二十一薄膜晶体管 T21 的栅极接入第一扫描控制信号, 其漏极接入第四条时钟信号 CK4; 所述第二十二薄膜晶体管 T22 的栅极接入第二扫描控制信号, 其源极接入第二条时钟信号 CK2, 其漏极连接所述第二十一薄膜晶体管 T21 的源极。

其中, 所述第一信号点控制模块 103 包括第十六薄膜晶体管 T16 及第十电容 C10, 所述第十六薄膜晶体管 T16 栅极连接第三信号点 P(n), 其漏极连接第一信号点 Q(n), 其源极连接恒压低电位; 所述第十电容 C10 的一端接入恒压低电位, 另一端连接第一信号点 Q(n);

所述第二信号点控制模块 203 包括第二十六薄膜晶体管 T26 及第二十电容 C20, 所述第二十六薄膜晶体管 T26 栅极连接第四信号点 P'(n), 其漏极连接第二信号点 Q'(n), 其源极连接恒压低电位; 所述第二十电容 C20 的一端接入恒压低电位, 另一端连接第二信号点 Q'(n)。

其中, 所述第三信号点控制模块 104 包括: 第十三薄膜晶体管 T13、第十五薄膜晶体管 T15 以及第十一电容 C11, 所述第十三薄膜晶体管 T13 的栅极与所述第十一薄膜晶体管 T11 的源极相连接, 其漏极接入恒压高电位, 其源极连接第三节点 P(n); 所述第十五薄膜晶体管 T15 的栅极连接第一信号点 Q(n), 其漏极连接恒压低电位, 其源极连接第三信号点 P(n); 所述第十一电容 C11 一端连接恒压低电位, 另一端连接第三信号点 P(n); 可以理解的是, 第十三薄膜晶体管 T13 的导通与断开受所述第一时钟输入模块 101 所输出时钟信号所控制。

所述第四信号点控制模块 204 包括: 第二十三薄膜晶体管 T23、第二十五薄膜晶体管 T25 以及第二十一电容 C21, 所述第二十三薄膜晶体管 T23 的栅极与所述第二十一薄膜晶体管 T21 的源极相连接, 其漏极接入恒压高电位, 其源极连接第四节点 P'(n); 所述第二十五薄膜晶体管 T25 的栅极连接第二信号点 Q'(n), 其漏极连接恒压低电位, 其源极连接第四信号点 P'(n); 所述第二十一电容 C21 一端连接恒压低电位, 另一端连接第四信号点 P'(n)。可以理解的是, 第二十三薄膜晶体管 T23 的导通与断开受所述第二时钟输入

模块 201 所输出时钟信号所控制。

其中，第一全局信号作用模块 105 包括第十七薄膜晶体管 T17 和第十八薄膜晶体管 T18，所述第十七薄膜晶体管 T17 的栅极与其源极相连接，其漏极连接第 n 级 GOA 电路重复单元的第 n 条扫描信号 G_n ；所述第十八薄膜晶体管 T18 的栅极与所述第十七薄膜晶体管 T17 的栅极相连接，并接入第一全局信号 GAS1，其漏极连接第三信号点 $P(n)$ ，其源极连接恒压低电位；

第二全局信号作用模块 205 包括第二十七薄膜晶体管 T27 和第二十八薄膜晶体管 T28，所述第二十七薄膜晶体管 T27 的栅极与其源极相连接，其漏极连接第 n 级 GOA 电路重复单元的第 $n+2$ 条扫描信号 G_{n+2} ；所述第二十八薄膜晶体管 T28 的栅极与所述第二十七薄膜晶体管 T27 的栅极相连接，并接入第一全局信号 GAS1，其漏极连接第四信号点 $P'(n)$ ，其源极连接恒压低电位。

可以理解的是，在上述的说明中，在一个例子中，所述所有薄膜晶体管均为 N 沟道的薄膜晶体管，且每一薄膜晶体管的漏极和源极可以互换。

如图 2 所示，示出了本发明提供的一种 GOA 电路的一个实施例第一级 GOA 电路重复单元的部分电路图；可以理解的是，在图 2 中仅示出了一部份电路，其另一部分电路与图 1 中下半部分的相同。图 2 所示出的第一级 GOA 电路重复单元与图 1 中示出的第 n 级 GOA 电路重复单元的区别在于，在第一级 GOA 电路重复单元中，所述第十薄膜晶体管 (T10) 的栅极接入电路起始信号 (STV)；

所述第一级 GOA 电路重复单元进一步包括第十九薄膜晶体管 (T19)，所述第十九薄膜晶体管的栅极接入第一级 GOA 电路重复单元输出的第一条扫描信号 (G_1)，其源极连接恒压低电位，其漏极连接所述第十薄膜晶体管 (T10) 的栅极。通过设置该结构，可以在断电时，由于 G_1 处于高电位，从而使薄膜晶体管 T19 导通，从而将电路起始信号 (STV) 的电位下拉，从而使第一级 GOA 电路重复单元的操作环境与其他级 GOA 电路重复单元接近，从而可以避免由于电路起始信号 (STV) 的电位过高而引起的首行残影现象。

图 3 所示，是本发明提供的一种 GOA 电路的一个实施例最后一级 GOA

电路重复单元的部分电路图；可以理解的是，在图 3 中仅示出了一部份电路，其另一部分电路与图 1 中上半部分的相同。图 3 所示出的最后一级 GOA 电路重复单元与图 1 中示出的第 n 级 GOA 电路重复单元的区别在于，在最后一级 GOA 电路重复单元中，所述第二十四薄膜晶体管（T24）的栅极接入电路起始信号（STV）；

所述最后一级 GOA 电路重复单元进一步包括第二十九薄膜晶体管（T29），所述第二十九薄膜晶体管的栅极接入最后一级 GOA 电路重复单元输出的最后一条扫描信号（Glast），其源极连接恒压低电位，其漏极连接所述第二十四薄膜晶体管（T24）的栅极。通过设置该结构，可以在断电时，由于最后一条扫描信号处于高电位，从而使薄膜晶体管 T29 导通，从而将电路起始信号（STV）的电位下拉，从而使最后一级 GOA 电路重复单元的操作环境与其他级 GOA 电路重复单元接近，从而可以避免由于电路起始信号（STV）的电位过高而引起的尾行残影现象。

如图 4 所示，是本发明提供一种 GOA 电路一个实施例中在断电时各信号的时序图。在液晶显示面板断电时，各信号的时序图如图 4 所示，扫描启动信号 STV 和第一全局信号 GAS1 均为高电位（H），第一扫描控制信号 U2D、第二扫描控制信号 D2U、所有时钟信号 CK 均为低电位（L）。此时，在每一级 GOA 电路重复单元中，在第一全局信号作用模块 105 中，由于 GAS1 为高电位，则薄膜晶体管 T18、T17 均处于导通状态，使第三信号点 P(n) 的电平下拉至低电位，薄膜晶体管 T16、T32 均处于截止状态；而由于薄膜晶体管 T17 导通，故其漏极的电平处于高电位，从而使扫描信号 Gn 打开；同理，此时扫描信号 Gn+1 也打开；

故，在断电时，在第一全局信号 GAS1 的作用下，可以现 All Gate ON 功能。同时，由于在第一级 GOA 电路重复单元中设置有薄膜晶体管 T19，在最后一级 GOA 电路重复单元中设置有薄膜晶体管 T29，可以消除首尾行的残影现象。

综上所述，本发明通过在每一级 GOA 电路重复单元中设置有第一全局信号作用模块和第二全局信号作用模块，可以在断电时，实现 All Gate ON 功能，可以将液晶显示面板的像素开关完全打开，从而及时释放掉像素电极

上的电荷，通过液晶显示面板的数据线（即 Data Line）将像素电极的电荷导走，消除液晶显示面板在断电时出现的残影，同时能消除首尾行的残影，可以提高用户体验。

需要说明的是，在本文中，诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来，而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且，术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含，从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素，而且还包括没有明确列出的其他要素，或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下，由语句“包括一个……”限定的要素，并不排除在包括所述要素的过程、方法、物品或者设备中还存在另外的相同要素。

以上内容是结合具体的优选实施方式对本发明所作的进一步详细说明，不能认定本发明的具体实施只局限于这些说明。对于本发明所属技术领域的普通技术人员来说，在不脱离本发明构思的前提下，还可以做出若干简单推演或替换，都应当视为属于本发明的保护范围。

权利要求

1、一种 GOA 电路，用于液晶显示面板中，其包括级联的多级 GOA 电路重复单元，每一级 GOA 电路重复单元均包括：第一正反向扫描模块(100)、第一时钟输入模块(101)、第一信号点控制模块(103)、第三信号点控制模块(104)、第一输出模块(102)、第一全局信号作用模块(105)、第二正反向扫描模块(200)、第二时钟输入模块(201)、第二信号点控制模块(203)、第四信号点控制模块(204)、第二输出模块(202)、第二全局信号作用模块(205)；其中：

设 n 为正整数，除第一级 GOA 电路重复单元和最后一级 GOA 电路重复单元外，在第 n 级 GOA 电路重复单元中：

所述第一正反向扫描模块(100)与所述第二正反向扫描模块(200)，用于根据第一扫描控制信号或第二扫描控制信号控制 GOA 电路进行正向扫描或反向扫描；

所述第一输出模块(102)、第二输出模块(202)分别接入第一条时钟信号(CK1)，并分别利用所述第一条时钟信号依次输出第 n 条扫描信号(G_n)、第 $n+2$ 条扫描信号(G_{n+2})；

所述第一时钟输入模块(101)，用于输出第二条时钟信号(CK2)或第四条时钟信号(CK4)至所述第三信号点控制模块(104)；所述第二时钟输入模块(201)用于输出第四条时钟信号(CK4)或第二条时钟信号(CK2)至所述第四信号点控制模块(204)；

所述第一信号点控制模块(103)用于在第 n 级 GOA 电路重复单元作用期间，控制第一信号点($Q(n)$)的电平；所述第二信号点控制模块(203)用于在第 n 级 GOA 电路重复单元作用期间，控制第二信号点($Q'(n)$)的电平；

所述第三信号点控制模块(104)用于在第 n 级 GOA 电路重复单元作用期间，控制第三信号点($P(n)$)的电平；所述第四信号点控制模块(204)用于在第 n 级 GOA 电路重复单元作用期间，控制第四信号点($P'(n)$)的电平；

第一全局信号作用模块(105)和所述第二全局信号作用模块(205)，用于在断电时，利用第一全局信号($GAS1$)实现第 n 级 GOA 电路重复单元

中所有扫描信号打开。

2、如权利要求 1 所述的电路，其中，所述第一正反向扫描模块（100）、第一时钟输入模块（101）、第一信号点控制模块（103）、第一输出模块（102）均电连接于第一信号点（ $Q(n)$ ），所述第三信号点控制模块（104）和第一全局信号作用模块（105）均电连接于第三信号点（ $P(n)$ ）；所述第二正反向扫描模块（200）、第二时钟输入模块（201）、第二信号点控制模块（203）、第二输出模块（202）均电连接于第二信号点（ $Q'(n)$ ），所述第四信号点控制模块（204）和第二全局信号作用模块（205）电连接于第四信号点（ $P'(n)$ ）。

3、如权利要求 2 所述的电路，其中，除第一级 GOA 电路重复单元和最后一级 GOA 电路重复单元外，在第 n 级 GOA 电路重复单元中：

所述第一正反向扫描模块（100）包括：第十薄膜晶体管（T10）和第十四薄膜晶体管（T14），所述第十薄膜晶体管的栅极接入上一级第 $n-1$ 级 GOA 电路重复单元输出的第 $n-2$ 条扫描信号（ G_{n-2} ），其源极接第一扫描控制信号，其漏极电连接第一节点（ $Q(n)$ ）；第十四薄膜晶体管（T14）的栅极接入第 n 级 GOA 电路重复单元输出的第 $n+2$ 条扫描信号（ G_{n+2} ），其源极接第二扫描控制信号，其漏极电连接第一节点（ $Q(n)$ ）；

所述第二正反向扫描模块（200）包括：第二十薄膜晶体管（T20）和第二十四薄膜晶体管（T24），所述第二十薄膜晶体管的栅极接入第 n 级 GOA 电路重复单元输出的第 n 条扫描信号（ G_n ），其源极接第一扫描控制信号，其漏极电连接第二节点（ $Q'(n)$ ）；第二十四薄膜晶体管（T24）的栅极接入下一级第 $n+1$ 级 GOA 电路重复单元输出的第 $n+4$ 条扫描信号（ G_{n+4} ），其源极接第二扫描控制信号，其漏极电连接第二节点（ $Q'(n)$ ）。

4、如权利要求 3 所述的 GOA 电路，其中，在第一级 GOA 电路重复单元中，所述第十薄膜晶体管（T10）的栅极接入电路起始信号（STV）；

所述第一级 GOA 电路重复单元进一步包括第十九薄膜晶体管（T19），所述第十九薄膜晶体管的栅极接入第一级 GOA 电路重复单元输出的第一条

扫描信号 (G1), 其源极连接恒压低电位, 其漏极连接所述第十薄膜晶体管 (T10) 的栅极。

5、如权利要求 3 所述的 GOA 电路, 其中, 在最后一级 GOA 电路重复单元中, 所述第二十四薄膜晶体管 (T24) 的栅极接入电路起始信号 (STV);

所述最后一级 GOA 电路重复单元进一步包括第二十九薄膜晶体管 (T29), 所述第二十九薄膜晶体管的栅极接入最后一级 GOA 电路重复单元输出的最后一条扫描信号 (Glast), 其源极连接恒压低电位, 其漏极连接所述第二十四薄膜晶体管 (T24) 的栅极。

6、如权利要求 5 所述的 GOA 电路, 其中, 所述第一输出模块 (102) 包括: 第三十薄膜晶体管 (T30)、第三十一薄膜晶体管 (T31) 以及第三十二薄膜晶体管 (T32), 所述第三十薄膜晶体管 (T30) 源极电连接第一节点 Q(n), 其栅极连接恒压高电位; 所述第三十一薄膜晶体管 (T31) 栅极连接所述第三十薄膜晶体管的漏极, 其漏极接入第一条时钟信号 (CK1); 所述第三十二薄膜晶体管 (T30) 的栅极连接第三节点 (P(n)), 其源极连接恒压低电位, 其漏极与所述第三十一薄膜晶体管 (T31) 的源极相连接, 并电连接于第 n 级 GOA 电路重复单元输出的第 n 条扫描信号 (Gn);

所述第二输出模块 (202) 包括: 第四十薄膜晶体管 (T40)、第四十一薄膜晶体管 (T41) 以及第四十二薄膜晶体管 (T42), 所述第四十薄膜晶体管 (T40) 源极电连接第二节点 (Q'(n)), 其栅极连接恒压高电位; 所述第四十一薄膜晶体管 (T41) 栅极连接所述第四十薄膜晶体管的漏极, 其漏极接入第一条时钟信号 (CK1); 所述第四十二薄膜晶体管 (T40) 的栅极连接第四节点 (P'(n)), 其源极连接恒压低电位, 其漏极与所述第四十一薄膜晶体管 (T41) 的源极相连接, 并电连接于第 n 级 GOA 电路重复单元输出的第 n+2 条扫描信号 (Gn+2)。

7、如权利要求 6 所述的 GOA 电路, 其中, 所述第一时钟输入模块 (101) 包括: 第十一薄膜晶体管 (T11)、第十二薄膜晶体管 (T12), 所述第十一薄

膜晶体管 (T11) 的栅极接入第一扫描控制信号, 其漏极接入第二条时钟信号 (CK2); 所述第十二薄膜晶体管 (T12) 的栅极接入第二扫描控制信号, 其源极接入第四条时钟信号 (CK4), 其漏极连接所述第十一薄膜晶体管 (T11) 的源极;

所述第二时钟输入模块 (201) 包括: 第二十一薄膜晶体管 (T21)、第二十二薄膜晶体管 (T22), 所述第二十一薄膜晶体管 (T21) 的栅极接入第一扫描控制信号, 其漏极接入第四条时钟信号 (CK4); 所述第二十二薄膜晶体管 (T22) 的栅极接入第二扫描控制信号, 其源极接入第二条时钟信号 (CK2), 其漏极连接所述第二十一薄膜晶体管 (T21) 的源极。

8、如权利要求 7 所述的 GOA 电路, 其中, 所述第一信号点控制模块 (103) 包括第十六薄膜晶体管 (T16) 及第十电容 (C10), 所述第十六薄膜晶体管 (T16) 栅极连接第三信号点 (P(n)), 其漏极连接第一信号点 (Q(n)), 其源极连接恒压低电位; 所述第十电容 (C10) 的一端接入恒压低电位, 另一端连接第一信号点 (Q(n));

所述第二信号点控制模块 (203) 包括第二十六薄膜晶体管 (T26) 及第二十电容 (C20), 所述第二十六薄膜晶体管 (T26) 栅极连接第四信号点 (P'(n)), 其漏极连接第二信号点 (Q'(n)), 其源极连接恒压低电位; 所述第二十电容 (C20) 的一端接入恒压低电位, 另一端连接第二信号点 (Q'(n))。

9、如权利要求 8 所述的 GOA 电路, 其中, 所述第三信号点控制模块 (104) 包括: 第十三薄膜晶体管 (T13)、第十五薄膜晶体管 (T15) 以及第十一电容 (C11), 所述第十三薄膜晶体管 (T13) 的栅极与所述第十一薄膜晶体管 (T11) 的源极相连接, 其漏极接入恒压高电位, 其源极连接第三节点 (P(n)); 所述第十五薄膜晶体管 (T15) 的栅极连接第一信号点 (Q(n)), 其漏极连接恒压低电位, 其源极连接第三信号点 (P(n)); 所述第十一电容 (C11) 一端连接恒压低电位, 另一端连接第三信号点 (P(n));

所述第四信号点控制模块 (204) 包括: 第二十三薄膜晶体管 (T23)、第二十五薄膜晶体管 (T25) 以及第二十一电容 (C21), 所述第二十三薄膜

晶体管 (T23) 的栅极与所述第二十一薄膜晶体管 (T21) 的源极相连接, 其漏极接入恒压高电位, 其源极连接第四节点 ($P'(n)$); 所述第二十五薄膜晶体管 (T25) 的栅极连接第二信号点 ($Q'(n)$), 其漏极连接恒压低电位, 其源极连接第四信号点 ($P'(n)$); 所述第二十一电容 (C21) 一端连接恒压低电位, 另一端连接第四信号点 ($P'(n)$)。

10、如权利要求 9 所述的 GOA 电路, 其中, 第一全局信号作用模块 (105) 包括第十七薄膜晶体管 (T17) 和第十八薄膜晶体管 (T18), 所述第十七薄膜晶体管 (T17) 的栅极与其源极相连接, 其漏极连接第 n 级 GOA 电路重复单元的第 n 条扫描信号 (G_n); 所述第十八薄膜晶体管 (T18) 的栅极与所述第十七薄膜晶体管 (T17) 的栅极相连接, 并接入第一全局信号 ($GAS1$), 其漏极连接第三信号点 ($P(n)$), 其源极连接恒压低电位;

第二全局信号作用模块 (205) 包括第二十七薄膜晶体管 (T27) 和第二十八薄膜晶体管 (T28), 所述第二十七薄膜晶体管 (T27) 的栅极与其源极相连接, 其漏极连接第 n 级 GOA 电路重复单元的第 $n+2$ 条扫描信号 (G_{n+2}); 所述第二十八薄膜晶体管 (T28) 的栅极与所述第二十七薄膜晶体管 (T27) 的栅极相连接, 并接入第一全局信号 ($GAS1$), 其漏极连接第四信号点 ($P'(n)$), 其源极连接恒压低电位。

11、如权利要求 10 所述的 GOA 电路, 其中, 所述所有薄膜晶体管均为 N 沟道的薄膜晶体管。

12、一种 GOA 电路, 用于液晶显示面板中, 其中, 包括级联的多级 GOA 电路重复单元, 每一级 GOA 电路重复单元均包括: 第一正反向扫描模块 (100)、第一时钟输入模块 (101)、第一信号点控制模块 (103)、第三信号点控制模块 (104)、第一输出模块 (102)、第一全局信号作用模块 (105)、第二正反向扫描模块 (200)、第二时钟输入模块 (201)、第二信号点控制模块 (203)、第四信号点控制模块 (204)、第二输出模块 (202)、第二全局信号作用模块 (205); 其中:

设 n 为正整数, 除第一级 GOA 电路重复单元和最后一级 GOA 电路重

复单元外, 在第 n 级 GOA 电路重复单元中:

所述第一正反向扫描模块 (100) 与所述第二正反向扫描模块 (200), 用于根据第一扫描控制信号或第二扫描控制信号控制 GOA 电路进行正向扫描或反向扫描;

所述第一输出模块 (102)、第二输出模块 (202) 分别接入第一条时钟信号 (CK1), 并分别利用所述第一条时钟信号依次输出第 n 条扫描信号 (G_n)、第 $n+2$ 条扫描信号 (G_{n+2});

所述第一时钟输入模块 (101), 用于输出第二条时钟信号 (CK2) 或第四条时钟信号 (CK4) 至所述第三信号点控制模块 (104); 所述第二时钟输入模块 (201) 用于输出第四条时钟信号 (CK4) 或第二条时钟信号 (CK2) 至所述第四信号点控制模块 (204);

所述第一信号点控制模块 (103) 用于在第 n 级 GOA 电路重复单元作用期间, 控制第一信号点 ($Q(n)$) 的电平; 所述第二信号点控制模块 (203) 用于在第 n 级 GOA 电路重复单元作用期间, 控制第二信号点 ($Q'(n)$) 的电平;

所述第三信号点控制模块 (104) 用于在第 n 级 GOA 电路重复单元作用期间, 控制第三信号点 ($P(n)$) 的电平; 所述第四信号点控制模块 (204) 用于在第 n 级 GOA 电路重复单元作用期间, 控制第四信号点 ($P'(n)$) 的电平;

第一全局信号作用模块 (105) 和所述第二全局信号作用模块 (205), 用于在断电时, 利用第一全局信号 (GAS1) 实现第 n 级 GOA 电路重复单元中所有扫描信号打开;

其中, 所述第一全局信号作用模块 (105) 包括第十七薄膜晶体管 (T17) 和第十八薄膜晶体管 (T18), 所述第十七薄膜晶体管 (T17) 的栅极与其源极相连接, 其漏极连接第 n 级 GOA 电路重复单元的第 n 条扫描信号 (G_n); 所述第十八薄膜晶体管 (T18) 的栅极与所述第十七薄膜晶体管 (T17) 的栅极相连接, 并接入第一全局信号 (GAS1), 其漏极连接第三信号点 ($P(n)$), 其源极连接恒压低电位;

所述第二全局信号作用模块 (205) 包括第二十七薄膜晶体管 (T27) 和第二十八薄膜晶体管 (T28), 所述第二十七薄膜晶体管 (T27) 的栅极与其

源极相连接, 其漏极连接第 n 级 GOA 电路重复单元的第 $n+2$ 条扫描信号 (G_{n+2}); 所述第二十八薄膜晶体管 (T28) 的栅极与所述第二十七薄膜晶体管 (T27) 的栅极相连接, 并接入第一全局信号 (GAS1), 其漏极连接第四信号点 ($P'(n)$), 其源极连接恒压低电位。

13、如权利要求 12 所述的电路, 其中, 所述第一正反向扫描模块 (100)、第一时钟输入模块 (101)、第一信号点控制模块 (103)、第一输出模块 (102) 均电连接于第一信号点 ($Q(n)$), 所述第三信号点控制模块 (104) 和第一全局信号作用模块 (105) 均电连接于第三信号点 ($P(n)$); 所述第二正反向扫描模块 (200)、第二时钟输入模块 (201)、第二信号点控制模块 (203)、第二输出模块 (202) 均电连接于第二信号点 ($Q'(n)$), 所述第四信号点控制模块 (204) 和第二全局信号作用模块 (205) 电连接于第四信号点 ($P'(n)$)。

14、如权利要求 12 所述的电路, 其中, 除第一级 GOA 电路重复单元和最后一级 GOA 电路重复单元外, 在第 n 级 GOA 电路重复单元中:

所述第一正反向扫描模块 (100) 包括: 第十薄膜晶体管 (T10) 和第十四薄膜晶体管 (T14), 所述第十薄膜晶体管的栅极接入上一级第 $n-1$ 级 GOA 电路重复单元输出的第 $n-2$ 条扫描信号 (G_{n-2}), 其源极接第一扫描控制信号, 其漏极电连接第一节点 ($Q(n)$); 第十四薄膜晶体管 (T14) 的栅极接入第 n 级 GOA 电路重复单元输出的第 $n+2$ 条扫描信号 (G_{n+2}), 其源极接第二扫描控制信号, 其漏极电连接第一节点 ($Q(n)$);

所述第二正反向扫描模块 (200) 包括: 第二十薄膜晶体管 (T20) 和第二十四薄膜晶体管 (T24), 所述第二十薄膜晶体管的栅极接入第 n 级 GOA 电路重复单元输出的第 n 条扫描信号 (G_n), 其源极接第一扫描控制信号, 其漏极电连接第二节点 ($Q'(n)$); 第二十四薄膜晶体管 (T24) 的栅极接入下一级第 $n+1$ 级 GOA 电路重复单元输出的第 $n+4$ 条扫描信号 (G_{n+4}), 其源极接第二扫描控制信号, 其漏极电连接第二节点 ($Q'(n)$)。

15、如权利要求 12 所述的 GOA 电路, 其中, 在第一级 GOA 电路重复

单元中, 所述第十薄膜晶体管 (T10) 的栅极接入电路起始信号 (STV);

所述第一级 GOA 电路重复单元进一步包括第十九薄膜晶体管 (T19), 所述第十九薄膜晶体管的栅极接入第一级 GOA 电路重复单元输出的第一条扫描信号 (G1), 其源极连接恒压低电位, 其漏极连接所述第十薄膜晶体管 (T10) 的栅极。

16、如权利要求 12 所述的 GOA 电路, 其中, 在最后一级 GOA 电路重复单元中, 所述第二十四薄膜晶体管 (T24) 的栅极接入电路起始信号 (STV);

所述最后一级 GOA 电路重复单元进一步包括第二十九薄膜晶体管 (T29), 所述第二十九薄膜晶体管的栅极接入最后一级 GOA 电路重复单元输出的最后一条扫描信号 (Glast), 其源极连接恒压低电位, 其漏极连接所述第二十四薄膜晶体管 (T24) 的栅极。

17、如权利要求 12 所述的 GOA 电路, 其中, 所述第一输出模块 (102) 包括: 第三十薄膜晶体管 (T30)、第三十一薄膜晶体管 (T31) 以及第三十二薄膜晶体管 (T32), 所述第三十薄膜晶体管 (T30) 源极电连接第一节点 Q(n), 其栅极连接恒压高电位; 所述第三十一薄膜晶体管 (T31) 栅极连接所述第三十薄膜晶体管的漏极, 其漏极接入第一条时钟信号 (CK1); 所述第三十二薄膜晶体管 (T30) 的栅极连接第三节点 (P(n)), 其源极连接恒压低电位, 其漏极与所述第三十一薄膜晶体管 (T31) 的源极相连接, 并电连接于第 n 级 GOA 电路重复单元输出的第 n 条扫描信号 (Gn);

所述第二输出模块 (202) 包括: 第四十薄膜晶体管 (T40)、第四十一薄膜晶体管 (T41) 以及第四十二薄膜晶体管 (T42), 所述第四十薄膜晶体管 (T40) 源极电连接第二节点 (Q'(n)), 其栅极连接恒压高电位; 所述第四十一薄膜晶体管 (T41) 栅极连接所述第四十薄膜晶体管的漏极, 其漏极接入第一条时钟信号 (CK1); 所述第四十二薄膜晶体管 (T40) 的栅极连接第四节点 (P'(n)), 其源极连接恒压低电位, 其漏极与所述第四十一薄膜晶体管 (T41) 的源极相连接, 并电连接于第 n 级 GOA 电路重复单元输出的第 n+2 条扫描信号 (Gn+2)。

18、如权利要求 12 所述的 GOA 电路,其中,所述第一时钟输入模块(101)包括:第十一薄膜晶体管(T11)、第十二薄膜晶体管(T12),所述第十一薄膜晶体管(T11)的栅极接入第一扫描控制信号,其漏极接入第二条时钟信号(CK2);所述第十二薄膜晶体管(T12)的栅极接入第二扫描控制信号,其源极接入第四条时钟信号(CK4),其漏极连接所述第十一薄膜晶体管(T11)的源极;

所述第二时钟输入模块(201)包括:第二十一薄膜晶体管(T21)、第二十二薄膜晶体管(T22),所述第二十一薄膜晶体管(T21)的栅极接入第一扫描控制信号,其漏极接入第四条时钟信号(CK4);所述第二十二薄膜晶体管(T22)的栅极接入第二扫描控制信号,其源极接入第二条时钟信号(CK2),其漏极连接所述第二十一薄膜晶体管(T21)的源极。

19、如权利要求 12 所述的 GOA 电路,其中,所述第一信号点控制模块(103)包括第十六薄膜晶体管(T16)及第十电容(C10),所述第十六薄膜晶体管(T16)栅极连接第三信号点(P(n)),其漏极连接第一信号点(Q(n)),其源极连接恒压低电位;所述第十电容(C10)的一端接入恒压低电位,另一端连接第一信号点(Q(n));

所述第二信号点控制模块(203)包括第二十六薄膜晶体管(T26)及第二十电容(C20),所述第二十六薄膜晶体管(T26)栅极连接第四信号点(P'(n)),其漏极连接第二信号点(Q'(n)),其源极连接恒压低电位;所述第二十电容(C20)的一端接入恒压低电位,另一端连接第二信号点(Q'(n))。

20、如权利要求 12 所述的 GOA 电路,其中,所述第三信号点控制模块(104)包括:第十三薄膜晶体管(T13)、第十五薄膜晶体管(T15)以及第十一电容(C11),所述第十三薄膜晶体管(T13)的栅极与所述第十一薄膜晶体管(T11)的源极相连接,其漏极接入恒压高电位,其源极连接第三节点(P(n));所述第十五薄膜晶体管(T15)的栅极连接第一信号点(Q(n)),其漏极连接恒压低电位,其源极连接第三信号点(P(n));所述第十一电容

(C11) 一端连接恒压低电位, 另一端连接第三信号点 (P(n));

所述第四信号点控制模块 (204) 包括: 第二十三薄膜晶体管 (T23)、第二十五薄膜晶体管 (T25) 以及第二十一电容 (C21), 所述第二十三薄膜晶体管 (T23) 的栅极与所述第二十一薄膜晶体管 (T21) 的源极相连接, 其漏极接入恒压高电位, 其源极连接第四节点 (P'(n)); 所述第二十五薄膜晶体管 (T25) 的栅极连接第二信号点 (Q'(n)), 其漏极连接恒压低电位, 其源极连接第四信号点 (P'(n)); 所述第二十一电容 (C21) 一端连接恒压低电位, 另一端连接第四信号点 (P'(n))。

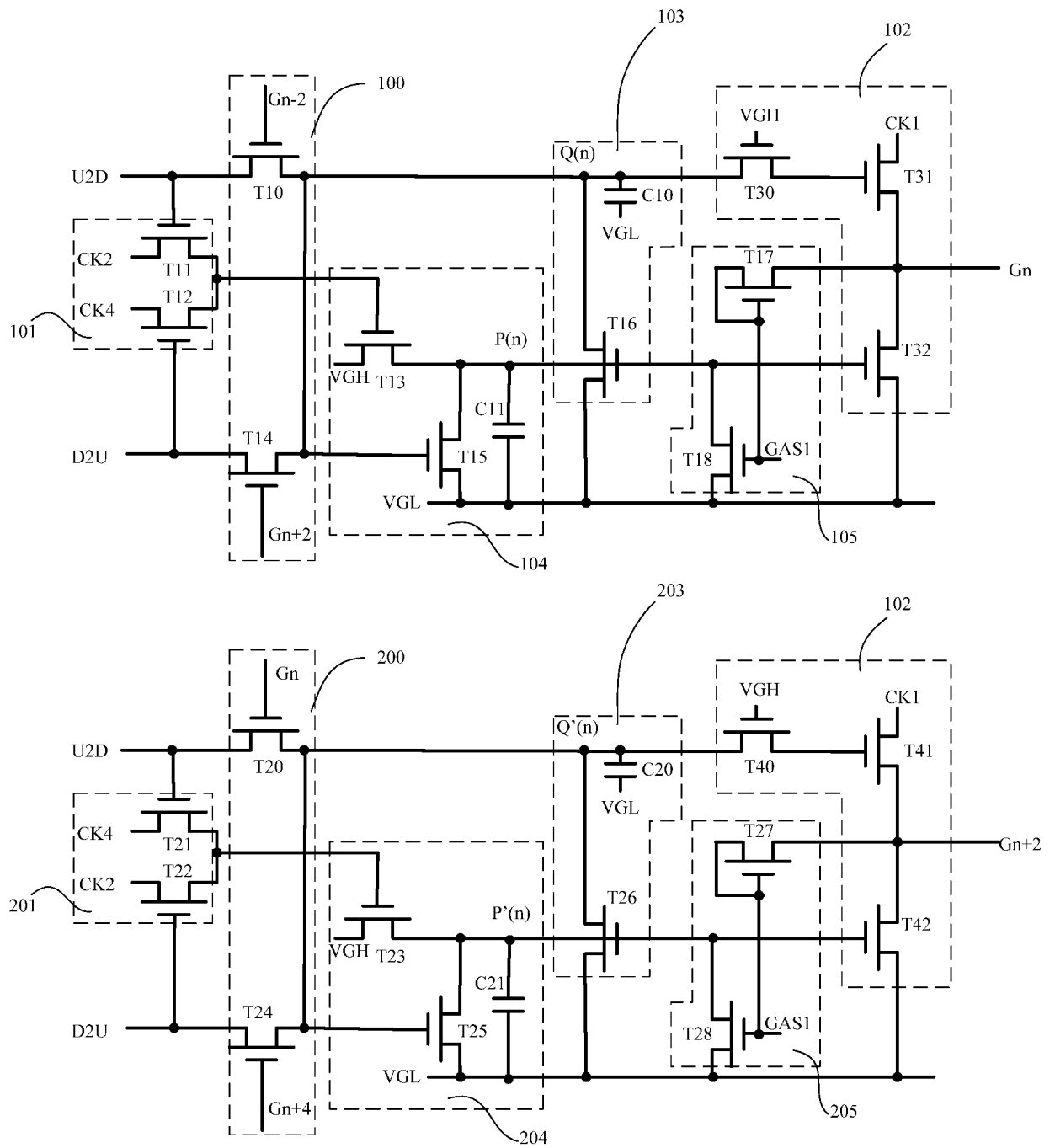


图 1

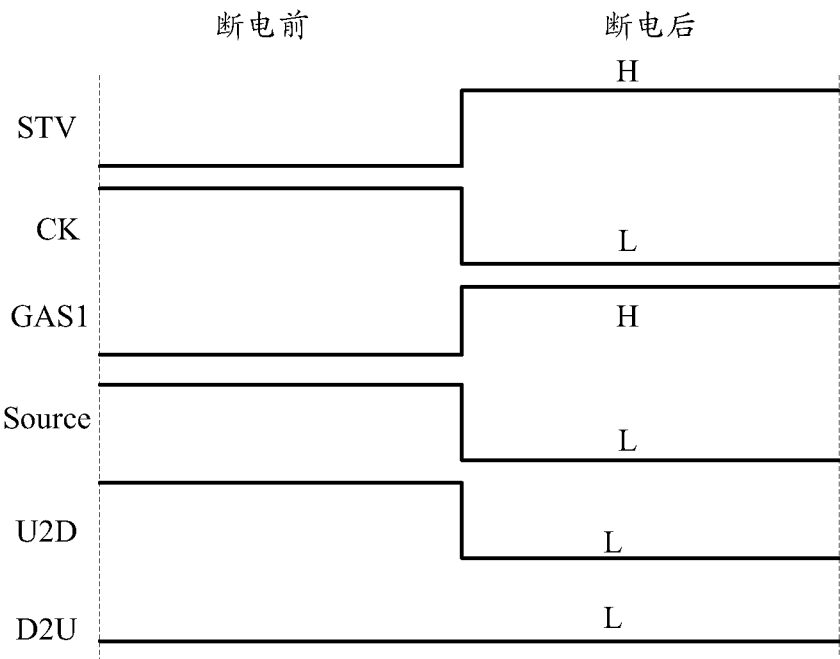


图 4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2017/113532

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, SIPOABS, VEN, CNKI: 闸极驱动电路基板, 薄膜晶体管, 控制, 信号点, 全局信号, 重复, 时钟, 输入, 扫描, GOA, gate on array, TFT, control, signal point, global signal, repeat, clock, input, scan

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 105070263 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.; WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 18 November 2015 (2015-11-18) claim 1	1-20
A	CN 103208264 A (AU OPTRONICS CORP. ET AL.) 17 July 2013 (2013-07-17) entire document	1-20
A	CN 105206237 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 30 December 2015 (2015-12-30) entire document	1-20
A	US 2017270886 A1 (SHENZHEN CHINA STAR OPTOELECT) 21 September 2017 (2017-09-21) entire document	1-20

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

16 August 2018

Date of mailing of the international search report

29 August 2018

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2017/113532

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	105070263	A	18 November 2015	US	9761194	B2	12 September 2017
				CN	105070263	B	27 June 2017
				US	2017162153	A1	08 June 2017
				WO	2017035907	A1	09 March 2017
CN	103208264	A	17 July 2013	None			
CN	105206237	A	30 December 2015	US	2017102805	A1	13 April 2017
				CN	105206237	B	27 April 2018
				US	9632611	B1	25 April 2017
US	2017270886	A1	21 September 2017	US	9934749	B2	03 April 2018

国际检索报告

国际申请号

PCT/CN2017/113532

A. 主题的分类

G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G 3/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, CNTXT, SIPOABS, VEN, CNKI: 闸极驱动电路基板, 薄膜晶体管, 控制, 信号点, 全局信号, 重复, 时钟, 输入, 扫描, GOA, gate on array, TFT, control, signal point, global signal, repeat, clock, input, scan

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 105070263 A (深圳市华星光电技术有限公司 武汉华星光电技术有限公司) 2015年 11月 18日 (2015 - 11 - 18) 权利要求1	1-20
A	CN 103208264 A (友达光电厦门有限公司等) 2013年 7月 17日 (2013 - 07 - 17) 全文	1-20
A	CN 105206237 A (武汉华星光电技术有限公司) 2015年 12月 30日 (2015 - 12 - 30) 全文	1-20
A	US 2017270886 A1 (SHENZHEN CHINA STAR OPTOELECT) 2017年 9月 21日 (2017 - 09 - 21) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2018年 8月 16日

国际检索报告邮寄日期

2018年 8月 29日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

富瑶

电话号码 62411887

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/113532

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105070263	A	2015年 11月 18日	US	9761194	B2	2017年 9月 12日
				CN	105070263	B	2017年 6月 27日
				US	2017162153	A1	2017年 6月 8日
				WO	2017035907	A1	2017年 3月 9日
CN	103208264	A	2013年 7月 17日	无			
CN	105206237	A	2015年 12月 30日	US	2017102805	A1	2017年 4月 13日
				CN	105206237	B	2018年 4月 27日
				US	9632611	B1	2017年 4月 25日
US	2017270886	A1	2017年 9月 21日	US	9934749	B2	2018年 4月 3日

表 PCT/ISA/210 (同族专利附件) (2015年1月)