



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：有機半導体素子及びそれを備えたCMIS半導体装置 技術分野

[0001] 本発明は、有機半導体素子及びそれを備えたCMIS半導体装置に関するものである。

背景技術

[0002] 有機半導体は、一般にシリコン単結晶半導体に比べ、キャリア移動度の点を除けば、可撓性、軽量性、耐衝撃性、薄型性、低コスト性、大面積性に於いて優位性を有している。特に、面積コストにおいては、面積が大きくなればなるほどその優位性は顕著になる。その為、自発光表示装置、太陽電池などの大面積エレクトロニクスデバイスに向くので産業界の期待は大きい。

[0003] しかし、一方、有機半導体には、それなりのホール移動度を有するものもあるが、大概は単結晶のものであり、有機半導体の特徴である大面積化（大面積に亘って多数の薄膜トランジスタ（以後「Thin Film Transistor：TFT」と記すこともある）を活かしきれない状況にある。

[0004] しかも、有機半導体の場合は、n型半導体・p型半導体という材料ではなく其の殆どが真正（i型）半導体若しくはそれに近いものである。即ち、有機半導体の場合は、シリコン（Si）のような一般的な無機半導体のように不純物を添加（ドーピング）して半導体そのものをn型・p型にしてn型半導体動作・p型半導体動作をさせるものではなく、電極／有機半導体の界面及び絶縁体／有機半導体の界面を制御することによりn型動作・p型動作をさせるようにしているのが実情である。その理由は、無機半導体のように効率よくドーピングして実用に耐えるn型・p型の有機半導体がまだ実現されていないことにある。

[0005] 有機半導体をn型動作・p型動作させるには、次のようなことが考えられ研究レベルでは一部実現している。即ち、p型動作させるためには、選択した有機半導体材料のHOMO(Highest Occupied Molecular Orbital)と出来るだけ整

合するように仕事関数の大きな材料で電極を構成し、該有機半導体材料のHOMOへの正孔注入をしやすいとする。n型動作させるためには、選択した有機半導体材料のLUMO(Lowest Unoccupied Molecular Orbital)と出来るだけ整合するように仕事関数の小さな材料で電極を構成し、該有機半導体材料のLUMOへの電子注入をしやすいとする。

[0006] しかし、大面積化に向く薄膜状（非晶質若しくは多結晶、微結晶）のものとなると、一般に、伝導特性がp型動作のものに比べ、n型動作のものには実用に十分供される移動度（移動度そのものを大きくするのではなく、電極より注入されるキャリア濃度を十分とすることで、キャリア蓄積層にキャリアを十分に蓄積することで、移動度を見掛け上大きくする）を安定的に有するものがないのが実情である。況してや、電子移動度とホール移動度が実用に供される値を有する両極性の材料となると皆無である。そのため、CMOS回路構成に代表されるCMIS回路構成の半導体装置を作成するとすると、p型とn型で材料を別々に選択しなければならず、製造プロセスの煩雑さに加え工数増を招き生産の効率低下とコスト向上という不都合が生ずる。

[0007] その中でも、両極性有機半導体材料の一つであるペンタセンは、有望視されている材料の一つである。しかし、そのキャリア移動度が、ホールの場合は、アモルファスシリコン（以後「A-Si」と略記することもある）並みの $0.1 \sim 1 \text{ cm}^2/\text{Vsec}$ 程度が得られているのに対し、電子の場合は、精々 $0.05 \text{ cm}^2/\text{Vsec}$ 程度と極めて小さい。そのために、消費電力の点で優れているCMOS半導体装置へ適用しようとする、pMOSトランジスタ（以後「pMOSTr」と記すこともある）とnMOSトランジスタ（以後「nMOSTr」と記すこともある）との間で特性上の極端な不整合性が生じ、有機半導体の優位性を十分活かしきれていない。

[0008] この課題を解決するために、ペンタセンからなる活性層領域とゲート絶縁膜の界面に、電子供給層としてCa（カルシウム）（ 2.8 eV ）などの仕事関数の小さい金属層を導入して見掛け上の電子の移動度を向上させる（実際は、活性領域をソース側からドレイン側に流れる電流を増大させる）ことで、ペンタ

センのn型動作特性の改善を図るという報告がある（非特許文献1）。

先行技術文献

非特許文献

[0009] 非特許文献1：Japanese Journal of Applied Physics 51 (2012) 04DK01.

発明の概要

発明が解決しようとする課題

[0010] しかし、Caなどの金属は酸化しやすく、デバイス動作特性及びデバイス製造の生産効率・量産性に課題が存在している。特にカルシウム(Ca)は、空气中で放置すると酸素・水・二酸化炭素と反応して腐食する、殊に水とは激しく反応して水素を発生する、また、ハロゲンとは気相中で直接反応し、ハロゲン化物を生成する、など化学反応性に富むため生産ラインでの取り扱いも煩雑になる傾向にある。

[0011] 本発明は上記点に鑑み鋭意研究することによりなされたものであって、その目的は、有機半導体素子のn型動作特性の改善を図ることにある。

[0012] 本発明のもう一つの目的は、ペンタセンのn型動作特性の改善を図り、ペンタセンを使用するp型動作電子素子と同等以上のn型動作特性を有する有機半導体素子並びにその素子を構成電子素子として備えたCMIS回路構成、特にCMOS回路構成を有する半導体装置を提供することである。

課題を解決するための手段

[0013] 本発明の一つの側面は、ソース電極部、ドレイン電極部、有機半導体の活性層領域、ゲート絶縁膜、ゲート電極部、を備えた有機半導体素子に於いて、前記有機半導体はペンタセンであり、前記活性層領域に接して前記ゲート絶縁膜側に硼化ランタン（以後「LaB₆」と記すこともある）を含む層領域（A）を設けたことを特徴とする有機半導体素子にある（第一の発明）。

[0014] 本発明のもう一つの側面は、上記第一の発明に於いて、前記層領域が窒素を含むことを特徴とする有機半導体素子にある（第二の発明）。

[0015] 本発明の別の側面は、前記第一の発明に於いて、前記ソース電極部は、前

記活性層領域に電氣的に直接接続している硼化ランタンを含む層領域（A）を備えていることを特徴とする有機半導体素子にある（第三の発明）。

[0016] 本発明の別の側面は、ソース電極部、ドレイン電極部、ペントセンの活性層領域、該活性層領域に直接接している、窒素含有硼化ランタン（以後「LaB₆（N）」と記すこともある）を含む層領域（A）、ゲート絶縁膜、ゲート電極部、を備えていることを特徴とする有機半導体素子にある（第四の発明）。

[0017] 本発明の更に別の側面は、前記第一の発明乃至前記第四の発明の中から選択される有機半導体素子であって、前記活性層領域は、ポリビニルフェノールで構成された第一の層と第二の層とに挟持されていることを特徴とする有機半導体素子にある（第五の発明）。

[0018] 本発明のもう一つの側面は、ソース電極部、ドレイン電極部、有機半導体の活性層領域、ゲート絶縁膜、ゲート電極部、を備えた有機半導体素子に於いて、前記活性層領域に接して、前記ゲート絶縁膜側に、前記活性層領域に電子を供給するための硼化ランタンを含む層領域（A）が設けてあることを特徴とするn型動作特性を示す有機半導体素子にある（第六の発明）。

[0019] 本発明の更に別の側面は、CMIS回路構成を備えたCMIS半導体装置において、前記CMIS回路を構成するn型動作の電子素子が、前記第一の発明乃至前記第六の発明の中から選択される有機半導体素子であることを特徴とするCMIS半導体装置にある（第七の発明）。

[0020] 本発明のもう一つ別の側面は、ソース電極部、ドレイン電極部、有機半導体の活性層領域、ゲート絶縁膜、ゲート電極部、を備えた有機半導体素子に於いて、前記ドレイン電極部の前記活性層領域側の少なくとも一部に硼化ランタンを含む層領域が設けてあることを特徴とするp型動作特性を示す有機半導体素子にある（第八の発明）。

発明の効果

[0021] 本発明によれば、デバイス動作特性が高く動作安定性に優れ、デバイス製造の生産効率が高く量産に向けた有機半導体素子及びCMIS半導体装置が得られる。又、本発明によれば、高速で低電圧駆動できる有機半導体素子及びCMI

S半導体装置が得られる。

[0022] 本発明のその他の特徴及び利点は、添付図面を参照とした以下の説明により明らかになるであろう。なお、添付図面においては、同じ若しくは同様の構成には、同じ参照番号を付す。

図面の簡単な説明

[0023] 添付図面は明細書に含まれ、その一部を構成し、本発明の実施の形態を示し、その記述と共に本発明の原理を説明するために用いられる。

[図1]図1は、本発明の好適な実施態様例の一つであるnMOSTrの構造を説明するための模式的構造説明図である。

[図2]図2は、本発明の好適な実施態様例の一つであるCMOS回路構造を備えた半導体装置の構造を説明するための模式的構造説明図である。

[図3]図3は、図2の半導体装置の回路図である。

発明を実施するための形態

[0024] 図1は、本発明の好適な実施態様例の一つであるnMOSTrの構造を説明するための模式的構造説明図である。

[0025] 図1のnMOSTr100は、n型伝導特性を示し、基体101上に、ゲート電極102、ゲート絶縁膜103、有機半導体（好ましくはペンタセン）の活性層領域104、ソース電極領域105、ドレイン電極領域106が、この順で重畳された積層構造を有する。そして、その特徴は、前記活性層領域104に接して該活性層領域104とゲート絶縁膜103に挟持され、硼化ランタン（以後「LaB₆」と記すこともある）を含む層領域(A)107が設けられた構造を有していることである。

[0026] 前記層領域(A)107は、前記nMOSTr100が動作する際、前記活性層領域104に電子を供給して前記活性層領域104の移動度を高める機能を有する。即ち、層領域(A)107は、電子供給層として機能する。硼化ランタン(LaB₆)は、それだけでも低仕事関数の材料であるが、前記活性層領域104の製造プロセス過程で窒素(N)を添加することで仕事関数をより小さくすることができる。

- [0027] 図1のnMOSTr100は、上記の構造が基本構造であるが、更に必要であれば、その目的に応じて、ゲート絶縁膜103と層領域(A)107の間には、第一の界面制御層108が設けられる。更には、ソース電極部105・ドレイン電極部106には、活性層領域104側に、該活性層領域104に直接接して第二の界面制御層109が設けられる。界面制御層108は、ゲート絶縁膜103と活性層領域104との界面の特性向上（特に界面準位の発生抑制の向上）のために必要に応じて設けられる。
- [0028] 界面制御層108、109は、その後の製造プロセスにおけるプロセス温度を考慮して耐熱性の材料で構成するのが望ましい。そのような材料として、本発明に於いて好適に採用される材料には、ポリビニルフェノール（以後、「PVPh」と略記することもある）が挙げられる。
- [0029] ゲート絶縁膜103と活性層領域104との界面の特性は、特にnMOSTr100の閾値電圧の安定化に影響を及ぼすが、界面制御層108を設けることで閾値電圧の安定化を図ることが出来る。特に、界面制御層108を、PVPhの蒸着によって形成すれば、その層厚をピンホールなく極薄化することができ、閾値電圧の安定化と動作電圧の低減化を大幅に図ることが出来る。
- [0030] また、界面制御層109は、ソース電極部105・ドレイン電極部106と活性層領域104との間の界面特性を改善するために必要に応じて設けられる。特に、界面制御層109を蒸着系のPVPhで構成することで、キャリアトラップの元になる界面準位を大いに低減させることが出来るので、本発明に於いては、PVPhの界面制御層109の設定は好ましい態様である。界面制御層109についても、界面制御層108と同様、その後の製造プロセスにおけるプロセス温度を考慮して耐熱性の材料で構成するのが望ましい。
- [0031] 基体101上に設けたゲート電極102の周囲には、ゲート電極102上にゲート絶縁膜103を設けるために、ゲート電極102の上面111と平坦にするために、樹脂などで平坦化領域110（110a、110b）が設けられる。平坦化領域110を樹脂で構成する場合は、その後のプロセス工程で高温処理が適用され易くするために耐熱性樹脂を用いるのが望ましい。

[0032] 本発明に於いて基体 101 としては、様々な材料を用いることが可能であるが、好ましく採用されるのは、耐熱プラスチック、ガラス、金属、セラミックスなどである。その様な材料としては、例えば、石英、青板ガラス、アルカリ金属レスガラス、シリコン（ケイ素）基板、アルミニウム、ステンレス等の金属基板、ガリウムヒ素（GaAs）等の半導体基板、及び熱可塑性又は熱硬化性のプラスチック基板等が用いられる。また、耐熱性がそれ程要求されない（プロセス温度 200℃以下）のであれば、例えば、ポリエチレン、ポリプロピレン、エチレン-プロピレン共重合体、エチレン-酢酸ビニル共重合体（EVA）等のポリオレフィン、環状ポリオレフィン、変性ポリオレフィン、ポリ塩化ビニル、ポリ塩化ビニリデン、ポリスチレン、ポリアミド、ポリイミド、ポリアミドイミド、ポリカーボネート、ポリ（4-メチルベンテン-1）、アイオノマー、アクリル系樹脂、ポリメチルメタクリレート、アクリル-スチレン共重合体（AS樹脂）、ブタジエン-スチレン共重合体、ポリオ共重合体（EVOH）、ポリエチレンテレフタレート、ポリブチレンテレフタレート、ポリエチレンナフタレート、ポリシクロヘキサントレフタレート（PCT）等のポリエステル、ポリエーテル、ポリエーテルケトン、ポリエーテルエーテルケトン、ポリエーテルイミド、ポリアセタール、ポリフェニレンオキシド、変形ポリフェニレンオキシド、ポリアリレート、芳香族ポリエステル（液晶ポリマー）、ポリテトラフルオロエチレン、ポリフッ化ビニリデン、その他フッ素系樹脂、スチレン系、ポリオレフィン系、ポリ塩化ビニル系、ポリウレタン系、フッ素ゴム系、塩素化ポリエチレン系等の各種熱可塑性エラストマー、エポキシ樹脂、フェノール樹脂、ユリア樹脂、メラミン樹脂、不飽和ポリエステル、シリコーン樹脂、ポリウレタン等、またはこれらを主とする共重合体やブレンド体、ポリマーアロイ等がプラスチック基板の材料として挙げられる。また、上記材料のうちの2種以上を積層した複合積層体とした基体も用いることができる。

[0033] ゲート電極 102 を構成する電極材料としては、半導体分野で通常に使用されている材料であれば、大概の材料が採用され得る。

[0034] 図1に示すようなボトムゲートタイプの電界効果トランジスタ（以後「FET」と記す場合もある）の場合は、基体101はある程度以上の耐熱性を要求されるので、設計上の所望の耐熱性に従って材料の選択がなされる。

[0035] 本発明に於いてゲート電極102を構成する電極材料として望ましくは、以下の導電体材料から選択されるのが好ましい。その導電体材料としては、例えば、Cr、Al、Ta、Mo、Nb、Cu、Ag、Au(4.9eV)、Pt、Pd、In、Ni、Nd、Ca、Ti、Ta、Ir、Ru、W、Mo、Ru-Mo合金などの金属及びこれら金属の合金が挙げられる。その他、InO₂、SnO₂、ITO等の導電性の酸化物、TiN、TaNなどの導電性窒化物、ポリアニリン、ポリピロール、ポリチオフェン、またはポリアセチレン等の導電性高分子、グラフェン、カーボンナノチューブ、電荷移動錯体などの分子性導体、それらの積層構造部材が挙げられる。また、上記導電性高分子に塩酸、硫酸、スルホン酸等の酸、PF₆、AsF₅、FeCl₃等のルイス酸、ヨウ素等のハロゲン原子、ナトリウムやカリウム等の金属原子等のドーパントを添加したものをを用いてもよい。更に、カーボンブラックまたは金属粒子を分散した導電性の複合材料を用いてもよい。

[0036] ゲート電極102は、その上に形成される層（又は膜）の平坦性を考慮して電極機能が発揮され、ピンホールが発生しない範囲に於いて出来る限り薄く形成されるのが望ましい。具体的には、通常は100nm以下、好ましくは、50nm以下、より好ましくは、10nm以下の厚さで形成されるのが望ましい。

[0037] 平坦化領域110は、好ましくは、耐熱材料で構成するのが望ましいが、耐熱性がそれ程要求されない（プロセス温度200℃以下）のであれば、平坦化領域110を構成する材料として好ましく選択される材料の選択範囲は、一段と拡大される。

[0038] 平坦化領域110を構成する材料としては、好ましくは、塗膜性に優れた樹脂材料が望ましい。そのような樹脂としては、熱可塑性樹脂、熱硬化性樹脂、光硬化性樹脂の中で溶媒可溶性であれば大概の樹脂が使用できる。具体的には、ポリフェニレンスルフィド（PPS）、ポリアリレート（PAR）、ポリ

サルフォン又はポリスルホン（PSF）、ポリエーテルサルフォン（PES）、ポリエーテルイミド（PEI）、ポリアミドイミド（PAI）、ポリエーテルエーテルケトン（PEEK）、液晶ポリエステル（LCP）、ポリプロピレン（PP）、ポリ塩化ビニリデン（PVDC）、ポリエチレンテレフタレート（PET）、ポリカーボネート（PC）、フッ素樹脂（PTFE）、メラミン樹脂（MF）、フェノール樹脂（PF）、エポキシ樹脂（EP）、不飽和ポリエステル樹脂（UP）、ポリビニルフェノール（PVPh）等が挙げられる。これらの樹脂の中で、耐熱温度が150℃以上もあり、より高い耐熱性をもつ樹脂として、ポリアリレート（PAR）、ポリスルホン（PSF）、ポリフェニレンスルフィド（PPS）、ポリエーテルエーテルケトン（PEEK）、ポリイミド樹脂、フッ素樹脂などが好ましい。ポリアミドイミド（PAI）、ポリエーテルエーテルケトン（PEEK）などは、250℃以上の耐熱性があり、しかも長時間の使用も可能であるので、本発明に於いては、特に好ましい材料である。この他、ピンホールなく超極薄化膜の形成ができるポリビニルフェノール（PVPh）も、本発明に於いて特に好ましい材料である。平坦化領域110は樹脂で構成される他、酸化シリコン（SiO₂）、窒化シリコン（Si₃N₄）、酸窒化シリコン（SiN₀）、炭窒化シリコン（SiCN）などの無機絶縁材料で構成しても良い。

[0039] ゲート絶縁膜103は、ゲート容量とリーク電流防止を担保できる材料と製造プロセスが選択されて形成される必要がある。また、ゲート絶縁膜103は、成膜後に適用されるプロセス工程で高温処理が出来るように望ましくは耐熱性の材料で構成するのが好ましい。その様なものとしては、例えば、酸化シリコン（SiO₂）、窒化シリコン（Si₃N₄）、酸窒化シリコン（SiN₀）、炭窒化シリコン（SiCN）などの無機絶縁材料が挙げられる。

[0040] 電子素子のより微細化・高性能化を実現するためには、ゲート絶縁膜103は、より高誘電率で隣接層との電氣的整合性（低界面準位）に優れた材料を選択して適切な製造プロセスと製造条件で形成するのが望ましい。そのような材料としては、所謂、high-k材料と呼ばれている材料があり、その中から電子素子の設計上の所望に応じて選択して使用するのが望ましい。そ

の様なhigh-k材料としては、リーク電流、移動度、耐熱性、膜中や界面に於ける欠陥、不純物拡散などの観点から、 HfO_2 や ZrO_2 などの遷移金属の酸化物、及びそれらのシリケート (HfSi_xO_y 、 ZrSi_xO_y)、 Al_2O_3 やそれらの複合酸化物 ($\text{Hf}_{1-x}\text{Al}_x\text{O}_y$ 、 $\text{Zr}_{1-x}\text{Al}_x\text{O}_y$) などが挙げられる。これらの他には、Si、Hf、Ti、Laの多種元素からなる混合酸化物、ルチル型 TiO_2 (比誘電率約80)、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ (ペロブスカイト)、 $\text{SrBi}_4\text{Ti}_4\text{O}_{15}$ 、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、 Ta_2O_3 、 La_2O_3 、 Dy_2O_3 、 La_2O_3 をベースにした希土類酸化物、 HfSiON 、なども使用し得る。

[0041] また、これらの材料の中から複数を適宜選択して夫々を層状にして積層 (スタック) した構造の積層構造部材でゲート絶縁膜103を構成しても良い。そのよう積層構造部材としては、例えば、 $\text{HfSiON}/\text{SiO}_2$ 、 $\text{HfO}_2/\text{Al}_2\text{O}_3$ 、 $\text{TiO}_2/\text{La}_2\text{O}_3$ 、 $\text{HfLaSiO}/\text{SiO}_2$ 、などの2層構造、 $\text{HfO}_2/\text{Y}_2\text{O}_3/\text{Al}_2\text{O}_3$ 、 $\text{TiO}_2/\text{HfSiO}/\text{SiO}_2$ 、などの3層構造のものが挙げられる。

[0042] 上記に挙げた材料の大半は、EOT (Equivalent Oxide Thickness : 酸化膜換算膜厚) 1nm以下においてリーク電流を大幅に低減することができるので、本発明において、ゲート絶縁膜103を構成するのに好適な材料である。

[0043] 本発明においては、その中でも、ゲート絶縁膜103としては、Hf系の材料で構成する膜が好ましい。Hf系high-k膜は、Laを添加してメタル電極の実効仕事関数を低エネルギー側にシフトさせることが出来る。この方法は、Laの添加量と膜厚方向の分布が重要であるので、膜設計においてはこの点を十分配慮して膜形成するのが望ましい。

また、Laの添加量を多くするとLa系酸化物に近き比誘電率が約27と高くなるので有望となるが、La系酸化物は吸湿性があるため大気中の水分と反応するので、真空を破ることなく一貫生産を採用するなり、あるいは電子素子形成過程では、Ar、Heなどの希ガス雰囲気中に置くなどの配慮が必要である。

[0044] また、Laの添加には、 HfTi ターゲットと HfLa ターゲットを使用してCo-sputterすることで、ゲート絶縁膜103を形成するのが望ましい。その際のLaの添加量の調節は、 HfLa ターゲット中のLaの組成比を所望に従って変えれば良い。また、 HfLa ターゲットをプラズマから断続的に遮蔽したりして成膜するこ

とでゲート絶縁膜 103 中の、Laの添加量を調整することが出来る。

[0045] HfO_2 は、イットリウム (Y)、シリコン (Si) を添加することで誘電率を大幅に改善できるので、ゲート絶縁膜 103 を形成するには好ましい材料である。

[0046] ゲート絶縁膜 103 に、自己組織化単分子膜 (Self-Assembled Monolayer : SAM) を採用することも出来る。その場合、ゲート絶縁膜 103 をSAMそのもので構成しても良いし、SAMの多層構造としても良い。SAMの多層構造膜としては、例えば、Langmuir膜なども挙げられる。或いは、例えば、 Al_2O_3 薄膜とn-オクタデシルホスホン酸のSAMの複合積層構造の膜として採用することも出来る。

[0047] 本発明において、ゲート電極 102 とゲート絶縁膜 103 を構成する好ましい材料の組み合わせは、前述した材料の中から適宜選択することが出来る。例えば、 $\text{Mo}/\text{HfSiON}/\text{SiO}_2$ 、 $\text{Mo-O-Hf}/\text{HfSiON}/\text{SiO}_2$ などのMetal/ $\text{HfLaSiO}/\text{SiO}_2$ の組合せ、 TiN/HfSiON の組合せ、Metal/ $\text{HfSiO}/\text{TiO}_2$ の組合せ、 $\text{TiN}/\text{TiO}_2/\text{HfSiO}$ の組合せ、などが挙げられる。

[0048] ゲート電極 102 とゲート絶縁膜 103 の界面特性は、デバイス（半導体素子）特性に影響大である。従って、キャリアをトラップする界面準位の形成やエネルギー障壁の形成が抑制されるように、ゲート電極 102 とゲート絶縁膜 103 の形成には材料の選択以上の注意と工夫により製膜するのが好ましい。例えば、好ましくは、ゲート電極 102 とゲート絶縁膜 103 を真空一貫形成するのは望ましい。更に、例えば、 TiN/HfSiO のような場合には、真空一貫界面固相反応法で形成するのも好ましい。真空一貫界面固相反応法は、物理蒸着 (Physical Vapor Deposition) をベースとした界面固相反応 (Solid Phase Interface Reaction : SPIR) 法である (H.Watanabe et al., Appl. Phys. Lett. 85, 449, 2004. 参照)。

[0049] 層領域 (A) 107 は、前述したように、硼化ランタン (LaB_6 : 六硼化ランタン) で構成されるが、好ましくは、窒素含有硼化ランタン ($\text{LaB}_6(\text{N})$) で構成するのが望ましい。

[0050] 本発明において、層領域 (A) 107 に採用されるより好ましい $\text{LaB}_6(\text{N})$ 膜は、結晶構造を有すると共に窒素原子を0.3～0.5原子%含み、且つ、該膜中における全結晶中の10～250nmの粒径範囲にある結晶の割合が20～90%であって、該膜の結晶化度が20%以上である膜である。更に好ましいのは、粒径が10～250nmの範囲における結晶粒径分布のピークの最大が、15～150nmの範囲にある膜である。

[0051] 本発明者等が推測するには、上記の数値範囲とすることで、2.4eVという低仕事関数の LaB_6 膜とすることだけでなく、活性層領域104との界面親和性に優れるため界面特性が良好で、且つ密着性も良い膜になるものと思われる。そのため、デバイスの累積使用時間がかなり長時間になっても所期の密着性が維持され、膜の浮きや膜剥がれを起こさず経時変化対抗特性に優れた LaB_6 膜が得られる。

[0052] 膜中における全結晶中の10～250nmの粒径範囲にある結晶の割合は、好ましくは、上記の数値範囲であるのが望ましいが、より好ましくは、50～90%、更により好ましくは、80～90%であるのが望ましい。より一層好ましくは、30～200nmの粒径範囲にある結晶の割合が50～90%であるのが望ましい。更には、50～150nmの粒径範囲にある結晶の割合が50～90%であるのが格段に望ましいものである。

[0053] 本発明において、より良好な窒素含有六硼化ランタン ($\text{LaB}_6(\text{N})$) 膜を得るには、膜の結晶化度も重要である。結晶化度としては、好ましくは、上記した様に20%以上であるのが望ましいが、より好ましくは30%以上、更により好ましくは、50%以上であるのが望ましい。

[0054] 結晶粒径分布のピーク位置も本発明のより好適な $\text{LaB}_6(\text{N})$ 膜を得るには重要なパラメーターである。本発明に於いては、粒径が10～250nmの範囲における結晶粒径分布のピークの最大が、15～150nm内にあるのが望ましく、より好ましくは、15～120nm、より一層好ましくは、20～100nmの範囲にあるのが望ましい。

[0055] ソース電極部105とドレイン電極部106は、活性層領域104とのコ

ンタクトが電氣的にスムーズになるように活性層領域 104 を構成する材料との関係において適宜選択される材料で構成されるのが望ましい。即ち、nMOSTr 100 の場合、活性層領域 104 は n 型動作特性とされるため、ソース電極部 105 は、仕事関数の小さな材料で構成される。活性層領域 104 をペンタセンで構成し n 型動作特性とする場合は、ペンタセンの LUMO (Lowest Unoccupied Molecular Orbital) 3.2 eV とできる限り整合性が取れるように材料の選択が適宜される。その結果、ソース電極部 105 から活性層領域 104 を構成する材料の LUMO への電子の注入をしやすくする。ドレイン電極部 106 も材料の選択基準は同様であるが、ドレイン電極部 106 の場合は、活性層領域 104 を構成する材料の LUMO からドレイン電極部 106 への電子の放出をしやすくする。

[0056] 後述する CMOS 半導体装置の場合は、p 型動作特性の有機半導体素子も使用されるので、その場合のソース電極部とドレイン電極部を構成する材料は以下の視点で適宜選択されるのが望ましい。即ち、活性層領域 104 を有機半導体材料で構成し p 型動作特性とする場合は、該有機半導体材料の HOMO (Highest Occupied Molecular Orbital) (ペンタセンの場合は、5.0 eV) とできる限りエネルギーレベルの整合性が取れるように材料の選択が適宜される。

[0057] 図 1 に示す nMOSTr 100 の場合、ソース電極部 105 は、例えば、安価で取り扱い易い材料で構成した上部電極領域 105a と仕事関数の小さな材料で構成した下部電極領域 105b との積層構造としても良い。例えば、上部電極領域 105a は、Al、Cu などの金属で、下部電極領域 105b は、硼化ランタンなどで構成される。特に、下部電極領域 105b は、好ましくは、前述した特性の $\text{LaB}_6(\text{N})$ で構成するのが望ましい。ドレイン電極部 106 は、例えば、上部電極領域 106a を Al で、下部電極領域 106b を Ni で構成される。この様に電極部 105、106 を複合層構造とすることにより、電極材料の選択範囲を広げられるので電極部 105、106 の複合層構造は好ましい。

[0058] 本発明に於いて、有機材料で製膜する場合の製膜法には、形成する電子素

子の特性や用途、採用する成膜材料に応じて種々の製膜法が採用される。本発明に於いて採用され得る製膜法には、塗布法、真空蒸着法、CVD(Chemical Vapor Deposition)、PCVD(Plasma Chemical Vapor Deposition)などが挙げられる。塗布法としては、スピンコート法、キャスト法、印刷法などが挙げられる。印刷法としては、オフセット印刷、凸版印刷、凹版印刷、グラビア印刷、スクリーン印刷、インクジェットプリント、マイクロコンタクトプリントなどが挙げられる。精細度において、 $10\mu\text{m}$ 以下の場合には、インクジェットプリント、マイクロコンタクトプリントを採用するのが好ましい。特に、有機TFTにおいては、ソース電極とドレイン電極の間隔（チャンネル長：L）を小さくすることで、素子のスイッチング特性が良くなることが知られているので、好ましくは、サブ μm オーダーでの大面積パターンニングも可能なマイクロコンタクトプリントの採用が望ましい。

[0059] 図1では、ボトムゲートタイプのnMOSTrで説明したが、本発明はこれに限定されるものではなく、活性層領域に直接接して設けられた電子供給層が硼化ランタンであればすべての電子素子に適用される。例えば、トップゲートタイプのnMOSTrにも適用出来る。

[0060] 以下に、図1に示すnMOSTrの作製の工程と作成条件の好適な例の一つの概略を示す。

(A1) プラスチックやガラス基板上にAlゲート電極を $1\mu\text{m}$ 形成（蒸着法、 10^{-6}Pa ）。

(A2) 透明耐熱性プラスチック膜を形成（塗布法、 250°C で熱処理）。

(A3) 高誘電率窒化膜 HfN_x （比誘電率26） 10nm を形成（スパッタ法、 0.2Pa ）。

(A4) 極薄界面制御層としてポリビニルフェノール(PVPh)を $2\sim 3\text{nm}$ 形成（蒸着法、 10^{-4}Pa ）。

(A5) 窒素添加(0.4%) LaB_6 を 1nm 形成（スパッタ法、 1Pa ）。

(A6) PVP(2nm)／ペンタセン(20nm)を形成（蒸着法、 10^{-4}Pa ）。

(A7) ドレイン電極部としてAu(5.2eV)、Ni(5.2eV)を 20nm 形成（蒸着法、 1

10^{-6} Pa)。

(A 8) ソースとして窒素添加 LaB_6 を20nm形成(蒸着法、1Pa)。

(A 9) Al電極を $1\mu\text{m}$ 形成(蒸着法、 10^{-6} Pa)。

[0061] 図2には、本発明の好適な実施態様例の一つであるCMOS回路構造を備えた半導体装置の構造を説明するための模式的構造説明図が示される。図3は、図2の半導体装置の回路図である。

[0062] CMOS半導体装置200は、nMOSTr201、pMOSTr202で構成されている。nMOSTr201は、図1に示すnMOSTr100と同等の構成をしている。

[0063] CMOS半導体装置200は、入力端子203a、203b、出力端子204を有している。入力端子203a、203bは、図3に示す様に、入力上流側で結線されている。

[0064] 図2に示すCMOS半導体装置200は、「L」レベルの信号が入力されると、nMOSTr201が動作し、「H」レベルの信号が入力されるとpMOSTr202が動作する。

[0065] 基体205上には、ゲート電極206a、206b、ゲート絶縁膜208、第一の共通界面制御層209、電子供給層領域210、共通活性層領域211、第二の共通界面制御層212、ソース電極部213、215、共通ドレイン電極部214のそれぞれが重畳されている。第一の共通界面制御層209、第二の共通界面制御層212は、より好ましい実施態様例において設けられるもので、共通活性層領域211との界面が素子設計上の特性を十分備えているのであれば、必ずしも設けられるものではない。

[0066] 電子供給層領域210は、図示のようにnMOSTr201側のみに設けられるもので、共通活性層領域211のnMOSTr201側に於ける部分の活性層領域に電子を供給する。電子供給層領域210は、層領域(A)107と同様のもので、層領域(A)107で説明したのと同様の材料、製法で作成される。

[0067] ゲート電極206a、206bの両サイドには、図1の場合と同じように平坦化領域207a、207b、207cが設けてある。

[0068] ソース電極部213は、図1に示すソース電極部105と本質的に同じで

あり、上部電極領域 2 1 7 は上部電極領域 1 0 5 a と、下部電極領域 2 1 6 は下部電極領域 1 0 5 b とそれぞれ本質的に同じである。ソース電極部 2 1 5 は、図 1 に示すドレイン電極部 1 0 6 と本質的に同じであり、上部電極領域 2 2 3 は上部電極領域 1 0 6 a と、下部電極領域 2 2 2 は下部電極領域 1 0 6 b とそれぞれ本質的に同じである。

[0069] ドレイン電極部 2 1 4 には、nMOSTr 2 0 1 のドレイン電極部と pMOSTr 2 0 2 のドレイン電極部とを構造的に一部分離した構造が設けられている。即ち、nMOSTr 2 0 1 のドレイン電極部の下部電極領域 2 1 8 と pMOSTr 2 0 2 のドレイン電極部の下部電極領域 2 1 9 は、分離領域 2 2 0 で電氣的空間的に分離されている。

[0070] 下部電極領域 2 1 8 は、下部電極領域 1 0 6 b と同様、例えば、Ni で構成される。下部電極領域 2 1 9 は、下部電極領域 1 0 5 b と同様、低仕事関数の材料、例えば、硼化ランタンで構成される。特に、好ましくは、前述した特性の $\text{LaB}_6(\text{N})$ で構成するのが望ましい。上部電極領域 2 2 1 は、上部電極領域 1 0 6 a と同様に、例えば、Al などの金属で構成される。共通活性層領域 2 1 1 は、活性層領域 1 0 4 と同様のもので、活性層領域 1 0 4 で説明したのと同様の材料、製法で作成される。

[0071] 基体 2 0 5 は、基体 1 0 1 と同様のものである。また、ゲート絶縁膜 2 0 8 は、ゲート絶縁膜 1 0 3 と同様のものである。また、ゲート電極 2 0 6 a 、2 0 6 b はゲート電極 1 0 2 と同様のものである。さらに、第一の共通界面制御層 2 0 9 及び第二の共通界面制御層 2 1 2 はそれぞれ、第一の界面制御層 1 0 8 及び第二の界面制御層 1 0 9 と同様のものである。

[0072] 以下に、図 2 に示す CMOS 半導体装置の作製の工程と作成条件の好適な例の一つの概略を示す。

[0073] (B 1) プラスチックやガラス基板上に Al ゲート電極を $1\mu\text{m}$ 形成 (蒸着法、 10^{-6}Pa)。

(B 2) 透明耐熱性プラスチック膜を形成 (塗布法、 250°C で熱処理)。

(B 3) 高誘電率窒化膜 HfN_x (比誘電率 26) 10nm を形成 (スパッタ法、 0.2Pa)。

）。

(B 4) 極薄界面制御層としてポリビニルフェノール(PVPh)を2~3nm形成(蒸着法、 10^{-4} Pa)。

(B 5) nMOSTr領域に窒素添加(0.4%)LaB₆を1nm形成(スパッタ法、1Pa)。

(B 6) nMOSTrおよびpMOSTr領域にPVP(2nm)/ペンタセン(20nm)を形成(蒸着法、 10^{-4} Pa)。

(B 7) pMOSTrのソースおよびnMOSTrのドレインとしてAu(5.2eV)、Ni(5.2eV)を20nm形成(蒸着法、 10^{-6} Pa)。

(B 8) pMOSTrのドレインおよびnMOSTrのソースとして窒素添加LaB₆を20nm形成(蒸着法、1Pa)。

(B 9) pMOSTrとnMOSTrのドレイン電極間にPVP薄膜を20nm形成(蒸着法、 10^{-4} Pa)。

(B 10) Al電極を1 μ m形成(蒸着法、 10^{-6} Pa)。

(B 11) ソース/ドレイン電極間のAlをドライエッチング(塩素ガス)。

[0074] 本発明は上記実施の形態に制限されるものではなく、本発明の精神及び範囲から離脱することなく、様々な変更及び変形が可能である。従って、本発明の範囲を公にするために、以下の請求項を添付する。

[0075] 本願は、2012年12月12日提出の日本国特許出願特願2012-271769を基礎として優先権を主張するものであり、その記載内容の全てを、ここに援用する。

符号の説明

[0076] 100 nMOSTr
101、205 基体
102、206 ゲート電極
103、208 ゲート絶縁膜
104 活性層領域
105、213、215 ソース電極部
106、214 ドレイン電極部

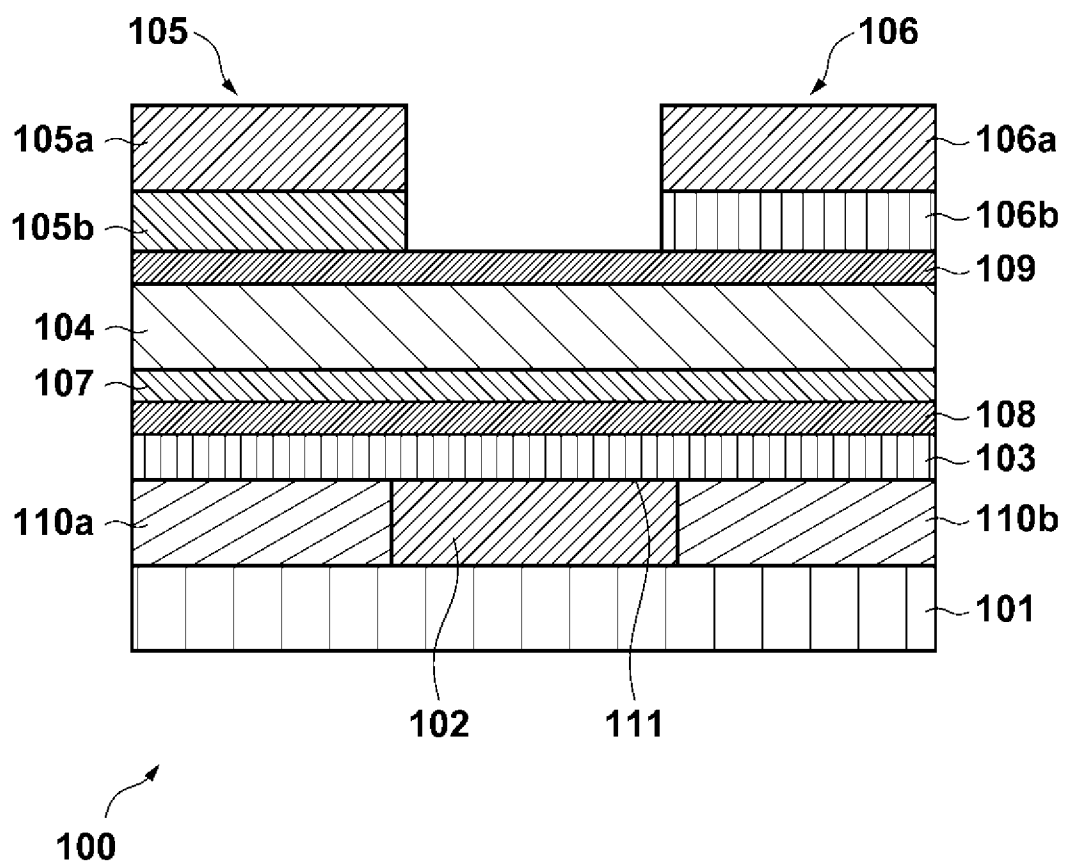
1 0 7、2 1 0	電子供給層領域
1 0 8、1 0 9、2 0 9、2 1 2	界面制御層
1 1 0、2 0 7	平坦化領域
2 0 0	CMOS半導体装置
2 0 1	nMOSTr
2 0 2	pMOSTr
2 0 3	入力端子
2 0 4	出力端子
2 1 1	共通活性層領域
2 1 6、2 1 8、2 1 9、2 2 2	下部電極領域
2 1 7、2 2 1、2 2 3	上部電極領域
2 2 0	分離領域

請求の範囲

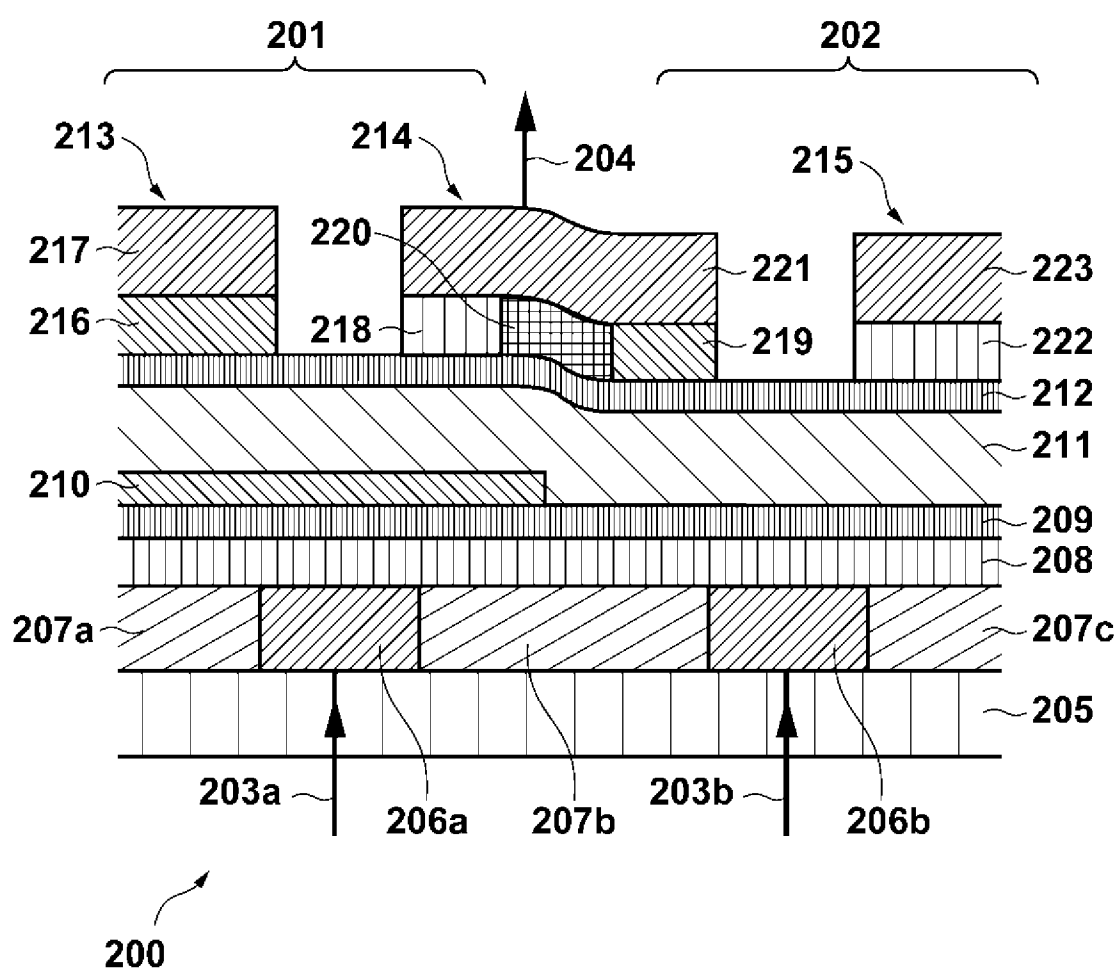
- [請求項1] ソース電極部、ドレイン電極部、有機半導体の活性層領域、ゲート絶縁膜、ゲート電極部、を備えた有機半導体素子に於いて、前記有機半導体はペンタセンであり、前記活性層領域に接して前記ゲート絶縁膜側に硼化ランタンを含む層領域を設けたことを特徴とする有機半導体素子。
- [請求項2] 前記層領域が窒素を含む請求項1に記載の有機半導体素子。
- [請求項3] 前記ソース電極部は、前記活性層領域に電氣的に直接接続している硼化ランタンを含む層領域を備えている請求項1に記載の有機半導体素子。
- [請求項4] ソース電極部、ドレイン電極部、ペンタセンの活性層領域、該活性層領域に直接接している、窒素含有硼化ランタンを含む層領域、ゲート絶縁膜、ゲート電極部、を備えていることを特徴とする有機半導体素子。
- [請求項5] 前記活性層領域は、ポリビニルフェノールで構成された第一の層と第二の層とに挟持されている請求項1乃至4の何れか1項に記載の有機半導体素子。
- [請求項6] ソース電極部、ドレイン電極部、有機半導体の活性層領域、ゲート絶縁膜、ゲート電極部、を備えた有機半導体素子に於いて、前記活性層領域に接して、前記ゲート絶縁膜側に、前記活性層領域に電子を供給するための硼化ランタンを含む層領域が設けてあることを特徴とするn型動作特性を示す有機半導体素子。
- [請求項7] CMIS回路構成を備えたCMIS半導体装置において、前記CMIS回路を構成するn型動作の電子素子が、請求項1乃至6の何れか1項に記載の有機半導体素子であることを特徴とするCMIS半導体装置。
- [請求項8] ソース電極部、ドレイン電極部、有機半導体の活性層領域、ゲート絶縁膜、ゲート電極部、を備えた有機半導体素子に於いて、前記ドレイン電極部の前記活性層領域側の少なくとも一部に硼化ランタンを含

む層領域が設けてあることを特徴とするp型動作特性を示す有機半導体素子。

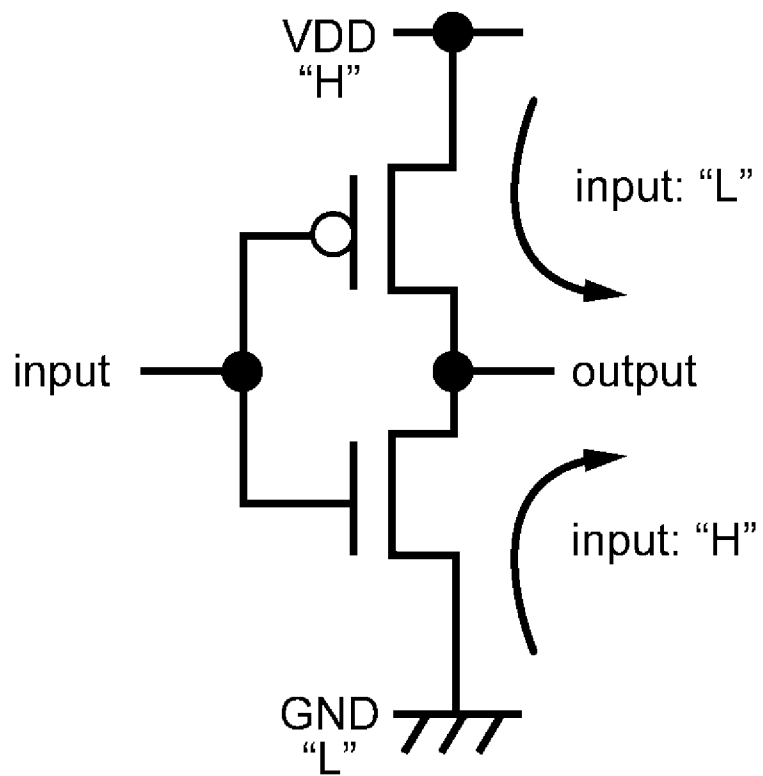
[図1]



[図2]



[図3]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/007229

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01)i, H01L21/8238(2006.01)i, H01L27/08(2006.01)i,
H01L27/092(2006.01)i, H01L51/05(2006.01)i, H01L51/30(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, H01L21/8238, H01L27/08, H01L27/092, H01L51/05, H01L51/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CiNii, Scitation

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	M. AHLES et al., Complementary inverter based on interface doped pentacene, Applied Physics Letters, Vol.87, p.113505, 2005.09.12	1-8
Y	JP 2009-146886 A (Tohoku University, Tokyo Electron Ltd.), 02 July 2009 (02.07.2009), paragraphs [0036] to [0041]; fig. 1 & US 2009/0135109 A1	1, 3, 5-8
Y	JP 2012-214374 A (Sumitomo Osaka Cement Co., Ltd.), 08 November 2012 (08.11.2012), paragraphs [0001] to [0003], [0073] to [0080] (Family: none)	1-8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
16 January, 2014 (16.01.14)

Date of mailing of the international search report
28 January, 2014 (28.01.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/007229

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2010/0006826 A1 (WEYERHAEUSER CO.), 14 January 2010 (14.01.2010), paragraph [0020]; fig. 3 to 8 & WO 2010/005760 A2	5
Y	JP 2008-218795 A (National Institute of Advanced Industrial Science and Technology), 18 September 2008 (18.09.2008), paragraph [0026]; fig. 1 to 3 & WO 2008/108241 A1	5
Y	US 2006/0186398 A1 (C. HSIEH et al.), 24 August 2006 (24.08.2006), paragraphs [0019] to [0022]; fig. 2A to 2C & TW 255059 B	5
Y	JP 2003-258265 A (National Institute of Advanced Industrial Science and Technology), 12 September 2003 (12.09.2003), paragraphs [0019], [0054]; fig. 3, 5, 7, 11 to 15 & US 2005/0121674 A1 & WO 2003/058723 A1 & AU 2002359934 A	8
A	Y. SONG et al., Investigation of n-type pentacene based MOS diodes with ultra-thin metal interface layer, IEICE Technical Report. SDM, Silicon Zairyo · Device, vol.110, pages 43 to 46, 2010.06	1
A	JP 2005-129279 A (Canon Inc.), 19 May 2005 (19.05.2005), paragraphs [0012] to [0013]; fig. 1 & US 2005/0122041 A1	1
A	JP 2008-91680 A (Hitachi, Ltd.), 17 April 2008 (17.04.2008), paragraphs [0043] to [0044]; fig. 3 & US 2008/0087883 A1 & CN 101162729 A	1
A	T. YASUDA et al., Ambipolar pentacene field- effect transistors with calcium source-drain electrodes, Applied Physics Letters, Vol.85, p.2098-2100, 2004.09.13	3,8

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/786(2006.01)i, H01L21/8238(2006.01)i, H01L27/08(2006.01)i, H01L27/092(2006.01)i, H01L51/05(2006.01)i, H01L51/30(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/786, H01L21/8238, H01L27/08, H01L27/092, H01L51/05, H01L51/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

CiNii, Scitation

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	M. AHLES et al., Complementary inverter based on interface doped pentacene, Applied Physics Letters, Vol.87, p.113505, 2005.09.12	1-8
Y	JP 2009-146886 A（国立大学法人東北大学、東京エレクトロン株式会社）2009.07.02, 段落【0036】－【0041】、図1 & US 2009/0135109 A1	1, 3, 5-8

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 6 . 0 1 . 2 0 1 4

国際調査報告の発送日

2 8 . 0 1 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

大橋 達也

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

5 F

4 6 8 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2012-214374 A (住友大阪セメント株式会社) 2012. 11. 08, 段落【0001】－【0003】、【0073】－【0080】 (ファミリーなし)	1-8
Y	US 2010/0006826 A1 (WEYERHAEUSER COMPANY) 2010. 01. 14, 段落【0020】、図3－8 & WO 2010/005760 A2	5
Y	JP 2008-218795 A (独立行政法人産業技術総合研究所) 2008. 09. 18, 段落【0026】、図1－3 & WO 2008/108241 A1	5
Y	US 2006/0186398 A1 (C. HSIEH et al.) 2006. 08. 24, 段落【0019】－【0022】、図2A－2C & TW 255059 B	5
Y	JP 2003-258265 A (独立行政法人産業技術総合研究所) 2003. 09. 12, 段落【0019】、【0054】、図3, 5, 7, 11－15 & US 2005/0121674 A1 & WO 2003/058723 A1 & AU 2002359934 A	8
A	Y. SONG et al., Investigation of n-type pentacene based MOS diodes with ultra-thin metal interface layer, 電子情報通信学会技術研究報告. SDM, シリコン材料・デバイス, Vol. 110, p. 43-46, 2010. 06	1
A	JP 2005-129279 A (キャノン株式会社) 2005. 05. 19, 段落【0012】－【0013】、図1 & US 2005/0122041 A1	1
A	JP 2008-91680 A (株式会社日立製作所) 2008. 04. 17, 段落【0043】－【0044】、図3 & US 2008/0087883 A1 & CN 101162729 A	1
A	T. YASUDA et al., Ambipolar pentacene field-effect transistors with calcium source-drain electrodes, Applied Physics Letters, Vol. 85, p. 2098-2100, 2004. 09. 13	3, 8