



(12)发明专利

(10)授权公告号 CN 103971925 B

(45)授权公告日 2017.01.11

(21)申请号 201310491661.4

(22)申请日 2013.10.18

(65)同一申请的已公布的文献号
申请公布号 CN 103971925 A

(43)申请公布日 2014.08.06

(30)优先权数据
2013-017078 2013.01.31 JP

(73)专利权人 太阳诱电株式会社
地址 日本,东京都

(72)发明人 森田浩一郎 谷口克哉

(74)专利代理机构 北京尚诚知识产权代理有限公司 11322
代理人 龙淳 季向冈

(51)Int.Cl.

H01G 4/12(2006.01)

H01G 4/30(2006.01)

(56)对比文件

JP 特开2011-338828 A,2001.12.07,

CN 1161803 C,2004.08.11,

JP 特开2007-266223 A,2007.10.11,

JP 2010212503 A,2010.09.24,

CN 102751092 A,2012.10.24,

JP 2010180124 A,2010.08.19,

审查员 朱晓岗

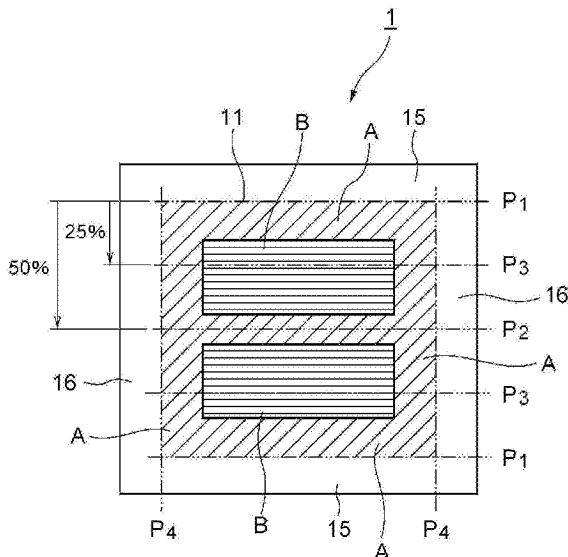
权利要求书1页 说明书7页 附图5页

(54)发明名称

层叠陶瓷电容器

(57)摘要

本发明提供一种层叠陶瓷电容器,实现在小型大容量的层叠陶瓷电容器中的CR积的改善。位于层叠体的最外层位置P₁的电介质晶粒的平均粒径为D₁、位于层叠体的中央位置P₂的电介质晶粒的平均粒径为D₂、位于层叠体的侵入25%的位置P₃的电介质晶粒的平均粒径为D₃的层叠陶瓷电容器中,通过局部地抑制烧制导致的电介质晶粒的晶粒成长,使得平均粒径D₁、D₂和D₃的关系满足 $1.5 \times D_1 < D_3$ 且 $1.2 \times D_2 < D_3$ 的条件。由此,即使为 $1 \mu\text{m}$ 以下的电介质厚度,也能够获得充分的CR积。



1. 一种层叠陶瓷电容器,其具备:电介质层和内部电极层交替层叠而形成的层叠体;覆盖所述层叠体的层叠方向上的最外层的上下的覆盖部;和覆盖所述层叠体的与层叠方向正交的方向上的最外缘的两侧的侧边缘部,所述层叠陶瓷电容器的特征在于:

位于所述层叠体的层叠方向上的最外层位置的、构成被内部电极层夹着的电介质层的电介质晶粒的平均粒径为 D_1 ,

位于所述层叠体的层叠方向上的中央位置的、构成被内部电极层夹着的电介质层的电介质晶粒的平均粒径为 D_2 ,

位于所述层叠体的层叠方向上将所述最外层位置和所述中央位置之间等分的中间位置的、构成被内部电极层夹着的电介质层的电介质晶粒的平均粒径为 D_3 的情况下,

所述平均粒径 D_1 、 D_2 和 D_3 的关系满足

$1.5 \times D_1 < D_3$ 、并且

$1.2 \times D_2 < D_3$

的条件,

所述平均粒径 D_1 为所述电介质层的厚度的 $1/2$ 以下。

2. 如权利要求1所述的层叠陶瓷电容器,其特征在于:

所述平均粒径 D_2 和 D_3 的关系还满足

$1.5 \times D_2 < D_3$

的条件。

3. 如权利要求1或2所述的层叠陶瓷电容器,其特征在于:

位于与所述层叠体的层叠方向正交的方向上的最外缘位置的、构成被内部电极层夹着的电介质层的电介质晶粒的平均粒径为 D_4 的情况下,

所述平均粒径 D_3 和 D_4 的关系还满足

$1.5 \times D_4 < D_3$

的条件。

4. 如权利要求1或2所述的层叠陶瓷电容器,其特征在于:

在所述覆盖部添加有用于抑制所述电介质层的晶粒成长的晶粒成长抑制剂。

5. 如权利要求4所述的层叠陶瓷电容器,其特征在于:

在所述侧边缘部中添加有用于抑制所述电介质层的晶粒成长的晶粒成长抑制剂。

6. 如权利要求4所述的层叠陶瓷电容器,其特征在于:

所述晶粒成长抑制剂包含选自Mn、Mg中的至少一种元素。

7. 如权利要求5所述的层叠陶瓷电容器,其特征在于:

所述晶粒成长抑制剂包含选自Mn、Mg中的至少一种元素。

层叠陶瓷电容器

技术领域

[0001] 本发明涉及层叠陶瓷电容器。特别是涉及实现了作为静电电容和绝缘电阻的积的CR积的改善的层叠陶瓷电容器及其制作方法。

背景技术

[0002] 伴随移动电话等的数字电子设备的小型化和薄型化,安装于电子电路板等的层叠陶瓷电容器(MLCC:Multi-Layer ceramic capacitor)中所要求的芯片尺寸的小型化和大电容化的需求逐年增加。在小型的层叠陶瓷电容器中,为了提高其静电电容,需要使电介质层薄层化,高密度且多层地层叠。但是,在使电介质层的厚度为微米量级(micron order)及其以下的情况下,电介质层的层厚和晶粒径大致相等,接近所谓的一层一晶粒的微小结构。

[0003] 在具有一层一晶粒结构的电介质层中,电介质晶粒间的晶界减少,因此,存在由此导致的绝缘电阻的降低、耐电压的降低等的层叠陶瓷电容器的可靠性恶化的情况。另外,在陶瓷电容器的烧制时电介质晶粒过剩地进行晶粒成长的情况下,也产生电介质层中的晶界减少、绝缘电阻降低等的同样的问题。这样,层叠陶瓷电容器的高密度化导致的静电电容的确保和绝缘电阻存在相互权衡的关系,CR积(静电电容与绝缘电阻值的积)用作用于比较层叠陶瓷电容器的品质特性的一个指标。

[0004] 作为改善薄层化导致的CR积的降低的现有技术,例如在专利文献1中公开有,电介质层以10~30体积%的比例含有粒径0.4 μm 以上的大径结晶晶粒,并且以50~70体积%的比例含有粒径0.25 μm 以下的小径晶粒的电介质的层叠结构。

[0005] 另外,作为利用电介质晶粒的晶粒成长兼顾静电电容的获得和良好的绝缘特性或可靠性的方法,提出了控制电介质晶粒的纵横比的方法(例如专利文献2)、控制一层一晶粒比率的方法(例如专利文献3)、使电介质组成为绝缘性高的组成的方法(例如专利文献4)等。

[0006] 现有技术文献

[0007] 专利文献

[0008] 技术文献1:日本特开2001-338828号公报

[0009] 技术文献2:日本特开2010-212503号公报

[0010] 技术文献3:日本特开平11-317322号公报

[0011] 技术文献4:日本特开2010-180124号公报

发明内容

[0012] 发明想要解决的课题

[0013] 但是,即使使用这些任一种的现有技术,也不能够解决层叠陶瓷电容器的CR积具有上限、即在某一定的层厚以下使静电电容增加的情况下绝缘电阻急剧降低(例如参照图10)的课题。

[0014] 本发明是为了解决上述的课题而完成的,目的在于提供,通过抑制因烧制导致的晶粒成长的进行较快的部分的晶粒成长,与现有技术相比能够实现CR积的改善,即使在1 μm 以下的电介质厚度也能够获得充分的CR积的层叠陶瓷电容器。

[0015] 用于解决课题的技术方案

[0016] 为了解决上述课题,本发明提供一种层叠陶瓷电容器,其具备电介质层和内部电极层交替层叠而形成的层叠体,上述层叠陶瓷电容器中,位于上述层叠体的层叠方向上的最外层位置的电介质晶粒的平均粒径为 D_1 ,位于上述层叠体的层叠方向上的中央位置的电介质晶粒的平均粒径为 D_2 ,位于上述层叠体的层叠方向上的将上述最外层位置和上述中央位置之间等分的中间位置的电介质晶粒的平均粒径为 D_3 的情况下,上述平均粒径 D_1 、 D_2 和 D_3 的关系满足 $1.5 \times D_1 < D_3$ 、并且满足 $1.2 \times D_2 < D_3$ 的条件。

[0017] 优选上述层叠陶瓷电容器还满足 $1.5 \times D_2 < D_3$ 的条件。并且,优选位于与上述层叠体的层叠方向正交的方向上的最外缘位置的电介质晶粒的平均粒径为 D_4 的情况下,上述平均粒径 D_3 和 D_4 的关系还满足 $1.5 \times D_4 < D_3$ 的条件。

[0018] 上述层叠陶瓷电容器优选上述电介质层的1层的厚度为0.8 μm ,上述平均粒径 D_1 为0.4 μm 以下。

[0019] 上述层叠陶瓷电容器优选形成有对上述层叠体的外侧进行覆盖的陶瓷的边缘部,在上述边缘部中添加有抑制上述电介质层的晶粒成长的晶粒成长抑制剂。

[0020] 上述层叠陶瓷电容器优选填补在上述电介质层与上述内部电极层之间产生的高低差的反图案片中,添加有抑制上述电介质层的晶粒成长的晶粒成长抑制剂。

[0021] 上述层叠陶瓷电容器优选上述晶粒成长抑制剂包含选自Mn、Mg、稀土类元素中的至少一种元素。

[0022] 发明效果

[0023] 根据本发明,在要求小型和大容量的面向高端的层叠陶瓷电容器中,即使电介质厚为1 μm 以下也能够实现充分的CR积。

附图说明

[0024] 图1是将本发明的实施方式的层叠陶瓷电容器的内部局部切断示意性地表示的立体图。

[0025] 图2是将电介质晶粒的粒径的不同在层叠体的截面的区域区分开示意性地表示的图。

[0026] 图3是表示烧制前的生片和导电性膏膜的各1层的截面图。

[0027] 图4是表示在烧制前的生片和导电性膏膜形成有反图案片的各1层的截面图。

[0028] 图5是层叠体的最外层部分的示意图。

[0029] 图6是层叠体的侵入50%的部分的示意图。

[0030] 图7是层叠体的侵入25%的部分的示意图。

[0031] 图8是为了说明平均粒径而将层叠体的内部放大表示的示意截面图。

[0032] 图9是为了说明平均粒径而将层叠体的电极侧端部放大表示的示意截面图。

[0033] 图10是表示与比较例对比的本发明的层叠陶瓷电容器的CR积的特性的曲线图。

[0034] 附图标记说明

- [0035] 1 层叠陶瓷电容器(MLCC)
- [0036] 10 陶瓷烧结体
- [0037] 11 层叠体(内电有源层)
- [0038] 12 电介质层
- [0039] 13 内部电极层
- [0040] 14 边缘部
- [0041] 15 覆盖部
- [0042] 16 侧边缘部
- [0043] 20 外部电极
- [0044] 22 生片
- [0045] 23 导电性膏膜
- [0046] 24 反图案片

具体实施方式

[0047] 以下,说明本发明的实施方式的层叠陶瓷电容器。图1是将层叠陶瓷电容器1的内部局部切断示意性地表示的立体图。层叠陶瓷电容器1大致包括:具有按标准确定的芯片尺寸和形状(例如 $1.0\text{mm} \times 0.5\text{mm} \times 0.5\text{mm}$ 的长方体)的陶瓷烧结体10;和形成在陶瓷烧结体10的两侧的一对的外部电极20。图1表示长方体的层叠陶瓷电容器1的一角被切断的截面。另外,在图1的圆内将层叠体11的截面放大表示。

[0048] 陶瓷烧结体10例如以 BaTiO_3 (钛酸钡)为主成分烧制,具有在内部交替层叠有电介质层12和内部电极层13的层叠体(也称为内电有源层)11。内电有源层是指有助于层叠陶瓷电容器1的蓄电动作的、大致长方体状的层叠体11的部分。

[0049] 该层叠体11根据层叠陶瓷电容器1所要求的静电电容、耐久电压等的要求,具有由2个内部电极层13夹着的电介质层12的每一层的厚度例如为 $0.8\mu\text{m}$ 以下的高密度多层结构。另外,以覆盖层叠体11的外侧的方式形成有边缘部14。

[0050] 边缘部14,详细而言如图1所示,包括:覆盖层叠体11的层叠方向上的最外层的上下的覆盖部15;和覆盖在与层叠体11的层叠方向正交的方向上的最外缘的两侧的侧边缘部16。边缘部14与电介质层12同样例如由以 BaTiO_3 为主成分烧制的陶瓷形成。对层叠体11加以覆盖的陶瓷的边缘部14为了保护电介质层12和内部电极层13等不受来自外部的湿气、污染物等的污染,防止层叠体11的时效劣化而形成。

[0051] 图2是将层叠体11沿层叠方向切断,将电介质晶粒的粒径的不同在层叠体11的截面的区域区分开示意性地表示的图。

[0052] 根据本发明的一个特征,位于层叠体11的层叠方向上的最外层位置 P_1 的电介质晶粒的平均粒径为 D_1 ,位于层叠体11的层叠方向上的中央位置 P_2 的电介质晶粒的平均粒径为 D_2 ,位于层叠体11的层叠方向上的将最外层位置 P_1 和中央位置 P_2 之间等分的中间位置 P_3 的电介质晶粒的平均粒径为 D_3 时,在这些平均粒径中,至少满足

[0053] $1.5 \times D_1 < D_3 \dots$ 式(1)

[0054] 的条件。

[0055] 除此之外,还优选在这些平均粒径中,满足

[0056] $1.2 \times D_2 < D_3$ · · · 式(2)

[0057] 的条件。

[0058] 另外,优选在上述式(2)中,还满足

[0059] $1.5 \times D_2 < D_3$ · · · 式(2)'

[0060] 的条件。

[0061] 在此,中央位置 P_2 为向层叠体(内电有源层)11的内部在其层叠方向上侵入50%的位置,中间位置 P_3 相当于向层叠体(内电有源层)11的内部在其层叠方向上侵入25%的位置。另外,测定平均粒径 D_1 的最外层位置 P_1 可以为层叠体(内电有源层)11的上侧和下侧的两方的位置,也可以仅仅在一方的位置。

[0062] 根据上述的式(1)、(2)和(2)',可以理解层叠陶瓷电容器1的沿着层叠体11的层叠方向的两侧部和/或中央部(图2的区域A)中的电介质晶粒的平均粒径比其他的部分(图2的区域B)中的平均粒径小。以形成为这样的电介质晶粒的粒径分布的方式局部抑制晶粒成长,烧制层叠体,由此能够减轻伴随层叠陶瓷电容器1的大容量化的CR积的降低。

[0063] 另外,实施方式的层叠陶瓷电容器1,更优选当位于与层叠体11的层叠方向正交的方向上的最外缘位置 P_4 的电介质晶粒的平均粒径为 D_4 时,相对于位于中间位置 P_3 的电介质晶粒的平均粒径 D_3 ,满足

[0064] $1.5 \times D_4 < D_3$ · · · 式(3)

[0065] 的条件。此外,关于平均粒径 D_4 ,因为对静电电容的贡献小,所以,并不是本发明的必须的构成,但是对绝缘电阻的贡献大,所以能够获得更高的CR积。另外,可以至少满足

[0066] $1.2 \times D_4 < D_3$ · · · 式(3)'

[0067] 的条件。

[0068] 因烧制而使电介质晶粒的晶粒成长过剩时,电介质层中的晶界数量减少,这引起绝缘电阻的降低、耐电压的降低。能够明确在还原性气氛中烧制的现有的层叠陶瓷电容器中,层叠体的层叠方向上的两端部附近及其中央部附近与其它的部分相比,晶粒成长的比率比较高。发明者们着眼于,在烧制时,层叠体的两端部附近或中央部附近最初形成一层一晶粒结构,其为结果导致电容器整体的绝缘电阻的降低甚至导致CR积的降低的主要原因,得到了能够通过抑制这些晶粒成长的比率(速度)高的部位的晶粒成长从而减轻CR积的降低的构思。

[0069] 为了得到上述式(1)表示的电介质晶粒的粒径分布,在一个实施方式中,在覆盖层叠体11的外侧的覆盖部15中添加有晶粒成长抑制元素。由此,位于最外层位置 P_1 的即两端部附近(图2的区域A)的电介质晶粒的晶粒成长与其它区域(图2的区域B)的电介质晶粒的晶粒成长相比被抑制。

[0070] 另外,为了获得上述式(2)和(2)'表示的电介质晶粒的粒径分布,在另一个实施方式中,通过调整还原性气氛中的烧制温度和在最高温度的保持时间,由此位于贯穿层叠方向上的中央位置 P_2 的中央部附近(图2的区域A)的电介质晶粒的晶粒成长与其它区域(图2的区域B)的电介质晶粒的晶粒成长相比被抑制。另外,有效的升温速度为5000~10000℃/hr左右。

[0071] 另外,为了获得上述式(3)和(3)'表示的电介质晶粒的粒径分布,在另一个实施方式中,在覆盖层叠体11的外侧的侧边缘部16添加晶粒成长抑制元素。可以在侧边缘部16中

添加晶粒成长抑制元素和/或在反图案片24添加晶粒成长抑制元素。由此,位于最外缘位置P₄附近(图2的区域A)的电介质晶粒的晶粒成长与其它区域(图2的区域B)的电介质晶粒的晶粒成长相比被抑制。

[0072] 在此,图3是表示在烧制后成为电介质层12的生片22和成为内部电极层13的导电性膏膜23的各1层的截面图。另外,图4是表示在生片22和导电性膏膜23形成有反图案片24的各1层的截面图。在图4中参照的反图案片24,为了补填生片22和导电性膏膜23之间的高低差而具有与导电性膏膜23相反的图案。反图案片24以与生片22相同的例如BaTiO₃为主成分。反图案片24可以利用丝网印刷法形成在生片22上,也可以在生片22上层叠具有与内部电极层13对应的开口的片而形成。

[0073] 优选在覆盖部15、边缘部14和/或反图案片24添加的晶粒成长抑制元素包含例如选自Mn、Mg、稀土类元素中的至少一种元素。另外,在层叠体(内电有源层)11中也可以包含晶粒成长抑制元素,在该情况下,含有比覆盖部15、边缘部14和/或反图案片24中所含的量少的量。优选相对于100mol的BaTiO₃有0.5mol以上的添加量的差即可。

[0074] 根据本实施方式,在层叠体11中,抑制晶粒成长,使得形成满足上述式(1)和(2),并且优选满足式(2)'、(3)或(3)'的电介质晶粒的粒径分布,由此与现有技术相比,能够减轻伴随层叠陶瓷电容器1的大容量化的CR积的降低。

[0075] **【实施例】**

[0076] 接着,说明本发明的层叠陶瓷电容器(以下称为“MLCC”)的实施例。

[0077] <MLCC的制作>

[0078] (1)MLCC成型体的制作

[0079] 首先,作为电介质的生片、反图案片、覆盖部和侧边缘部的原料粉末,调制平均粒径为40nm~400nm以下的BaTiO₃粉末。本实施例中,在反图案片、成为覆盖部的覆盖片和成为侧边缘部的侧片的原料浆料中,相对于100mol的BaTiO₃将Mg和Mn作为晶粒成长抑制剂分别各添加1.0mol。利用有机溶剂将所调制的电介质原料粉末湿式混合,利用刮刀法涂敷1.0μm厚的电介质的生片,使其干燥。同样,反图案片、覆盖片和侧片也成形为片状。

[0080] 在生片上以规定图案丝网印刷含有Ni的导电性膏膜。另外,为了填埋生片和导电性膏膜之间的高低差,将具有与该导电性膏膜互补的图案的反图案片通过丝网印刷形成在生片上。反图案片的厚度为与导电性膏膜相同的厚度。此外,如上所述,该反图案片中以规定量添加有用于抑制因烧制导致的电介质层的晶粒成长的上述的晶粒成长抑制剂(参照表1)。

[0081] 将配置有导电性膏膜和反图案片的生片以导电性膏膜的被引出侧相互不同的方式层叠101个,由此能够获得层叠数n为100的层叠体片。然后,在层叠体片的上下表面压接多个覆盖片使得覆盖部的总厚为20μm。此外,如上所述,在该覆盖片中以规定量添加有用于抑制因烧制导致的电介质层的晶粒成长的晶粒成长抑制剂。

[0082] 在将层叠体片切为规定寸法而得的长方层叠体的两侧面压接多个侧片以使侧边缘的总厚为40μm。此外,如上所述,该侧片中以表1所示的规定量添加有用于抑制因烧制导致的电介质层的晶粒成长的晶粒成长抑制剂。由此,获得纵1.0mm、横0.5mm、高0.5mm的寸法的MLCC成型体。

[0083] (2)MLCC成型体的烧制

[0084] 将MLCC的成型体的试样在N₂气氛中在300℃的温度下脱粘合剂。之后,在含有H₂的还原性气氛中在从1150℃至1250℃的温度范围以升温速度6000℃/hr进行升温,保持该温度10分钟至2小时,进行烧制。在降温后,在N₂气氛中在从800℃至1050℃的温度范围进行升温,保持该温度进行再氧化处理。这样得到的MLCC的烧结体中,为了形成外部电极,在露出内部电极的两侧的端面涂敷含有玻璃料(glass frit)的Ni膏,在N₂气氛中进行烧焊处理。

[0085] 由此,获得MLCC的试样。

[0086] 表1表示此次试验中使用的MLCC试样的制造条件。

[0087] 【表1】

[0088]

组	试样 No.	晶粒成长抑制剂	初始BaTiO ₃ 径	最高温度和保持时间
I	1	在覆盖片和反图案片两者中相对于BaTiO ₃ : 100mol 将 Mg 、 Mn 各添加 1.0mol	45nm	1150°C, 10min
	2			1150°C, 20min
	3			1150°C, 30min
	4			1150°C, 40min
II	5		120nm	1200°C, 10min
	6			1200°C, 20min
	7			1200°C, 30min
	8			1200°C, 40min
III	9		300nm	1220°C, 20min
	10			1220°C, 40min
	11			1220°C, 60min
VI	12		350nm	1220°C, 20min
	13			1220°C, 40min
	14			1220°C, 60min
V	15		400nm	1250°C, 20min
	16			1250°C, 40min
	17			1250°C, 60min
	18			1250°C, 120min

[0089] <MLCC的评价方法>

[0090] (1)电介质晶粒的平均粒径的评价方法

[0091] 基于对于MLCC的形成有外部电极的端面平行地切断使截面露出,利用扫描型电子显微镜(SEM)进行拍摄而得的电介质层的截面照片,测定电介质晶粒的粒径。测定粒径的位置为,为了评价平均粒径D₁的在层叠方向上的最外层位置P₁、为了评价平均粒径D₂的在层叠方向上的中央位置P₂、为了评价平均粒径D₃的将最外层位置P₁和中央位置P₂之间等分的中间位置P₃、和为了评价平均粒径D₄的在与层叠方向正交的方向上的最外缘位置P₄的4个位置。

[0092] 在此,在最外层位置P₁,如图5所示,测定在从第1层(最外层)至第3层的电介质层12的、以中心线为基准15μm的范围内的区域所观察的电介质晶粒的晶粒径。在层叠体的侵入50%部分即中央位置P₂,如图6所示,测定从第n/2层至第n/2+2层(n=100的情况下,从第50层至第52层)的电介质层12的、以中心线为基准15μm的范围内的区域所观察的电介质晶粒的晶粒径。在作为层叠体的侵入25%部分的中间位置P₃,如图7所示,测定在从第n/4层至第n/4+2层(n=100的情况下,从第25层至第27层)的电介质层12的、以中心线为基准15μm的范围内的区域所观察的电介质晶粒的晶粒径。在最外缘位置P₄,测定从内部电极层的端

部向中心方向上 $2\mu\text{m}$ 的范围内所观察的电介质晶粒的晶粒径。(参照图9)。

[0093] 基于SEM图像测定电介质晶粒的层叠方向上的最大长度和与层叠方向正交的方向上的最大长度,将它们的单纯算数平均值作为该电介质晶粒的晶粒径进行评价。然后,在位置 P_1 、 P_2 、 P_3 和 P_4 的各区域中,测定位于该区域的全部的电介质晶粒的晶粒径,求出它们的单纯算数平均值。将对于在同一条件下制造的20个MLCC芯片测定的最终的平均值作为本实施例中的平均粒径 D_1 、 D_2 、 D_3 和 D_4 进行评价。此外,如图8和图9所示,对于区域外被看见的晶粒,也将包含该区域外的部分的粒径作为测定对象。

[0094] 此外,平均粒径 D_1 可以在层叠体的上侧和下侧的两方的最外层位置测定,也可以仅在一方的最外层位置测定。平均粒径 D_3 可以在从层叠体的上侧和从下侧两方的侵入25%的位置测定,也可以仅在一方的侵入25%的位置测定。平均粒径 D_4 可以在层叠体的左右两方的最外缘位置测定,也可以仅在一方的最外缘位置测定。

[0095] <MLCC的评价结果>

[0096] 图2表示对所制作的MLCC的电介质层的评价结果。制成的试样中,CR积以 $2000F \cdot \Omega$ 为规定值,将表示其以上的CR积的试样评价为合格。

[0097] 【表2】

组	试样 No.	电介质层厚度(μm)	平均粒径 $D_1(\text{nm})$	平均粒径 $D_2(\text{nm})$	平均粒径 $D_3(\text{nm})$	平均粒径 $D_4(\text{nm})$	粒径比 D_3/D_1	粒径比 D_3/D_2	粒径比 D_3/D_4	CR积 ($F \cdot \Omega$)
I	1*	0.8	46	48	56	48	1.2	1.2	1.2	1100
	2	0.8	48	52	78	58	1.6	1.5	1.3	2200
	3	0.8	48	49	107	51	2.2	2.2	2.1	3700
	4	0.8	48	49	172	59	3.6	3.5	2.9	4000
II	5*	0.8	141	157	194	169	1.4	1.2	1.1	1800
	6	0.8	118	155	218	144	1.8	1.4	1.5	2400
	7	0.8	135	146	351	143	2.6	2.4	2.5	3300
	8	0.8	143	162	548	163	3.8	3.4	3.4	3400
III	9*	0.8	329	381	440	361	1.3	1.2	1.2	1200
	10	0.8	316	351	567	322	1.8	1.6	1.8	2500
	11	0.8	326	335	628	340	1.9	1.9	1.8	2600
VI	12*	0.8	396	447	548	444	1.4	1.2	1.2	1000
	13	0.8	382	451	666	473	1.7	1.5	1.4	2000
	14	0.8	368	443	730	529	2.0	1.6	1.4	2300
V	15*	0.8	408	425	583	424	1.4	1.4	1.4	600
	16*	0.8	410	418	656	434	1.6	1.6	1.5	900
	17*	0.8	443	456	809	493	1.8	1.8	1.6	880
	18*	0.8	425	459	928	517	2.2	2.0	1.8	-

[0098] 在表2中,标记有*的号码的试样(No.1、5、9、12和15~18)作为CR积比 $2000F \cdot \Omega$ 小的比较例例举。在CR积比 $2000F \cdot \Omega$ 大的试样中,第1平均粒径比 D_3/D_1 比1.5大,第2平均粒径比 D_3/D_2 比1.2大。另外,第2平均粒径比 D_3/D_2 比1.5大且第3平均粒径比 D_3/D_4 比1.5大的试样,能够得到比 $2500F \cdot \Omega$ 大的CR积。

[0100] 另外,晶粒成长被抑制得最小的最外层位置 P_1 的平均粒径 D_1 比400nm大的试样No.15~18中,均显示比规定值大幅度小的CR积。由此,可以说对于电介质层的1层的厚度为 $0.8\mu\text{m}$,优选平均粒径 D_1 为 $0.4\mu\text{m}$ 以下。

[0101] 图10是定性地表示与比较例对比的本发明的层叠陶瓷电容器的CR积的特性的曲线图。本发明的实施例的层叠陶瓷电容器具有比现有技术的比较例高的CR积。这意味着,即使在高烧制温度下,层叠体中的晶粒成长的速度高的部位(例如图2所示的区域A)的晶粒成长被抑制,其结果是,能够维持高绝缘电阻。另外,本发明的实施例的层叠陶瓷电容器中,不会看到如图10所示,在烧制温度高的范围内如现有技术那样CR积急剧降低的不利的特性。

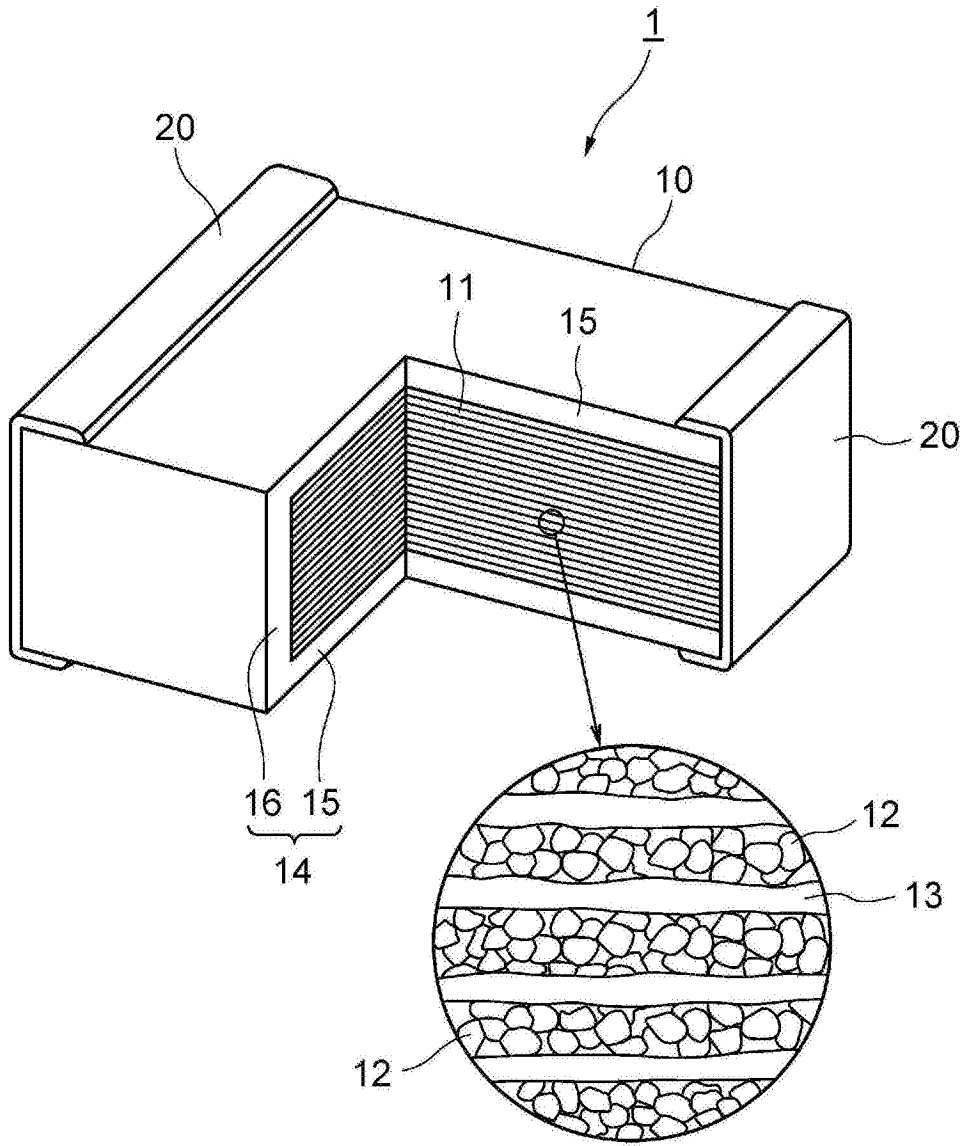


图1

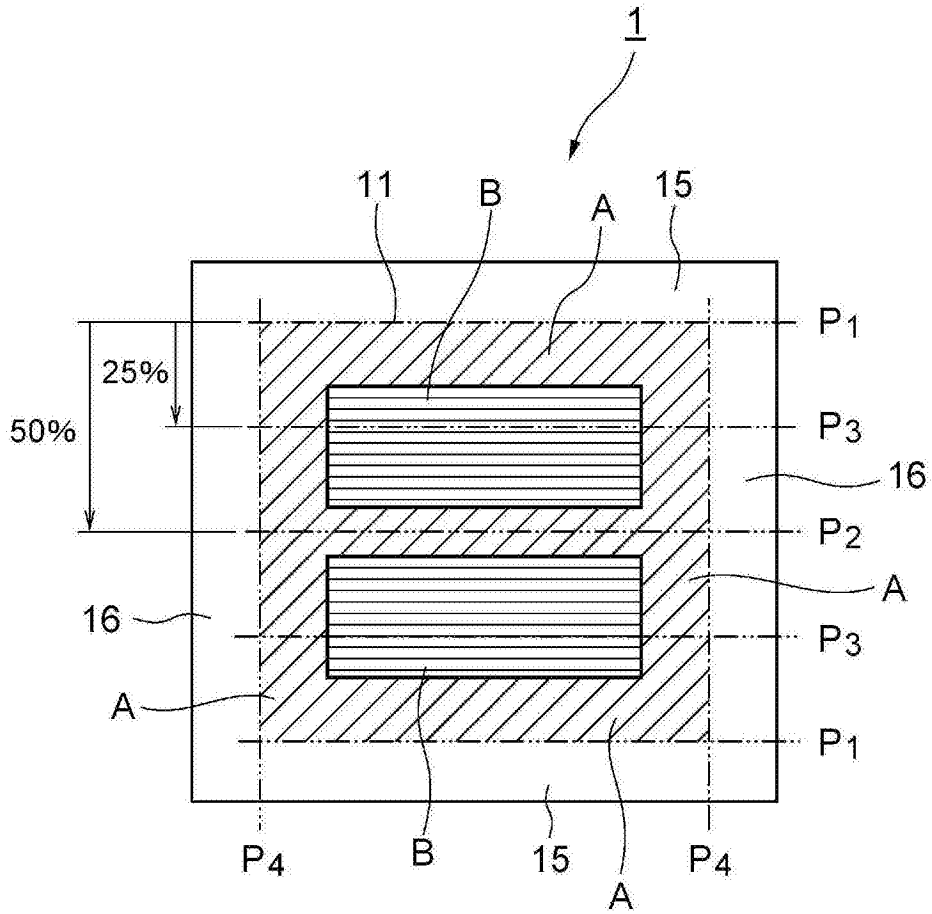


图2

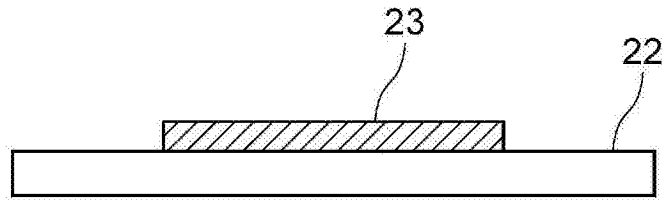


图3

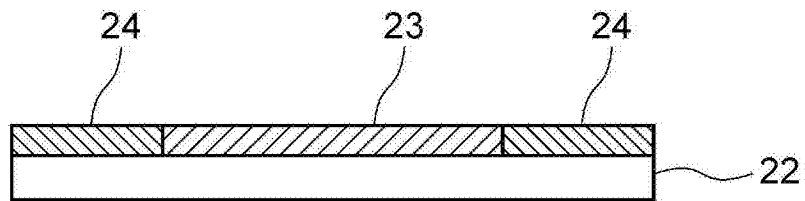


图4

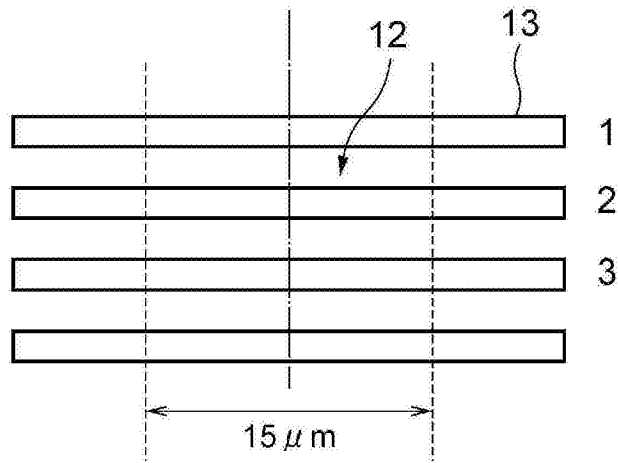


图5

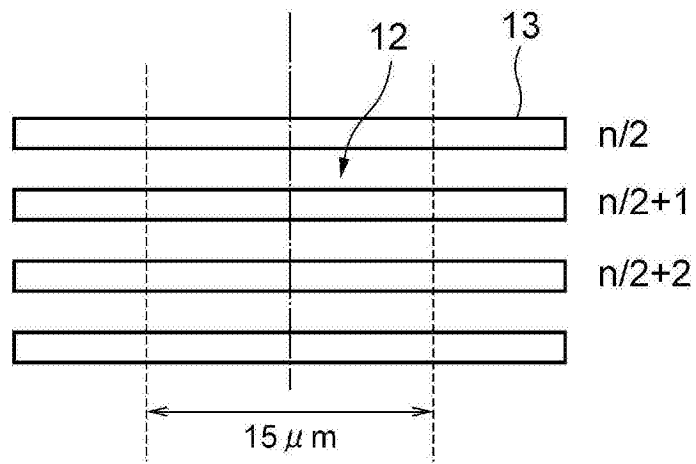


图6

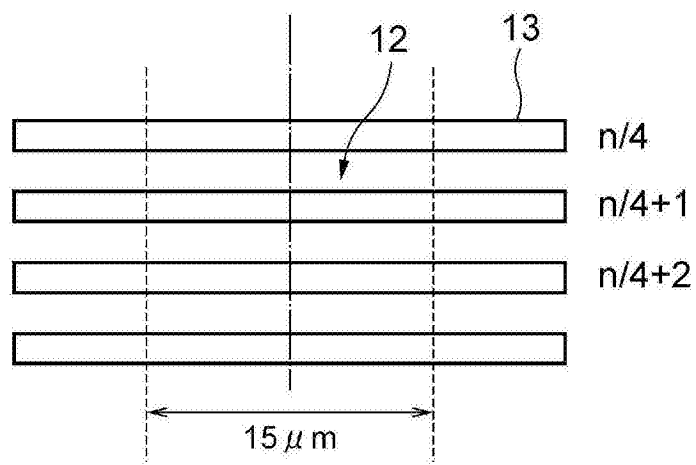


图7

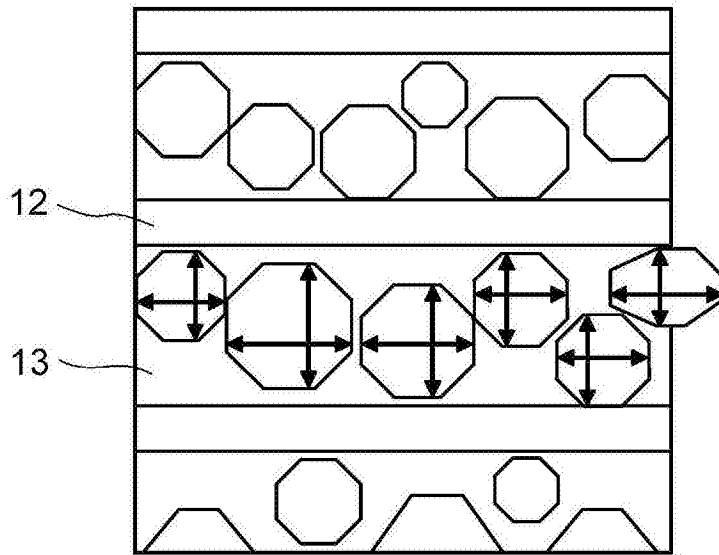


图8

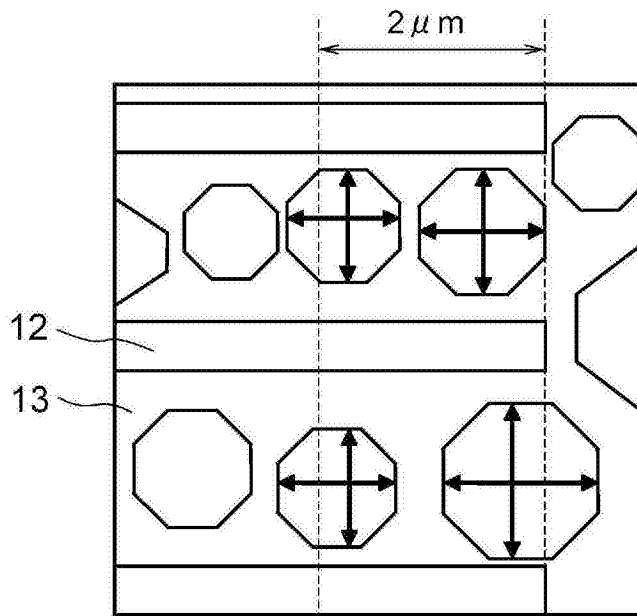


图9

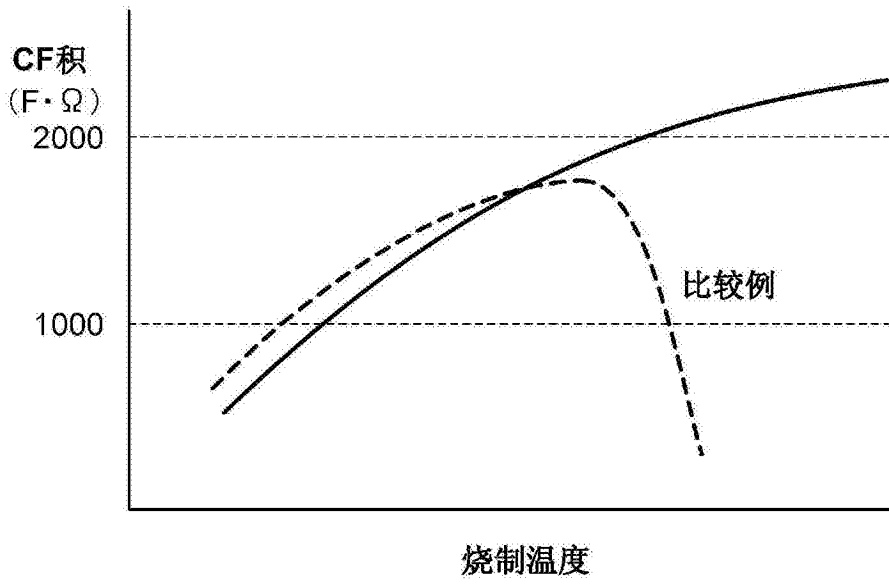


图10