

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 200310100341.8

H01L 29/78 (2006.01)
H01L 27/085 (2006.01)
H01L 21/336 (2006.01)
H01L 21/8234 (2006.01)

[45] 授权公告日 2006 年 8 月 9 日

[11] 授权公告号 CN 1269223C

[22] 申请日 2003.10.14

[21] 申请号 200310100341.8

[30] 优先权

[32] 2002.10.15 [33] JP [31] 299918/2002

[71] 专利权人 株式会社东芝

地址 日本东京都

[72] 发明人 田中正幸

审查员 张媛媛

[74] 专利代理机构 北京市中咨律师事务所

代理人 段承恩 陈海红

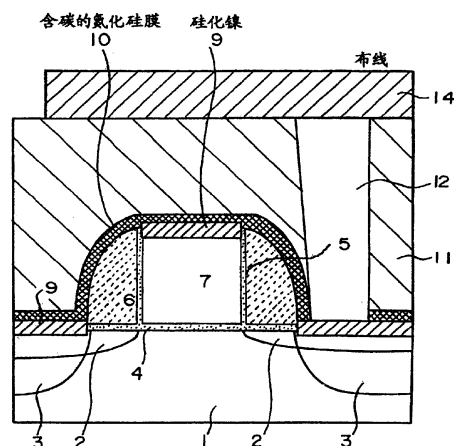
权利要求书 3 页 说明书 8 页 附图 6 页

[54] 发明名称

半导体器件及其制造方法

[57] 摘要

本发明提供一种半导体器件及其制造方法，该半导体器件具有含有不使金属硅化物构成的导电层劣化的硅氮化膜的绝缘膜。在硅化镍等金属硅化物的导电层 9 上均匀形成有以含碳的硅氮化膜为主成分的绝缘膜 10。含碳的硅氮化膜通过氮化源和硅源的反应而成膜。作为硅源使用的六甲基乙硅烷具有甲基，所以在通过反应而形成的硅氮化膜中含有碳和氢。因此，如果含有甲基则膜本体变得稀疏，从而比介电常数下降，抑制了被称为 RC 延迟的晶体管的速度下降。通过使用含碳的硅氮化膜，在工序中金属硅化物的导电层不劣化。作为硅源，举出具有氨基、在自由基中具有碳化物的氨基等的物质。



1.一种半导体器件，包括：

半导体衬底，

在所述半导体衬底上形成的源和漏区，

在所述半导体衬底的所述源和漏区间的沟道区上形成的栅绝缘膜，

在所述栅绝缘膜上形成的栅电极，

在所述栅电极上，或所述栅电极以及源和漏区上形成的金属硅化物的导电层，

其特征在于，还包括，为了至少与所述导电层相接而在所述半导体衬底上形成的含有碳的氮化硅膜，以及

为了覆盖所述含有碳的氮化硅膜而在所述半导体衬底上形成的层间绝缘膜。

2.如权利要求1所述的半导体器件，其特征在于，所述碳的含有量为 $1\text{e}20\text{cm}^{-3}$ 或以上。

3.如权利要求1所述的半导体器件，其特征在于，所述金属硅化物的金属为镍。

4.如权利要求1所述的半导体器件，其特征在于，所述金属硅化物的金属为选自钽、钴、钛、钼、钨、铂和钯中的至少一种。

5.如权利要求4所述的半导体器件，其特征在于，所述金属硅化物为层叠成多层的结构。

6.如权利要求1所述的半导体器件，其特征在于，所述含有碳的氮化硅膜的氮浓度为 $4\text{e}21\text{cm}^{-3}$ 或以下。

7.如权利要求1所述的半导体器件，其特征在于，所述含有碳的氮化硅膜含氢 $1\text{e}20\text{cm}^{-3}$ 或以上。

8.一种半导体器件的制造方法，其特征在于，包括：

在硅半导体衬底上形成源和漏区的工序，

在所述半导体衬底的所述源和漏区间的沟道区上形成栅绝缘膜的工序，

在所述栅绝缘膜上形成由多晶硅构成的栅电极的工序，

在所述半导体衬底上形成由金属构成的导电层以便覆盖所述栅电极以及源和漏区的工序，

热处理所述导电层，从而在所述源和漏区上以及所述栅电极上形成所述硅和所述多晶硅与所述金属反应而成的金属硅化物的导电层的工序，

将未与所述硅和多晶硅反应的所述金属除去的工序，

在所述半导体衬底上形成含有碳的氮化硅膜以便覆盖所述金属硅化物的导电层的工序，以及

在所述半导体衬底上形成层间绝缘膜以便覆盖所述含有碳的氮化硅膜的工序。

9.如权利要求8所述的半导体器件的制造方法，其特征在于，所述碳的含有量为 $1\text{e}20\text{cm}^{-3}$ 或以上。

10.如权利要求8所述的半导体器件的制造方法，其特征在于，所述金属为镍。

11.如权利要求8所述的半导体器件的制造方法，其特征在于，所述金属为选自钽、钴、钛、钼、钨、铂和钯中的至少一种。

12.如权利要求11所述的半导体器件的制造方法，其特征在于，所述金属为层叠成多层的结构。

13.如权利要求8所述的半导体器件的制造方法，其特征在于，所述含有碳的氮化硅膜的氮浓度为 $4\text{e}21\text{cm}^{-3}$ 或以下。

14.如权利要求8所述的半导体器件的制造方法，其特征在于，所述含有碳的氮化硅膜含氢 $1\text{e}20\text{cm}^{-3}$ 或以上。

15.如权利要求8所述的半导体器件的制造方法，其特征在于，所述含有碳的氮化硅膜通过具有甲基或氨基的硅烷与氨的反应而形成。

16.如权利要求15所述的半导体器件的制造方法，其特征在于，所述含有碳的氮化硅膜通过六甲基乙硅烷与氨的反应而形成。

17.如权利要求8所述的半导体器件的制造方法,其特征在于,所述含有碳的氮化硅膜通过六甲基乙硅烷以及六氯乙硅烷与氨的反应而形成。

18.如权利要求8所述的半导体器件的制造方法,其特征在于,所述含有碳的氮化硅膜的成膜温度在 $250^{\circ}\text{C} \sim 700^{\circ}\text{C}$ 。

半导体器件及其制造方法

技术领域

本发明涉及使用硅氮化膜的半导体器件，特别是涉及具有硅氮化膜从而实现高性能化的半导体器件及其制造方法，所述硅氮化膜不使作为导电层使用的金属硅化物的特性劣化。

背景技术

在第二代半导体器件中，使用用于降低电极电阻的硅化镍等金属硅化物。图8是在电极等导电层中使用以往的金属硅化物的半导体器件的剖面图。硅半导体衬底101例如是P型，该图是在该衬底上形成的NMOSFET的结构剖面图。图中所示MOSFET例如用于在同一芯片内形成了NMOS和PMOS两者的CMOS结构中。

在半导体衬底101上，在以STI（浅沟槽隔离）等元件分离区113划分的元件区中形成有MOSFET。在半导体衬底101的表面区域中，形成有由浅扩散区（扩展区）102和深扩散区103构成的源/漏区。在源/漏区间的沟道区上形成有硅氧化膜等栅绝缘膜104。并且在栅绝缘膜104上形成有栅结构。在栅绝缘膜104上形成有由多晶硅构成的栅电极107，在其表面施加硅氧化膜等绝缘膜105，并且在栅电极107的侧壁上形成有硅氮化膜等构成的侧壁绝缘膜106。侧壁绝缘膜106被栅绝缘膜104和绝缘膜105包围。此外，在栅电极107的上表面形成有硅化镍等金属硅化物的导电层109。为使栅电极107的电阻降低而施加该导电层109。同样，为降低源/漏区的电阻，在其上也形成有导电层109。

在半导体衬底101上形成有硅氮化膜110，以便覆盖该栅结构以及源/漏区。在半导体衬底101上形成有用CVD等形成的硅氧化膜等层间绝缘

膜 111, 以便覆盖这一结构。层间绝缘膜 111, 表面被平坦化, 形成有埋入用于将在其上形成的布线(未图示)和源、漏区电连接的接触部 112 的接触孔。接触孔在底面与源/漏区上的导电层 109 相接, 其中埋入的钨等的接触部 112 将所述布线和导电层 109 电连接。接触孔通过 RIE 等各向异性腐蚀而形成, 但硅氮化膜 110 被作为此时的腐蚀停止层使用。

由于所述金属硅化物特别是硅化镍与以往的电极材料相比没有耐热性, 所以需要将硅化镍形成后的热处理工艺降低到 500°C 或以下。其他构成硅化物的金属有 Co、Mo、W、Ti、Ta、Hf、Pt 等, 但任意一种金属的硅化物耐热性也都较低, 例如 Co 的硅化物的耐热性为 550°C , Mo 的硅化物的耐热性为 650°C , W 的硅化物的耐热性为 500°C 或以上左右。

为了形成半导体器件, 使用氮化硅膜 (SiN) 作为前述的加工方面的腐蚀停止层, 但如前所述, 由于硅化镍等的金属硅化物的耐热性问题, 必须以 700°C 或以下, 优选是 500°C 或以下的成膜温度来形成。

在半导体衬底上形成氮化硅膜 (SiN) 的情况下, 由含硅烷的硅源成膜的方法例如象专利文献 1 中记载的那样, 是公知的。此外, 在氮化硅膜 (SiN) 中添加碳的成膜方法记载在专利文献 2 中。

[专利文献 1]

特开平 11-172439 号公报 (记载了在形成氮化硅膜 (SiN) 情况下由含碳的硅源成膜的方法)。

[专利文献 2]

特愿平 11-359463 号 (记载了在氮化硅膜 (SiN) 中添加碳的成膜方法)。
发明内容

以往, 作为形成低温氮化硅膜 (SiN) 的技术, 可举出使用六氯乙硅烷 (Si_2Cl_6 : HCD) 作为硅源的成膜方法。但是在硅化镍上如果使用含有氯的硅源形成 SiN 膜, 则存在由于成膜中产生的盐酸, 使得添加砷或添加磷的电极上的硅化镍被腐蚀的问题。

本发明是鉴于这样的情况而做出的, 提供一种具有绝缘膜特别是硅氮化膜的半导体器件及其制造方法, 所述绝缘膜不使由金属硅化物构成的电

极等的导电层劣化。

本发明特征在于，在硅化镍等金属硅化物的导电层上均匀地形成了绝缘膜的半导体器件，所述绝缘膜以含有碳的硅氮化膜为主要成分。含碳的硅氮化膜通过氮化源和硅源的反应而成膜。由于作为硅源使用的六甲基乙硅烷具有甲基，所以在通过反应形成的硅氮化膜中含有碳和氢。从而在含有甲基时，膜自身变得稀疏，比介电常数下降，抑制了被称为 RC 延迟的晶体管的速度降低。结果，晶体管的高性能化成为可能。此外，在硅源中可以同时使用以往形成低温硅氮化膜的技术中所使用的六氯乙硅烷。这种情况下，被成膜的硅氮化膜中含有氯。通过使用该含碳的硅氮化膜，不使半导体器件中使用的金属硅化物的导电层劣化。如上所述，为形成含碳的硅氮化膜，作为硅源，说明了具有甲基的六甲基乙硅烷，但在本发明中，作为硅源，可举出具有其他碳基，例如氨基，在自由基中具有碳化物的氨基等的物质。作为这些的例子，有乙基(C_2H_5)、丙基(C_3H_7)、丁基(C_4H_9)、叔-丁基($C(CH_3)_3$)等。

此外，作为其他硅源，假设 R =烷基，有 $SiCl_2(R)_2$ 、 $SiCl(R)_3$ 、乙硅烷($SiCl_x(R)_{6-x}$) ($x=6$ 除外)、 $SiCl_xR_{3-x}NHSiCl_yR_{3-y}$ (代替 Cl ，其他卤素也可以)等。

本发明的半导体器件，特征在于，包括：半导体衬底，在所述半导体衬底上形成的源/漏区，在所述半导体衬底的所述源/漏区间的沟道区上形成的栅绝缘膜，在所述栅绝缘膜上形成的栅电极，在所述栅电极上，或所述栅电极以及源/漏区上形成的金属硅化物的导电层，为了至少与所述导电层相接而在所述半导体衬底上形成的含有碳的绝缘膜，以及为了覆盖所述含有碳的绝缘膜而在所述半导体衬底上形成的层间绝缘膜。所述含有碳的绝缘膜可以以硅氮化膜为主成分。也可以使所述碳的含有量为 $1e20cm^{-3}$ 或以上。晶体管半导体器件的特性在此范围内充分提高。也可以使所述金属硅化物的金属为镍。也可以使所述金属硅化物的金属为选自钽、钴、钛、钼、钨、铂和钡中的至少一种。也可以使所述金属硅化物的金属为层叠成多层的结构。也可以使所述含有碳的绝缘膜的氯浓度为 $4e21cm^{-3}$ 或以下。

在硅源中也可以同时使用 HCD。也可以使所述含有碳的绝缘膜含氢 $1e20cm^{-3}$ 或以上。

本发明的半导体器件的制造方法的特征在于，包括：在硅半导体衬底上形成源/漏区的工序，在所述半导体衬底的所述源/漏区间的沟道区上形成栅绝缘膜的工序，在所述栅绝缘膜上形成由多晶硅构成的栅电极的工序，在所述半导体衬底上形成由金属构成的导电层以便覆盖所述栅电极和源/漏区的工序，热处理所述导电层，从而在所述源/漏区上以及所述栅电极上形成所述硅和所述多晶硅与所述金属反应而成的金属硅化物的导电层的工序，将未与所述硅和多晶硅反应的所述金属除去的工序，在所述半导体衬底上形成含有碳的绝缘膜以便覆盖所述金属硅化物的导电层的工序，以及在所述半导体衬底上形成层间绝缘膜以便覆盖所述含有碳的绝缘膜的工序。也可以使所述含有碳的绝缘膜主成分为硅氮化膜。也可以使所述碳的含有量为 $1e20cm^{-3}$ 或以上。所述金属也可以是镍。也可以使所述金属为选自钽、钴、钛、钼、钨、钨、铂和钨中的至少一种。也可以使所述金属硅化物的金属为层叠成多层的结构。

也可以使所述含有碳的绝缘膜的氯浓度为 $4e21cm^{-3}$ 或以下。所述含有碳的绝缘膜也可以含有 $1e20cm^{-3}$ 或以上的氢。所述以硅氮化膜为主成分的绝缘膜也可以通过具有甲基或氨基的硅烷和氨的反应而形成。所述以硅氮化膜为主成分的绝缘膜也可以通过六甲基乙硅烷与氨的反应而形成。所述以硅氮化膜为主成分的绝缘膜也可以通过六甲基乙硅烷以及六氯乙硅烷与氨的反应而形成。所述反应时的成膜温度可以在 $700^{\circ}C$ 或以下。在本发明中所述含有碳的绝缘膜也可以含有氯以外的卤素。

本发明通过以上的结构，没有使硅化镍等的金属硅化物劣化，可以在金属硅化物上均匀地形成含碳硅氮化膜。此外，通过在硅氮化膜中添加碳，使半导体器件的高性能化成为可能。

附图说明

图 1 是本发明第 1 实施例的半导体器件的剖面图。

图 2 是图 1 的半导体器件的制造工艺的剖面图。

图 3 是图 1 的半导体器件的制造工艺的剖面图。

图 4 是图 1 的半导体器件的制造工艺的剖面图。

图 5 是图 1 的半导体器件的制造工艺的剖面图。

图 6 是展示用本发明方法形成的硅氮化膜的膜中杂质的 SIMS 分析结果的特性图。

图 7 是本发明第 2 实施例的半导体器件的剖面图。

图 8 是以往的半导体器件的剖面图。

符号说明

- 1、21、101... 半导体衬底
- 2、102... 源、漏区的浅扩散区
- 3、103... 源、漏区的深扩散区
- 4、24、104... 栅绝缘膜 5、25、105... 绝缘膜
- 6、106... 侧壁绝缘膜 7、107... 栅电极
- 8... 镍膜 9... 金属硅化物的导电层 (硅化镍膜)
- 10、29... 含碳的硅氮化膜
- 11、28、111... 层间绝缘膜
- 12、30、112... 接触部 22、113... 元件分离区
- 23... 源、漏区
- 26、109... 金属硅化物的导电层 31... 布线
- 110... 硅氮化膜

具体实施方式

以下参照图面说明本发明的实施方式。

首先参照图 1 至图 6 说明第 1 实施例。

图 1 是半导体器件的剖面图, 图 2 至图 5 是半导体器件的制造工艺剖面图, 图 6 是展示用该实施例的方法形成的氮化硅膜 (SiN) 的膜中杂质的 SIMS 分析结果的特性图。

硅半导体衬底 1 例如是 P 型，该图是在该衬底上形成的 NMOSFET 的结构剖面图。图 1 中所示 MOSFET 例如用于在同一芯片内形成了 NMOS 和 PMOS 两者的 CMOS 结构中。与图 8 同样，在半导体衬底 1 上，在由 STI 等元件分离区（未图示）划分的元件区中形成有 MOSFET。在半导体衬底 1 的表面区域中，形成有由浅扩散区（扩展区）2 和深扩散区 3 构成的源/漏区。在源/漏区间的沟道区上形成有硅氧化膜等栅绝缘膜 4。并且，在栅绝缘膜 4 上形成有栅结构。

在栅绝缘膜 4 上形成有由多晶硅构成的栅电极 7，在其表面施加硅氧化膜等绝缘膜 5，并且在栅电极 7 的侧壁上形成有硅氮化等构成的侧壁绝缘膜 6。侧壁绝缘膜 6 被栅绝缘膜 4 和绝缘膜 5 包围。此外，在栅电极 7 的上表面形成有硅化镍等金属硅化物的导电层 9。为使栅电极 7 的电阻降低而施加该导电层 9。同样，为降低源/漏区的电阻，在其上也形成导电层 9。为了覆盖该栅结构以及源/漏区在半导体衬底 1 上形成有含碳的硅氮化膜 10。为了覆盖这一结构在半导体衬底 1 上形成有硅氧化膜等层间绝缘膜 11。将层间绝缘膜 11 表面平坦化，形成埋入用于将在其上形成的铝或铜等的布线 14 和源、漏区电连接的接触部 12 的接触孔。接触孔在底面与源/漏区上的导电层 9 相接，其中埋入的钨等接触部 12 将所述布线和导电层 9 电连接。接触孔通过 RIE 等各向异性腐蚀而形成，但含碳硅氮化膜 10 被作为此时的腐蚀停止层使用。

在该实施例中所使用的含碳硅氮化膜的比介电常数下降，称为 RC 延迟的晶体管的速度下降受到抑制。

下面一边参照图 1 至图 5 一边说明该实施例的半导体器件的制造方法。首先，在半导体衬底 1 上形成由浅扩散区 2 和深扩散区 3 构成的源、漏区，在源、漏区间的上面通过栅绝缘膜 4 形成栅结构。在这种状态下栅电极 7 和源/漏区的硅露出来（图 2）。接着，用稀氢氟酸对半导体衬底 1 的表面进行预处理，之后在半导体衬底 1 上，利用溅射法成膜镍膜 8，以便覆盖所露出的硅（图 3）。镍膜 8 的膜厚为 1-30nm。接着，通过高速热处理 RTA（Rapid Thermal Anneal），例如在 250°C-500°C 左右的温度，在氮

或稀有气体气氛中进行1秒-10分钟以内时间的热处理。在这一时刻硅上的镍膜8变为硅化镍膜9，在硅以外的部位残存有未反应的镍膜。接着，通过在过氧化氢水和硫酸的混合药液中除去未反应的镍膜8（图4）。

接着，在半导体衬底1上通过硅源和氮化源的反应将含碳硅氮化膜10成膜为1nm-150nm左右膜厚。作为硅源，例如使用六甲基乙硅烷($\text{Si}_2(\text{CH}_3)_6$: HMD)，作为氮化源使用氨。成膜温度为 250°C - 550°C ，成膜压力为0.01托-50托。在使用这样的成膜条件时，添加了砷或磷的硅电极7上的硅化镍膜9不被腐蚀，就可形成含碳的氮化硅膜(SiN)。接着，形成膜厚100-10000nm左右的硅氧化膜等层间绝缘膜11，通过RIE等的通常的加工形成接触孔。在该接触孔中埋入W（通过阻挡层Ti/TiN）等的接触部12。接着，在层间绝缘膜11的表面上形成铝或铜等的布线14。接触部12将布线14以及源、漏区上的硅化镍膜9电连接。

图6中展示了在前述成膜条件下成膜的氮化硅膜(SiN)中的杂质分析结果。图6的纵轴表示杂质浓度，横轴表示距半导体衬底表面的深度(nm)。如图所示，表明通过在硅源中使用HMD，在硅氮化膜中导入 $1\text{e}21\text{cm}^{-3}$ 的碳。此外，膜中氯(Cl)的浓度为 $1\text{e}15\text{cm}^{-3}$ 数量级。借助膜中存在碳，可以提高半导体器件的性能以及抑制加工偏差。例如，通过在硅氮化膜中添加碳，可使膜密度变得稀疏，比介电常数下降。结果通过比介电常数下降，可以抑制被称为RC延迟的晶体管的速度降低。此外，通过在硅氮化膜中添加碳，对药液的耐腐蚀性提高，通过提高耐腐蚀性，例如可以减少接触孔开口时的预处理时的硅氮化膜的消减量的偏差。

在本发明的硅氮化膜形成中使用的硅源中，作为一个例子使用了HMD，但也可以代替甲基使用其他碳基、氨基、以及在自由基中具有碳化物的氨基等许多硅源。此外，作为电极材料描述了硅化镍，但作为其他金属，有Ta、Co、Ti、Mo、Hf、W、Pt、Pd等，此外，这些的单体金属或这些的层叠结构的电极也有同样的效果。

下面参照图7说明第2实施例。

图7是半导体器件（闪存）的剖面图。该实施例是将本发明适用于闪

存中的例子。以降低电阻为目的，该半导体器件也在栅电极表面和源/漏区表面形成金属硅化物的导电层，在半导体衬底表面形成含碳硅氮化膜。

在例如 P 型半导体衬底 21 上，在由 STI 等元件分离区 22 划分的元件区中形成有 MOSFET。在半导体衬底 21 的表面区域中，例如形成有 n 型的源/漏区 23。在源/漏区 23 间的沟道区上形成有硅氧化膜等栅绝缘膜 24。然后，在栅绝缘膜 24 上形成栅结构。即在栅绝缘膜 24 上形成有由多晶硅构成的浮动栅 27a，在其上通过绝缘膜（ONO（氧化物-氮化物-氧化物））25 层叠有控制栅 27b。

在控制栅 27b 的上表面形成有硅化镍等金属硅化物的导电层 26。为使控制栅 27b 的电阻降低而施加该导电层 26。同样，为降低源/漏区 23 的电阻，在其上也形成导电层 26。为了覆盖该栅结构以及源/漏区上的导电层在半导体衬底 21 上形成有含有碳的硅氮化膜 29。为了包含含有碳的硅氮化膜 29，在半导体衬底 21 上形成有通过 CVD 等形成的硅氧化膜等层间绝缘膜 28。将层间绝缘膜 28 表面平坦化后，形成埋入用于将在其上形成的与位线相连的铝或铜等的布线 31 和源/漏区 23 中的漏区上的导电层 26 电连接的接触部 30 的接触孔。接触孔在底面与源/漏区上的导电层 26 相接，其中埋入的钨等接触部 30 将所述布线 31 和导电层 26 电连接。接触孔通过 RIE 等各向异性腐蚀而形成，但含碳硅氮化膜 29 成为此时的腐蚀停止层。

在半导体衬底 21 上通过硅源和氮化源的反应将含碳硅氮化膜 29 成膜为 1nm-150nm 左右膜厚。作为硅源，例如使用六甲基乙硅烷（ $\text{Si}_2(\text{CH}_3)_6$ ；HMD），作为氮化源使用氨。成膜温度为 250°C-550°C，成膜压力为 0.01 托-50 托。在使用这样的成膜条件时，添加了砷或磷的控制栅上的金属硅化物的导电层不被腐蚀，就可形成含碳的硅氮化膜。

在该实施例中使用的含碳硅氮化膜的比介电常数下降，可以期待晶体管特性的提高，即抑制被称为 RC 延迟的晶体管的速度降低。

图1

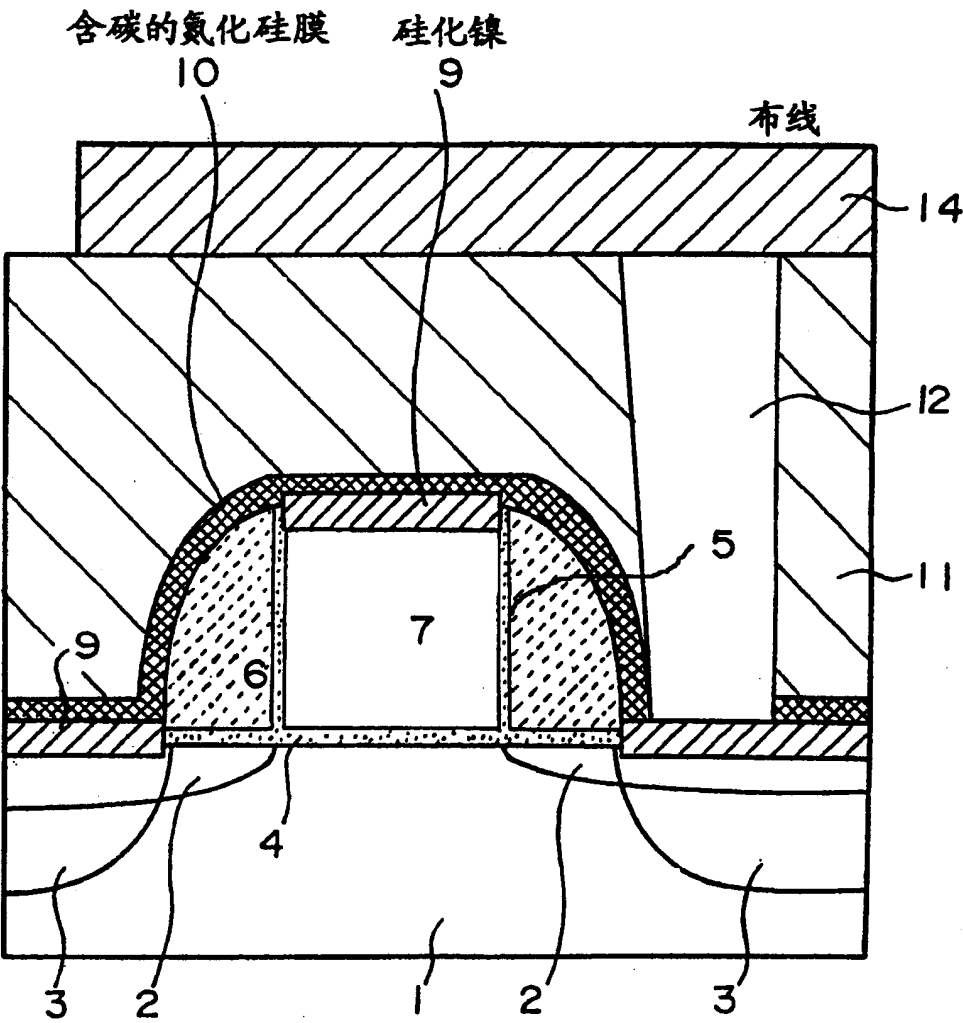


图2

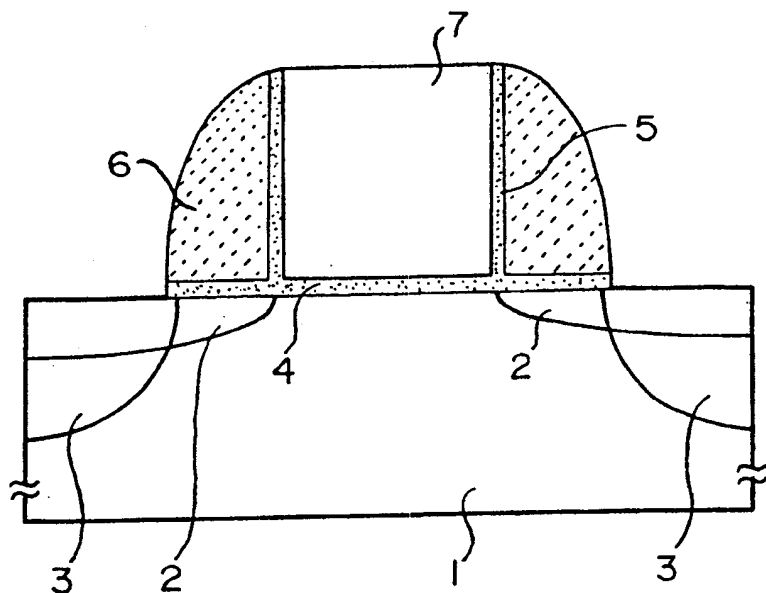


图3

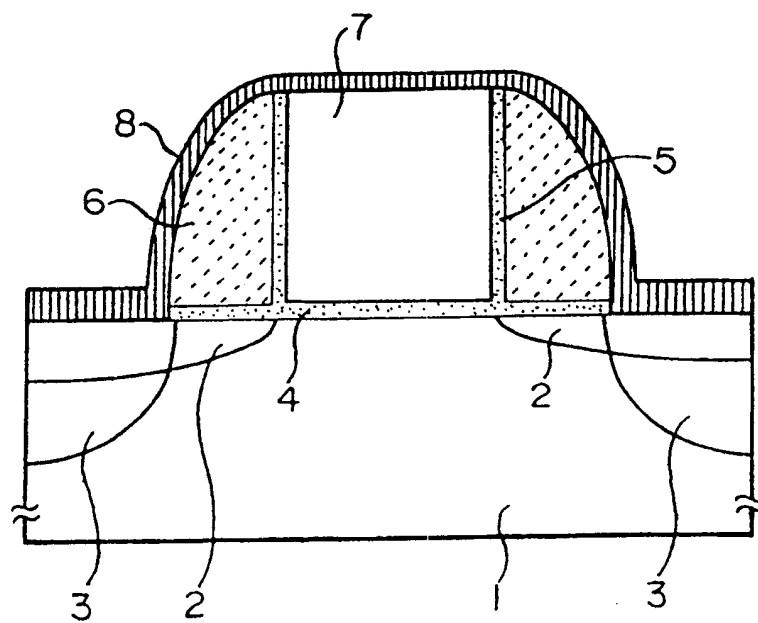


图6

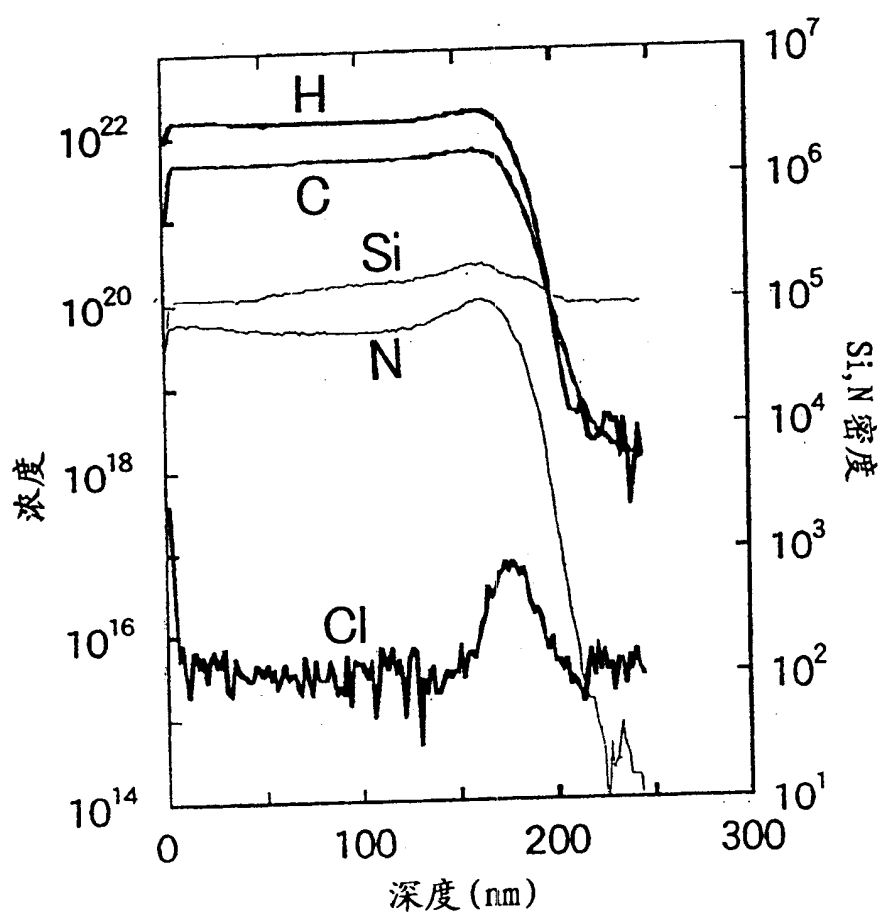


图8

