

公告本

申請日期	89.3.8
案號	89104144
類	Int. Cl. ⁶ H01L 2/00

448480_{A4}
C4

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	用於降低儲存節點與電晶體間相互作用之記憶體單元布局
	英文	MEMORY CELL LAYOUT FOR REDUCED INTERACTION BETWEEN STORAGE NODES AND TRANSISTORS
二、發明人	姓名	1. 朴永濤 (Young-Jin Park) 2. 卡爾 J. 雷登斯 (Carl J. Radens) 3. 格哈德昆克爾 (Gerhard Kunkel)
	國籍	1. 韓國 2. 美國 3. 德國
住、居所		1. 美國紐約州 12603 波奇西金達胡道 33 號 2. 美國紐約州 12540 拉格蘭治威爾庫齊勒道 35 號 3. 美國紐約州 12524 菲舒基爾山楂樹巷 22 號
	姓名 (名稱)	1. 印芬龍科技北美股份有限公司 (Infineon Technologies North America Corporation) 2. 國際商業機器股份有限公司 (International Business Machines Corporation)
三、申請人	國籍	1.-2. 皆為美國
	住、居所 (事務所)	1. 美國加州 95112-6000 聖荷西北一街 1730 號 2. 美國紐約州 10504 艾蒙克新橡樹路
	代表人姓名	1. 沙布林納 A. 史坦利 (Sabrina A. Stanley) 2. 傑佛瑞 L. 霍曼 (Jeffrey L. Forman)

裝

訂

線

448480

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

美國 (地區) 申請專利，申請日期： 案號： ， 有 無主張優先權

1999年03月18日申請案號第09/272,215號(主張優先權)

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明()

發明背景

1. 技術領域

本發明有關半導體布局,且更**特別地**有關一種用於降低半導體記憶體單元中之儲存節點與電晶體間之相互作用的布局。

2. 相關技藝說明

典型地,諸如動態隨機存取記憶體(DRAM)之半導體記憶體含有具備有儲存節點之記憶體單元。大致地,該等記憶體單元係形成於蝕刻於半導體記憶體晶片之基板內之深溝渠之內,該等儲存節點係利用存取電晶體予以存取,該存取電晶體則根據是否所希求之動作係讀取或寫入之功能而使電荷儲存於該儲存節點中或檢索電荷自該儲存節點。

在埋入式帶型溝渠電容器中,接近於字元線之摻雜物擴散會造成諸如短通道效應之問題於該存取電晶體通道中。

參閱第 1 圖,顯示一用於習知深溝渠電容器之布局,該等深溝渠電容器 10 係配置於通行字元線 12 下方,而存取電晶體 14 則透過擴散區 18 而電氣地耦合於深溝渠電容器 10 之儲存節點 16,該等擴散區 18 可為存取電晶體 14 之源極或汲極,同時,該等擴散區 20 係包含其電氣連接於接點 22,接點 22 連接於位元線(未圖示)而透過存取電晶體 14 讀取及寫入於儲存節點 16,存取電晶體 14 係由字元線 12 所激活,當施加電壓於字元線 12 時,在字元線 12

五、發明說明(>)

下方之通道會導通,使電流流動於擴散區 18 及 20 之間且流入或流出儲存節點 16。

較佳地,諸字元線係間隔最小可行之距離以保存布局區域,典型地,最小可行之距離係一最小尺寸大小 F ,其可藉技術達成。現參閱第 2 圖,顯示第 1 圖之布局的橫剖面視圖,第 2 圖之元件係標記如第 1 圖中所示,儲存節點 16 係藉電介質軸環 26 隔離自摻雜之阱 247,淺溝渠隔離區 28 配置於儲存節點 16 上以電氣隔離形成於儲存節點 16 上方之通行字元線 12,存取電晶體 14 之擴散區 18 係藉一至埋入帶 32 之節點擴散區 30 而連接於儲存節點 16,節點擴散區 30 與埋入帶 32 典型地係藉混合以產生導電區(節點區 30)於其間之外擴散之摻雜物予以連接。

在習知布局中,字元線 12 與埋入帶 32 間之距離通常係 $1F$,但若考慮覆蓋公差時,則來自埋入帶 32 之摻雜物外擴散會潛在地外擴散而足以與閘極 36(字元線 12)下方之通道 34 相互作用,造成短通道效應於存取電晶體 14 中。在典型之布局中,覆蓋公差係 $F/2$,亦即,最壞情況之距離係 $F/2$ 。通道 34 之長度係擴散區 18 及 20 與埋入帶 32 外擴散之函數,同時,亦係字元線 12 與深溝渠 10 間之覆蓋公差之函數。若來自埋入帶 32 之摻雜物外擴散長度大於 $F/2$ 時,則通道 34 之長度會呈小於 $1F$,而且來自埋入帶 32 之外擴散必須大致地足夠(約 $F/2$)而形成擴散區 18 與埋入帶 32 間之連接。

如第 2 圖中之虛線所示,顯示溝渠 10'與字元線 12 之錯

五、發明說明()

誤對齊的最壞情況，而來自埋入帶 32' 之進一步的外擴散使得通道 34 之通道長度降低，因而造成短通道效應於存取電晶體 14 之中。

因此，存在有降低埋入帶與存取電晶體通道間相互作用之半導體布局之需要。

發明概述

根據本發明之一種記憶體單元，包含：一溝渠，形成於基板中，以及一主動區，形成於該基板中在閘極下方且延伸至該溝渠，該主動區含有用於形成一電晶體供接達該溝渠中之儲存節點之擴散區，該電晶體係由該閘極所激活，該閘極界定一第一軸，其中一部分之該主動區橫切地延伸自該處，該主動區之該部分延伸至該溝渠，該溝渠具有一最接近於該主動區之該部分的側邊，該溝渠之該側邊成角度地相對於該閘極而配置，使得該閘極與該溝渠之該側邊間之距離比最小特性大小更大。

根據本發明之一種記憶體晶片布局，包含：形成於基板中之溝渠；以及形成於該基板中之主動區，該等主動區含有擴散區以用於形成接達該等溝渠中之儲存節點的電晶體，複數之字元線係實質地相互平行而配置，該等字元線具有一寬度且藉一實質相同之距離予以間隔開，各該等電晶體含有由該等字元線所形成之閘極，該等字元線界定一第一軸，其中各主動區之第一部分橫切地延伸自該字元線下方至一配置於毗鄰字元線下方之溝渠，該等溝渠具有一最接近於該等主動區之該等第一部分之側邊，最接近之該

五、發明說明(4)

溝渠之該側邊係成角度地相對於該等字元線而配置,使得字元線與配置在毗鄰字元線下方之最接近於溝渠之第一部分之側邊間之距離比該等字元線間之實質相同之距離更大。

另一記憶體晶片布局包含:溝渠,以及基板中所形成之主動區,該等主動區含有擴散區供形成用於接達該等溝渠中之儲存節點用,複數之字元線係實質地相互平行而配置,該等字元線具有一寬度且藉一實質相同距離予以間隔開,各該等電晶體含有由該等字元線所形成之閘極,該等字元線界定一第一軸,其中各主動區之第一部分橫切地延伸自該字元線下方至一配置於毗鄰字元線下方之溝渠,該等溝渠具有一最接近於該等主動區之該等第一部分之側邊,最接近於該等第一部分之側邊係成角度地相對於該等字元線而配置,使得字元線配置在毗鄰字元線下方之最接近於該等第一部分之側邊間之距離比該等字元線間之實質相同之距離更大;該等主動區界定一第二軸,該第二軸與該等字元線形成一角度且延伸在兩毗鄰字元線下方而連接於該等主動區之末端處之諸溝渠,配置在該兩毗鄰字元線下方之該等溝渠具有至少一側邊以相對於該第二軸實質平行定向予以對齊。

在替換性實施例中,該等主動區可與該第一軸形成一角度使得配置在該閘極下方之存取電晶體之通道的通道長度比該閘極或字元線之寬度更大。該等溝渠可具有一含有矩形,梯形,平行四邊形及/或彎曲矩形之一的形狀,部

五、發明說明(5)

分(或第一部分)之該主動區可含有一彎曲以進一步延伸在該閘極與該溝渠之側邊間之距離,該閘極及/或該等字元線可含有一比最小尺寸大小更大之寬度以提供更長之通道長度,該閘極可僅在該等存取電晶體之通道上含有比該最小尺寸大小更大的寬度,該閘極含有最小尺寸大小之寬度,在毗鄰字元線下方之該等溝渠可分開至少一最小尺寸大小,毗鄰在該兩字元線之各側上之配對的字元線可具有形成一角度之主動區,該角度相反於該兩字元線上之主動區所形成之該等角度的旋轉,在該毗鄰配對下方之該等溝渠具有至少一側邊實質地平行於毗鄰配對字元線之主動區且形成一角度相反於該兩字元線上之主動區所形成之該等角度的旋轉。

本發明之該等及其他目的,特性與優點將呈明顯於下文其描繪性實施例之詳細說明,其將結合附圖而讀取。

圖式簡單說明

本發明將參照下列圖式而詳細地呈現下文之較佳實施例的說明,其中:

第 1 圖係根據習知技術之習知記憶體裝置之記憶體單元布局之頂部平面視圖;

第 2 圖係取根據習知技術之記憶體單元之第 1 圖之剖面線 A-A 之橫剖面視圖;

第 3 圖係記憶體裝置之記憶體單元布局的頂部平面視圖,顯示根據本發明之成角度之矩形溝渠及主動區;

第 4 圖係記憶體裝置之另一記憶體單元布局的頂部平

五、發明說明(b)

面視圖，顯示根據本發明之成角度之平行四邊形溝渠及主動區；

第 5 圖係第 4 圖之記憶體裝置之記憶體單元布局之頂部平面視圖，顯示根據本發明之成角度之平行四邊形溝渠及主動區，其中該等主動區含有轉角；

第 6 圖係記憶體裝置之另一記憶體單元布局的頂部平面視圖，顯示根據本發明之成角度之彎曲矩形溝渠及成角度之主動區；

第 7 圖係第 6 圖之記憶體單元布局之頂部平面視圖，顯示根據本發明之成角度之彎曲矩形溝渠及成角度之主動區，其中該等主動區含有轉角；

第 8 圖係記憶體裝置之另一記憶體單元布局的頂部平面視圖，顯示根據本發明之成角度之矩形溝渠及成角度之主動區以及更寬之字元線以提供更大之溝渠；

第 9 圖係記憶體裝置之另一記憶體單元布局之頂部平面視圖，顯示根據本發明之成角度之平行四邊形溝渠及成角度之主動區以及更寬之字元線以提供更大之溝渠；

第 10 圖係記憶體裝置之另一記憶體單元布局之頂部平面視圖，顯示根據本發明之成角度之矩形溝渠及成角度之主動區以及僅在電晶體通道上更寬之字元線以延伸該等通道；

第 11 圖係記憶體裝置之另一記憶體單元布局之頂部平面視圖，顯示根據本發明之成角度之平行四邊形溝渠及成角度之主動區以及僅在電晶體通道上之更寬之字元線以

五、發明說明(7)

延伸該等通道；

第 12 圖係記憶體裝置之另一記憶體單元布局之頂部平面視圖，顯示根據本發明之成角度之平行四邊形溝渠及主動區；

第 13 圖係第 12 圖之記憶體裝置之記憶體單元布局的頂部平面視圖，顯示根據本發明之成角度之平行四邊形溝渠及主動區，其中該等主動區含有轉角；以及

第 14 圖係取根據本發明之記憶體單元之第 3 圖之剖面線 D-D 的橫剖面視圖。

較佳實施例之詳細說明

本發明有關半導體布局，且更特別地有關一種用於降低半導體記憶體單元中之儲存節點與電晶體間之相互作用的布局。本發明含有深溝渠電容器及主動區之布局使得儲存節點與其下方存在電晶體通道之字元線之間更大的距離會實現。藉提供額外之距離，可防止從埋入帶進入通道之外擴散以及避免短通道效應。進一步地，本發明尚含有額外之實施例，該等實施例提供增大之距離於該埋入帶與字元線之間。本發明可應用於記憶體單元，且特別地應用於動態隨機存取記憶體(DRAM)單元，其他記憶體裝置亦可由本發明所思及。

現特別詳細地參閱附圖，其中在若干視圖中相同符號表示類似或相同元件，首先參閱第 3 圖，顯示一用於半導體記憶體 100 之布局，記憶體 100 含有最深溝渠 102 及字元線(閘極)104，較佳地，字元線 104 係由例如最小尺寸大小

五、發明說明(8)

F 之距離 d 所分隔開,進一步較佳地,字元線同樣地具有大約 F 之厚度。主動區 106 含有源極區及汲極區於各字元線 104 之相反側,將理解的是該等附圖含有具重疊元件之布局的描繪,該等元件係配置於複數之不同高度之上,例如溝渠係形成於半導體基板之中,主動區係擴散入基板之內以及接點及閘極/字元線形成於基板之上。

根據本發明,溝渠 102 係配置使得角度 A 形成於溝渠 102 與字元線 104 之間,此角度之定向提供了額外的長度於溝渠 102 與字元線 104 之間。第 3 圖顯示一尺寸 d_2 ,該尺寸 d_2 代表字元線 104 與溝渠電容器 102 之最接近側之間的距離。根據本發明 d_2 係大於 d ,在一較佳實施例, d_2 大於 F。同樣地,主動區 106 亦以與字元線 104 成角度之關係配置,在一實施例中,主動區 106 具有成角度部分 108 及實質垂直於字元線 104 之部分 110。根據此布局,溝渠 102 間之最小距離及溝渠 102 之相同寬度係維持如 d_1 所示,較佳地 d_1 係相等於 F。

如第 3 圖中所示,該布局會藉重複供主動區 106 之成角度部分 108 用之角度圖型於一給定配對 112 之字元線之上而達成空間之效率,毗鄰配對 114 提供了相類似之圖型,然而該圖型係以相反於字元線配對 112 上之主動區 106 之成角度部分 108 之方向的方向來旋轉。與各字元線配對(112 及 114)相結合之溝渠 102 係沿著所結合之字元線配對(112 及 114)之成角度部分 108 對齊。在較佳實施例中,溝渠 102 係與字元線 104 形成大於零度至約 45 度之

五、發明說明(9)

角度 A,主動區 106 之成角度部分 108 形成箭尾型而有效地布局諸如溝渠 102 與接點 106 之組件。

部分 110 之主動區 106 係延伸至一大於 F 之值,此藉准許較長之平均距離於溝渠 102 之埋入帶(第 2 圖之 32)與字元線 104 之間而降低了其間之相互作用。有利地,較大之距離(大於 F)係實現於溝渠 102 與位元線接點 116 之間。進一步地,即使在重疊 $F/2$ 之邊緣(公差)之最壞情況中,本發明仍可提供充分之距離於溝渠 102 之埋入帶(第 2 圖之 32)與字元線 104 之間。同時,在字元線 104 下方之通道區 107 會藉成角度部分 108 而增加,因此降氏了存取電晶體中之短通道效應。

參閱第 4 圖,顯示根據本發明之替換性布局,溝渠 202 係以平行四邊形之形狀成形,此係在於維持溝渠 202 與主動區 206 之成角度部分 208 實質平行的對齊,字元線 204 則以如往常之實質平行方式來定向,該等溝渠 202 之平行四邊形形狀准許增加之記憶體單元密度於記憶體晶片 200 之各處。在此實施例中,成角度部分 208 形成字元線 204 間之角度 B,角度 B 可為大於零度至約 60 度,由溝渠 202 所形成之平行四邊形之角度將根據主動區 206 之定向而適當地轉移。主動區 206 之成角度部分 208 連接於實質垂直於字元線 204 之部分 210,該等部分 210 連接於溝渠 202(透過埋入帶)。在字元線 204 與溝渠 202 間之距離 d_3 大於或等於 F,即,大於或等於根據本發明之最小尺寸大小。橫跨該部分 210 之平均距離大於 F,如第 5 圖中所示

五、發明說明()

之字元線與溝渠 202 間之距離 d_4 大於 F , 即大於根據本發明之最小尺寸大小。橫跨該部分 210 之平均距離大於 F , 且在溝渠 202 之所有點與字元線 204 間之距離大於 F , 此係藉驅使主動區 206 中之溝渠 202 與字元線 204 間所有點之距離大於 F 而維持主動區 206 之轉角的彎曲 220 來達成的。在第 4 及 5 圖中, 溝渠 202 係藉大約 F 而間隔開於相對之主動區 206 之側邊上, 位元線接點 122 係顯示於第 4 及 5 圖中, 同時, 在字元線 204 下方之通道區 207 係藉成角度之部分 208 而增加, 藉此降低了存取電晶體中之短通道效應。

參閱第 6 及 7 圖, 本發明之另一實施例採用具有彎曲或弧形側邊 301 之溝渠 302 以及實質平行於主動區 306 之成角度部分 308 之直線側邊 303。藉採用此成形之溝渠 302, 距離 d_5 係維持大於 F 供字元線 304 與溝渠 302 間諸部分 310 之所有點用。進一步地, 藉採用具有第 6 及 7 圖所示之形狀的溝渠 302, 會在字元線 304 與溝渠 302 間獲得更大距離, 藉此准許增大之重疊邊緣(公差)。同時, 在字元線 304 下方之通道區 307 係藉成角度之部分 308 而增加, 藉此降低了存取電晶體中之短通道效應。在第 6 及 7 圖中, 溝渠 302 係藉大約 F 而間隔開於相對之主動區 306 之側邊上, 同時亦顯出位元線接點 322。第 7 圖含有部分 310 主動 306 之轉角 302 的優點。

如第 8 圖中所示, 溝渠 402 可成角度使溝渠面積最佳化或增大溝渠面積, 亦即, 提供更大的溝渠。如第 9 圖中所

五、發明說明(//)

示,溝渠 403 可傾斜以提供更具效率及更大的布局面積。對於第 8 及 9 圖中而言,字元線 404 可更厚以增加溝渠之面積及提供電晶體通道 406 更大的通道長度於字元線 404 下方。為進一步地增加通道 406 之通道長度,如第 10 及 11 圖中所示,可變寬字元線 407 於適當之處,字元線 407 可具有彎曲或“鋸齒”之外形以提供擴大部分 409 於通道 406 之上而增加了通道長度。

參閱第 12 及 13 圖,其他溝渠形狀係由本發明所構思,例如梯形可隨著主動區 506 之成角度部分 508 而使用於溝渠 502,諸部分 510 可如上述含有轉角 512,字元線係標示為 504。

現參閱第 14 圖,顯示第 3 圖之布局的橫剖面視圖。儲存節點 516 係藉電介質軸環 526 而隔離自摻雜之阱 524。淺溝渠隔離區 528 係提供於儲存節點 516 上方以電氣隔離形成於儲存節點 516 上方之通行字元線 104。存取電晶體 514 之擴散區 518 係藉由連接到埋入帶 532 之節點擴散區 530 而連接於儲存節點 516。節點擴散區 530 與埋入帶 532 係藉外擴散之摻雜物連接,該等外擴散之摻雜物係混合以產生導電區(節點區 530)於該節點擴散區 530 與埋入帶 532 之間。

根據本發明一實施例,字元線 104 與埋入帶 532 間之距離係大於 F ,來自埋入帶 532 之摻雜物外擴散無法充分地外擴散而與閘極 536(字元線 104)下方之通道 534 相互作用,因此可防止存取電晶體 514 中之短通道效應。對於

五、發明說明 (1)

$d_{01}=F/2$ 之最大重疊公差及稱爲 $d_{02}=F/2$ 之外擴散長度，本發明會有利地留下邊緣於字元線與擴散區 518 及 520 與埋入帶 532 外擴散區之間， d_1 可維持於 F ，若來自埋入帶 532 之擴散物之外擴散長度大於 $F/2$ 時，由於距離 d_2 係根據本發明而增加，故通道 534 仍具有邊緣， d_2 可根據其不同之實施例及組合而更大。

已描述用於降低儲存節點與電晶體之間之相互作用之記憶體單元布局之較佳實施例（其係打算作為描繪而非限制），應注意的是，種種修飾及變化可由熟練於本項技術之人士根據上述教示而完成。因此，將理解的是種種改變可完成於所揭示之本發明的特定實施例中而涵蓋於如附錄申請專利範圍所載述之本發明的範疇及精神之內。所以已詳細地且由專利法所特定 **需求地** 描述本發明，由專利文字所保護之主張範圍及希求將敘述於附錄之申請專範圍中。

符號之說明

- 10... 深溝渠電容器
- 12... 通行字元線
- 14... 存取電晶體
- 16... 儲存節點
- 18... 擴散區
- 20... 擴散區
- 22... **接點**
- 24... 摻雜之阱

五、發明說明(一)

- 26... 電介質軸環
- 28... 淺溝渠隔離區
- 30... 節點擴散區
- 32,32'... 埋入帶
- 34... 通道
- 36... 閘極
- 100... 半導體記憶體
- 102... 深溝渠
- 104... 字元線
- 106... 主動區
- 108... 成角度之部分
- 110... 部分
- 112,114... 字元線配對
- 122... 位元線接點
- 200... 記憶體晶片
- 202... 溝渠
- 204... 字元線
- 206... 主動區
- 208... 成角度之部分
- 210... 部分
- 220... 轉角的彎曲
- 301... 彎曲或弧形側邊
- 302... 溝渠
- 303... 直線側邊

448480

A7

B7

五、發明說明 (14)

- 304... .字元線
- 306... .主動區
- 307... .通道區
- 308... .成角度之部分
- 310... .部分
- 320... .轉角
- 322... .位元線接點
- 402... .溝渠
- 403... .溝渠
- 404... .字元線
- 406... .電晶體通道
- 407... .字元線
- 409... .擴充之部分
- 502... .溝渠
- 504... .字元線
- 506... .主動區
- 508... .成角度之部分
- 510... .部分
- 512... .轉角
- 516... .儲存節點
- 518... .擴散區
- 520... .擴散區
- 524... .摻雜之阱
- 526... .電介質軸環

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

448480

A7

B7

五、發明說明 (15)

528.....淺溝渠隔離區

530.....節點擴散區

532.....埋入帶

534.....通道

536.....閘極

(請先閱讀背面之注意事項再填寫本頁)

裝 · · · · · 訂 · · · · · 線

四、中文發明摘要(發明之名稱：用於降低儲存節點與電晶體間相互作用之記憶體單元布局)

根據本發明之一種記憶體單元，含有一形成於基板中之溝渠以及一形成於該基板中在閘極下方且延伸至該溝渠之主動區，該主動區含有擴散區以用於形成電晶體供接達該溝渠中之儲存節點，該電晶體係由該閘極所激活，該閘極界定一第一軸，其中一部分之該主動區橫向地延伸自該處，該主動區之該部分延伸至該溝渠，該溝渠具有一最接近於該主動區之該部分的側邊，該溝渠之該側邊係成角度地相對於該閘極而配置，使得該閘極與該溝渠之側邊間之距離大於一最小尺寸大小。

英文發明摘要(發明之名稱：MEMORY CELL LAYOUT FOR REDUCED INTERACTION BETWEEN STORAGE NODES AND TRANSISTORS)

A memory cell, in accordance with the invention, includes a trench formed in a substrate, and an active area formed in the substrate below a gate and extending to the trench. The active area includes diffusion regions for forming a transistor for accessing a storage node in the trench, the transistor being activated by the gate. The gate defines a first axis wherein a portion of the active area extends transversely therefrom, the portion of the active area extending to the trench. The trench has a side closest to the portion of the active area, the side of the trench being angularly disposed relative to the gate such that a distance between the gate and the side of the trench is greater than a minimum feature size.

448480

六、申請專利範圍

1. 一種記憶體單元，包含：
溝渠，形成於基板中；
主動區，形成於該基板中在閘極下方且延伸至該溝渠，該主動區含有擴散區，用於形成電晶體供接達該溝渠中之儲存節點，該電晶體係由該閘極所激活；
該閘極界定一第一軸，其中該主動區之一部向橫向地延伸自該處，該主動區之該部分延伸至該溝渠；以及
該溝渠具有一最接近該主動區之該部分的側邊，該溝渠之該側邊成角度地相對於該閘極而配置，使得該閘極與該溝渠之該側邊大於一最小尺寸大小。
2. 如申請專利範圍第 1 項之記憶體單元，其中該主動區與該第一軸形成一角度，使得配置在該閘極下方之該存取電晶體之通道的通道長度大於該閘極之寬度。
3. 如申請專利範圍第 1 項之記憶體單元，其中該等溝渠具有矩形，梯形，平行四邊形及彎曲矩形之一的形狀。
4. 如申請專利範圍第 1 項之記憶體單元，其中該主動區之該部分含有一彎曲以進一步地延伸該閘極與該溝渠之側邊之間的距離。
5. 如申請專利範圍第 1 項之記憶體單元，其中該閘極含有於該最小尺寸大小的寬度以提供較長之通道長度。
6. 如申請專利範圍第 5 項之記憶體單元，其中該閘極僅在該等存取電晶體的通道上含有大於該最小尺寸大小之寬度。
7. 如申請專利範圍第 1 項之記憶體單元，其中該閘極含有

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

該最小尺寸大小之寬度。

8. 一種記憶體晶片布局, 包含:

溝渠, 形成於基板中;

主動區, 形成於該基板中, 該主動區含有擴散區, 用於形成電晶體供接達該等溝渠中之儲存節點;

複數之字元線, 實質地平行於彼此而配置, 該等字元線具有寬度且係以實質相同之距離間隔開, 該等電晶體各含有由該等字元線所形成之閘極, 該等字元線界定一第一軸, 其中各主動區之第一部分橫向地延伸自該字元線下方到毗鄰字元線下方所配置之溝渠; 以及

該等溝渠具有最接近於該等主動區之該等第一部分之側邊, 最接近於該溝渠之該側邊成角度地相對於該等字元線而配置, 使得該字元線與配置在字元線下方及毗鄰字元線之用於溝渠的最接近該溝渠之側邊之間的距離大於該等字元線間之實質相同的距離。

9. 如申請專利範圍第 8 項之記憶體晶片布局, 其中該等主動區與該第一軸形成一角度, 使得配置於該等字元線下方之該存取電晶體之通道的通道長度大於該等字元線之寬度。

10. 如申請專利範圍第 8 項之記憶體晶片布局, 其中該等溝渠具有矩形, 梯形, 平行四邊形及彎曲矩形之一的形狀。

11. 如申請專利範圍第 8 項之記憶體晶片布局, 其中該主動區之該第一部分含有一彎曲以進一步地延伸該閘極

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

4248480

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

與最接近該溝渠之側邊之間的距離。

12. 如申請專利範圍第 8 項之記憶體晶片布局,其中該等字元線之寬度大於該最小尺寸大小以提供該電晶體之更長的通道長度。

13. 如申請專利範圍第 12 項之記憶體晶片布局,其中該寬度僅在該等存取電晶體之該等通道上大於該最小尺寸大小。

14. 如申請專利範圍第 8 項之記憶體晶片布局,其中該寬度及該實質相同之距離係該最小尺寸大小。

15. 一種記憶體晶片布局,包含:

溝渠,形成於基板中;

主動區,形成於該基板中,該主動區含有擴散區,用於形成電晶體供接達該等溝渠中之儲存節點;

複數之字元線,實質地平行於彼此而配置,該等字元線具有寬度且係以實質相同之距離間隔開,該等電晶體各含有由該等字元線所形成之閘極,該等字元線界定一第一軸,其中各主動區之第一一部分橫向地延伸自該字元線下方到毗鄰字元線下方所配置之溝渠;

該等溝渠具有最接近於該等主動區之該等第一一部分之側邊最接近於該等第一一部分之該側邊成角度地相對於該等字元線而配置,使得字元線與配置在毗鄰字元線下方之用於溝渠的最接近於該等第一一部分之側邊之間的距離大於該等字元線間之實質相同的距離;以及

該等主動區界定一第二軸,該第二軸與該等字元線形

448480

六、申請專利範圍

成一角度且延伸在兩毗鄰字元線下方而連接於該主動區末端處之溝渠，配置在該兩毗鄰字元線下方之該等溝渠具有至少一側邊以實質相對於該第二軸之平行方向來對齊。

16. 如申請專利範圍第 15 項之記憶體晶片布局，其中該等主動區與該第一軸形成一角度，使得配置在該等字元線下方之存取電晶體之通道的通道長度大於該等字元線之寬度。
17. 如申請專利範圍第 15 項之記憶體晶片布局，其中該等溝渠具有矩形，梯形，平行四邊形及彎曲矩形之一的形狀。
18. 如申請專利範圍第 15 項之記憶體晶片布局，其中該主動區之該第一部分含有一彎曲以進一步地延伸該閘極與最接近該溝渠之側邊之間的距離。
19. 如申請專利範圍第 15 項之記憶體晶片布局，其中該等字元之寬度大於該最小尺寸大小以提供該電晶體之更長的通道長度。
20. 如申請專利範圍第 19 項之記憶體晶片布局，其中該寬度僅在該等存取電晶體之該等通道上大於該最小尺寸大小。
21. 如申請專利範圍第 15 項之記憶體晶片布局，其中該寬度及該實質相同之距離係該最小尺寸大小。
22. 如申請專利範圍第 15 項之記憶體晶片布局，其中在毗鄰字元線下方之該等溝渠至少分開一最小尺寸大

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

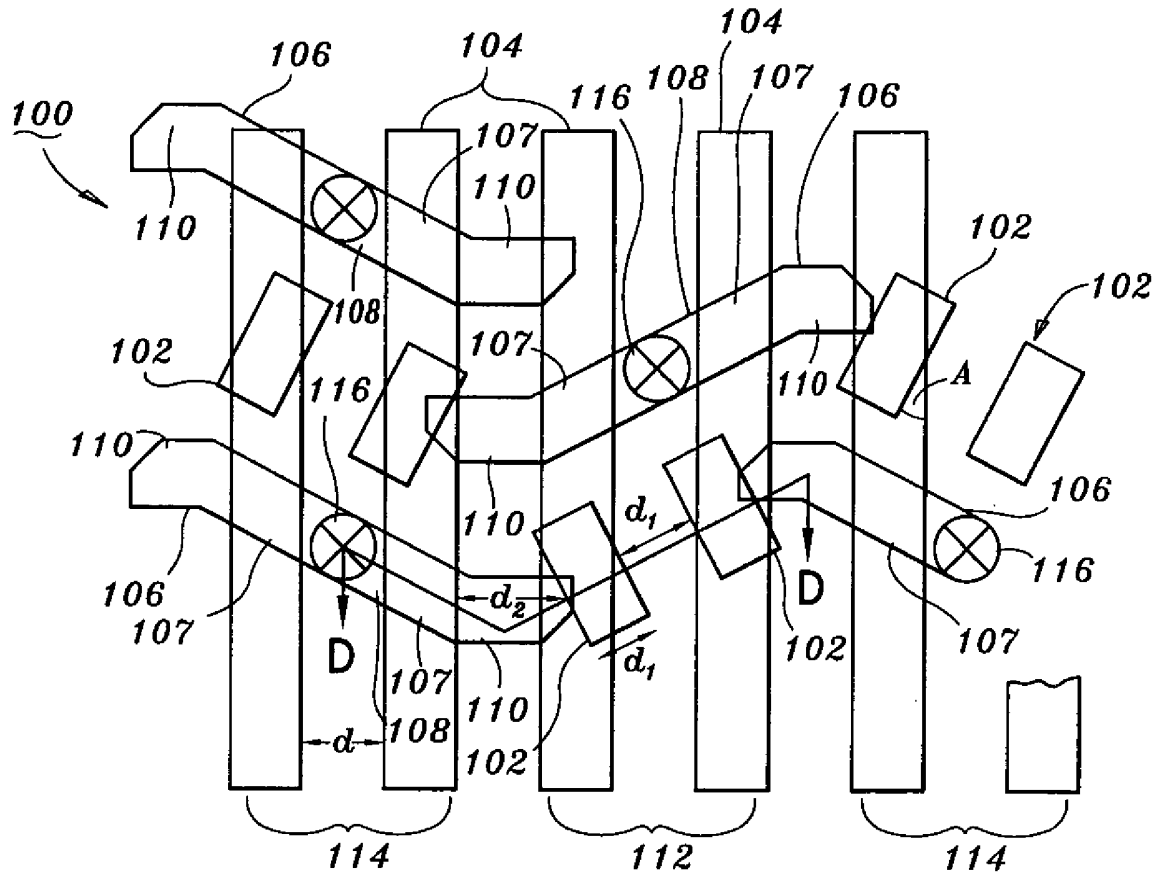
184
90
六、申請專利範圍

小。

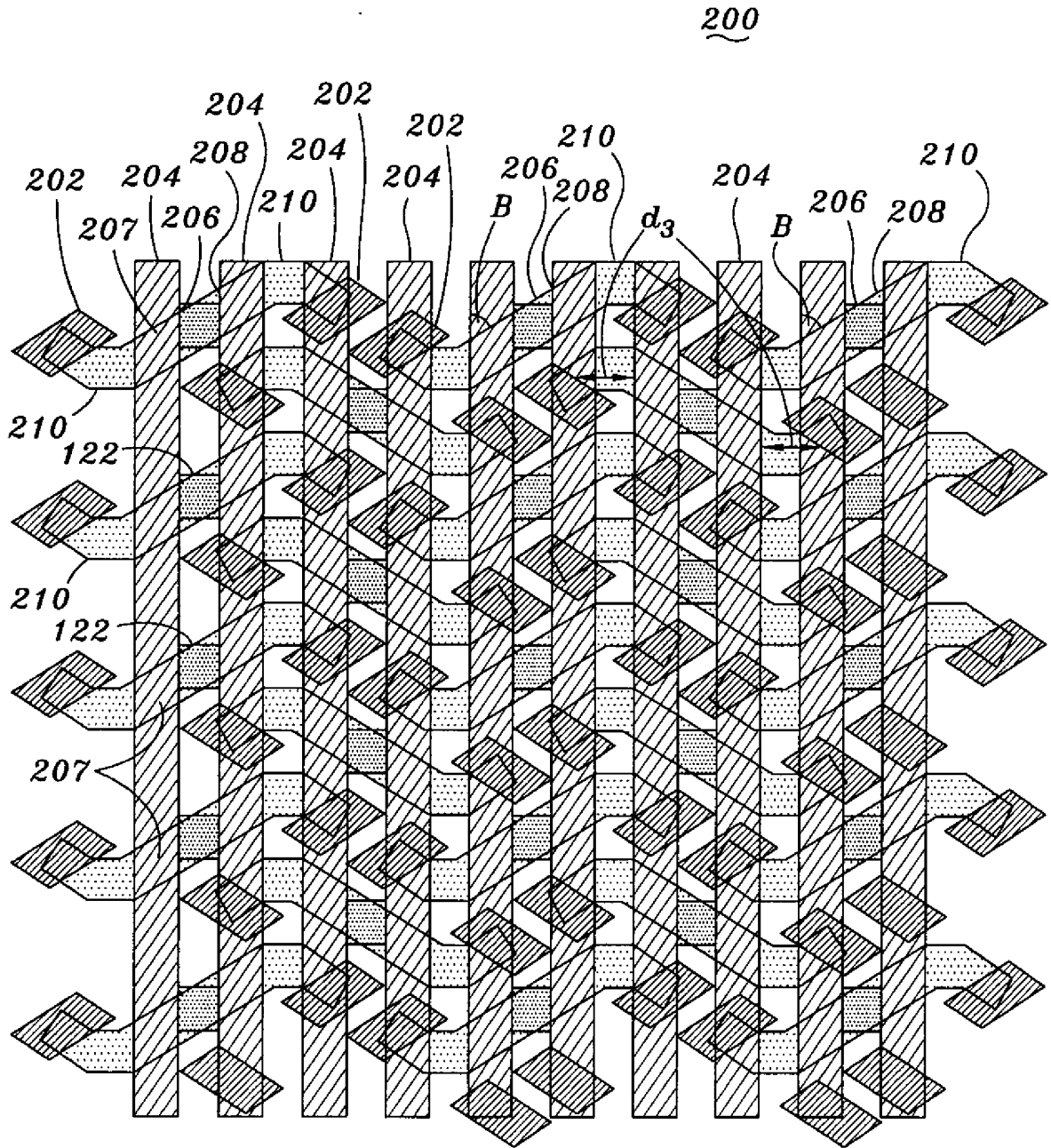
23. 如申請專利範圍第 15 項之記憶體晶片布局,其中毗鄰在該兩字元線之各側上的配對字元線具有主動區,該等主動區形成相反於該兩字元線上之主動區所形成之角度之旋轉的角度,在該等毗鄰配對之下方的該等溝渠具有至少一側邊,該側邊實質地平行於形成相反於該兩字元線上之主動區所形成之角度之旋轉的角度之主動區。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

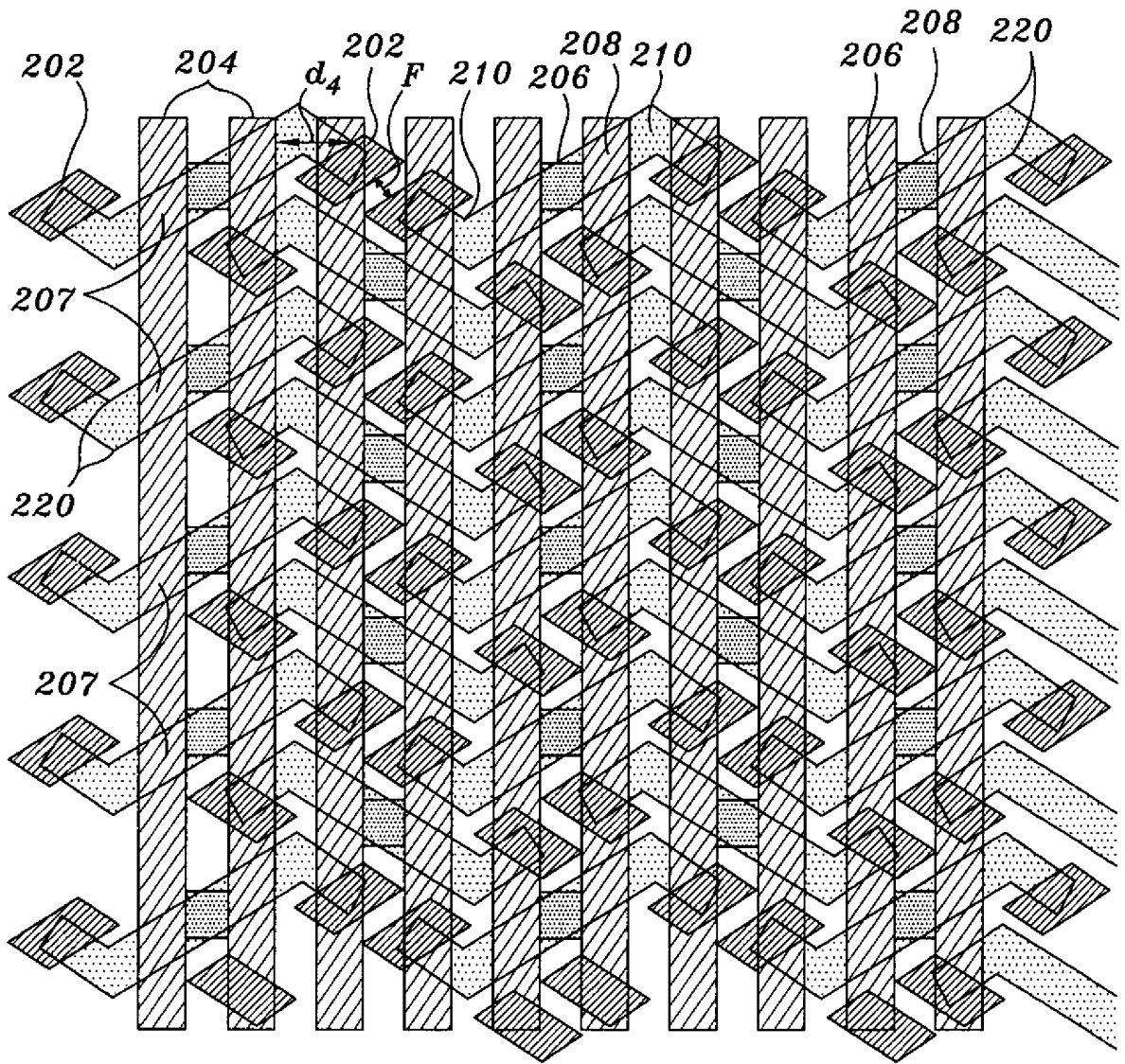


第 3 圖



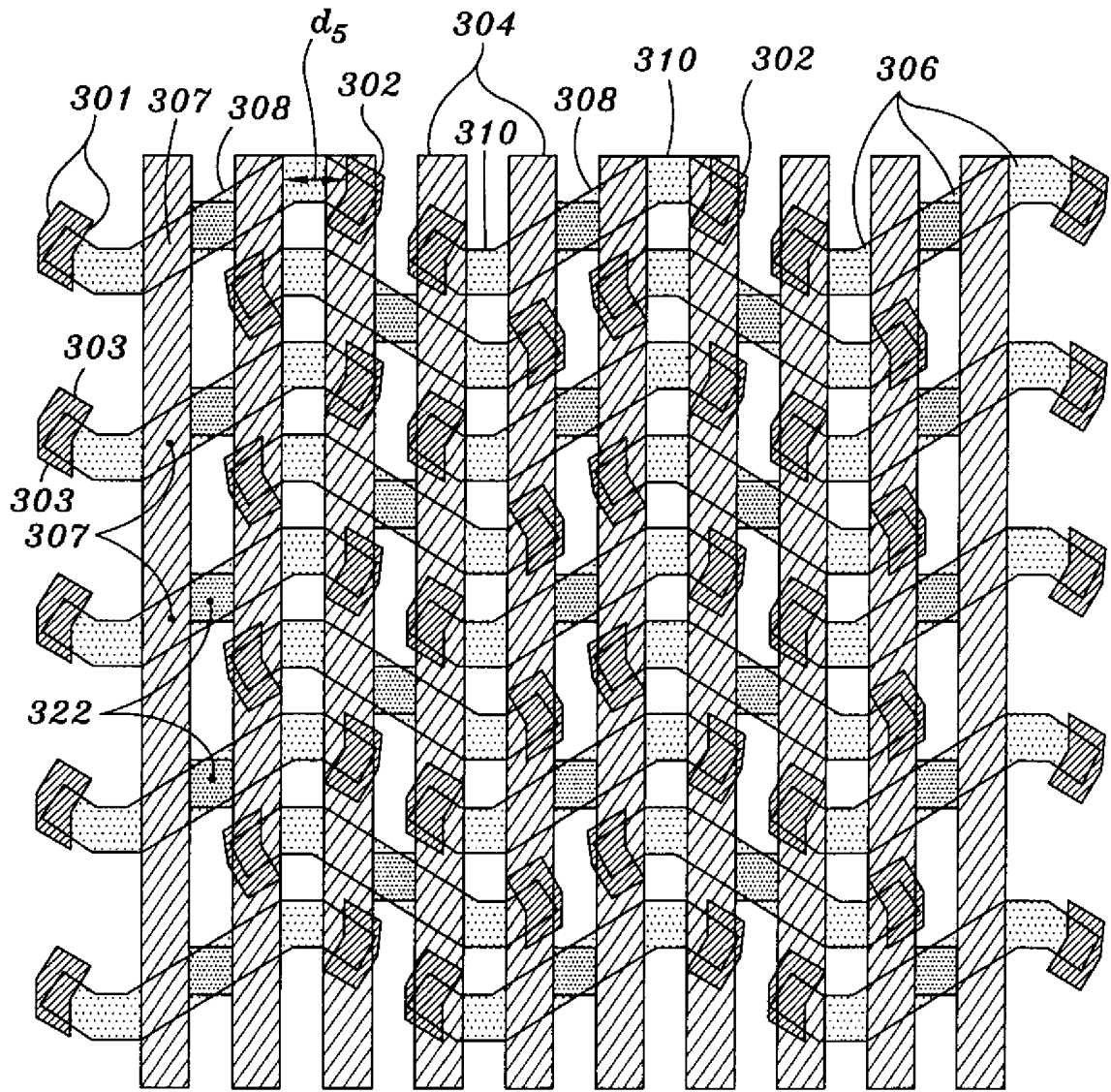
第 4 圖

448480

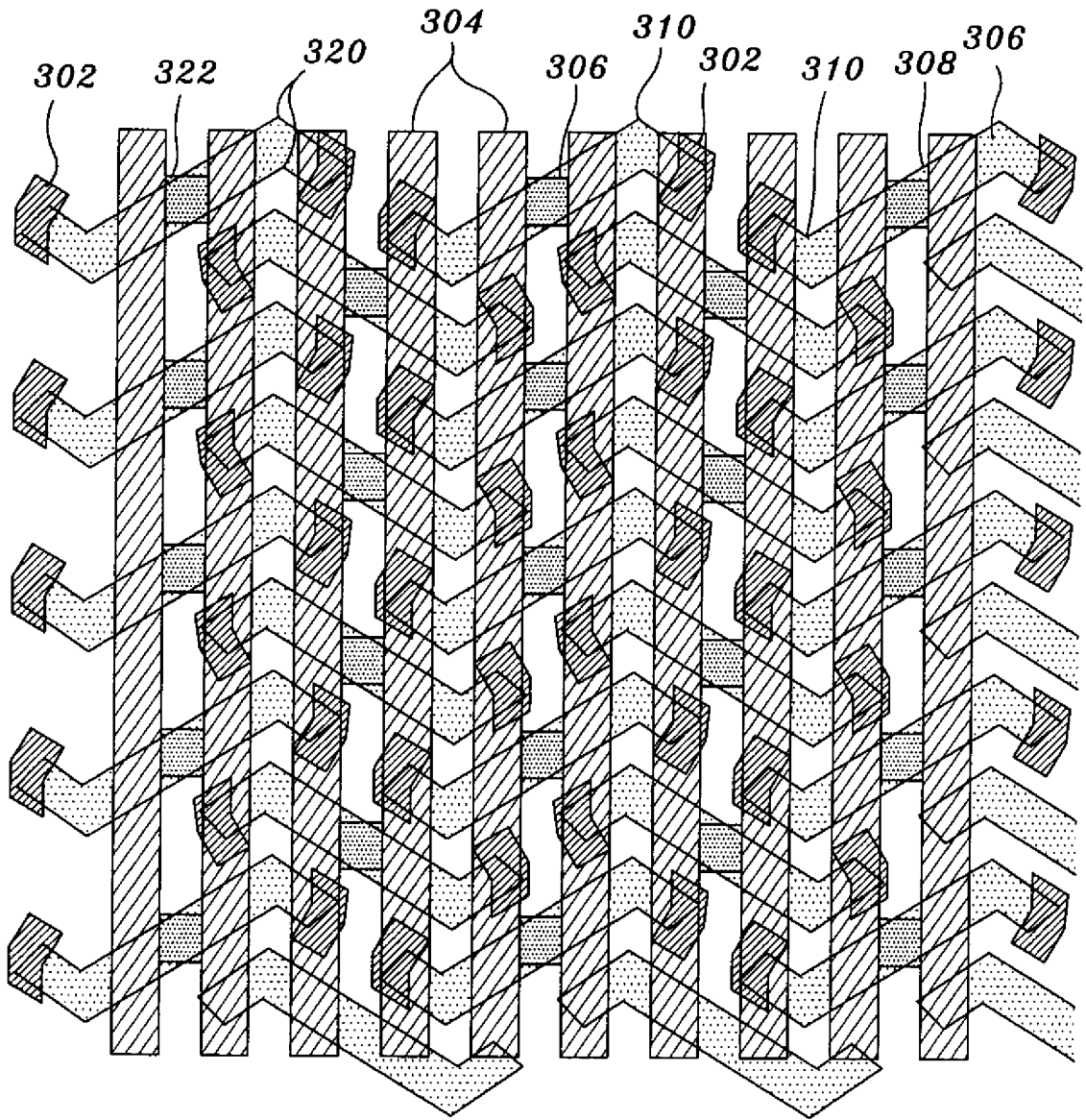


第 5 圖

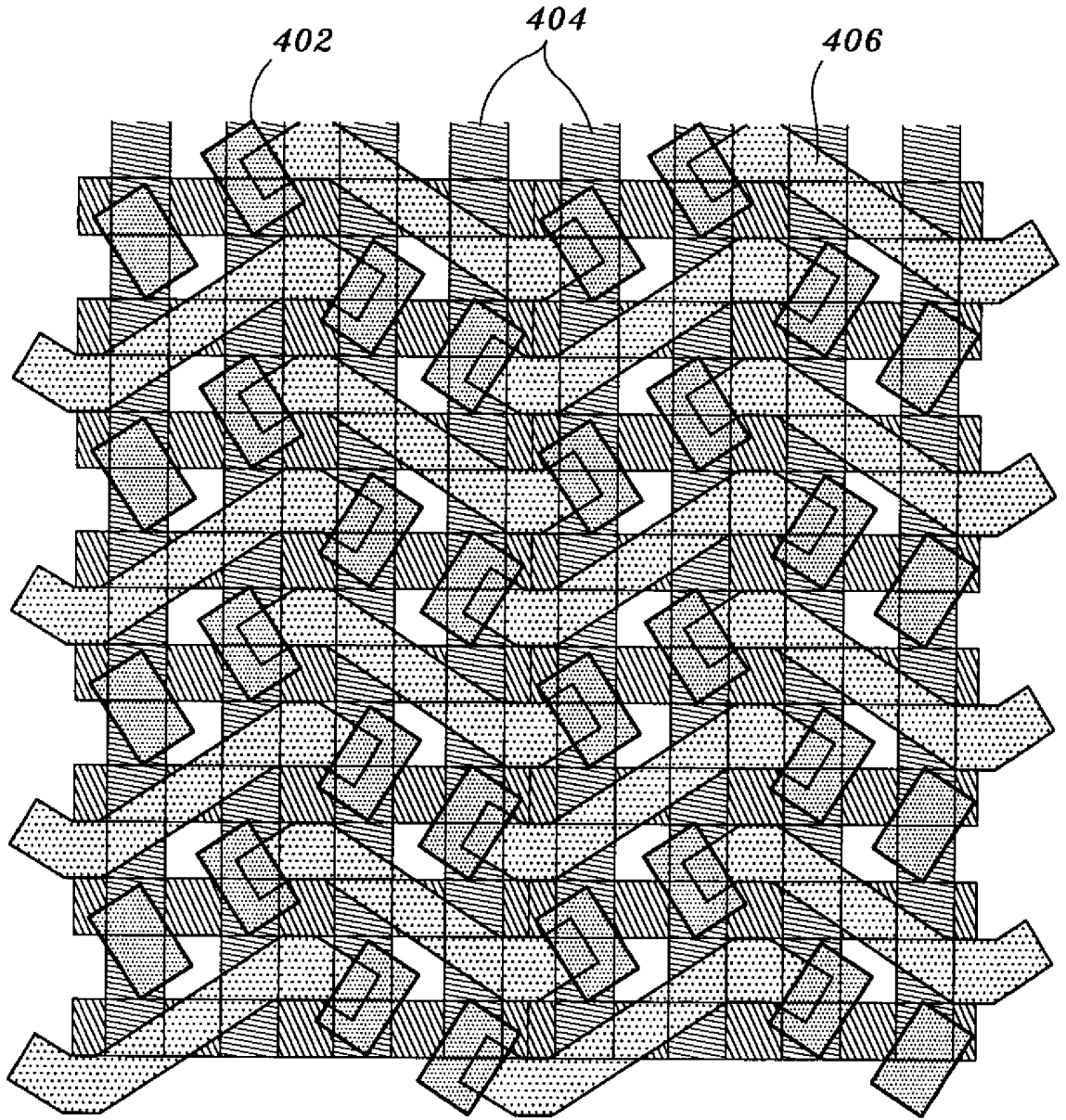
448480



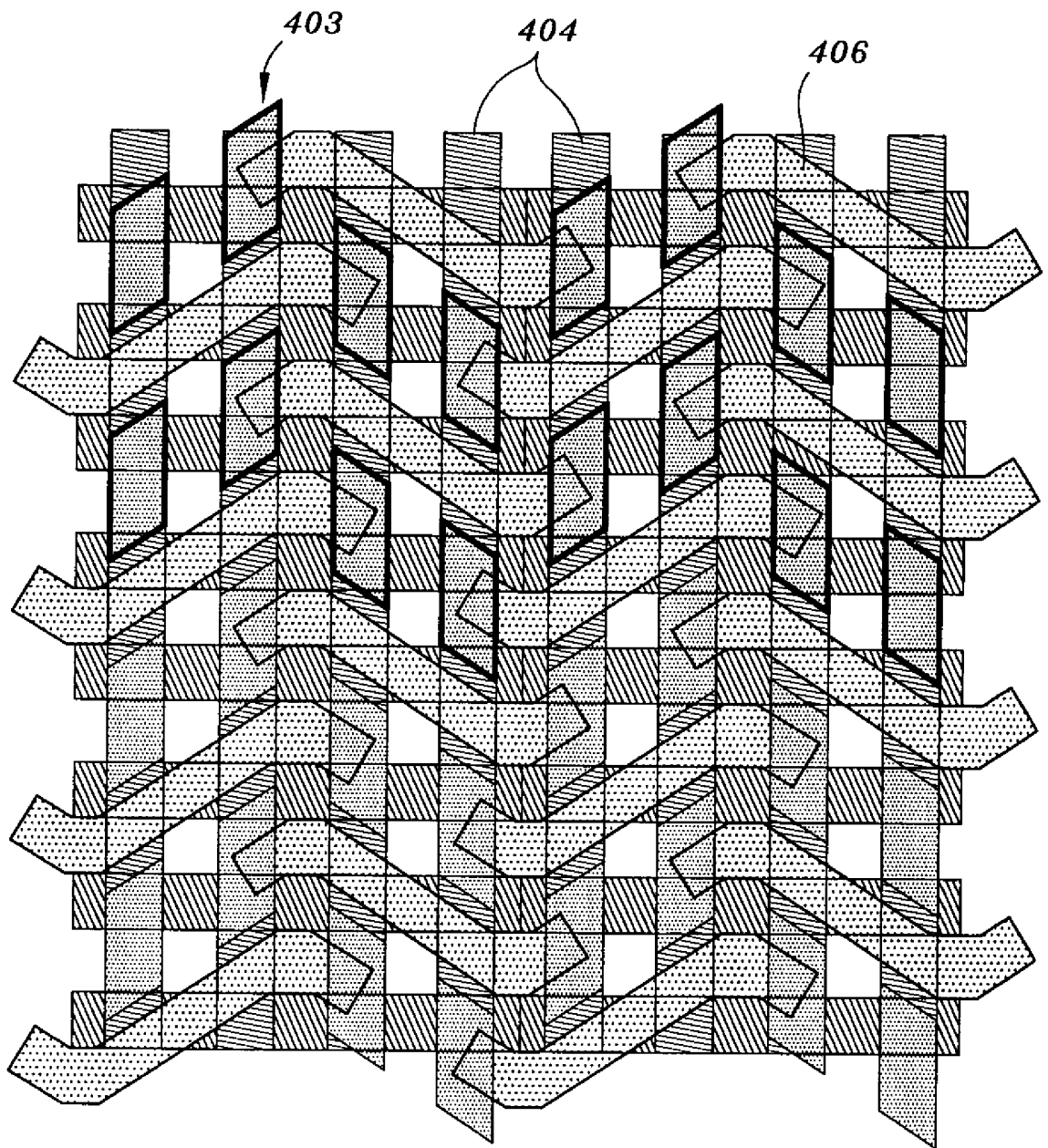
第 6 圖



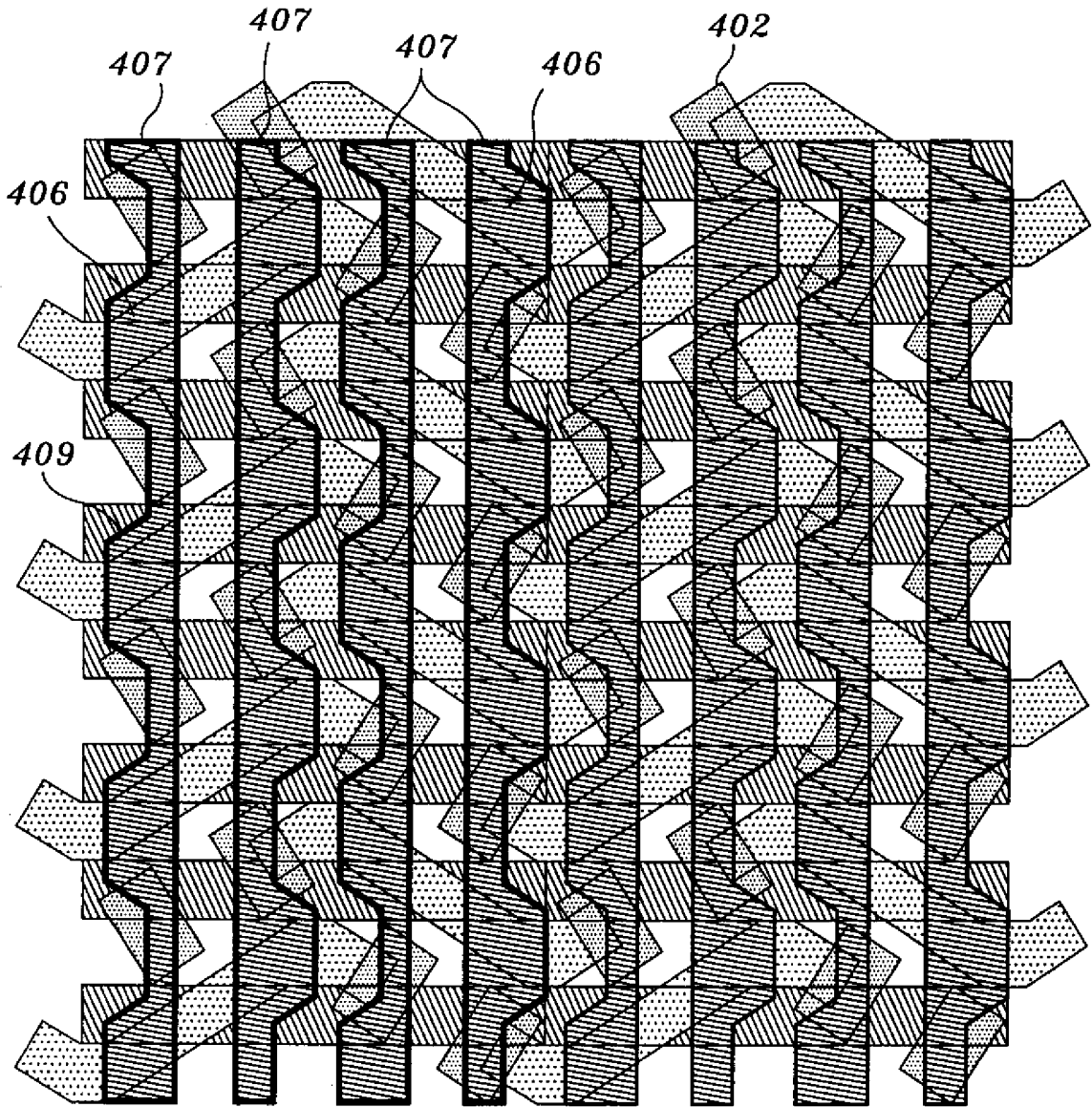
第 7 圖



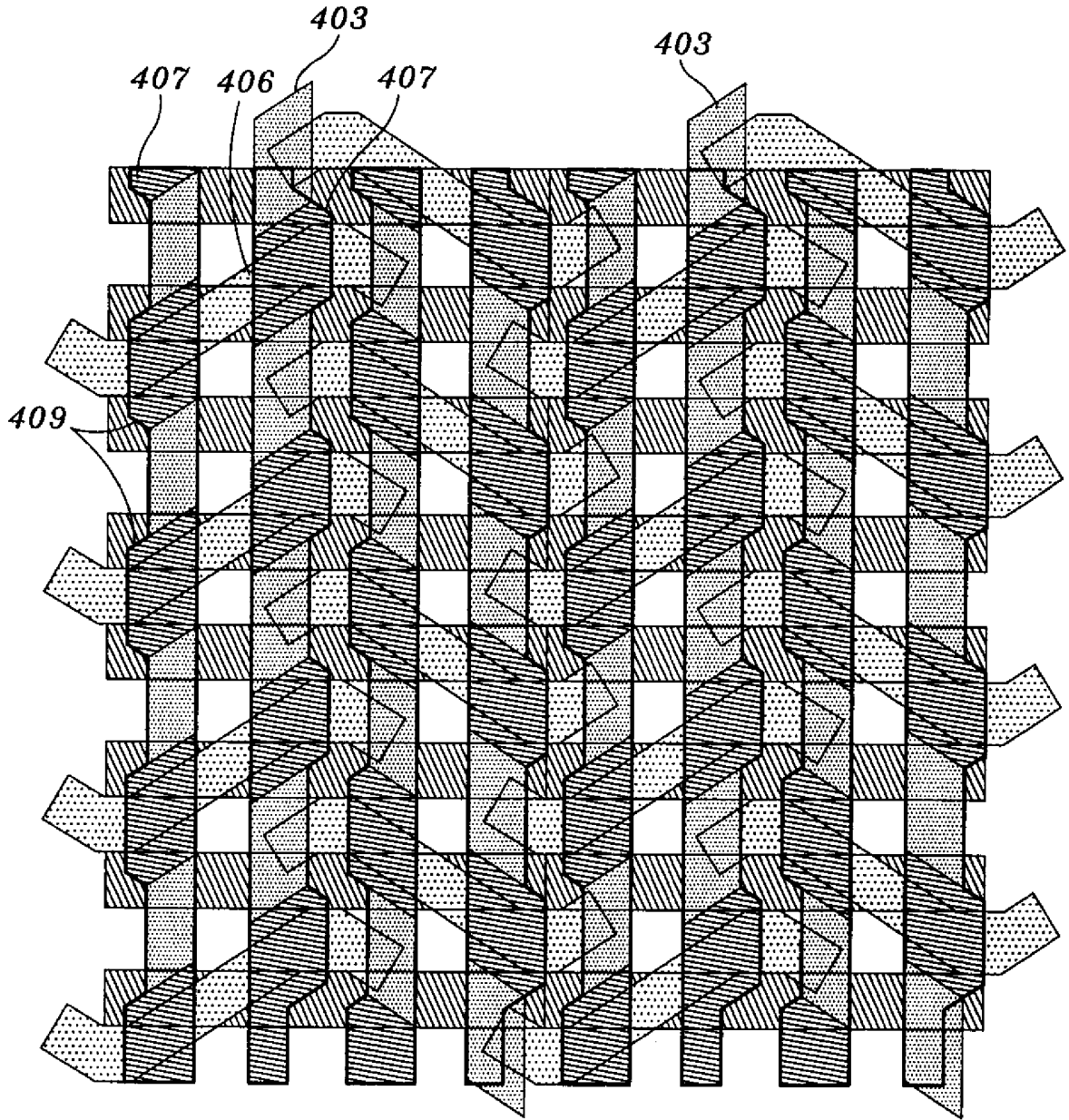
第 8 圖



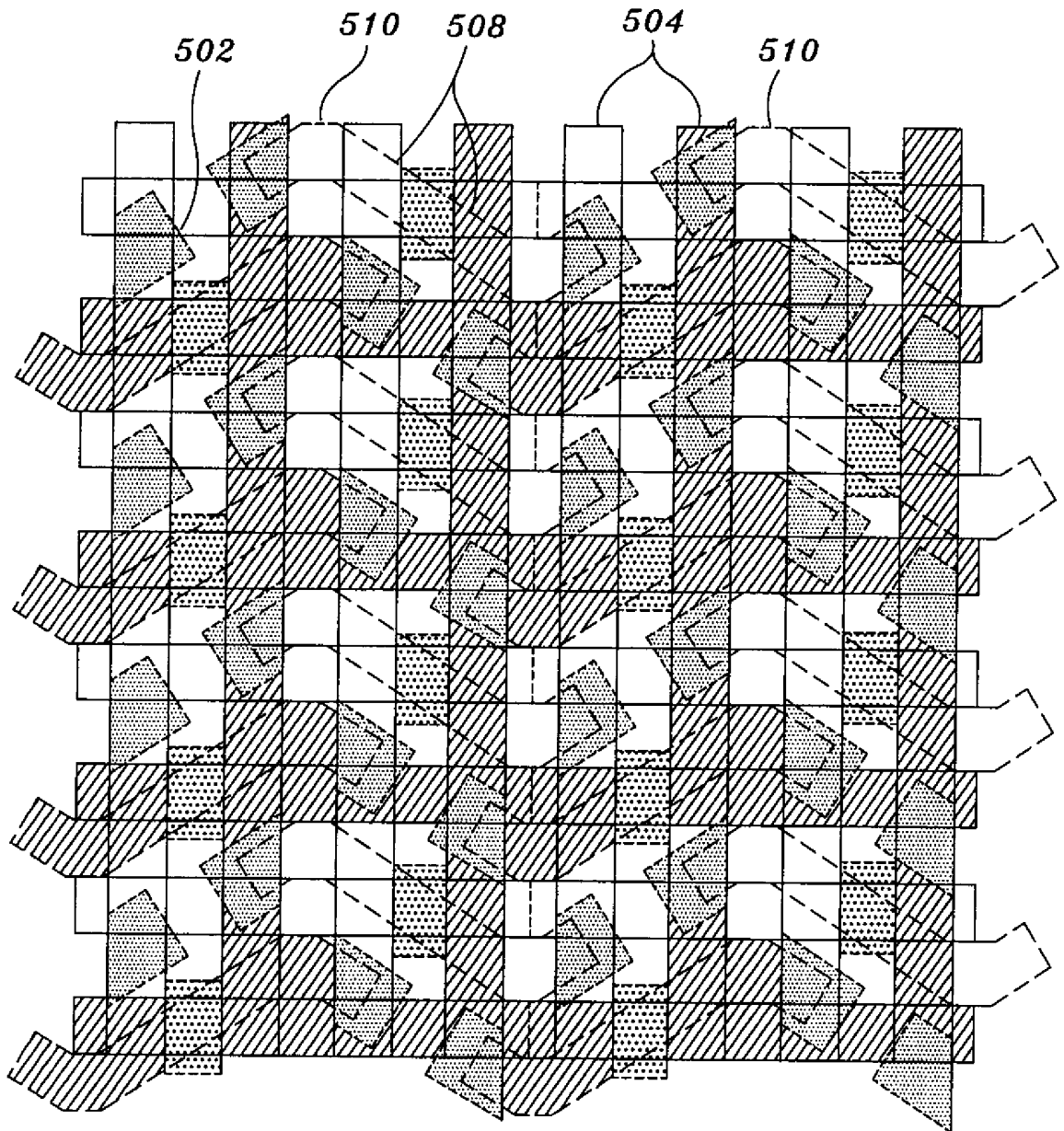
第 9 圖



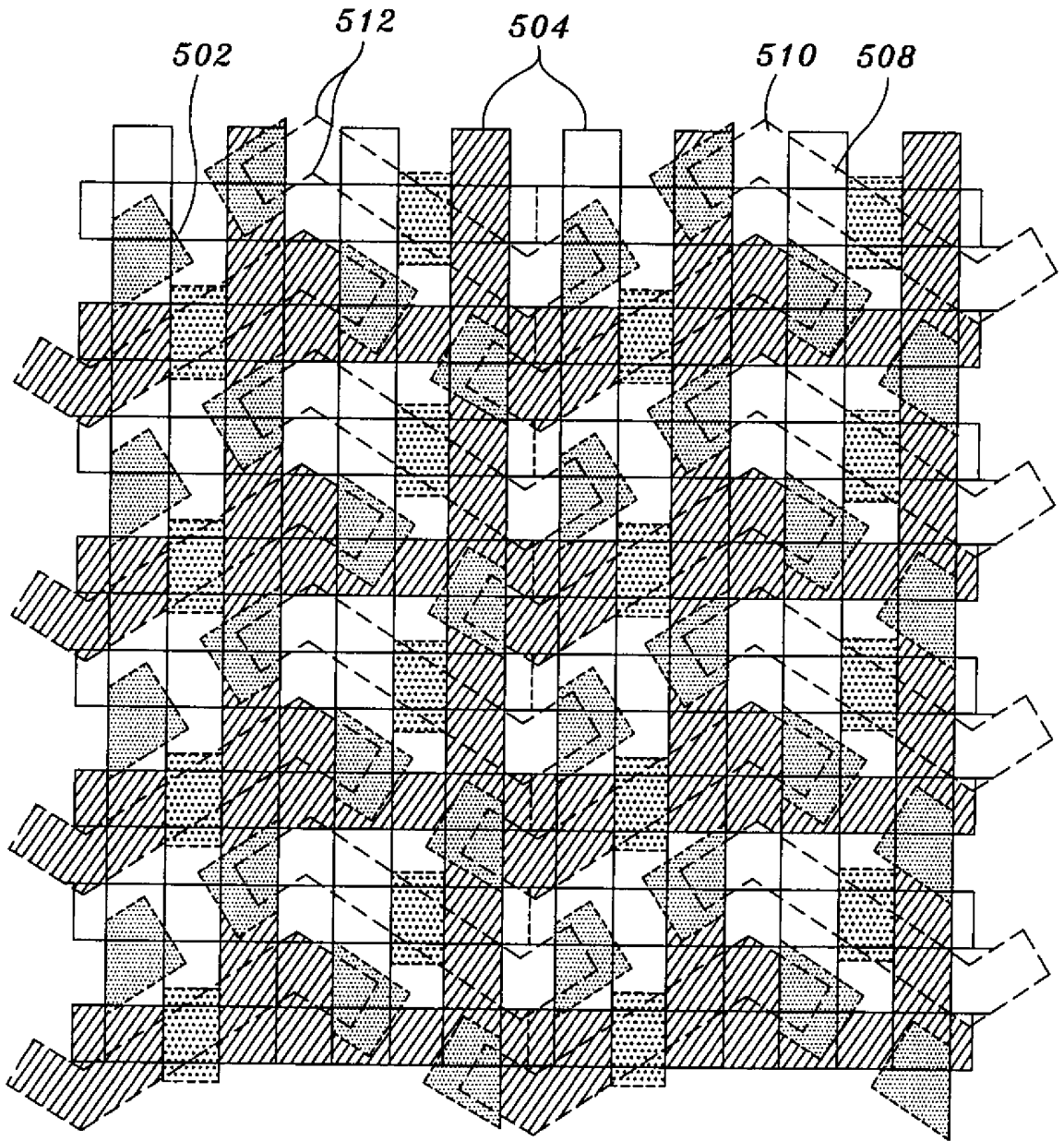
第 10 圖



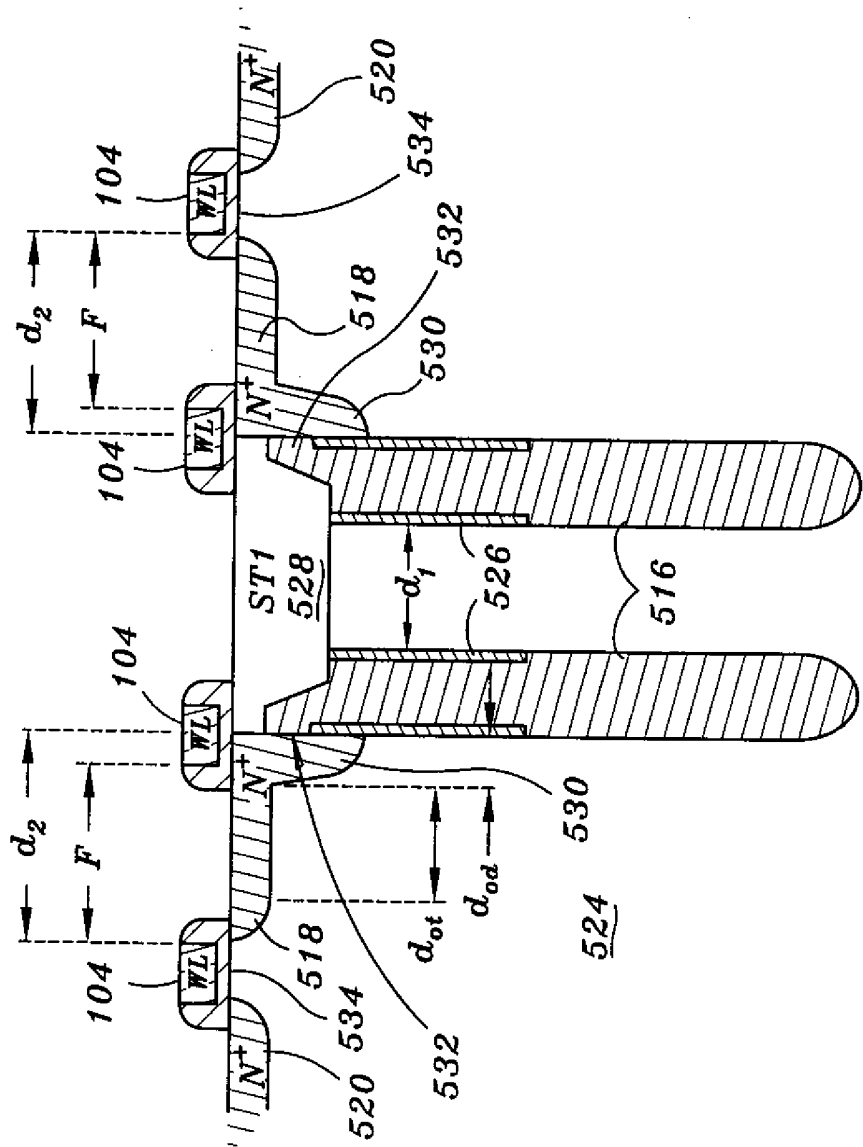
第 11 圖



第 12 圖



第 13 圖



第 14 圖