

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】令和2年11月26日(2020.11.26)

【公開番号】特開2019-74635(P2019-74635A)

【公開日】令和1年5月16日(2019.5.16)

【年通号数】公開・登録公報2019-018

【出願番号】特願2017-200268(P2017-200268)

【国際特許分類】

G 09 G 3/36 (2006.01)

G 09 G 3/20 (2006.01)

G 02 F 1/133 (2006.01)

【F I】

G 09 G 3/36

G 09 G 3/20 6 2 4 B

G 09 G 3/20 6 8 0 G

G 09 G 3/20 6 6 0 U

G 09 G 3/20 6 6 0 V

G 09 G 3/20 6 2 3 A

G 09 G 3/20 6 2 2 A

G 09 G 3/20 6 3 1 M

G 09 G 3/20 6 2 1 B

G 09 G 3/20 6 2 4 C

G 02 F 1/133 5 5 0

【手続補正書】

【提出日】令和2年10月13日(2020.10.13)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

行方向及び列方向に配列されると共に、副画素データを格納する複数のメモリを有するメモリブロックを各々が含む、複数の副画素と、

各行に夫々設けられており、当該行に属する前記副画素の前記メモリブロックに電気的に接続されている複数のメモリ選択線を各々が含む、複数のメモリ選択線群と、

前記メモリブロック内の複数のメモリから1つのメモリを選択するメモリ選択信号を、複数のメモリ選択線群に同時に output するメモリ選択回路と、

を備え、

前記メモリ選択回路は、

設定値に基づいて、前記複数のメモリ選択線群の各々の内の、前記メモリ選択信号の出力先の前記メモリ選択線を選択し、

前記複数の副画素は、

前記メモリ選択信号が供給された前記メモリ選択線に応じて、前記複数のメモリの内の1つのメモリに格納されている前記副画素データに基づいて、画像を表示し、

前記設定値の変更回数は、前記メモリ選択回路から出力される前記メモリ選択信号に基づく画像の表示切替回数よりも少ない

表示装置。

**【請求項 2】**

前記メモリ選択回路は、

前記設定値に基づいて、前記複数のメモリ選択線群の各々の内、前記メモリ選択信号の出力先の前記メモリ選択線を順次切り替え、

前記複数の副画素は、

前記メモリ選択信号の出力先の前記メモリ選択線が順次切り替えられることに応じて、前記複数のメモリに夫々格納されている複数の前記副画素データに基づいて、複数の画像を順次表示する、

請求項 1 に記載の表示装置。

**【請求項 3】**

前記メモリ選択回路は、

前記設定値に基づいて、前記複数のメモリ選択線群の各々の内、前記メモリ選択信号の出力先の前記メモリ選択線を第 1 の順序で順次切り替え、

前記複数の副画素は、

前記メモリ選択信号の出力先の前記メモリ選択線が第 1 の順序で順次切り替えられることに応じて、前記複数のメモリに夫々格納されている複数の前記副画素データに基づいて、複数の画像を第 1 の順序で順次表示する、

請求項 1 に記載の表示装置。

**【請求項 4】**

前記メモリ選択回路は、

前記設定値に基づいて、前記複数のメモリ選択線群の各々の内、前記メモリ選択信号の出力先の前記メモリ選択線を、第 1 の順序で順次切り替え、その後、第 2 の順序で順次切り替え、

前記複数の副画素は、

前記メモリ選択信号の出力先の前記メモリ選択線が第 1 の順序で順次切り替えられ、その後、第 2 の順序で順次切り替えられることに応じて、前記複数のメモリに夫々格納されている複数の前記副画素データに基づいて、複数の画像を第 1 の順序で順次表示し、その後、第 2 の順序で順次表示する、

請求項 1 に記載の表示装置。

**【請求項 5】**

前記メモリ選択回路は、

前記設定値に基づいて、前記メモリ選択信号を、前記複数のメモリ選択線群の各々の内の一部の前記複数のメモリ選択線に順次出力し、

前記複数の副画素は、

前記メモリ選択信号が順次供給された前記メモリ選択線に応じて、前記複数のメモリに格納されている前記副画素データに基づいて、複数の画像の内の一部を順次表示する、

請求項 2 から 4 のいずれか 1 項に記載の表示装置。

**【請求項 6】**

各行に夫々設けられており、当該行に属する前記副画素の前記メモリブロックに電気的に夫々接続されている複数のゲート線を各々が含む、複数のゲート線群と、

前記副画素データを前記メモリブロックに書き込む場合に、複数の行の内の 1 つの行を選択するゲート信号を複数の行に向けて順次出力するゲート線駆動回路と、

各列に夫々設けられた複数のソース線と、

前記副画素データを前記メモリブロックに書き込む場合に、複数の前記副画素データを前記複数のソース線に出力するソース線駆動回路と、

前記副画素データを前記メモリブロックに書き込む場合に、前記複数のゲート線群の各々の内の 1 本のゲート線と、前記ゲート線駆動回路と、を電気的に接続するゲート線選択回路と、

を更に備え、

前記ゲート信号が供給された行の前記副画素は、

前記ゲート信号が供給された前記ゲート線に応じて、前記ソース線に供給されている前記副画素データを、前記複数のメモリの内の1つのメモリに格納する、

請求項1から5のいずれか1項に記載の表示装置。

【請求項7】

前記複数の副画素は、

前記メモリ選択信号が供給された前記メモリ選択線に応じて、前記複数のメモリの内の1つのメモリに格納されている前記副画素データに基づいて画像を表示しながら、前記ゲート信号が供給された前記ゲート線に応じて、前記ソース線に供給されている前記副画素データを、前記複数のメモリの内の他の1つのメモリに格納する、

請求項6に記載の表示装置。

【請求項8】

前記複数の副画素の各々は、

副画素電極と、

前記メモリブロックと前記副画素電極との間に設けられたスイッチ回路と、  
を更に含み、

前記表示装置は、

複数の前記副画素電極に対向し、共通電位が供給される共通電極と、

基準クロック信号に同期して前記共通電位を周期的に反転し、反転された前記共通電位を前記共通電極に出力する共通電極駆動回路と、

複数の表示信号線であって、少なくとも一対の前記表示信号線は、複数の前記スイッチ回路の内の1つに電気的に接続され、前記一対の前記表示信号線の内の方は、前記共通電位と同相の表示信号を供給し、前記一対の前記表示信号線の内の方は、前記共通電位と逆相の表示信号を供給する、前記複数の表示信号線と、

を更に含み、

前記スイッチ回路は、前記メモリブロックから入力される前記副画素データに基づいて、前記表示信号の内の1つを、前記副画素電極に供給する、

請求項1に記載の表示装置。