(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 16/00

(45) 공고일자 1998년12월01일
(11) 등록번호 특0147007
(24) 등록일자 1998년05월14일

(21) 출원번호 특1994-021175
(22) 출원일자 1994년08월26일
(65) 공개번호 특1995-006868
(43) 공개일자 1995년03월21일
(30) 우선권주장 93-235576 1993년08월27일 일본(JP)

(73) 특허권자 가부시키가이샤 도시바 사토 후미오
일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지도시바 마이크로일렉트로닉스 가부시키가이샤 오카모토 세이시
일본국 가나가와현 가와사키시 가와사키구 에키마에혼정 25번지 1
(72) 발명자 이와하시 히로시
일본국 가나가와현 가와사키시 가와사키구 에키마에혼정 25번지 1 도시바 마이크로일렉트로닉스 가부시키가이샤내
(74) 대리인 김윤배, 이범일

심사관 : 박정학

(54) 불휘발성 반도체 메모리 및 그 데이터 프로그램방법

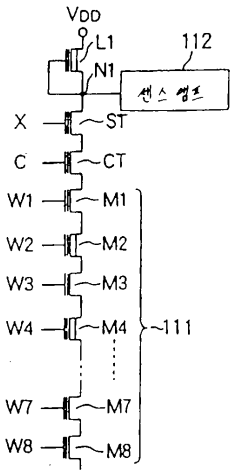
요약

본 발명은, 불휘발성 반도체 메모리에 있어서 독출시에 메모리셀에 대전류를 흘릴 수 있도록 한다. 열선의 수의 감소화를 도모한다. 각 메모리셀의 부유게이트로의 전자의 주입을 평균화하여 문턱치전압의 변동을 줄인다. 각 메모리셀의 부유게이트로부터의 전자의 방출을 평균화하여 문턱치전압을 평균화한다. 래치회로에 기인하는 칩사이즈의 증대를 방지한다.

즉 본 발명은, 메모리셀군(束)내의 메모리셀이 2치(値)데이터 0, 1중 어느것을 많이 기억하는가에 주목하여 많은 쪽의 데이터를 기억하는 것에 부의 문턱치전압을 할당한다. 인접한 2개의 메모리셀군에서 1개의 열선을 공유가능하게 한다. 부유게이트로의 전자의 주입을 위해 전압을 순차적으로 상승시키고, 소정의 주입량에 도달하고 나서 주입을 정지한다. 일단 부유게이트로부터 전자를 방출시키고, 이후에 전자를 주입하여 2치데이터의 한쪽을 기억시킨다.

데이터 래치회로를 메모리셀 어레이로부터 떨어진 임의의 위치에 형성한다.

대표도



명세서

[발명의 명칭]

불휘발성 반도체 메모리 및 그 데이터 프로그램방법

[도면의 간단한 설명]

제1도는 제1의 본 발명의 실시예의 요부의 회로도.

제2도는 제1도에서의 각종 태양(態樣)을 나타낸 도표.

제3도는 제1도의 회로를 이용하여 구성한 반도체 기억장치.

제4도는 제3도의 회로의 진리치표.

제5도는 제3도에서의 독출동작을 설명하는 설명도.

제6도는 각종 신호의 진리치표.

제7도는 제2의 본 발명의 실시예의 요부회로도 및 타이밍챠트.

제8도는 제3의 본 발명에서의 실시예의 행선의 전위를 발생하는 회로 및 열디코더.

제9도는 신호 n′ , /n′ 를 만드는 회로.

제10도는 신호 /n′ 로부터 n을 만드는 회로.

제11도는 제9도 및 제10도의 각 노드의 신호파형도.

제12도는 전압 Vp' 를 발생하는 다른 회로.

제13도는 제4의 본 발명의 실시예의 요부의 평면도, A-A′ 선 단면도, B-B′ 선 단면도, C-C′ 선 단면도 및 심벌도.

제14도는 제13도를 이용한 보다 상세한 실시예.

제15도는 전압 VE를 발생시키는 회로의 각각 다른 예.

제16도는 행디코더회로의 예.

제17도는 전원(SW)을 발생시키는 회로의 예.

제18도는 제16도 및 제17도의 각 노드에서의 신호파형도.

제19도는 데이터 입력회로의 일례.

제20도는 제5의 본 발명의 제1실시예.

제21도는 제5의 본 발명의 제2실시예.

제22도는 제5의 본 발명의 제3실시예.

제23도는 제20도의 각 신호의 파형도.

제24도는 제22도의 각 신호의 파형도.

제25도는 제5의 본 발명의 제4실시예.

제26도는 제25도의 각 신호의 파형도.

제27도는 제25도의 각 신호의 파형도.

제28도는 종래의 NAND형 EEPROM의 메모리셀의 단면도.

제29도는 NAND형 EEPROM의 요부의 회로도 및 그 각 노드의 전압파형도.

제30도는 NAND형 EEPROM으로부터의 데이터의 독출을 설명하기 위한 설명도.

제31도는 그 타이밍챠트.

제32도는 NAND형 EEPROM의 각 메모리셀의 각각 다른 문턱치상태를 나타낸 설명도.

제33도는 종래의 EEPROM의 요부의 평면도, A-A′ 선 단면도, B-B′ 선 단면도 및 C-C′ 선 단면도.

제34도는 제33도의 심벌도.

제35도는 EEPROM의 메모리셀.

제36도는 그 특성도.

제37도는 제35도의 메모리셀을 이용한 EEPROM의 요부의 회로도.

제38도는 제37도의 패턴평면도 및 A-A′ 선 단면도.

제39도는 EEPROM의 래치회로부분을 나타낸 회로도이다.

* 도면의 주요부분에 대한 부호의 설명

1 : 행선	2 : 부유게이트
3 : 챈널영역	4 : 게이트절연막
5 : 열선	6 : 드레인
7 : 소오스	8 : 배선
9 : 접속위치	10 : 트랜지스터

11 : 메모리블럭　　12 : 센스앰프

14 : 메모리셀　　15 : 열선

16 : 영역　　17 : 소오스영역

18 : 드레인/소오스영역　　19 : 드레인영역

20 : 부유게이트　　21 : 제어게이트

22 : 게이트　　23 : 산화막부

24 : 접촉(contact)부

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 불휘발성 반도체 메모리 및 그 데이터 프로그램방법에 관한 것이다.

[종래의 기술]

잘 알려져 있는 바와 같이, NAND형 EEPROM에 사용되는 부유게이트를 갖춘 메모리셀(MC)은 제28도에 나타낸 바와 같이 구성된다. 즉, 부유게이트(FG)와 챈널영역(CA)의 사이에 있는 게이트절연막(GO)을 터널효과가 일어날 정도로 극히 얇게 형성한다. 그리고 제어게이트(CG)를 0V로 설정하고, 기판(Sb)을 고전압으로 함으로써, 부유게이트(FG)로부터 기판(Sb)으로 전자를 방출하여 2진데이터의 한쪽을 기입한다. 반대로, 기판(Sb), 소오스(S) 및 드레인(D)을 0V로, 제어게이트(CG)를 고전압으로 함으로써, 기판(Sb)으로부터 부유게이트(FG)로 전자를 주입하여 2진데이터의 다른쪽을 기입한다. 이러한 메모리셀(MC)을 복수개 매트릭스형상으로 접속하고, 집적회로화한 것의 일부를 제29도(a)에 나타내었다. 제29도(b)는 제29도(a)의 각 노드의 신호파형이다. 메모리셀(MC)에 데이터를 프로그램할 때는, 우선 제어게이트(CG)에 접속되어 있는 모든 행성(WL1～WLn)을 0V로, 기판을 고전압으로 하여 모든 메모리셀(MC)의 부유게이트(FG)로부터 기판으로 전자를 방출한다. 다음에, 데이터를 기입해야 할 메모리셀(MC)의 선택트랜지스터(ST)의 소오스(S)를 고전위로 설정한다. 동시에 신호(ø)를 0V로 하여 트랜지스터(10)를 오프시켜서 메모리셀(MC)을 기준전위(V_{SS})로부터 분리한다. 메모리셀(MC)의 부유게이트(FG)에 전자를 주입하는 경우는, 대응하는 행선(WL)을 고전위(V1)로 설정하고, 대응하는 열선(D)을 0V로 설정한다. 이 때 부유게이트(FG)와 기판(Sb)(챈널)간의 전위차가 터널을 일으키기에 충분한 값으로 되어 기판(Sb)으로부터 부유게이트(FG)로 전자가 주입된다. 한편, 비선택 행선(WL)은 이전의 고전위(V1)보다도 낮은 V2의 전위로 설정한다.

이 때 열선(D1,D2,…)의 전위가 0V였다고 해도 전위(V2)가 낮기 때문에, 부유게이트(FG)와 기판(Sb)(챈널)간의 전위차가 터널을 일으키기에 충분한 값으로 되지 않아서 부유게이트(FG)로 전자는 주입되지 않는다. 행선(WL)이 고전위(V1)로 설정되어 있다고 해도, 열선(D)이 전위(V3)로 설정되어 있으면, 이 때도 부유게이트(FG)와 기판(Sb)(챈널)간의 전위차가 터널을 일으키기에 충분한 값으로 되지 않아서 부유게이트(FG)로 전자는 주입되지 않는다. 즉, 제29도(b)로부터 알 수 있는 바와 같이, 시각(T1)에서는 메모리셀(2n)의 부유게이트에 전자가 주입되고, 메모리셀(1n)의 부유게이트(FG)에는 전자가 주입되지 않는다. 마찬가지로, 시각(T2)에서는 메모리셀(11)의 부유게이트(FG)에 전자가 주입되고, 메모리셀(21)의 부유게이트(FG)에는 전자가 주입되지 않는다.

이러한 메모리셀(MC)에 있어서는, 부유게이트(FG)에 전자가 주입되고 있으면 그 문턱치전압은 정(正)의 값으로 되고, 부유게이트(FG)로부터 전자가 방출되고 있으면 그 문턱치전압은 부(負)의 값으로 된다. 메모리셀(MC)이 선택되면, 그 게이트는 논리 0, 예컨대 0V로 설정된다. 문턱치전압이 부의 값인 부유게이트(FG)로부터 전자가 방출되고 있는 메모리셀(MC)은 온된 그대로 이지만, 문턱치전압이 정인 부유게이트(FG)에 전자가 주입되고 있는 메모리셀(MC)은 오프된다. 이와 같이, 게이트가 0V의 선택된 메모리셀(MC)이 온인가 오프인가로 데이터를 기억하고 있다. 한편, 비선택 메모리셀(MC)의 게이트는 논리 1, 예컨대 5V로 설정되고, 부유게이트(FG)에 전자가 주입되고 있는 메모리셀(MC)도 온되도록 되어 있다.

다음에는 제30도에 따라 데이터의 독출에 대해 설명한다.

전원(V_{DD})과 접지점(V_{SS})에는, 부하소자로서 기능하는 예컨대 디플리션형 MOS트랜지스터(L1), 선택용 MOS트랜지스터(인핸스먼트형)(ST) 및 메모리셀용 MOS트랜지스터(M1～M8)가 직렬접속된다. 상기 MOS트랜지스터(L1)의 게이트는 이 MOS트랜지스터(L1)와 선택용 MOS트랜지스터(ST)의 접속점(노드 N1)에 접속되어 있다. 상기 선택용 MOS트랜지스터(ST)의 게이트에는 메모리셀용 MOS트랜지스터(M1～M8)로 이루어진 메모리블럭(11)을 선택하기 위한 신호(X)가 공급된다. 또, 상기 메모리셀용 MOS트랜지스터(M1～M8)의 게이트에는 각각 이 메모리블럭(11)중의 하나의 메모리셀용 MOS트랜지스터를 선택하기 위한 신호(W1～W8)가 공급된다. 그리고, 상기 노드 N1의 전위를 센스앰프(12)에 공급하여 증폭함으로써, 선택한 메모리셀용 MOS트랜지스터로부터 기억데이터를 독출한다.

제30도의 회로에서는, 예컨대 메모리셀용 MOS트랜지스터(M2,M4)의 부유게이트로부터 전자가 방출되어 문턱치전압이 부로 되고, 또 메모리셀용 MOS트랜지스터(M4)를 선택하는 것으로 한다. 이 때에는, 제31도의 타이밍챠트에 나타낸 바와 같이 신호(X)를 1레벨, 신호(W1～W3,W5～W8)를 1레벨 및 신호(W4)를 0레벨로 설정한다. 이에 따라, 선택용 MOS트랜지스터(ST) 및 메모리셀용 MOS트랜지스터(M1～M3,M5～M8)가 온상태로 된다. 또, 메모리셀용 MOS트랜지스터(M4)의 문턱치전압은 부이므로, 이 트랜지스터(M4)도 온상태로 된다. 따라서, 노드 N1이 방전되고, 이를 센스앰프(12)에서 검출, 증폭함으로써 기억데이터를 독출한다. 다음에, 메모리셀용 MOS트랜지스터(M3)를 선택하는 것으로 한다. 이 경우는, 신호(W3)를 0레벨로, 다른 신호는 모두 1레벨로 설정한다. 이 때 메모리셀용 MOS트랜지스터(M3)는 부유게이트에 전자가 주입되고 있어서 문턱치전압이 정이므로, 트랜지스터(M3)는 오프상태로 된다. 이에 따라, 노드 N1의 방전로가 차단되고, 이 노드 N1은 부하 MOS트랜지스터(L1)에 의해 충전된다. 이를 센스앰프(12)에서 검출, 증폭함으로써, 메모리셀용 MOS트랜지스터(M3)로부터 데이터를 독출한다.

그러나, 이와 같이 메모리셀용 MOS트랜지스터의 문턱치전압이 부인가 정인가로 데이터의 1, 0을 기억하는 것으로 하면, 메모리셀블럭(11)중의 문턱치전압이 정인 MOS트랜지스터의 수와 문턱치전압이 부인 MOS트랜지스터의 수의 비가 다른 경우에는, 메모리셀블럭(11)에 흐르는 전류의 크기가 달라진다. 즉, 노드 N1의 방전속도 및 방전시의 0레벨의 전위는, 직렬접속된 메모리셀용 MOS트랜지스터의 문턱치전압이 정인 것과 문턱치전압이 부인 MOS트랜지스터의 수의 비에 의해 달라지게 된다.

예컨대, 제32도(a)에 나타낸 바와 같이, 메모리셀블럭(11)에서의 메모리셀용 MOS트랜지스터(M1～M7)는 그들 부유게이트에 전자가 주입되어 정의 문턱치전압을 갖고, 트랜지스터(M8)만이 부의 문턱치전압인 경우, 메모리셀용 MOS트랜지스터(M8)가 선택된 때는 다른 모든 트랜지스터(M1～M7)가 정의 문턱치전압이기 때문에, 메모리셀블럭(11)을 흐르는 전류는 가장 적은 상태로 된다. 한편, 제32도(b)에 나타낸 바와 같이, 메모리셀블럭(11)을 구성하는 메모리셀용 MOS트랜지스터(M1～M8)가 모두 부의 문턱치전압을 갖는 경우에는, 메모리셀 전류가 가장 많아진다. 이것은, 문턱치전압이 부이기 때문에, 신호(W1～W8)의 전위가 제32도(a)의 것과 동일하다면, 문턱치전압이 부인 MOS트랜지스터 쪽이 문턱치전압이 정인 것보다 많은 전류가 흐르기 때문이다. 이 때문에, 상기 제30도에 나타낸 바와 같은 회로에서는 상기 제32도(a)에 나타낸 바와 같은 메모리셀블럭(11)으로부터 데이터를 독출할 때가 가장 방전속도가 늦어지고, 이러한 메모리셀블럭에 의해 데이터의 독출속도가 결정되어 버린다는 결점이 있다. 또, 이 때에 메모리셀블럭을 흐르는 전류가 가장 적기 때문에, 이것에 맞추어 부하트랜지스터(L1)의 전류구동능력도 결정해 줄 필요가 있고, 부하트랜지스터(L1)의 전류구동능력도 크게 할 수 없어서 노드 N1의 충전도 또 지연된다는 결점이 있다.

또, 상기 종래의 메모리에 있어서는, 하나의 메모리셀블럭이 1개의 열선에 대응하고 있다. 이 때문에, 인접한 메모리셀블럭끼리의 메모리셀블럭과 열선의 접속부가 메모리셀 어레이의 점유면적을 결정하게 되어 있었다. 또 열선의 배선이 많아져서 수율에 영향을 주고 있었다.

또, 제28도 및 제29도의 메모리셀 및 장치에 있어서는, 먼저 설명한 바와 같이 한번에 모든 메모리셀의 부유게이트로부터 전자를 방출하여 메모리셀의 문턱치전압을 부의 값으로 함으로써 2진데이터의 한쪽을 기입하고, 그 후에 선택적으로 부유게이트에 전자를 주입함으로써 2진데이터의 다른쪽의 데이터를 기입한다.

메모리셀로부터의 데이터의 독출에 있어서는, 선택된 행선을 논리 0 예컨대 0V로 하고, 비선택 행선을 논리 1 예컨대 5V로 설정한다. 비선택 행선에 접속되어 있는 메모리셀은 그 게이트인 행선이 논리 1이다. 이 때문에, 비선택의 메모리셀의 부유게이트에 전자가 주입되어 문턱치전압이 정이더라도, 메모리셀의 부유게이트로부터 전자가 방출되어 메모리셀의 문턱치전압이 부이더라도, 온된다. 그렇지만, 선택된 행선은 0V이다. 이 때문에, 이 선택된 메모리셀은, 문턱치전압이 정인 것은 오프되고, 문턱치전압이 부인 것은 온된다.

이와 같이 선택된 메모리셀이 온되는가 오프되는가로 메모리셀에 기억되어 있는 데이터가 논리 1인가 논리 0인가를 검출하는 것은 전에도 설명한 바와 같다. 부유게이트에 전자가 주입되고 있는 메모리셀의 문턱치전압은, 비선택시에 온되고 선택된 때에 오프되도록 설정되지 않으면 안된다. 이 때문에, 전자의 주입량에 관해서는 주의를 요한다. 이 때문에, 메모리셀로의 전자의 주입과 이 주입량을 체크하기 위한 독출을 반복해서 행하고, 적당한 주입량으로 된 때에 전자의 주입을 정지하도록 하고 있다. 그렇지만, 극히 얇은 게이트절연막을 통해 전자를 주입하고 있기 때문에, 제조공정의 변동에 기인하여 게이트절연막의 두께의 변동이나 결함 등에 의해 부유게이트로의 전자의 주입량은 메모리셀간에서 변동하는 경우가 있다. 즉, 전자가 주입된 메모리셀의 문턱치전압은 어떤 폭을 가지고 변동하고 있다. 따라서, 가장 문턱치전압이 낮은 메모리셀과 가장 문턱치전압이 높은 메모리셀의 문턱치전압의 차는 메모리셀을 흐르는 전류의 차로 되어, 선택된 메모리셀로부터의 데이터 독출속도가 메모리셀에 따라 달라지게 된다. 즉, 직렬로 접속된 비선택 메모리셀을 통해 흐르는 전류에 의해 데이터가 검출되기 때문에, 비선택 메모리셀의 문턱치전압의 변동은 그대로 메모리셀에 흐르는 전류의 변동으로 되고, 데이터 독출속도의 변동으로 된다. 데이터 독출속도를 빠르게 하기 위해서는, 메모리셀에 흐르는 전류는 많을수록 좋다. 그러나, 전자가 주입된 메모리셀의 문턱치전압은 정의값이 아니면 안되기 때문에, 가장 문턱치전압이 낮은 메모리셀의 문턱치전압을 0V보다 약간 높은 값으로 설정한다고 해도, 메모리셀의 문턱치전압의 분포의 변동에 의해 가장 문턱치전압이 높은 메모리셀의 문턱치전압의 값은 0V보다도 훨씬 높은 값으로 되는 것을 피할 수 없다.

또, 종래의 NOR형 플래시 EEPROM에 있어서는, 데이터의 바꿔 쓰기시에 일단 모든 메모리셀의 부유게이트에 전자를 주입하여 부유게이트에 축적되어 있는 전자의 양을 모든 메모리셀에 대해 균일하게 하고, 그 후 모든 메모리셀의 부유게이트로부터 전자를 방출하여 2진데이터의 한쪽을 기억한다. 이후 메모리셀의 제어게이트와 드레인에 고전위를 인가하여 채널전류를 흘리고, 채널영역으로부터 선택적으로 메모리셀의 부유게이트로 전자를 주입하여 2진데이터의 다른쪽을 기입한다. 이러한 종래의 NOR형 플래시 EEPROM에 있어서는, 부유게이트로부터 전자를 지나치게 방출하면, 메모리셀의 문턱치전압이 부의 값으로 되어 선택동작을 할 수 없게 된다. 이 때문에, 전자를 방출한 후에 독출을 행하여 적당한 문턱치전압으로 되었는가 아닌가를 체크하게 된다. 전자를 지나치게 방출하지 않도록 하기 위해, 전자의 방출시간을 짧게 설정하고, 방출과 독출을 몇번이나 반복해서 행하여 적절한 문턱치전압을 얻도록 하고 있다. 그렇지만, 이 방출은 제어게이트를 0V로 하고, 소오스 혹은 드레인에 고전압을 인가하여 부유게이트로부터 소오스 혹은 드레인에 터널효과로 전자를 방출하는 것이다. 혹은, 제어게이트를 0V로 하고, 메모리셀이 만들어지고 있는 반도체기판을 고전압으로 하여, 부유게이트로부터 채널영역으로 전자를 터널효과를 이용하여 방출하도록 하고 있다. 이 때문에, 부유게이트와 채널 사이의 게이트절연막은 터널효과가 일어나도록 극히 얇게, 예컨대 100Å정도로 만들어지고 있다. 이 때문에, 제조공정의 변동에 기인하여 전자의 방출후의 메모리셀의 문턱치전압은 전 메모리셀이 균일한 값이 아니라 어떤 폭을 가지고 변동하게 된다. 메모리셀에 흐르는 전류가 많은 쪽이 데이터 독출속도도 빨라지고, 또 마진도 커진다. 따라서, 메모리셀의 문턱치전압은 낮은 쪽이 좋지만, 변동중의 가장 문턱치전압이 높은 메모리셀을 최적의 문턱치전압으로 될 때까지 전자를 방출하면, 변동중의 가장 문턱치 전압이 낮은 메모리셀의 문턱치전압이 부의 값으로 되어 버려서 바람직하지 않다. 이 때문에 이러한 반도체 메모리에 있어서는, 변동중의 가장 문턱치전압이 낮은 메모리셀의 문턱치전압이 부의 값으로 되지 않도록 하고 있으므로, 가장 문턱치전압이 높은 메모리셀에 의해 독출속도가 결정되어 버려 데이터 독출속도의 고속화는 곤란하였다.

제33도는 이러한 종래의 NOR형 플래시 EEPROM의 메모리셀 어레이의 일례이다. 제33도(a)는 평면도, (b)는 A-A′ 선 단면도, (c)는 B-B′ 선 단면도, (d)는 C-C′ 선 단면도, 제34도는 그 심벌도이다. 제33도에 있어서, 참조부호 1은 행선으로 메모리셀의 제어게이트를 형성하고 있다. 2는 부유게이트, 3은 챈널영역이고, 4는 게이트절연막이다. 5는 예컨대 알루미늄으로 만들어진 열선이고, 인접한 메모리셀에서 공용되는 드레인(6)이 열선(5)과 접속되어 있다. 8은 예컨대 알루미늄으로 만들어진, 데이터의 독출시는 기준전위(예컨대 접지전위)를 공급하고 또한 부유게이트로부터 전자를 방출할 때는 고전압을 공급하기 위한 배선으로, 인접한 메모리셀에서 공용되도록 그 메모리셀의 소오스(7)에 접속위치(9)에서 접속되어 있다.

이와 같이 구성된 종래의 플래시 EEPROM에 있어서는, 부유게이트로부터 전자를 지나치게 방출하여 메모리셀의 문턱치전압이 부의 값으로 된 때, 행선 즉 제어게이트가 0V인 비선택 메모리셀이라도 온된다. 이 때문에, 열선(5)과 배선(8)이 접속상태로 되어 열선(5)으로부터 비선택 메모리셀을 통해서도 배선(8)으로 전류가 흐르게 된다. 이에 따라, 데이터의 독출시 혹은 데이터의 기입시에 열선(5)에 전압을 인가한다고 해도, 비선택 메모리셀을 통해 전류가 흘러 전압이 하강한다. 이 때문에 데이터의 독출시에 선택된 메모리셀이 오프되어 있다고 해도 비선택 메모리셀을 통해 전류가 흘러 버려 잘못된 데이터를 독출해 버리고, 데이터의 기입시에는 필요충분한 전압을 공급할 수 없다. 이 때문에, 상술한 바와 같이 전자를 부유게이트로부터 방출한 후의 전 메모리셀의 문턱치전압의 변동중에 가장 문턱치전압이 낮은 메모리셀의 문턱치전압을 정의값으로 해 놓을 필요가 있으므로, 가장 문턱치전압이 높은 메모리셀에 의해 데이터 독출속도가 결정되어 버려 데이터 독출속도를 빠르게 할 수 없다는 결점이 있었다.

앞에서도 설명한 바와 같이, 소위 EEPROM의 메모리셀에 있어서는, 게이트 산화막보다도 훨씬 얇은 100Å 정도의 산화막을 매개로 부유게이트에 전자를 주입하기도 하고 방출하기도 함으로써, 데이터의 바꿔 쓰기를 행하고 있다. 제35도는 더욱 다른 방식으로 데이터의 바꿔 쓰기를 행하는 종래의 EEPROM의 메모리셀을 구성하는 셀트랜지스터의 심벌도로, 제어게이트전압을 V_{CG}, 드레인전압을 V_D, 소오스전압을 V_S 및 드레인전류를 I_D로 하면, 제어게이트전압(V_{CG})에 대한 드레인전류(I_D)는 제36도에 나타낸 바와 같은 특성을 나타낸다. 제36도에 있어서, 곡선 A는 초기상태의 특성, 곡선 B는 부유게이트에 전자를 주입한때의 특성으로, 전자의 주입에 의해 문턱치전압이 상승하고 있다. 또, 곡선 C는 부유게이트로부터 전자를 방출한 상태의 특성으로, 전자의 방출에 의해 문턱치전압이 저하하여 부로 되고 있다. 이러한 셀트랜지스터를 이용한 메모리셀에서는 상기 곡선 B와 C의 특성을 이용하여 데이터의 0과 1을 기억한다.

제37도는 상기 제35도에 나타낸 셀트랜지스터를 매트릭스형상으로 배열하여 구성한 EEPROM의 회로구성예를 나타내고 있고, 현재 시판되고 있는 EEPROM은 이러한 회로구성이 많다. 도시한 바와 같이, 각 셀트랜지스터(CT)에는 선택용 MOS트랜지스터(ST)가 직렬접속되고, 1개의 메모리셀(14)이 2개의 트랜지스터(CT,ST)로 구성되어 있다.

상기와 같은 구성에 있어서, 셀트랜지스터(CT)의 부유게이트에 전자를 주입하는 경우에는, 선택용 트랜지스터(ST)의 게이트 및 셀트랜지스터(CT)의 제어게이트에 고전압(V_G,V_{CG})을 인가함과 더불어 열선(15)을 0V로 설정한다. 한편, 전자를 방출할 때에는, 선택용 트랜지스터(ST)의 게이트와 열선(15)을 고전압으로 설정함과 더불어 셀트랜지스터(CT)의 제어게이트를 0V로 설정한다.

이에 따라, 셀트랜지스터(CT)의 드레인에 고전압이 인가되고, 부유게이트로부터 드레인으로 전자가 방출된다.

제38도(a)는 상기 제37도에 나타낸 회로에서의 일점쇄선으로 둘러싸인 영역(16)의 패턴평면도이고, 이 제38도(a)의 A-A′ 선에 따른 단면구성을 제38도(b)에 나타내었다. 제38도(a), (b)에 있어서, 상기 제37도에 대응하는 부분에는 동일한 참조부호를 붙이고 있고, 17은 셀트랜지스터(CT)의 소오스영역, 18은 셀트랜지스터(CT)의 드레인 또는 선택용 트랜지스터(ST)의 소오스영역, 19는 선택용 트랜지스터(ST)의 드레인영역, 20은 셀트랜지스터(CT)의 부유게이트, 21은 셀트랜지스터(CT)의 제어게이트, 22는 선택용 트랜지스터(ST)의 게이트, 23은 얇은 산화막부, 24는 열선(15)과 선택용 트랜지스터(ST)의 드레인과의 접촉(contact)부이다.

이러한 EEPROM에 있어서는, 메모리셀에 데이터를 프로그램하는 시간을 단축하기 위해, 제39도에 나타낸 바와 같이 각 열선(15)마다 래치회로(L)를 설치해 둔다. 그리고, 각 대응하는 열선(15)에 접속되어 있는 메모리셀(14)에 프로그램하는 데이터를 래치회로(L)에 래치해 두고, 래치된 데이터에 기초하여 1행분의 메모리셀(14)에 동시에 프로그램하도록 하고 있다. 이와 같이 구성된 EEPROM에 있어서는, 데이터를 프로그램하는 시간은 단축되지만, 열선마다 래치회로(L)를 설치하고 있으므로 래치회로(L)의 분량만큼 칩사이즈가 커지고, 칩의 원가가 높아진다는 결점이 있었다.

[발명이 해결하고자 하는 과제]

제28도~제32도에 기초하여 설명한 종래의 반도체 기억장치에서는, 메모리셀블럭을 구성하는 메모리셀용 MOS트랜지스터의 정의 문턱치전압의 것과 부의 문턱치전압의 것과의 수의 비에 의해 메모리셀블럭을 흐르는 전류가 달라지고 있었다. 이에 따라, 메모리셀블럭을 구성하는 메모리셀용 MOS트랜지스터에 정의 문턱치전압의 것이 많으면 독출속도가 저하하는 결점이 있다. 또, 이러한 정의 문턱치전압의 메모리셀이 많이 포함되는 메모리셀블럭에 따라 부하트랜지스터의 전류구동능력을 설정할 필요가 있기 때문에, 설령 메모리셀용 MOS트랜지스터로서 부의 문턱치전압의 것이 많은 메모리셀블럭이라도 독출속도의 고속화가 곤란하다.

제1의 본 발명은 상기와 같은 사정을 감안하여 이루어진 것으로, 그 목적은 메모리셀블럭에 대전류를 흘릴 수 있고, 그에 따라 독출속도를 향상시킬 수 있는 불휘발성 반도체 메모리를 제공함에 있다.

더욱이, 상기 종래의 반도체 기억장치에는, 앞에서도 설명한 바와 같이 1개의 열상의 메모리셀블럭에 대응하여 1개의 열선을 형성하고 있는 것에 따른 여러가지의 난점이 있다.

제2의 본 발명은, 상기와 같은 사정을 감안하여 이루어진 것으로, 그 목적은 인접한 메모리셀블럭에서 하나의 열선을 공용함으로써, 열선의 수를 종래의 반으로 하고, 인접한 메모리셀블럭끼리의 메모리셀블럭과

열선의 접속부가 메모리셀 어레이의 점유면적을 결정하지 않도록 한 불휘발성 반도체 메모리를 실현하기 위한 프로그램방법을 제공함에 있다.

또, 제28도 및 제29도에 기초하여 설명한 종래의 불휘발성 반도체 메모리에 있어서는, 상술한 바와 같이 제조공정의 변동에 의한 메모리셀의 게이트절연막의 두께의 변동이나 결정결함 등에 기인하여 메모리셀의 부유게이트로의 전자의 주입량이 변동해 버린다는 결점이 있었다.

제3의 본 발명은 상기와 같은 사정을 감안하여 이루어진 것으로, 그 목적은 부유게이트에 전자가 주입된 모메로셀의 문턱치전압의 분포의 변동을 작게 한 불휘발성 반도체 메모리를 제공함에 있다.

더욱이, 제33도 및 제34도에 기초하여 설명한 종래의 NOR형 플래시 EEPROM에는, 상술한 바와 같이 부유게이트로부터 전자를 방출한 메모리셀중의 가장 문턱치전압이 낮은 메모리셀의 문턱치전압을 정의 값으로 할 필요가 있기 때문에, 가장 문턱치전압이 높은 메모리셀에 의해 데이터의 독출속도가 결정되어 데이터의 독출속도를 빠르게 할 수 없다는 결점이 있었다.

제4의 본 발명은 상기와 같은 사정을 감안하여 이루어진 것으로, 그 목적은 보다 빠른 독출속도의 불휘발성 반도체 메모리를 제공함에 있다.

또, 제35도～제39도에 기초하여 설명한 EEPROM에 있어서는, 앞에서도 설명한 바와 같이 각 열선에 래치회로를 설치하고 있기 때문에, 래치회로의 분량만큼 칩사이즈가 커지고, 칩의 원가가 높아진다는 결점이 있었다.

제5의 본 발명은 상기와 같은 사정을 감안하여 이루어진 것으로, 그 목적은 원가가 낮고 또 종래와 같이 프로그램시간이 단축된 불휘발성 반도체 메모리를 제공함에 있다.

[과제를 해결하기 위한 수단]

제1의 본 발명은, 부유게이트를 갖춘 트랜지스터로 이루어진 메모리셀이 복수개 직렬로 접속되고, 상기 각 메모리셀이 상기 부유게이트에 전자가 주입된 제1상태인가 상기 부유게이트로부터 전자가 방출된 제2상태인가에 따라 상기 메모리셀에 2진데이터중의 한쪽의 데이터를 기억하도록 한 메모리셀블럭과, 이 메모리셀블럭의 일단에 직렬로 접속되어 상기 메모리셀블럭을 선택하기 위한 선택트랜지스터와, 상기 각 메모리셀블럭의 타단에 접속된 스위칭수단과, 상기 메모리셀블럭내에 설치되어 상기 메모리셀과 직렬로 접속되고, 대응하는 상기 메모리셀블럭군(束)중의 상기 메모리셀의 상기 부유게이트에 전자가 주입되고 있는 메모리셀과 상기 부유게이트로부터 전자가 방출되고 있는 메모리셀의 논리상태를 결정하기 위한 비트체크 트랜지스터를 구비한 것을 특징으로 한다.

제2의 본 발명은, 부유게이트를 갖춘 트랜지스터로 이루어진 메모리셀이 복수개 직렬로 접속된 메모리셀블럭과, 이 메모리셀블럭의 일단에 직렬로 접속되어 상기 각 메모리셀블럭을 선택하기 위한 선택트랜지스터와, 매트릭스형상으로 배열된 상기 메모리셀블럭과 상기 선택트랜지스터로 이루어진 메모리블럭에서의 동일행의 상기 메모리셀에 접속되는 제1행선과, 열선과, 상기 각 열선에 접속된 인접하는 적어도 2개의 상기 메모리셀과 상기 선택트랜지스터로 이루어진 상기 메모리블럭과, 이 인접한 메모리블럭중의 한쪽의 상기 선택트랜지스터가 접속되는 제2행선 및 다른쪽의 상기 선택트랜지스터가 접속되는 제3행선과, 상기 각 메모리셀블럭의 타단과 기준전위와의 사이에 접속된 스위칭수단을 구비한 불휘발성 반도체 메모리에서의 메모리셀의 데이터 프로그램을 행함에 있어서, 상기 수위칭수단을 오프상태로 하고, 선택된 상기 제1행선을 제1전위로 하며, 비선택의 상기 제1행선을 상기 제1전위보다도 낮은 제2전위로 하고, 상기 제2 및 제3행선을 상기 제1전위로 하여 상기 열선을 상기 제1전위보다도 낮은 제3전위로 함으로써 상기 메모리셀군을 이 제3전위로부터 충전하고, 그 후 상기 제2 혹은 제3행선중의 선택되어 있지 않은 상기 선택트랜지스터를 오프상태로 하며, 그 후 상기 메모리셀에 프로그램하는 데이터에 따라 상기 열선을 상기 제3전위 혹은 0V로 설정함으로써 상기 메모리셀에 데이터를 프로그램하는 것을 특징으로 한다.

제3의 본 발명은, 부유게이트와 제어게이트를 갖춘 트랜지스터로 이루어진 메모리셀이 복수개 접속된 메모리셀블럭과, 이 메모리셀블럭에 직렬로 접속되어 상기 메모리셀블럭을 선택하기 위한
선택트랜지스터와, 매트릭스형상으로 배열된 상기 선택트랜지스터 및 상기 메모리셀에서의 동일행에 나열된 상기 메모리셀의 제어게이트를 접속하는 행선과, 이 행선에 프로그램전압을 인가함으로써 상기 부유게이트에 전자를 주입하여 상기 메모리셀에 데이터를 프로그램하는 프로그램수단을 구비한 불휘발성 반도체 메모리에 있어서, 전자의 주입과 전자의 주입량의 체크를 상기 프로그램의 도중에서 순차적으로 반복하여 행하고, 상기 행선에 인가하는 프로그램전압은 상기 반복하여 인가할 때에 전에 가한 상기 프로그램전압보다도 높은 값으로 하여 인가하는 프로그램전압 공급수단을 구비한 것을 특징으로 한다.

제4의 본 발명은, 행선과, 이 행선에 의해 선택적으로 구동되어 부유게이트내의 전자의 상태에 따라 2진데이터의 어느 것인가를 기억하는 부유게이트와 제어게이트를 갖춘 트랜지스터로 이루어진 메모리셀과, 이 메모리셀의 일단에 접속되는 열선과, 상기 메모리셀의 타단과 기준전위와의 사이에 접속되고, 게이트가 상기 행선에 접속된 트랜지스터와, 상기 메모리셀의 부유게이트내로부터 전자를 방출시키는 데이터 소거수단과, 상기 메모리셀이 선택된 때 온되고 비선택시에 오프되도록 상기 메모리셀의 부유게이트에 전자를 주입시켜 상기 메모리셀에 2진데이터중의 한쪽을 기억시키는 제1기입수단과, 상기 메모리셀이 선택된 때 및 비선택시에 모두 오프되도록 상기 메모리셀의 부유게이트에 전자를 주입시켜 상기 메모리셀에 2진데이터중의 다른쪽을 기억시키는 제2기입수단을 구비한 것을 특징으로 한다.

제5의 본 발명은, 행선과, 이 행선에 의해 선택적으로 구동되는 메모리셀과, 이 메모리셀에 접속되는 열선과, 열디코더와, 상기 열선에 그 일단이 접속되고, 상기 열디코더에 의해 스위칭제어되어 상기 열선을 선택하는 열게이트 트랜지스터와, 상기 열게이트 트랜지스터를 온시켜 상기 열선에 상기 메모리셀에 프로그램해야 할 데이터에 따른 전위를 공급하고, 그 후 오프시켜 상기 열선에 상기 전위를 유지시키며, 이 유지된 전위에 의해 상기 메모리셀에 데이터를 프로그램하는, 상기 게이트 트랜지스터의 타단에 접속되는 상기 메모리셀에 데이터를 프로그램하기 위한 데이터 프로그램수단을 구비한 것을 특징으로 한다.

[작용]

제1의 본 발명에서의 각 메모리셀블럭에 있어서, 비트체크 트랜지스터에 의해 부유게이트에 전자가 주입되고 있는 메모리셀과 부유게이트로부터 전자가 방출되고 있는 메모리셀의 논리상태가 결정된다. 이에 따라, 예컨대 메모리셀블럭을 구성하는 메모리셀중 0데이터를 기억하는 메모리셀의 수와 1데이터를 기억하는 메모리셀의 수를 비교하여 많은 쪽의 메모리셀을 부의 문턱치전압으로 하고, 적은 쪽의 메모리셀을 정의 문턱치전압으로 하며, 이것을 비트체크 트랜지스터에 기억시켜 두는 것이 가능하게 된다. 즉, 각 메모리셀블럭에 대해 살펴 보면, 부의 문턱치의 메모리셀의 수가 많아지도록 설정가능하다. 이와 같이 함으로써, 각 메모리셀블럭을 흐르는 전류를 많게 하여 독출속도를 향상시킬 수 있다.

제2의 본 발명에 있어서는, 인접한 2개의 메모리셀블럭을 1개의 열선에 공통으로 접속하고, 비선택 메모리셀블럭에 있어서 메모리셀의 부유게이트와 기판과의 사이에 전자의 터널이 일어나지 않도록 제1전위보다도 낮은 제3전위로부터 충전하며, 이 후에 비선택 메모리셀블럭의 선택트랜지스터를 오프시켜 비선택 메모리셀블럭에 그 충전전위를 유지시키도록 하였다.이에 따라, 인접한 2개의 메모리셀블럭에서 1개의 열선이 공용된다. 즉, 열선의 수가 반으로 줄어 들어, 2개의 메모리셀블럭과 열선과의 접속부분의 면적이 점유하는 메모리셀 어레이상의 비율이 감소된다.

제3의 본 발명에 의하면, 메모리셀로의 프로그램에 있어서, 행선에 프로그램전압이 인가된다. 이 프로그램에 있어서, 부유게이트로의 전자의 주입과 주입량의 체크가 순차적으로 반복하여 행해진다. 그리고, 프로그램전압으로서는 순차적으로 전회보다도 높은 것이 가해진다. 이에 따라, 제조공정의 변동 등에 관계없이 각 메모리셀은 최적으로 전자가 주입되어 각 메모리셀의 문턱치전압의 변동이 작아진다.

제4의 본 발명에 있어서는, 메모리셀의 부유게이트로부터 일단 전자를 방출시켜 그 문턱치전압을 부로 한 후, 제1기입수단에 의해 선택시에 온되고 비선택시에 오프되도록 메모리셀의 부유게이트에 전자가 주입되어 2진데이터의 한쪽이 기억된다. 그 후, 제2기입수단에 의해 선택시나 비선택시나 모두 오프되도록 선택적으로 메모리셀의 부유게이트에 전자가 주입되어 2진데이터의 다른쪽이 기억된다.

제5의 본 발명에 있어서는, 열선이 열게이트 트랜지스터를 매개하여 데이터 프로그램수단에 접속되어 있다. 열디코더에 의해 열게이트 트랜지스터가 선택적으로 온된다. 그 후, 데이터 프로그램수단에 의해 열선을 프로그램해야할 데이터에 따른 전위로 한다. 이 전위에 의해 메모리셀이 프로그램된다. 이 프로그램에 있어서는 전류는 거의 소비되지 않는다. 따라서, 데이터 프로그램수단에서의 데이터 래치회로는 메모리셀 어레이로부터 떨어진 임의의 위치에 형성된다.

[실시예]

이하, 제1의 본 발명의 일실시예에 대해 도면을 참조하여 설명한다.

제1도는 전술한 제30도에서의 선택용 MOS트랜지스터(ST)와 메모리셀용 MOS트랜지스터(M1)간에 신호(C)로 도통제어되는 비트체크용 MOS트랜지스터(CT)를 설치한 것이다. 이 비트체크용 MOS트랜지스터(CT)의 기능은, 이 비트체크용 MOS 트랜지스터(CT)가 포함되는 메모리셀블럭(111)과는 다른 어떤 하나의 메모리셀블럭(111)내에서의 기억데이터의 1 혹은 0중의 많은 쪽의 어느것을 부유게이트로부터 전자가 방출된 부의 문턱치전압을 갖는 MOS트랜지스터로 할당할 것인가를 기억하는 것이다. 즉, 하나의 메모리셀블럭(111)마다 1의 데이터를 기억하는 것이 부의 문턱치전압의 것인가 정의 문턱치전압의 것인가를 바꾸고 있다. 즉, 하나의 메모리셀블럭(111)내의 기억데이터중에서 1의 수가 많으면 1의 데이터를 부의 문턱치전압의 것으로 할당하고, 0의 수가 많으면 0의 데이터를 부의 문턱치전압의 것으로 할당하고 있다. 이와 같이 함으로써, 메모리셀블럭(111)내의 메모리셀용 MOS트랜지스터(M1～M8)는 반수이상이부의 문턱치전압의 것으로 된다.

이하, 이에 대하여 제2도를 참조하여 상세히 설명한다. 이 제2도에 나타낸 예는, 메모리셀블럭(111)내에 8개의 메모리셀용 MOS트랜지스터가 존재하는 경우에 있어서, 1, 0의 수와 1, 0에 대응하는 트랜지스터의 문턱치전압 및 비트체크용 트랜지스터의 문턱치전압을 나타내고 있다. 예컨대, no. 3은 1의 데이터가 2개, 0의 데어타가 6개 있는 경우이다. 이 경우에는, 0의 데이터를 부의 문턱치전압을 갖는 MOS트랜지스터로, 1의 데이터를 정의 문턱치전압을 갖는 MOS트랜지스터로 각각 할당한다. 그리고, 이 할당을 비트체크용 MOS트랜지스터(CT)를 정의 문턱치전압으로 함으로써 기억한다. 또, no. 6은 1의 데이터가 5개, 0의 데이터가 3개인 경우이다. 이 경우는, 1의 데이터를 부의 문턱치전압을 갖는 MOS트랜지스터로, 0의 데이터를 정의 문턱치전압을 갖는 MOS트랜지스터로 각각 할당한다. 그리고, 이 할당을 비트체크용 MOS트랜지스터(CT)를 부의 문턱치전압으로 함으로써 기억한다. 또, no. 5에 나타낸 바와 같이 1의 데이터와 0 의 데이터의 수가 같은 때는, 1의 데이터를 부의 문턱치전압을 갖는 MOS트랜지스터로, 0의 데이터를 정의 문턱치 전압을 갖는 MOS트랜지스터로 각각 할당하고, 비트체크용 MOS트랜지스터(CT)를 부의 문턱치전압으로 해 둔다.

이러한 구성에 의하면, 메모리셀블럭(111)내의 부유게이트로부터 전자가 방출된 부의 문턱치전압을 갖는 MOS트랜지스터를 항상 반수이상으로 할 수 있다. 이 때문에, 메모리셀블럭(111)을 흐르는 전류를 많게 할 수 있고, 또한 부하트랜지스터(L1)에도 전류구동능력이 큰 것을 사용할 수 있으므로, 독출속도를 대폭적으로 향상시킬 수 있다.

또한, 제2도에서는 메모리셀블럭(111)이 8개의 메모리셀용 MOS트랜지스터를 갖춘 경우를 예로 들어 설명하였다. 그러나, 트랜지스터의 수는 이에 한정되지 않고, 16개 혹은 32개 등 다른 수라도 좋은 것은 물론이다.

제3도는 상기 제2도에 도시한 메모리셀블럭(111)을 매트릭스형상으로 배열하여 형성한 반도체 기억장치를 나타낸다. 제3도에 있어서, 113, 114는 메모리셀 어레이이다. 이들 메모리셀 어레이(113,114)는 각각 복수의 어레이(113_1,113_2,114_1,114_2)로 분할되어 있다. 그리고, 이들 메모리셀 어레이(113,114)에서의 선택용 트랜지스터(S1R,S2R,…,S1L,S2L,…)는 각각 행디코더(115)의 출력신호(X1R,X2R,…,X1L,X2L,…)에 의해 선택적으로 도통제어된다. 또, 비트체크용 MOS트랜지스터(CT1R,CT2R,…,CT1L,CT2L,…)는 각각 행디코더(115)의 출력신호(C1R,C2R,…,C1L,C2L,…)에 의해 선택적으로 도통제어된다. 마찬가지로, 메모리셀용 MOS트랜지스터(M1R,M2R,…,M8R,M1L,M2L,…,M8L)도 각각 상기 행디코더(115)의 출력신호(W11R,W12R,…,W18R,W11L,W12L,…,W18L)에 의해 선택적으로 도통제어된다. 116은 열디코더이다. 이 열디코더(116)

의 출력신호(Y1R,Y2R,…,YnR,Y1L,Y2L,…,YnL)에 의해 선택게이트(CG1R,CG2R,…,CGnR,CG1L,CG2L,…,CGnL)가 선택적으로 도통제어된다. 상기 선택게이트(CG1R,CG2R,…,CGnR,CG1L,CG2L,…,CGnL)의 일단은 각각 어레이(113_1,113_2,114_1,114_2)마다 노드 N1에 공통접속되어 있다. 이들 공통접속점(노드 Ni)과 전원(V_{DD})간에는 각각 부하 MOS 트랜지스터(L1,L1,…)가 접속되어 있다. 상기 각 부하 MOS트랜지스터(L1,L1,…)의 일단으로서의 노드 N1에는 각각 센스앰프(112,112,…)가 접속되어 있다. 노드 N1(3)에 접속된 센스앰프(112(3))의 출력(D1R) 및 노드 N1(2)에 접속된 센스앰프(112(2))의 출력(D1L)은 각각 데이터 판정회로(117_1)에 공급된다. 이 데이터 판정회로(117_1)는 인버터(118,119), P챈널형의 MOS트랜지스터(Q1～Q4) 및 N챈널형의 MOS트랜지스터(Q5～Q8)를 갖추고 있다. 이 판정 회로(117_1)는 한쪽의 어레이(113_1)의 메모리셀용 MOS트랜지스터(M)로부터 독출한 기억데이터를 다른쪽의 어레이(114_1)의 비트체크용 MOS트랜지스터(CT)가 정의 문턱치전압인가 부의 문턱치전압인가에 따라 반전시킬 것인가 혹은 반전시키지 않고 그대로 출력시킬 것인가, 선택한 메모리셀용 MOS트랜지스터의 기억데이터를 판정하여 반전한 데이터 혹은 반전하지 않은 데이터를 도시하지 않은 출력버퍼로 출력한다. 마찬가지로 판정회로(117_1)는 한쪽의 어레이(114_1)의 메모리셀용 MOS트랜지스터(M)로부터 독출한 기억데이터를 다른쪽의 어레이 (113_1)의 비트체크용 MOS트랜지스터(CT)가 정의 문턱치전압인가 부의 문턱치전압인가에 따라 반전시킬 것인가 혹은 반전시키지 않고 그대로 출력시킬 것인가, 선택한 메모리셀용 MOS트랜지스터의 기억데이터를 판정하여 반전한 데이터 혹은 반전하지 않은 데이터를 도시하지 않은 출력버퍼로 출력한다.

노드 N1(4)에 접속된 센스앰프(112(4))의 출력(D2R) 및 노드 N1(1)에 접속된 센스앰프(112(1))의 출력(D2L)은 각각 데이터 판정회로(117_2)에 공급된다.

이 데이터 판정회로(117_2)는 상기 데이터 판정회로(117_1)와 동일 구성의 것이다. 이 판정회로(117_2)는 한쪽의 어레이(113_2)의 메모리셀용 MOS트랜지스터(M)로부터 독출한 기억데이터를 다른쪽의 어레이(114_2)의 비트체크용 MOS트랜지스터(CT)가 부의 문턱치전압인가 정의 문턱치전압인가에 따라 반전시킬 것인가 혹은 반전시키지 않고 그대로 출력시킬 것인가에 대해, 선택한 메모리셀용 MOS트랜지스터(M)의 기억데이터를 판정하여 반전한 데이터 혹은 반전하지 않은 데이터를 도시하지 않은 출력버퍼로 출력한다. 마찬가지로 판정회로(117_2)는 한쪽의 어레이(114_2)의 메모리셀용 MOS트랜지스터(M)로부터 독출한 기억데이터를 다른쪽의 어레이(113_2)의 비트체크용 MOS트랜지스터(CT)가 부의 문턱치전압인가 정의 문턱치전압인가에 따라 반전시킬 것인가 혹은 반전시키지 않고 그대로 출력시킬 것인가에 대해, 선택한 메모리셀용 MOS트랜지스터(M)의 기억데이터를 판정하여 반전한 데이터 혹은 반전하지 않은 데이터를 도시하지 않은 출력버퍼로 출력한다.

도시한 바와 같이, 제3도의 회로에서는 행디코더(115)를 사이에 두고 그 우측과 좌측에 2개의 메모리셀 어레이(113,114)를 배치하고 있다. 우측의 메모리셀 어레이(113)의 데이터를 체크하는 비트체크용 MOS트랜지스터(CT)는 대응하는 좌측의 메모리셀 어레이(114)내에 편입되어 있다. 반대로, 좌측의 메모리셀 어레이(114)의 데이터를 체크하는 비트체크용 MOS트랜지스터는 대응하는 우측의 메모리셀 어레이(113)내에 편입되어 있다. 예컨대, 비트체크용 MOS트랜지스터(CT1R)는 메모리셀(M1L～M8L)을 체크하기 위한 것이고, 트랜지스터(CT1L)는 메모리셀(M1R～M8R)을 체크하기 위한 것이다. 이와 같이 제3도의 구성에서는, 행디코더(115)를 사이에 두고 좌우대칭의 구성으로 하고, 좌측과 우측의 대칭위치에 존재하는 한쌍의 메모리셀 블럭의 한쪽은 다른쪽에 대한 비트체크용 MOS트랜지스터(CT)를 갖추고 있다. 단, 이것은 심벌적인 회로에서의 이야기이고, 실제의 패턴을 끄집어 내어 대칭으로 할 필요는 없다.

다음에는 상기 구성의 회로동작을 제4도에 나타낸 진리치표를 참조하면서 설명한다. D1L, D1R은 상기 제3도에 나타낸 바와 같이 센스앰프(112,112)에 의해 독출된 데이터이다. 이 센스앰프(112,112)는 부의 문턱치전압을 갖는 MOS트랜지스터로 이루어진 메모리셀이 선택된 경우에는 0의 데이터를 출력하고, 정의 문턱치전압을 갖는 트랜지스터로 이루어진 메모리셀이 선택된 경우에는 1의 데이터를 출력한다. 어드레스신호(A0)가 0일 때는, 좌측의 셀 어레이(114)에서의 메모리셀로부터의 데이터가 독출되고, 우측의 셀 어레이(113)에서의 비트체크 데이터가 독출되는 것으로 한다. 이 경우, 데이터(D1L)는 좌측의 셀 어레이로부터, 데이터(D1R)는 우측의 셀 어레이로부터 각각 독출된 데이터이다. 그리고, Z1은 이들 데이터(D1L,D1R)에 기초하여 데이터 판정회로(117_1)로부터 출력버퍼에 대해 출력되는 데이터이다. 제3도에 나타낸 데이터 판정회로(117_1)는 이 진리치표를 만족하도록 구성되어 있다. 센스앰프(112)에 의해 독출된 데이터 D1L이 0이고 또한 D1R도 0일 때는, 메모리셀의 기억데이터 및 비트체크 데이터인 D1R이 0이기 때문에, 메모리셀용 MOS트랜지스터 및 비트체크용 MOS트랜지스터는 부의 문턱치전압이다. 따라서, 상기 제2도로부터, 메모리셀은 1의 데이터를 기억하고 있다. 그리하여 출력(Z1)은 1로 된다. 한편, 센스앰프(112)의 출력 D1L이 1이고 D1R이 0일 때는, 메모리셀용 MOS트랜지스터가 정의 문턱치전압이다. 또, 비트체크용 MOS트랜지스터는 부의 문턱치전압이므로, 메모리셀용 MOS트랜지스터는 0을 기억하고 있고, 출력(Z1)은 0으로 된다. 또, 센스앰프(112)의 출력 D1L이 0이고 D1R이 1일 때는, 메모리셀용 MOS트랜지스터가 부의 문턱치전압이고, 비트체크용 MOS트랜지스터는 정의 문턱치전압이기 때문에, 메모리셀용 MOS트랜지스터는 0을 기억하고 있고, 출력(Z1)은 0으로 된다. 더욱이, 센스앰프(112)의 출력 D1L, D1R이 모두 1일 때는, 메모리셀용 MOS트랜지스터 및 비트체크용 MOS트랜지스터는 정의 문턱치전압이므로, 메모리셀용 MOS트랜지스터는 1을 기억하고 있다. 따라서, 출력(Z1)은 1로 된다.

어드레스신호(A0)가 1인 경우도 동일한 바, D1R이 메모리셀 데이터, D1L이 체크 데이터이다. 이와 같이, 각 메모리셀블럭마다 1 혹은 0을 기억하는 것이 부유게이트에 전자가 주입된 정의 문턱치전압을 갖는 MOS트랜지스터인가 혹은 부유게이트로부터 전자가 방출된 부의 문턱치전압을 갖는 MOS트랜지스터인가가 비트체크 데이터에 의해 선별되고 있다.

또한, 상술한 설명에서는 어드레스신호(A0)가 0일 때는 좌측의 메모리셀 어레이(114)내의 메모리셀로부터 데이터가 독출되고, 어드레스신호(A0)가 1일 때는 우측의 메모리셀 어레이(113)내의 메모리셀로부터 데이터가 독출된다. 그렇지만 이러한 태양(態樣)에 한정되지 않는 바, 요는 어떤 메모리셀블럭으로부터 데이터를 독출할 때, 그 메모리셀블럭에 대응하는 비트체크 데이터를 갖춘 트랜지스터로부터 동시에 비트체크

데이터를 독출하도록 구성하면 된다.

다음에는 제5도를 참조하여 메모리셀(M1R)로부터 데이터를 독출하는 경우를 예로 들어 설명한다. 이 때는, 열디코더(116)의 출력신호(Y2R,Y2L)는 1, 다른 출력신호(Y1R,Y1L,YnR,YnL)는 모두 0이다. 따라서, 선택게이트(CG2R,CG2L)는 온상태로 된다. 또, 행디코더(115)의 출력신호(X1R,X1L)는 1레벨로, X2R, …, X2L, …은 0레벨로 각각 설정한다. 이에 따라, 신호(X2R,…,X2L,…)가 공급되는 MOS트랜지스터(S2R,…,S2L,…)는 오프상태로 된다. 한편, 신호(X1R,X1L)가 공급되는 MOS트랜지스터(S1R,S1L)는 온상태로 된다. 선택되는 메모리셀용 MOS트랜지스터(M1R)에 접속되는 비트체크용 MOS트랜지스터(CT1R)를 제어하는 신호(C1R)는 1레벨이고, 메모리셀용 MOS트랜지스터(M1R)에 대응하는 비트체크용 MOS트랜지스터(CT1L)를 제어하는 신호(C1L)는 0레벨이다.

신호(W1R~W18R)중 선택하는 MOS트랜지스터(M1R)에 대한 신호(W11R)만이 0레벨이고, 다른 신호(W12R~W18R)는 모두 1레벨로 된다. 한편, 이들 신호(W11R~W18R)와 행디코더(115)를 사이에 두고 대향하는 신호(W11L~W18L)는 모두 1레벨이다. 따라서, 우측의 메모리셀 어레이(113)에서는, 게이트가 0레벨인 메모리셀(M1R)의 기억데이터가 독출되고, 센스앰프(112(3))는 이것을 검출하여 1레벨을 출력한다. 이에 대해, 좌측의 메모리셀 어레이(114)에서는, 게이트가 0레벨인 비트체크용 MOS트랜지스터(CT1L)로부터 데이터가 독출된다. 이 때, 비트체크용 MOS트랜지스터는 정의 문턱치전압이므로, 센스앰프(112(2))는 이것을 검출하여 1레벨을 출력한다. 따라서, 센스앰프(112(2), 112(3))의 출력은 모두 1레벨이므로, 데이터 판정회로(117_1)의 출력신호(Z1)가 1레벨로 되어, 메모리셀용 MOS트랜지스터(M1R)의 기억데이터는 1임을 알 수 있다.

제6도는 상술한 바와 같은 각 신호 X1R, C1R, W11R~W18R, X1L, C1L, W11L~W18L의 진리치표로, 이 예에서는 상기 각 신호를 어드레스신호(A0,A1,A2,A3)로부터 생성하고 있다. 즉, 이 진리치표를 만족하도록 회로를 조합하면 좋다.

또, 신호(X1R,X2R,…)를 출력하는 진리치표는 나타내지 않았지만, 이것은 종래와 동일하고, 더욱이 어드레스신호(A4,A5) 등의 어드레스신호를 추가하여 메모리셀용량에 따라 어느것인가 하나가 선택되도록 하면 좋다. 또, 상기 제6도에서는 1개의 메모리셀블럭이 8개의 메모리셀용 MOS트랜지스터로 이루어진 경우의 것이지만, 예컨대 16개나 32개의 트랜지스터로 이루어진 경우에는 이것에 대응하여 어드레스신호를 추가하여 동일한 기능을 갖도록 하면 좋다.

상기 실시예에 의하면, 하나의 메모리셀블럭을 구성하는 메모리셀용 MOS트랜지스터의 반수이상을 부의 문턱치전압으로 할 수 있으므로, 종래에 비해 메모리셀블럭을 흐르는 전류를 많이 설정할 수 있고, 또 부하 MOS트랜지스터(L1)에도 전류구동능력이 큰 것을 사용할 수 있으므로 보다 고속의 독출이 가능하게 된다.

다음에는 제2의 본 발명을 제7도를 참조하여 설명한다. 이 실시예는, 1개의 열선을 2개의 메모리셀블럭에 공통으로 접속한 것이다. 즉, 열선(D1)을 노드 N1에 있어서 선택트랜지스터(T1(1),T2(1); T1(2),T2(2))를 매개로 메모리셀블럭(MB(1),MB(2))에 접속하고 있다. 또, 열선(D2)을 노드 N2에 있어서 선택트랜지스터(T1(3),T2(3);T1(4),T2(4))를 매개로 메모리셀블럭(MB(3),MB(4))에 접속하고 있다. 더욱이, 각 메모리셀블럭(MB)의 타단측은 트랜지스터(10)를 매개로 기준전위에 접속하고 있다. 신호(S1)가 논리 1이 되면 새로이 예컨대 트랜지스터(T1(1))가 온되어, 좌측의 메모리셀군(MB(1),MB(2))이 선택된다.

트랜지스터(T2(1),T1(2),T2(3),T1(4))는 디플리션형으로, 신호(S1) 혹은 신호(S2)가 논리 0이더라도 온 그대로이다. 이들 디플리션형 트랜지스터 대신에 단순히 확산층 등의 배선을 이용해도 좋다.

이 실시예에 있어서도 종래와 마찬가지로, 메모리셀에 데이터를 프로그램할 때는, 제7도(b)로부터 알 수 있는 바와 같이, 우선 메모리셀의 제어게이트에 접속되어 있는 모든 행선(WL1~WLn)을 0V로 하고, 기판을 고전압으로 하여 모든 메모리셀의 부유게이트로부터 기판으로 전자를 방출한다. 메모리셀로의 데이터의 프로그램시에는, 종래와 마찬가지로 신호(ø)를 0V로 하여 트랜지스터(10)를 오프시켜 메모리셀군을 기준전위로부터 분리한다. 이 후, 선택트랜지스터(T1,T2)에 공급되는 신호(S1,S2)를 모두 고전위(V1)로 설정한다(t1). 더욱이, 선택되는 메모리셀블럭에 대응하는 모든 행선(WL1~WLn)을 전위(V2)로 설정한다. 그리고 열선(D1,D2)에 전위(V3)를 공급하고, 메모리셀블럭을 전위(V3)로부터 충전한다. 이 후, 신호(S2)를 0V로 하여 기입을 행하지 않는 쪽의 선택트랜지스터(T2)를 오프시킨다(t2). 즉, 제7도(a)에 있어서 우측의 메모리셀블럭(MB(2),MB(4))으로의 프로그램을 행하지 않을 때는, 신호(S2)를 0V로 하여 우측의 선택트랜지스터(T2(2),T2(4))를 오프시킨다. 트랜지스터(10)도 오프되어 있기 때문에, 우측의 메모리셀블럭(MB(2),MB(4))에는 전위(V3)로부터 충전된 전위가 그대로 유지된다. 이 후, 열선(D1,D2)의 전위를 0V로 하는가 혹은 전위(V3)로 하는가에 따라, 종래와 같이 좌측의 메모리셀블럭(MB(1),MB(3))에 프로그램이 이루어진다. 우측의 메모리셀블럭(MB(2),MB(4))은, 전위(V3)로부터 충전되어 있으므로, 행선(WL)이 고전위(V1)로 설정되어 있다고 해도, 부유게이트와 기판(챈널)간의 전위차가 터널을 일으키기에 충분한 값이 되지 않아 부유게이트에 전자가 주입되는 일은 없다. 시각(t2)에 있어서, 행선(WNn)이 고전위(V1)로, 비선택 행선(WL)은 V1보다도 낮은 V2의 전위로, 열선(D1)은 0V로, 열선(D2)은 전위(V3)로 각각 설정되어 있다. 이 때문에, 메모리셀(Mn(1))만의 부유게이트와 기판(챈널)간의 전위차가 터널을 일으키기에 충분한 값으로 되어 기판으로부터 부유게이트로 전자가 주입된다. 마찬가지로, 시각(t3)에는 메모리셀(M2(1))에, 시각(t4)에는 (M1(1))의 부유게이트에 전자가 주입된다.

이상 설명한 바와 같이 이 실시예에 의하면, 이 실시예에 특유의 프로그램수순을 추가했으므로, 즉 인접한 2개의 메모리셀블럭을 1개의 열선에 공통으로 접속하고, 비선택 메모리셀블럭을 부유게이트와 기판간에 전자의 터널이 일어나지 않도록 전위(V3)로부터 충전하며, 그 후 비선택 메모리셀블럭의 선택트랜지스터를 오프시켜 비선택 메모리셀블럭에 그 충전전위를 유지하도록 프로그램의 수순을 추가했기 때문에, 인접한 메모리셀블럭에서 하나의 열선을 공용할 수 있게 되었다. 이 때문에, 열선의 수를 종래의 반으로 하여 인접한 메모리셀블럭끼리의 메모리셀블럭과 열선의 접속부가 메모리셀 어레이의 점유면적을 결정하지 않도록 할 수 있다.

또한, 열선의 전위는 상기와 같이 0V가 아니라도 좋다. 전위(V3)로부터 충전된 전위가 기생 필드트랜지스터를 매개로 부근의 0V의 열선으로 방전하지 않도록 하기 위해서는, 1V, 2V정도의 전위로 유지해 두는 것

이 바람직하다.

다음에는 제3의 본 발명의 실시예에 대해 설명한다. 이 실시예는, 부유게이트로의 전자의 주입량의 변동을 억제하도록 한 것이다.

이 실시예의 설명에 앞서 제3의 본 발명의 개요에 대해 설명한다.

제3의 본 발명은, 메모리셀의 제어게이트에 공급하는 고전압을 메모리셀의 문턱치전압을 체크하기 위한 데이터독출마다 전의 전압치보다도 높게 함으로써, 상기 목적을 달성한 것이다. 즉, 상기와 같이 제조공정 등의 변동에 기인하여 게이트절연막의 막압력이 메모리셀마다 균일하지 않고 변동한다. 이 변동에 의해 부유게이트로의 전자의 주입량이 달라진다. 각 메모리셀의 문턱치전압을 같게 하려고 하면, 게이트절연막의 변동에 따라 행선(즉 메모리셀의 제어게이트)에 가해지는 전압치를 바꾸지 않으면 안된다. 종래는, 모든 메모리셀에 대해 동일한 전압을 제어게이트에 가하여 전자를 주입하고 있었기 때문에, 메모리셀의 문턱치전압에 변동이 생긴 것이다. 이에 대해, 제3의 본 발명에 있어서는, 메모리셀의 부유게이트에 전자를 주입하는 경우, 행선을 고전압으로 함과 더불어 전자를 주입하려고 하는 메모리셀이 접속되어 있는 열선을 0V로 한다. 한편, 전자를 주입하지 않는 메모리셀이 접속되어 있는 열선은, 부유게이트와 챈널간의 전계를 터널을 일으키지 않을 정도로 작게 하기 위해 소정의 전압(V3)으로 설정된다. 이와 같이, 행선을 고전압으로, 각 열선을 0V 혹은 V3로 설정하여 소정의 기간만 선택적으로 메모리셀의 부유게이트에 전자를 주입한다. 이후, 체크를 위한 독출을 행한다. 메모리셀의 문턱치전압이 소정의 값으로 되어 있을 때에는, 이 메모리셀이 접속되어 있는 열선은 이 메모리셀에 그 이상 더 전자를 주입하지 않도록 하기 위해 다음에 다른 메모리셀의 부유게이트로 전자를 주입할 때는 전압(V3)으로 한다. 체크를 위한 독출도, 통상의 독출과 마찬가지로 선택된 행선을 0V로 하여 메모리셀이 오프되는가 아닌가 점검하면 좋다. 체크를 위한 독출이 종료한 후에는, 행선에 전회보다도 더 높은 전압의 고전압을 인가한다. 이 고전압은 전회보다 예컨대 0.5V나 1V정도 높은 값으로 족하다. 그리고, 전자의 주입이 불충분한 메모리셀이 접속되어 있는 열선을 0V로 설정하여 전자의 주입을 행한다. 더욱이, 전자를 주입하기 어려운 메모리셀이 접속되어 있는 열선과 이미 전자가 충분히 주입된 메모리셀이 접속되어 있는 열선을 각각 V3의 전위로 설정하여 부유게이트로의 전자의 주입이 이루어지지 않도록 한다. 이후의 체크독출후, 행선을 더 높은 전압으로 설정한다. 이후, 상기와 마찬가지로 전자의 주입이 불충분한 메모리셀이 접속되어 있는 열선을 0V로 설정하여 전자의 주입을 행함과 더불어, 전자를 주입하기 어려운 메모리셀이 접속되어 있는 열선과 전자의 주입이 충분히 이루어져 있는 메모리셀이 접속되어 있는 열선을 V3의 전위로 설정하여 부유게이트로의 전자의 주입이 이루어지지 않도록 한다. 이러한 동작을 순차적으로 반복하여 행하고, 그 때마다 행선의 전위를 높혀 간다. 즉, 체크독출에 의해 전자의 주입이 완료한 것에 있어서는 열선의 전위를 상승시켜서 그 이상 전자의 주입이 이루어지지 않도록 하고, 전자의 주입이 부족한 것(이러한 것은 게이트절연막이 두껍게 만들어질 가능성이 있다)에는 행선의 전위를 더 상승시켜서 전자의 주입을 행한다. 이와 같이 행선의 전위를 순차적으로 상승시켜서 부유게이트로의 전자의 주입을 행하고 있기 때문에, 각 메모리셀에 대해 거의 최적의 전위로 전자를 주입할 수 있게 된다.

상기 제3의 본 발명에 따른 행선의 전위를 발생하기 위한 회로를 제8도를 참조하여 설명한다. 제8도(a)는 그 행선의 전위를 발생하기 위한 전위발생회로(PG)이고, 동도(b)는 일례로서의 행디코더(RD)이다. 행디코더(RD)는 전위발생회로(PG)의 출력(Vp')을 받아 이 V' 를 선택된 행선에 출력하는 것이다.

제8도(a)의 회로(PG)는 저항분할에 의해 소정의 전위를 단계적으로 낮은 전위로부터 높은 전위까지 순서대로 만들어 신호(1~5)를 순차적으로 논리 1로 함으로써, 각 프로그램마다 순차적으로 전위(Vp')를 높혀 출력하는 것이다.

이 신호(1~5)는, 논리 1인 때 그 전위는 Vp로 되고, 논리 0인 때는 접지전위 즉 0V로 된다.

즉, 제8도(a)의 전위발생회로(PG)는, 고압측 기준전위(Vp)와 접지전위간에 직렬로 저항(R,R,…) 및 트랜지스터(T10)가 접속되어 있다. 2개의 저항(R,R)의 접속점인 노드(N1~N5)에 트랜지스터(T1~T5)의 게이트가 접속되어 있다.

이들 트랜지스터(T1~T5)의 일단은 고압측 기준전위(Vp)에 접속되고, 타단은 각각 트랜지스터(T11~T55)를 매개해서 전위(Vp')를 출력하는 출력단(OUT1)에 연결되어 있다. 또, 출력단(OUT1)에는 디플리션형 트랜지스터(T6)를 매개해서 전원전원(Vc)가 접속되어 있다.

또, 제8도(b)에서의 행디코더(RD)는, 접지전위와 전원전위(Vc)간에 트랜지스터(T21~T24)가 직렬로 접속되어 있다. 트랜지스터(T21~T23)의 게이트에는 어드레스(A)가 가해지고, 트랜지스터(T24)의 게이트는 접지되어 있다. 트랜지스터(T24,T23)간의 노드 N10은 게이트가 Vc에 접속된 트랜지스터(T25)를 매개해서 노드 N11 즉 트랜지스터(T27,T28)의 게이트에 접속되어 있다. 이들 트랜지스터(T27,T28)는 제8도(a)의 회로(PG)로부터 출력되는 전위(Vp')와 접지전위간에 직렬로 접속되어 있다. 이들 트랜지스터(T27,T28)의 접속점(노드 N12)이 출력단(OUT2)으로 되어 있고, 행선에 연결되어 있다. 또, 전위(Vp')와 노드 N11간에 트랜지스터(T26)가 접속되어 있다. 이 트랜지스터(T26)의 게이트에는 노드 N12가 접속되어 있다. 여기에서, 트랜지스터(T24,T26,T27)는 P챈널형이다.

부유게이트로 전자를 주입할 때는 신호(P)를 논리 1로, 신호(/P)를 논리 0으로 한다. 이후, 신호(1~5)가 순차적으로 논리 1로 되어 각 프로그램마다 순차적으로 전위(Vp') 출력한다.

체크를 위한 데이터독출시와 통상의 독출시는, 신호(P)는 논리 0으로, 신호(/P)는 논리 1로 되어 Vp′ 로는 Vc가 출력된다. 제9도 및 제10도는 이 신호(1~5)를 만들기 위한 회로이고, 제11도는 제9도, 제10도의 각 게이트의 신호파형이다. 제9도의 회로는, 각각 3개의 노아회로를 갖춘 블럭(B1,B2,…)이 다단으로 직렬 접속된 것이다. 즉, 블럭(B1)에 있어서는, 한쌍의 노아회로(NOR11,NOR12)는 서로 한쪽의 노아회로의 출력단이 다른쪽의 노아회로의 한쪽의 입력단에 접속되어 플립플롭회로가 구성되어 있다. 노아회로(NOR11)의 다른쪽의 입력단에는 신호(P)가 가해지고 있고, 노아회로(NOR12)의 다른쪽의 입력단에는 신호(CL)가 가해지고 있다. 노아회로(NOR11)의 출력은 노아회로(NOR1)의 한쪽의 입력단에 가해지고, 노아회로(NOR1)의 다른쪽의 입력단에는 신호(S2)가 가해진다. 이와 같이 블럭(B1)이 구성되어 있다. 다른 블럭(B2,B3,…)도 거의 동일하게 구성된다. 단, 노아회로(NOR1,NOR2,…)중 기수번째의 것에는 신호(S2)가 입

력되고, 우수번째의 것에는 신호(S1)가 입력되고 있다.

그리고, 이들 블럭(B1,B2,…)의 직렬접속에 있어서는, 제9도중 각 블럭에서의 상단의 노아회로(NOR1,NOR2,…)의 출력을 각각 다음 단의 블럭에서의 중단의 노아회로(NOR21,NOR31,…)의 입력단에 가하도록 하고 있다. 그리고, 기수단의 블럭(B1,B3,…)에서의 하단 및 중단의 노아회로(NOR12,NOR32,…; NOR11,NOR31,…)로부터 각각 신호(1,/1; 2,/2; …)를 얻도록 하고 있다.

제10도의 회로는, 신호 n′ 로부터 신호 n을 만드는 회로를 나타내고 있다. 이 회로에 있어서는, 입력단(노드 NO)이 P챈널형 트랜지스터(T1)와 N챈널형 트랜지스터(T2)의 게이트에 접속되어 있다. 이들 트랜지스터(T1,T2)의 직렬회로와 N챈널형 트랜지스터(T8)가 전원전위(Vc)와 접지전위간에 접속되어 있다.

트랜지스터(T8)의 게이트에는 신호(P)가 공급된다. 2개의 트랜지스터(T1,T2)간의 노드 N1은 N챈널형 트랜지스터(T4)를 매개해서 노드 N2 즉 P챈널형 트랜지스터(T6)와 N챈널형 트랜지스터(T7)의 게이트에 접속되어 있다. 트랜지스터(T4)의 게이트에는 전원전위(Vc)가 공급되고 있다. 트랜지스터(T6,T7)는 고압 측 전원전위(Vp)와 접지전위간에 직렬접속되어 있다. 트랜지스터(T6,T7)의 중간노드 N3가 출력단으로 되어 있고, 신호(n)가 출력된다. 전원전위(Vc)와 노드 N1간에 P챈널형 트랜지스터(T3)가 접속되고, 그 게이트에는 신호(P)가 인가되고 있다. 더욱이 고압측 전원(Vp)과 노드 N2간에 P챈널형 트랜지스터(T5)가 접속되고, 그 게이트는 노드 N3에 접속되어 있다.

제11도로부터 알 수 있는 바와 같이, 부유게이트로의 전자의 주입을 개시할 때는, 신호(CL)가 논리 1로 되어(t1) 제9도의 회로중의 플립플롭을 초기화한다. 이후, 신호(P)가 논리 1로 되고(t2), 이를 받아서 신호(S1)가 논리 0으로 된다(t2). 신호(1′)는 신호(P)에 의해 논리 1로 되고, 제10도에 나타낸 회로에 의해 Vp가 논리 1의 신호(1)로서 출력된다. 전술한 바와 같이, 신호(2~5)를 출력하는 회로도 동일한 구성이고, 입력신호 2′ , 3′ , 4′ , 5′ 를 2, 3, 4, 5로서 출력한다. 소정의 시간이 지나면 신호(P)가 논리 0으로 되어(t3) 부유게이트로의 전자의 주입이 정지된다. 신호(P)가 논리 0으로 되는 것을 받아서 신호(S2)는 논리 0으로 된다. 신호(P)가 논리 0으로 되어 있는 동안(t3)에 부유게이트로의 전자의 주입상태를 체크하기 위한 독출이 이루어진다(t3). 전술한 바와 같이, 전자의 주입이 충분히 이루어져 있는 메모리셀이 접속되어 있는 열선을 V3의 전위로 설정하여 부유게이트로의 전자의 주입이 이루어지지 않도록 한다. 또한, 이 실시예에서는 신호(1~4)가 논리 1로 된 때의 전자의 주입을 각각 1번만 행하도록 하고 있지만, 이는 2번 혹은 3번 반복하여 행하도록 해도 좋다.

독출이 종료하고, 부유게이트로의 전자의 주입이 충분한 메모리셀이 접속되어 있는 열선이 V3의 전위로 설정되면, 다시 신호(P)가 논리 1로 된다(t4). 이것을 받아서 신호(S1)가 논리 0으로 되고, 신호(2′)가 논리 1로 된다. 이에 따라, 신호(2)도 논리 1로 되고, Vp′ 는 전회보다도 높은 값으로 설정된다. 소정의 시간이 지난 후, 신호(P)는 논리 0으로 되고(t5), 이것을 받아서 신호(S2)는 논리 0으로 된다. 이후, 다시 전자의 주입이 충분히 이루어져 있는 메모리셀이 접속되어 있는 열선을 V3의 전위로 설정하여 부유게이트로의 전자의 주입이 이루어지지 않도록 한다. 이 전자의 주입과 전자의 주입상태의 체크를 반복하여 행한다. 그리고, 신호(5)가 논리 1로 되는 Vp′ 의 전위가 가장 높은 상태로 되면(t6), 모든 메모리셀의 부유게이트에 전자가 충분히 주입되어 메모리셀의 문턱치전압이 소정의 값으로 될 때까지 신호(5′)가 논리 1인 상태에서, 전자의 주입과 전자의 주입상태의 체크가 반복하여 행해진다. 이 제11도의 예에서는, 신호(5)가 2번 논리 1로 되어 Vp′ 가 가장 전위가 높은 상태에서의 전자의 주입이 2번 행해지는 예를 나타내고 있다.

전자를 주입해야 할 모든 메모리셀의 문턱치전압이 소정의 값으로 되면, 전자의 주입과 전자의 주입량의 체크를 위한 독출은 정지되고, 신호(CL)가 논리 1로 되어(t7) 제9도의 회로의 플립플롭은 초기상태로 되돌아간다.

이와 같이 본 실시예에 의하면, 전자를 주입하기 위한 전압의 값을 순차적으로 높혀 가고, 그 때마다 전자의 주입량을 체크하여 소정의 문턱치전압으로 된 것부터 순서대로 전자의 주입을 정지하도록 하고 있으므로, 제조공정의 변동 등에 의한 게이트절연막두께의 변동 등을 흡수할 수 있다. 이에 따라, 각 메모리셀을 최적의 문턱치전압으로 설정할 수 있다. 이 때문에, 전자의 주입이 종료한 후의 메모리셀의 문턱치전압의 변동을 종래보다도 작게 할 수 있다.

따라서, 종래보다도 더 독출속도를 빠르게 한 불휘발성 반도체 메모리를 제공할 수 있게 된다.

제12도는 제3의 본 발명에 따른 전압(Vp′)을 발생하기 위한 다른 실시예를 나타낸 것이다. 이 실시예는, 신호(1~5)가 게이트에 입력되고 있는 N챈널형 트랜지스터(T1~T5)와 리크(leak)회로(LC)의 전류의 비에 의해 Vp′ 의 전위를 결정하는 것이다. 이 회로에서는, 고압전원전위(Vp)와 공통노드 N간에 트랜지스터(T1~T5)를 접속하고, 또한 전원전위(Vc)와 공통노드 N간에 N챈널 디플리션형 트랜지스터(T0)를 접속하고 있다. 트랜지스터(T1~T5,T0)의 게이트에는 각각 신호(1~5,/P)가 공급되고 있다. 공통노드 N과 접지전위간에 리크회로(LC)가 접속되어 있다. 그리고, 이 공통노드 N으로부터 전위(Vp′)가 인출된다.

이 회로에 있어서, 신호(1~5)가 순차적으로 논리 1로 된다. 이 때문에, 신호(1)가 논리 1인 때에 가장 전위(Vp′)가 낮고, 신호(1~5) 모두가 논리 1로 된 때에 가장 전위가 높아진다. 이 신호(1~5)는 전술한 제9도, 제10도에서 나타낸 회로로부터 공급된다.

이상의 실시예에서는, 메모리셀의 부유게이트에 전자를 주입하기 위한 전압을 5종류 설정하고, 순차적으로 높혀 가도록 하고 있다. 그러나, 5종류일 필요는 없고, 제조프로세스에 맞추어 최적의 수로 설정하면 좋다. 본 발명의 본질은, 전자를 주입할 때의 전압을 순차적으로 높혀 가고, 이에 따라 각 메모리셀에 최적의 전압으로 전자를 주입하는 점에있는 것으로, 상기 실시예의 회로에 한정되는 것은 아니다.

다음에는 제4의 본 발명의 실시예에 대해 설명한다.

이 실시예는, 독출속도가 빠른 플래시 EEPROM에 관한 것이다.

도면을 참조하여 본 실시예를 설명하기 전에 제4의 본 발명을 개략적으로 설명한다.

이 발명은, 메모리셀의 제어게이트와 드레인에 고전압을 인가하여 챈널전류를 흘리고, 이에 따라 열전자

를 발생시켜서 2진데이터중의 한쪽의 데이터를 기입하고 있기 때문에, 종래와 같이 부유게이트로부터 터널효과로 전자를 빼내 2진데이터중의 한쪽의 데이터를 기입하는 것에 비해 메모리셀의 문턱치전압의 변동폭을 줄여, 독출속도가 보다 빠른 플래시 EEPROM을 실현한 것이다.

이 발명에서는, 메모리셀 어레이의 레이아웃 및 회로구성을 메모리셀의 문턱치전압이 부(負)인 때라도 메모리셀에 데이터를 기입하도록 한 것을 채용하고 있다.

즉 이 발명에서는, 우선 메모리셀의 제어게이트를 0V로 설정하고, 메모리셀의 드레인 혹은 메모리셀이 형성되어 있는 반도체기판에 고전압을 인가한다.

이렇게 하여, 부유게이트로부터 드레인 혹은 챈널영역에 터널효과를 이용하여 전자를 방출한다. 이 때는, 메모리셀의 문턱치전압이 부로 되어도 좋기 때문에, 모든 메모리셀의 문턱치전압이 부로 되도록 전자를 방출한다. 그 후, 메모리셀의 행선 및 소정의 수의 메모리셀의 드레인에 고전압을 인가하여 메모리셀에 챈널전류를 흘리고, 챈널로부터 부유게이트로 전자를 주입하여 2진데이터의 한쪽을 메모리셀에 기입한다. 이후, 데이터를 기입한 메모리셀의 행선을 소정의 전압치로 설정하고, 동시에 기입한 복수개의 메모리셀로부터 동시에 데이터를 독출한다. 이 데이터의 기입과 독출을 반복해서 행하여 소정의 문턱치전압에 메모리셀이 도달한 때에 기입을 정지한다. 일반적으로, 드레인과 제어게이트에 고전압을 인가하여 챈널전류를 흘려 챈널로부터 부유게이트로 전자를 주입하는 때는, 주입후의 메모리셀의 문턱치전압은 제어게이트에 인가된 전압의 값에 비례한다. 즉, 제어게이트에 인가된 전압의 값이 높으면, 전자가 부유게이트에 많이 주입되게 되어 주입후의 문턱치전압이 높아진다. 한편, 제어게이트에 인가된 전압이 이 값보다도 낮으면, 전자의 부유게이트로의 주입량도 적어져서 주입후의 문턱치전압도 낮은 값으로 된다. 본 발명에 있어서는, 메모리셀의 부유게이트에 인가하는 전압을 어느 정도 낮은 값으로 하여 메모리셀의 부유게이트에 전자를 주입하고 있다. 이 때문에, 메모리셀의 문턱치전압의 변동을 줄일 수 있게 됨과 더불어 메모리셀의 문턱치전압을 정의 작은 값으로 제어할 수 있게 된다. 게다가, 주입후의 독출도 적은 수의 메모리셀에 대해 행하여 이들 메모리셀에서 기입과 독출을 반복하고 있기 때문에, 메모리셀간의 문턱치전압의 변동을 더 줄일 수 있게 된다. 모든 메모리셀의 부유게이트에 전자의 주입이 종료하고, 모든 메모리셀에 전술한 2진데이터의 한쪽의 데이터의 기입이 완료되면, 이번에는 제어게이트에 더 높은 고전압을 인가하고 선택적으로 드레인에 고전압을 인가하여 부유게이트에 전자를 주입함으로써 2진데이터의 다른쪽의 데이터를 선택적으로 기입한다. 이와 같이 하여, 모든 메모리셀에 기입해야 할 2진데이터에 대응하여 데이터를 기입한다. 1회째의 부유게이트로의 전자의 주입후의 메모리셀의 문턱치전압의 값은 제어게이트가 0V인 비선택시에는 메모리셀은 오프되고, 제어게이트에 예컨대 5V정도가 인가되는 선택상태일 때는 온되는 값으로 설정된다. 2회째의 전자의 주입시의 제어게이트의 전위는 1회째보다도 높게 되고, 전자의 주입후의 메모리셀의 문턱치전압은 선택된 때에 온되지 않을 정도까지 높게 상승된다. 이와 같이 메모리셀이 선택된 때에 온되는가 온되지 않는가로 2진데이터의 한쪽과 다른쪽이 기억된다.

상기 제4의 본 발명의 일실시예를 제13도를 참조하여 설명한다. 제13도는 본 실시예의 플래시 EEPROM의 메모리셀 어레이의 일례이다. 제13도(a)는 평면도, (b)는 A-A′ 선 단면도, (c)는 B-B′ 선 단면도, (d)는 C-C′ 선 단면도, (e)는 그 심벌도이다. 제33도와 동일한 부분에는 동일한 참조부호를 붙여 설명한다. 1은 행선으로 메모리셀의 제어게이트를 형성하고 있다. 2는 부유게이트, 3은 챈널영역, 4는
게이트절연막이다. 5는 예컨대 알루미늄으로 만들어진 열선이다. 인접한 메모리셀에서 공용되는 드레인(6)이 열선(5)과 접속되어 있다. 8은 예컨대 알루미늄으로 만들어진 기준전위(예컨대 접지전위)를 공급하는 배선으로, 인접한 메모리셀에서 공용되는 메모리셀의 소오스(7)에 트랜지스터(10)를 매개해서 접속위치(9)에서 접속되고 있다. Sb는 P형의 반도체기판이다.

이러한 구성의 제4의 본 발명의 일실시예에 있어서는, 메모리셀의 소오스는 트랜지스터(10)를 매개해서 기준전위와 접속되어 있기 때문에 메모리셀의 문턱치전압이 부로 되었다고 해도 열선의 전위는 하강하지 않는다. 전자가 방출되어 문턱치전압이 부로 된 메모리셀에 전자를 주입할 때는, 메모리셀의 소오스(7)를 사이에 두고 인접한 2개의 메모리셀에 동시에 행해진다. 그리고, 이 동시에 전자가 주입되는 메모리셀의 블럭마다 배선(8)이 설치되고, 이 배선(8) 및 이 배선(8)에 접속되는 동시에 전자가 주입되는 메모리셀을 갖춘 블럭은 다른 블럭과는 소오스영역(7)이 분리되어 있다. 행선이 0V인 비선택 블럭은 트랜지스터(10)가 오프되어 있기 때문에, 설령 메모리셀의 문턱치전압이 부로 온되어 있었다고 해도, 열선과 기준전위로 설정되어 있는 비선택 블럭에 대응하는 배선(8)과의 사이에 전류경로는 생기지 않는다. 이 때문에, 행선이 고전압으로 되어 있는 선택된 메모리셀에, 마찬가지로 온되어 있는 트랜지스터(10)를 매개해서 전류가 흘러 메모리셀의 부유게이트로 전자가 주입된다. 즉, 본 발명에 있어서는, 복수개의 소오스(7)를 사이에 두고 인접하여 배치되는 메모리셀에 동시에 전자를 주입하기 때문에, 이들 동시에 전자를 주입하는 것에 대응하는 트랜지스터(10)만을 온시킬 수 있고, 선택된 메모리셀만을 기준전위에 접속할 수 있는 것이다. 이상에 설명한 바와 같이, 소오스를 사이에 둔 메모리셀에 동시에 전자를 주입할 수도 있지만, 트랜지스터(10)에 대응한 동일행에 접속되는 메모리셀의 블럭에 전자를 주입하는 것도 가능하다.

제14도에 따라 제4의 본 발명의 일실시예에 대해 좀더 상세히 설명한다.

제14도는 제13도에 나타낸 것과 동등한 메모리블럭(MB)을 사용하여 구성한 메모리장치를 나타내고 있다. 이 메모리블럭(MB)은 일점쇄선으로 둘러싸인 P웰상에 구성된 것이다. 이 P웰에는 단자(VE)로부터 전압이 공급된다. 이 메모리블럭(MB)에서의 행선(WL1,WL2,…,WLn)은 행디코더(RD)에 접속되어 있다. 이 메모리블럭(MB)내의 메모리셀은 복수의 블럭(B1,B2,…)으로 분할되어 있다.

각 블럭(B1,B2,…)에는 기준전위를 인가하기 위한 트랜지스터열(100A,100A,…)을 갖춘다. 이들 트랜지스터열(100A,100A,…)은 공통으로 기준전위(VS)에 접속되어 있다. 각 트랜지스터열(100A)은 복수의 트랜지스터(100,100,…)를 갖추고 있다. 각 블럭(B1,B2,…)에서의 열선(5,5,…)은 트랜지스터(200,201,…)를 매개해서 노드 N1에 공통접속된다. 이들 트랜지스터(200,201,…)의 게이트에는 열디코더(CD1)의 출력이 접속된다. 더욱이, 상기 노드(N1,N1,…)는 트랜지스터(300,301,…)를 매개해서 노드 N2에 공통접속된다. 이 노드 N2는 부하회로/센스앰프(LCSA) 및 데이터 입력회로(DIN)에 접속되어 있다. 이 데이터 입력회로(DIN)에는 입력단(IN)으로부터 데이터(Din)가 가해진다.

제14도의 장치에 있어서, 메모리셀의 부유게이트로부터 전자를 빼낼 때는, 행선(WL1∼WLn)을 0V로 하고,

VE에 고전압을 인가하여 P웰을 고전압으로 한다.

이에 따라, 메모리셀의 부유게이트에 축적되어 있던 전자는 부유게이트로부터 웰을 향하여 방출된다. 결과적으로, 모든 메모리셀의 문턱치전압은 부의 값으로 된다. 다음에, 이들 문턱치전압이 부인 메모리셀의 부유게이트에 전자를 주입한다. 이 전자의 주입은 제어게이트에 공급하는 전압의 값을 조정하여 메모리셀이 비선택일 때 오프되고 선택된 때 온되도록 부유게이트에 전자가 주입된다. 기준전위(VS)는 트랜지스터(100)를 매개해서 메모리셀에 공급되고, 트랜지스터(100)를 매개해서 공급되는 기준전위가 공용된다. 예컨대 행선(WL1,WL2)에 접속되는 메모리셀에 동시에 행해진다. 이 때, 열디코더(CD1)에 의해 제어되는 트랜지스터(200,201,…,200m)는 동시에 온으로 된다. 열디코더(CD2)의 출력에 의해 제어되는 트랜지스터(300,301,302,…)는 그들중 선택된 하나의 트랜지스터만이 온으로 되고, 나머지 비선택 트랜지스터는 오프로 된다. 이렇게 하여, 메모리셀의 부유게이트에 전자를 주입하기 위해 대상으로 하는 메모리셀의 드레인에 데이터 입력회로(DIN)로부터의 고전압이 트랜지스터(100)에 대응한 블럭(B1,B2,…)중 선택된 하나에 공급된다. 이제 블럭(B1)이 선택되고, 행선(WL1,WL2)이 선택되어 고전압으로 되었다고 하자. 이 때, 행선(WL1,WL2)에 접속되는 트랜지스터(100(1),100(2))가 온되고, 온된 트랜지스터(100(1),100(2))를 매개해서 기준전위(VS)가 행선(WL1,WL2)에 접속된 메모리셀의 소오스에 공급된다. 데이터 입력회로(DIN)로부터 출력된 고전압에 의해 전류가 데이터 입력회로(DIN)로부터 트랜지스터(300), 트랜지스터(200,201,…,200m), 메모리셀, 온된 트랜지스터(100(1),100(2))를 통하여 기준전위(VS)로 흘러 부유게이트에 전자가 주입된다. 행선(WL1,WL2)은 적당한 고전압으로 설정되어 있기 때문에, 부유게이트에 전자가 지나치게 주입되는 일은 없고, 부유게이트와 제어게이트의 용량결합, 부유게이트와 드레인의 용량결합, 부유게이트와 챈널의 용량결합, 부유게이트와 소오스의 용량결합, 제어게이트 및 드레인의 전위로 결정되는 값까지만 부유게이트에 전자가 주입된다. 이 때문에, 전자의 주입이 포화할 때까지 장시간 이 상태를 계속해도 좋지만, 이 때의 전자의 주입시간을 짧게 하기 위해 전자를 주입하는 시간을 짧게 설정하고, 그때마다 전자의 주입량을 체크하도록 하며, 주입량이 적정하게 된 시점에서 전자의 주입을 정지하면, 주입이 짧은 시간으로 완료된다는 이점이 있다. 이 체크는, 전자의 주입을 행한 2개의 행선의 전위를 정규의 독출을 행하는 전위보다도 낮은 소정의 값으로 설정하고, 메모리셀로부터 데이터의 독출을 행하는 전자의 주입을 행한 메모리셀이 오프된 시점에서 정지하도록 하면 좋다. 이 체크는 전자의 주입을 행한 복수의 메모리셀에 대해 동시에 행하도록 해도 좋고, 각 메모리셀마다 행하도록 해도 좋다.

비선택 행선 예컨대 WLn, WLn-1은 0V로 설정되어 있다. 이 때문에, 이 2개의 행선에 접속되어 있는 트랜지스터(100(n),100(n-1))은 오프되어 있고, 행선(WLn,WLn-1)에 접속되어 있는 메모리셀의 소오스는 기준전위(VS)와 분리되어 있다. 따라서, 비선택 행선에 접속되어 있는 메모리셀을 매개한 전류유출은 없고, 선택된 메모리셀의 드레인전위의 저하는 없다. 이 때문에, 효율좋게 전자의 부유게이트로의 주입이 이루어진다.

또 이 제14도의 실시예에서는, 각 메모리블럭(B1,B2,…)에 있어서, 1개의 행선에는 하나의 트랜지스터(100)만 설치되어 있지만, 이것은 하나일 필요는 없고, 메모리셀의 소오스측의 저항을 고려하여 최적의 갯수로 하는 것이 바람직하다. 마찬가지로, 각 메모리블럭에 있어서, 1개의 행선에 접속하는 메모리셀의 수도 전자의 주입이 가장 효율좋게 이루어지는 수로 설정해야만 한다.

단, 이 경우는 각 메모리블럭에 있어서 1개의 행선에 접속하는 메모리셀의 수가 적어지면 전자주입의 효율은 향상되지만, 그 반면에 칩사이즈가 커져서 원가가 상승해 버리므로, 원가면으로부터도 고려하여 최적의 갯수로 해야만 한다.

또, 전술한 바와 같이 2개의 행선에 관한 메모리셀에 동시에 전자를 주입할 필요는 없으며, 1개의 행선만을 고전압으로 설정하고 1개의 행선에 관한 메모리셀에 대해 전자를 주입해도 좋다. 예컨대, 행선(WL1)이 선택되어 고전압으로 되고, 그 밖의 행선(WL2,…,WLn)이 0V라고 하면, 전술한 설명과 같이 행선(WL2) 이외의 비선택 행선을 통한 전류의 유출은 없다. 그렇지만, 행선(WL1)이 고전압으로 되어 있으므로, 행선(WL1)에 접속되어 있는 트랜지스터(100)는 온되고 있다. 이 때문에, 행선(WL1)에 접속되어 있는 메모리셀의 소오스에는 기준전위(VS)가 공급되고, 이에 따라 행선(WL2)의 메모리셀의 소오스에도 기준전위(VS)가 공급되고 있다. P웰에 고전압(VE)을 공급하여 부유게이트로부터 전자를 방출시킨 후에는, 메모리셀의 문턱치전압은 부로 되어 있다.

이 점으로부터, 행선(WL2)에 접속되어 있는 메모리셀을 통해 기준전위(VS)로 전류가 흐른다. 그렇지만, 행선(WL2)을 고전압으로 하여 2개의 행선을 동시에 고전압으로 하고, 전자를 주입할 때에 행선(WL2)에 접속되어 있는 메모리셀에 흐르는 전류보다도, 이 경우 행선(WL2)이 0V이기 때문에 행선(WL2)에 접속되어 있는 메모리셀을 통해 기준전위(VS)로 흐르는 전류는 훨씬 적다. 따라서, 1개의 행선만을 고전압으로 하여 메모리셀의 부유게이트에 전자를 주입하도록 해도 메모리셀의 드레인전압이 강하할 염려는 없다.

이와 같이 하여, 모든 메모리셀의 문턱치전압을 비선택시에 오프되고 선택된 때에 온되는 값으로 설정하고, 2진데이터의 한쪽을 기입한 후, 이번에는 선택적으로 메모리셀의 하나하나에 2진데이터의 다른쪽을 기입하여 모든 메모리셀에 각각 대응하는 2진데이터를 기억시킨다. 이 때는, 일반적으로 널리 알려져 있는 종래의 NOR형 EEPROM 혹은 자외선소거형의 통상의 EEPROM과 마찬가지로 데이터를 기입한다. 즉, 1개의 선택된 행선을 더 고전압으로 하고, 열디코더(CD1)에 의해 트랜지스터(200,201,…,200m)중의 하나를 온으로 하며, 열디코더(CD2)에 의해 트랜지스터(300,301,302,…)중의 하나를 온으로 하여 1개의 열선을 선택한다. 그리고 선택된 행선과 선택된 열선과의 교점에 배치되어 있는 메모리셀의 제어게이트와 드레인에 고전압을 인가하고, 메모리셀의 부유게이트에 더 전자를 주입하여 선택된 때에 오프될 때까지 문턱치전압을 상승시킨다.

이와 같이 하여 2진데이터의 다른쪽을 선택적으로 각 메모리셀에 기입한다.

또한, 이 실시예에서는 메모리셀을 P웰상에 만들고, P웰을 고전압으로 하여 부유게이트로부터 전자를 방출하여 메모리셀의 문턱치전압을 부의 값으로 되도록 했지만, 웰영역을 사용하지 않고 종래와 같이 메모리셀의 제어게이트(즉 행선)를 0V로 하고, 메모리셀의 드레인(즉 열선)에 고전압을 공급하여 부유게이트로부터 드레인으로 전자를 방출하도록 해도 좋다. 또는, 메모리셀의 드레인, 소오스 및 이 메모리셀이 만들어지고 있는 반도체기판을 0V로 하여 메모리셀의 제어게이트인 행선에 행디코더로부터 부의 전압을 공

급함으로써 부유게이트로부터 메모리셀의 드레인, 소오스 및 기판으로 전자를 방출해도 좋은 등 여러가지의 응용이 가능하다.

제15도(a), (b)는 전술한 메모리셀의 부유게이트로부터 전자를 방출시킬 때에 사용하는 전압(VE)을 발생시키는데 적합한 각각 다른 회로예를 나타낸 것이다. 예컨대, 100Å정도의 극히 얇은 게이트절연막을 통해 터널효과를 이용하여 전자를 부유게이트에 주입하기도 하고 방출하기도 하는 경우, 게이트절연막에는 터널효과가 일어날 정도의 전계를 인가할 필요가 있지만, 게이트절연막에 급격히 강한 전계를 인가하면 게이트절연막의 열화를 촉진한다는 것이 알려져 있다. 이 때문에, 부유게이트에 전자를 주입하는 경우에 있어서는, 제어게이트로의 인가전압은 서서히 상승시켜 갈 필요가 있다. 또, 부유게이트로부터 전자를 방출시키는 경우에 있어서는, 웰에 인가하는 전압(VE)은 서서히 상승시킬 필요가 있다. 제15도(a), (b)는 상기와 같은 전압(VE)을 발생시키는데 사용하기 적합한 회로예이다.

먼저, 제15도(a)에 있어서, 신호(E)가 가해지는 입력단(IN)에는 트랜지스터(T1~T6)를 갖춘 레빌시프트회로(500)가 접속되어 있다. 이 회로(500)는 제10도에 나타낸 회로도로부터, 트랜지스터(T3,T8)를 제거한 것과 동등한 회로구성을 갖추고 있다. 이 회로(500)는, 전원(Vc: 예컨대 5V)레벨의 신호를 고전압(Vp)레벨의 신호로 레벨시프트하기 위한 회로이다. 이 회로(500)의 출력측의 노드 N1에는 N채널형 트랜지스터(402), P채널형 트랜지스터(403), P채널형 트랜지스터(410), N채널형 트랜지스터(411)의 게이트가 접속되어 있다. 트랜지스터(403,402)는 고전압(Vp)과 접지전위간에 직렬로 접속되어 있다. 트랜지스터(403,402)의 접속점의 노드 N2와, 고전압(Vp)간에 N채널 디플리션형 트랜지스터(401), P채널형 트랜지스터(400)가 직렬로 접속되어 있다. 트랜지스터(402)의 게이트는 노드 N2에 접속되어 있다. 트랜지스터(400)의 게이트는 트랜지스터(401,400)의 접속점의 노드 N3에 접속되어 있다. 이 노드 N3는 P채널형 트랜지스터(405)의 게이트에 접속되어 있다. 이 트랜지스터(405)와 N채널형 트랜지스터(406)가 고전압(Vp)과 접지전위간에 직렬로 접속되어 있다.

한편, 상기 트랜지스터(410,411)는 고전압(Vp)과 접지전위간에 직렬로 접속된다. 트랜지스터(410,411)의 접속점인 노드 N5와, 접지전위간에 N채널 디플리션형 트랜지스터(407), N채널형 트랜지스터(408), N채널형 트랜지스터(409)가 직렬로 접속되어 있다. 트랜지스터(407,408)의 게이트는 그들 트랜지스터의 접속점인 노드 N6에 접속되어 있다. 이 노드 N6는 상기 트랜지스터(406)의 게이트에 접속되어 있다. 더욱이, 트랜지스터(409)의 게이트에는 전원(Vc)과 접지전위간에 접속된 인버터(I2)의 출력단이 접속되어 있다. 인버터(I2)의 입력에는 전원(Vc)과 접지전위간에 접속된 인버터(I1)의 출력단이 접속되고, 인버터(I1)의 입력은 노드 N4에 접속된다. 이 노드 N4는 트랜지스터(405,406)의 접속점으로, 전압(VE)이 출력된다. 부유게이트로부터 전자를 방출할 때는 입력단(IN)에 공급되는 신호(E)를 논리 1로 한다. 신호(E)는 회로(500)에 의해 고전압(Vp)레벨의 신호로 레벨시프트된다. 즉, 노드 N1은 신호(E)가 논리 1로 되면, 레벨시프트된 논리 1로 되어 전압(Vp)으로서 출력된다. 따라서, 트랜지스터(402)는 온되고, 트랜지스터(403)는 오프된다. 즉, 트랜지스터(400,401,402)를 통해 전압(Vp)으로부터 접지전위로 전류가 흐른다.

이 전류치는 디플리션형 N채널형 트랜지스터(401)에 의해 결정되고, 게이트와 드레인이 접속된 P채널형 트랜지스터(400)의 드레인에 게이트가 접속된 트랜지스터(405)로 흐르는 전류는 트랜지스터(400)에 흐르는 전류에 의해 결정된다.

트랜지스터(400)와 트랜지스터(405)는 전류미러회로를 구성하고 있고, 트랜지스터(405)에 흐르는 전류는 트랜지스터(405)와 트랜지스터(400)의 트랜지스터 사이즈의 비에 따라 결정된다. 즉, 트랜지스터(405)에 의해 충전되는 VE의 전위의 상승속도는 트랜지스터(401)에 흐르는 전류를 조정함으로써 조정된다.

마찬가지로, VE를 방전할 때는, 트랜지스터(407)에 흐르는 전류를 조정함으로써 트랜지스터(406)에 흐르는 전류를 변화시킬 수 있고, 이에 따라 트랜지스터(407)의 트랜지스터 사이즈에 의해 임의로 VE의 방전속도를 조정할 수 있게 된다.

신호(E)가 논리 0으로 되고, VE를 방전할 때는, 노드 N1은 논리 0으로 되고, 트랜지스터(411)는 오프되며, 트랜지스터(410)는 온된다. VE가 방전되고 있을 때는, 이 VE가 인버터(I1) 및 인버터(I2)를 매개로 트랜지스터(409)의 게이트에 전달되어 트랜지스터(409)가 온된다. 이에 따라, 트랜지스터(410,407,408,409)를 통해 고전압(Vp)으로부터 접지전위로의 전류경로가 형성된다.

VE가 소정의 전위이하로 방전되면, 인버터(I1)가 이것을 검지하여 그 출력을 논리 1로 한다. 이에 따라, 인버터(I2)는 그 출력을 논리 0으로 하여 트랜지스터(409)를 오프시킨다. 따라서, VE가 소정의 전압이하로 되면, 트랜지스터(410,407,408,409)를 통한 전류경로가 없어져 트랜지스터(410,407)를 통해 트랜지스터(406)의 게이트는 Vp까지 충전되고, VE는 접지전위까지 방전된다.

Vp가 외부로부터 공급되는 전원일 때에는, 전류공급능력은 크다고 생각된다. 이 때문에, 트랜지스터(410,407,408,409)를 매개해서 전류가 흘러도 Vp는 전압강하를 일으키지 않는다. 그러나, 고전압(Vp)을 Vc를 이용하여 칩내부에서 발생시키는 타입의 것일 때에는, 전류공급능력은 작다. 이 때문에, 상기 전류경로를 흐르는 전류에 의해 Vp에 전압강하가 생겨 충분한 고전압이 얻어지지 않을 염려가 있다.

다음에, 제15도(b)는 칩내부에서 고전압을 발생시키고, 이 고전압을 이용하여 부유게이트로의 전자의 주입 및 방출을 행하는 타입의 것에 대해, 최적의 VE를 발생시키는 회로의 예이다. 제15도(b)의 회로가 (a)의 것과 다른 점은, 트랜지스터(400,401)를 생략하고, 노드 N2를 직접 트랜지스터(405)의 게이트에 접속한 점 및 트랜지스터(410)의 소오스를 전원(Vp) 대신에 Vc에 접속한 점에 있다. 그 외는 동일한 구성이다. 이 회로에 있어서, 내부에서 발생시키는 Vp는 내부승압전위 발생회로에 의한 전압승압속도가 느리므로, 제15도(a)에 나타낸 트랜지스터(400,401)에 의한 전위의 상승속도의 조정이 필요치 않다. 이 때문에, 이들 트랜지스터(400,401)를 생략할 수 있는 것이다. 따라서, 이들 트랜지스터를 통한 전류의 유출은 없다. 또, 제15도(a)에서는 트랜지스터(410)의 소오스를 Vp에 접속하였지만, (b)에서는 이것을 Vc로 바꾸었으므로, 트랜지스터(410,407,408,409)의 전류경로는 Vc와 접지전위간으로 되어 Vp로부터의 전류의 유출경로가 없어진다. 이 때문에, 칩내부의 전압승압회로에서 발생시킨 내부고전압의 이용이 충분히 가능하다.

제16도는 행디코더회로의 일례이다. 전원(SW)과 접지전위간에 트랜지스터(T0~T4)가 직렬로 접속되어 있다. P채널형 트랜지스터(T0)의 게이트는 접지되어 있다. N채널형 트랜지스터(T1~T3)의 게이트에는 어드

레스(A)가 입력되고, N채널형 트랜지스터(T4)의 게이트에는 신호(/E)가 입력된다. 트랜지스터(T0,T1)의 접속점의 노드 N1이 P채널형 트랜지스터(T5) 및 N채널형 트랜지스터(T6)의 각각의 게이트에 접속되어 있다. 이들 트랜지스터(T5,T6)는 전원(SW)과 접지전위간에 접속되어 있다. 트랜지스터(T5,T6)의 접속점의 노드 N2로부터 디코드신호가 출력된다. 신호(/E)는 부유게이트로부터 전자를 방출할 때 논리 0으로 되어 모든 행선(WL)을 논리 0, 즉 0V로 설정한다.

제17도는 제16도에 나타낸 행디코더회로의 전원(SW)을 발생시키기 위한 회로의 일례이다. 이들 각 노드의 신호파형을 제18도에 나타내었다.

제17도로부터 알 수 있는 바와 같이, 이 회로는 전원전위(Vc)와 접지전위간에 저항(R1,R2) 및 N채널형 트랜지스터(707)가 직렬로 접속되어 있다. 이 트랜지스터(707)의 게이트에는 신호(CE)가 가해지고 있다. 더욱이, 전원전위(Vc)와 접지전위간에 N채널형 트랜지스터(708), N채널형 트랜지스터(704), N채널형 트랜지스터(705), N채널 디플리션형 트랜지스터(703)가 직렬로 접속되어 있다. 트랜지스터(708)의 게이트에는 신호(V)가 가해지고 있다. 트랜지스터(704)의 게이트는 상기 저항(R1,R2)의 접속점인 노드 N1에 접속되어 있다. 트랜지스터(705)의 게이트에는 신호(/R)가 가해지고 있다. 트랜지스터(703)의 게이트는 그 소오스에 접속되어 있다. 더욱이, 전원전위(Vc)와 상기 트랜지스터(704,705)의 접속점인 노드 N2간에 P채널형 트랜지스터(710) 및 N채널 디플리션형 트랜지스터(711)가 직렬로 접속되어 있다. 이들 트랜지스터(710,711)의 게이트에는 신호(/R,R)가 각각 공급되고 있다. 더욱이, 고압전원전위(Vp)와 노드 N2간에 N채널형 트랜지스터(700~702)가 접속되어 있다. 트랜지스터(700)의 게이트에는 신호(W1)가 공급되고 있다. 트랜지스터(701,702)의 게이트는 각각 그 드레인에 접속되어 있다. 더욱이, 고압전원전위(Vp)와 노드 N2간에는 N채널형 트랜지스터(712)가 접속되고, 그 게이트에는 신호(W2)가 공급되고 있다. 그리고, 노드 N2로부터는 전원(SW)이 얻어진다.

제18도로부터 알 수 있는 바와 같이, 메모리셀의 부유게이트로부터 전자를 방출하는 기간(T1)에 있어서는, 신호(/E)를 논리 0으로, 신호(R)를 논리 1로, 신호(/R)를 논리 0으로 각각 설정한다. 이 때, 전원(SW)에는 Vc의 전위가 나타나고, 이 Vc에 의해 행디코더회로가 동작한다.

부유게이트에 전자를 주입하여 메모리셀이 비선택시에 오프로 선택된 때에 온되도록 하는 문턱치전압으로 하여 모든 메모리셀에 2진데이터의 한쪽의 데이터를 기억시킬 때는, 신호(/E)를 논리 1로, 신호(W1)를 논리 1로, 신호(R)를 논리 0으로, 신호(/R)를 논리 1로 각각 설정한다. 이 신호(W1)의 논리 1에 대응하는 전위는 Vp 혹은 이 Vp보다 N채널 인핸스먼트형 트랜지스터의 문턱치전압만큼 높은 값이다. 신호(W1)가 Vp의 전위일 때에는, 전원(SW)의 전위는 N채널 인핸스먼트형 트랜지스터(700,701,702)의 문턱치전압의 합만큼 Vp보다 낮은 값으로 된다. 이 SW의 전위는, 상기와 같은 메모리셀의 문턱치전압의 조건을 만족하도록 설정된다. 전술한 바와 같이, 이 기간을 짧게 설정하고, 메모리셀의 문턱치전압의 체크와 전자의 주입을 순차적으로 반복하여 행할 때에는, 신호(V)를 논리 1로(기간 T3, T5), 신호(W1)를 논리 0으로 되돌려서 행한다. 신호(CE)는 칩이 선택상태일 때는 논리 1이고, 트랜지스터(704)의 게이트전위는 저항(R1)과 저항(R2)의 비에 의해 결정되며, SW의 전위는 저항(R1)과 저항(R2)의 접속점(노드 N1)의 전위보다도 N채널 인핸스먼트형 트랜지스터의 문턱치전압만큼 낮은 전위로 설정된다. 선택된 메모리셀의 제어게이트에는 전위(SW)가 공급되고, 메모리셀이 오프되면 OK로 된다.

더욱이, 기간(T6)은 메모리셀의 부유게이트에 전자를 주입하여 선택된 때 오프되도록 하는 문턱치전압까지 상승시키는 기간이다. 이 때, 신호(W2)는 논리 1, 즉 Vp보다 N채널 인핸스먼트형 트랜지스터의 문턱치전압만큼 높은 값으로 설정된다. 이 때는, SW에는 Vp의 전위가 그대로 출력되고, 부유게이트에는 선택된 때에 오프되는데 충분한 전자가 주입된다.

기간(T7)은 통상의 독출모드를 나타내고, 신호(R)는 논리 1로, 신호(/R)는 논리 0으로 설정되고, SW에는 Vc가 출력된다. 기간(T2~T6)에 있어서는, 신호(/R)는 논리 1로 되어 제17도의 트랜지스터(705)가 온되고, SW는 트랜지스터(703)를 통해 방전된다. 이들 트랜지스터(705,703)는 SW가 전기적으로 부유상태로 되는 것을 방지하기 위해 설치되어 있는 것으로, 생략할 수도 있다.

제19도는 본 발명에 따른 데이터 입력회로(DIN)의 일례를 나타낸 것이다.

데이터(Din)가 입력되는 입력단(IN)은 P채널형 트랜지스터(811) 및 N채널형 트랜지스터(812)의 게이트에 접속되어 있다. 이들 트랜지스터(811,812)는 전원전위(Vc)와 접지전위간에 직렬로 접속되어 있다. 이들 트랜지스터(811,812)의 접속점인 노드 N1은 P채널형 트랜지스터(813) 및 N채널형 트랜지스터(814)의 게이트에 접속되어 있다. 이들 트랜지스터(813,814) 및 N채널형 트랜지스터(815)가 전원전위(Vc)와 접지전위간에 직렬로 접속되어 있다. 트랜지스터(815)의 게이트에는 신호(W1)가 공급되고 있다. 트랜지스터(813,814)의 접속점인 노드 N2는 N채널형 트랜지스터(818)를 매개해서 노드 N3에 집속되어 있다. 트랜지스터(818)의 게이트는 전원전위(Vc)에 접속된다. 전원전위(Vc)와 노드 N2간에 P채널형 트랜지스터(817)가 접속되고, 그 게이트에 신호(W1)가 공급되고 있다. 또, 전원전위(Vc)와 노드 N3간에 P채널형 트랜지스터(819)가 접속되고, 그 게이트는 노드 N4에 접속되어 있다. 노드 N3은 P채널형 트랜지스터(821) 및 N채널형 트랜지스터(822)의 게이트에 접속되고, 이들 트랜지스터(821,822)는 전원전위(Vp: 또는 Vc)와 접지전위간에 직렬로 접속되어 있다.

이들 트랜지스터(821,822)의 접속점은 노드 N4에 접속되어 있다.

또, 상기 노드 N1은 P채널형 트랜지스터(823) 및 N채널형 트랜지스터(824)의 게이트에 접속되어 있다. 이들 트랜지스터(823,824) 및 N채널형 트랜지스터(825)는 전원전위(Vc)와 접지전위간에 직렬로 접속되어 있다. 트랜지스터(825)의 게이트에는 신호(W2)가 공급되고 있다. 트랜지스터(823,824)의 접속점인 노드 N7은 N채널형 트랜지스터(828)를 매개해서 노드 N8에 접속되어 있다. 트랜지스터(828)의 게이트는 전원전위(Vc)에 접속된다. 전원전위(Vc)와 노드 N7간에는 게이트에 신호(W2)가 공급되고 있는 P채널형 트랜지스터(827)가 접속되어 있다. 전원전위(Vp: 또는 Vc)와 노드 N8간에는 P채널형 트랜지스터(829)가 접속되어 있다. 트랜지스터(829)의 게이트에는 노드 N9가 접속되어 있다. 상기 노드 N9는 P채널형 트랜지스터(831) 및 N채널형 트랜지스터(832)의 게이트에 접속되어 있다. 이들 트랜지스터(831,832)는 전원전위(Vp: 또는 Vc)와 접지전위간에 직렬로 접속되어 있다. 이들 트랜지스터(831,832)의 접속점은 상기 노드 N9에 접속되어 있다. 이 노드 N9는 N채널형 트랜지스터(800)의 게이트에 접속되어 있다. 이 트랜지스터(800)는 전원

전위(Vp: 또는 Vc)와 노드 N10간에 접속되어 있다. 더욱이, 전원전위(Vp: 또는 Vc)와 노드 N10간에 N챈널형 트랜지스터(801)가 접속되어 있다. 이 트랜지스터(801)의 게이트에는 노드 N4가 접속되어 있다. 또한, 노드 N10은 제14도의 노드 N2에 대응하고 있고, 이 노드 N10으로부터 메모리셀로 데이터가 전달된다.

상기 회로에 있어서, 부유게이트에 전자를 주입하는 경우에는, 제어게이트의 전위보다도 부유게이트의 전위는 낮아도 좋기 때문에, 메모리셀의 드레인에 인가되는 전압은 Vp가 아니고 Vc라도 좋다. 부유게이트에 전자를 주입하여 2진데이터의 한쪽을 기억시킬 때는 복수의 메모리셀에 동시에 전자를 주입하기 때문에 보다 많은 전류가 흐른다. 이 때문에, 이 실시예에서는 2진데이터의 한쪽을 기입할 때와 다른쪽을 기입할 때에, 메모리셀의 드레인에 전압을 인가하기 위한 트랜지스터를 바꾸도록 하고 있다. 즉, 2진데이터의 한쪽을 기입할 때에 사용하는 트랜지스터쪽의 전류공급능력을 2진데이터의 다른쪽을 기입할 때에 사용하는 트랜지스터의 전류공급능력보다도 크게 하고 있다. 보다 상세하게는, 복수의 메모리셀을 선택하여 2진데이터의 한쪽을 기입할 때는, 입력(Din)을 논리 0으로, 신호(W1)를 논리 1로 한다. 이 때, 트랜지스터(801)가 온되어 메모리셀의 드레인에 전압이 인가된다. 그리고, 2진데이터의 다른쪽을 기입할 때는, 입력(Din)을 논리 0으로, 신호(W2)를 논리 1로 하여 트랜지스터(800)를 온시켜서 메모리셀의 드레인에 전압을 인가한다. 상기와 같이, 트랜지스터(801)의 전류공급능력을 트랜지스터(800)의 전류공급능력보다도 크게 설정하여 복수의 메모리셀의 부유게이트에 전자를 주입할 때에 메모리셀의 드레인의 전압이 충분히 높게 유지되도록 하고 있다.

이상 설명한 바와 같이 본 발명의 실시에에 의하면, 메모리셀의 부유게이트로부터 전자를 방출하여 메모리셀의 문턱치전압을 부로 한 후, 메모리셀의 부유게이트에 전자를 주입함으로써 모든 메모리셀의 부유게이트에 전자를 주입하여 2진데이터의 한쪽을 기억하도록 했으므로, 메모리셀의 문턱치전압의 변동폭이 작게 억제되고, 이에 따라 메모리셀의 독출속도를 빠르게 하는 것이 가능하게 되었다.

다음에는 제5의 본 발명의 실시예에 대해 설명한다. 이 실시예는, 래치회로를 설치한 것에 기인하는 칩사이즈의 증대를 방지하도록 구성된 것이다.

도면에 기초하여 제5의 본 발명의 실시예에 대해 설명하기에 앞서 제5의 본 발명을 개략적으로 설명한다.

이 발명은, 전술한 바와 같은 EEPROM의 메모리셀로의 데이터의 기입이 터널전류를 이용하여 이루어지고, 이에 따라 부유게이트로의 전자의 주입시 혹은 부유게이트로부터의 전자의 방출시에 거의 전류가 소비되지 않는 점에 기초하여 이루어진 것이다.

종래의 EEPROM에 있어서는, 앞에서도 설명한 바와 같이 상술한 래치회로를 메모리셀 어레이에 인접하여 설치하도록 되어 있었다. 이 때문에, 메모리셀의 피치로 각 래치회로를 배치하지 않으면 안되었다. 이에 따라, 반대로 패턴 레이아웃적으로 제약을 받아 패턴면적이 커지게 되었다. 이 제5의 본 발명에 있어서는, 래치회로를 메모리셀 어레이와 떨어진 장소에 설치함으로써, 래치회로의 레이아웃을 자유롭게 할 수 있고, 칩의 빈 장소를 유효하게 이용할 수 있도록 한 것이다. 이에 따라 칩사이즈를 종래보다도 작게 하는 것이 가능하게 되었다.

제20도에 따라 제5의 본 발명의 일실시예를 설명한다.

제20도로부터 알 수 있는 바와 같이, 메모리셀 어레이(MCA)에는 그 행을 선택하기 위한 행디코더(RD)가 접속되어 있다. 메모리셀 어레이(MCA)의 각 열선(15)은 열게이트 트랜지스터(C1,C2,…)를 매개해서 노드 N1에 접속되어 있다. 각 트랜지스터(C1,C2,…)는 제1열디코더(CD1)로부터의 디코드신호(h1,h2,…)에 의해 선택적으로 온/오프제어된다. 노드 N1은 게이트에 신호[(R)/(/P)]가 공급되는 트랜지스터(Q2)를 매개해서 부하회로(LC)에 접속되어 있다. 이 부하회로(LC)는 센스앰프(SA)에 접속되어 있다. 더욱이, 상기 노드 N1은 게이트에 신호[(/R)/(P)]가 공급되는 트랜지스터(Q1)를 매개해서 노드 N2에 접속되어 있다. 노드 N2에는 래치회로(L,L…)를 매개해서 입력데이터(Din)가 공급된다. 이들 래치회로(L,L,…)에는 제2열디코더(CD2)로부터의 디코드신호(h1′ ,h2′ ,…) 및 신호(P)가 공급된다. 본 실시예에 있어서는, 메모리셀로 기입하기 위한 데이터는 래치회로(L,L,…)에 의해 래치된다. 이들 래치회로(L,L,…)는 메모리셀 어레이(MCA)와는 다른 장소에 배치되어 있다. 동일행의 메모리셀로 기입하는 데이터는 제2열디코더의 출력(h1′ ,h2′ ,…)에 대응하여 래치회로(L,L,…)에 각 어드레스마다 래치된다. 이후, 신호[(/R)/(P)]는 고전위로 되고, 트랜지스터(Q1)는 온된다. 제1열디코더(CD1)의 출력에 의해 열게이트 트랜지스터(C1,C2,…)를 순차적으로 온시킨다. 그리고, 제2열디코더(CD2)에 의해 래치회로(L,L,…)를 제어한다. 이렇게 하여, 각 메모리셀 어레이의 열에 래치회로(L,L,…)로부터 데이터를 전달한다. 각 열선(15)은 래치회로(L)로부터의 데이터에 의해 고전압으로 충전되거나, 혹은 방전된다. 이 충전된 전위에 의해 메모리셀의 부유게이트로부터 전자가 방출된다. 충전된 전위는 P-N접합의 리크전류 등에 의해 서서히 방전되어 전위가 하강한다. 따라서, 일정기간마다 제1열디코더(CD1) 및 제2열디코더(CD2)에 의해 래치회로(L,L,…)로부터의 데이터를, 열게이트 트랜지스터(C1,C2,…)를 순차적으로 온시켜 대응하는 각 열선에 전달한다. 이와 같이 하면, 메모리셀 어레이(MCA)에 인접시켜 각 열마다 래치회로를 설치할 필요없이 임의의 장소에 래치회로(L,L,…)를 설치할 수 있고, 칩상에서의 래치회로가 점유하는 면적을 작게 할 수 있다. 여기에서, 제20도에 나타내어져 있는 트랜지스터(Q1,Q2,C1～Cm)는 N챈널형이다.

제23도는 각 신호의 파형을 나타낸 것이다. 신호[(/R)/(P)]는 데이터를 기입할 때에 고전압(논리 1)으로 설정된다(t1). 제2열디코더(CD2)의 출력(h1′ ,h2′ ,…,hm′)이 논리 1일 때에, 입력된 데이터(Din)를 래치회로(L,L,…)에 래치한다(t2,t3,t4,…). 이 때, 모든 메모리셀의 게이트(즉 V_{CG})를 고전압으로 하여 모든 메모리셀의 부유게이트에 전자를 주입해 둔다(t1). 이 주입이 종료하면, V_{CG}를 0V로 설정하고, 다음의 전자의 방출에 대비한다(t5).

다음에, 신호(h1′ ,h2′ ,…,hm′) 및 신호(h1,h2,…,hm)를 순차적으로 고전압(논리 1)으로 설정하여 신호(P)가 논리 1인 때에 래치하고 있는 데이터를 대응하는 열선에 전달한다(t2,t3,t4). 열선(15)은 래치된 데이터에 따라 고전압으로 설정되던가 0V 그대로 이던가 어느 하나의 상태를 취한다. 고전압으로 설정된 열선(15)에 접속되어 있는 선택된 메모리셀은 부유게이트에 전자가 주입된 그대로이다. 이렇게 하여 데이터가 기입된다.

제21도는 제5의 본 발명의 다른 실시예이다. 이 실시예가 제20도의 실시예와 다른 점은, 각 열선(15)에 N 채널형 트랜지스터(Q3)를 매개해서 용량(C)을 접속하고 있는 점에 있고, 이 점을 제외하고는 제20도와 동일하다. 트랜지스터(Q3)의 게이트에는 신호[(/R)/(P)]가 가해지고 있다.

데이터를 기입할 때, 래치회로(L)로부터의 데이터가 전달된 후, 열게이트 트랜지스터(C1,C2,…)는 오프된다. 이에 따라 각 열선(15)은 전기적으로 부유상태로 된다. 이 때문에, 가능한 한 길게 래치회로(L)로부터 전달된 데이터를 유지하기 위해, 용량(C)이 설치되고 있다. 데이터를 독출할 때는, 트랜지스터(Q3)는 오프되도록 되어 있다. 이 때문에, 데이터 독출속도를 이 용량(C)이 방해하는 일은 없다.

제22도는 제5의 본 발명의 더욱 다른 실시예이다. 제22도의 예에서는, 제21도의 것으로부터 래치회로를 생략하고 있다. 제20도 및 제21도에서는, 기입용의 데이터를 한번 래치회로(L)에 래치하고 나서 기입하였다. 이에 대해, 제22도의 예에서는 래치회로(L)를 설치하지 않고 입력데이터(Din)를 직접 각 열선(15)에 전달하고 있다. 즉, 각 열에 대응한 메모리셀로 데이터를 기입하기 위해, 입력데이터를 순차적으로 인가하고, 열게이트 트랜지스터(C1,C2,…)를 순차적으로 온시켜 열선(15)에 데이터를 전달한다.

제24도는 이 제22도에 도시한 불휘발성 반도체 메모리의 각 신호의 파형을 나타낸 것이다.

이 제24도로부터 알 수 있는 바와 같이, 신호[(/R)/(P)]는 데이터를 기입할 때에 고전압(논리 1)으로 설정되고, 신호[(R)/(/P)]는 논리0으로 설정된다(t1). 다음에, 모든 메모리셀의 게이트(즉 V_{CG})를 고전압으로 하여 모든 메모리셀의 부유게이트에 전자를 주입해 둔다. 이 주입이 종료하면, V_{CG}를 0V로 설정하고, 다음의 전자의 방출에 대비한다(t2). 신호(h1,h2,…,hm)를 순차적으로 고전압(논리 1)으로 설정하여 입력된 데이터를 대응하는 열선에 전달한다(t3~tm). 열선(15)은 입력된 데이터에 따라 고전압으로 설정되던가 0V그대로 이던가 어느 하나의 상태를 취한다. 고전압으로 설정된 열선(15)에 접속되어 있는 선택된 메모리셀은 그 부유게이트로부터 전자가 방출되고, 0V의 열선(15)에 접속되어 있는 선택된 메모리셀은 부유게이트에 전자가 주입된 그대로이다. 이렇게 하여 데이터가 기입된다.

제25도는 본 발명의 더욱 다른 실시예를 나타낸 것으로, 제22도의 실시예와 마찬가지로 래치회로(L)를 사용하지 않고, 제22도의 실시예에 대해 회로(CIR)를 더 추가한 것이다.

즉, 제25도에 있어서, 회로(CIR)는, 고압전원전위(Vp)와 노드 N300간에 게이트에 신호(/ø1)가 공급된 P 채널형 트랜지스터(901)가 접속되어 있다. 노드 N300과 노드 N400간에는 P채널형 트랜지스터(902), N채널형 트랜지스터(903)의 직렬회로와, P채널형 트랜지스터(904), N채널형 트랜지스터(905)의 직렬회로가 병렬로 접속되어 있다. 노드 N400와 접지전위간에는 게이트에 신호(ø1)가 공급된 트랜지스터(907)가 접속되어 있다. 노드 N200은 트랜지스터(902,903)의 접속점과 트랜지스터(904,905)의 각각의 게이트에 접속되어 있고, 노드 N100은 트랜지스터(904,905)의 접속점과 트랜지스터(902,903)의 각각의 게이트에 접속되어 있다. 노드 N100과 N200간에는 P채널형 트랜지스터(911)와 N채널형 트랜지스터(912)가 서로 병렬로 접속되어 있다. 이들 트랜지스터(911,912)의 게이트에는 신호(/ø2) 및 신호(ø2)가 각각 공급되고 있다. 노드 N100은 고압전원전위(Vp)와 접지전위간에 직렬로 접속된 저항(R1,R2)의 접속점이고, 노드 N200은 데이터 입력회로(DIC)의 출력단이다.

제22도의 실시예에서는 열선(15)의 리크전류 등에 의한 전위의 저하를 방지하기 위해서는 데이터를 몇번이든 입력하지 않으면 안되지만, 제25도의 실시예에서는 회로(CIR)를 설치함으로써 열선(15)의 전위를 검출하여 다시 증폭하도록 하고 있다. 이 때문에, 데이터의 입력은 한번으로 족하다.

제26도 및 제27도에 각 신호의 파형을 나타내었다. 제22도의 경우와 마찬가지로, 신호[(/R)/(P)]는 데이터를 기입할 때에 고전압(논리 1)으로 설정되고, 신호[(R)/(/P)]는 논리 0으로 설정된다(t1). 다음에, 모든 메모리셀의 게이트 즉 V_{CG}를 고전압으로 하여 모든 메모리셀의 부유게이트에 전자를 주입해 둔다(t1). 이 주입이 종료하면, V_{CG}를 0V로 설정하고, 다음의 전자의 방출에 대비한다(t2). 열디코더(CD1)로부터의 신호(h1,h2,…,hm)를 순차적으로 고전압(논리 1)으로 설정하여 입력된 데이터를 대응하는 열선에 전달한다(t3~tm). 열선(15)은 입력된 데이터에 따라 고전압으로 설정되던가 0V 그대로 이던가 어느 하나의 상태를 취한다. 고전압으로 설정된 열선(15)에 접속되어 있는 선택된 메모리셀은 그 부유게이트로부터 전자가 방출되고, 0V의 열선(15)에 접속되어 있는 선택된 메모리셀은 부유게이트에 전자가 주입된 그대로이다.

회로(CIR)는 노드 N100과 노드 N200의 전위를 비교하여 그 결과에 따라 노드 N200의 전위를 증폭하는 것이다. 노드 N100의 전위는 저항(R1,R2)의 접속점으로부터 얻어지며, 노드 N200의 고전위레벨과 저전위레벨간의 전위로 된다.

노드 N100과 노드 N200간에는 트랜지스터(902~905)에 의해 구성되는 일종의 플립플롭(FF)이 접속되고, 이 플립플롭(FF)이 노드 N200의 전위를 증폭한다.

제27도는 제23도에 나타낸 신호(ø1, ø2), 열디코더(CD1)의 출력(h1,h2)의 관계를 보다 알기 쉽게 확대한 것으로, 노드 N100, N200 및 열선(15)의 전위상태를 함께 나타내고 있다. 제27도에 나타낸 바와 같이, 신호(ø2)가 논리 1로 되면, 노드 N100과 노드 N200이 접속되어 N100과 N200의 전위가 거의 같아진다(t11). 이후 열디코더(CD1)에 의해 열선(15)이 선택되고, 선택된 열선(15)의 전위가 노드 N200에 나타난다. 만일 선택된 열선(15)이 고전위로 충전되어 있으면 노드 N200의 전위는 상승한다(t12). 이후, 신호(ø1)를 논리 1로 설정하여 플립플롭(FF)을 활성화시킨다(t13). 플립플롭(FF)은, 노드 N200의 전위가 노드 N100의 전위보다 높기 때문에, 노드 N200을 고전압(Vp)으로 상승시키고, 노드 N100은 거의 0V로 한다. 한편, 선택된 열선(15)이 0V라면, 노드 N200의 전위가 하강하여 노드 N100의 전위보다 낮아진다(t14). 이 때문에 신호(ø1)가 논리 1로 된 때, 플립플롭(FF)은 노드 N200의 전위를 0V까지 방전한다(t15). 이와 같이, 제25도의 실시예에서는 열선(15)를 선택하고, 선택된 열선(15)의 전위를 모니터하여 다시 원래의 전위로 증폭하고 있으므로, 래치회로(L)가 필요치 않다. 만일 칩사이즈에 여유가 있어서 이러한 회로(CIR)를 각 열선마다 설치할 수 있다면, 모든 열선을 동시에 증폭할 수 있으므로, 열디코더에서의 열선마다의 제어가 불필요하게 된다.

이상 설명한 바와 같이 제5의 본 발명의 실시예에 의하면, 부유게이트로부터의 전자의 방출과 주입이 터널효과에 의해 이루어지는 점에 주목하여, 데이터를 프로그램할 때는 메모리셀부에서는 거의 전류가 소비되지 않는 점을 이용했으므로, 데이터 래치회로를 메모리셀 어레이로부터 떨어진 임의의 장소에 만들 수 있고, 이에 따라 칩사이즈가 축소된 불휘발성 반도체 메모리를 제공할 수 있다.

또, 제5의 본 발명의 실시예에 의하면, 열선(15)의 전위를 모니터하고, 이 전위를 증폭하여 열선(15)의 전위가 하강하지 않도록 했으므로, 래치회로도 특별히 필요가 없게 되고, 더욱이 칩사이즈가 작은 불휘발성 반도체 메모리를 실현할 수 있다.

또한, 본 발명은 실시예에 나타낸 바와 같은 메모리셀을 갖춘 불휘발성 반도체 메모리에 한정되지 않고, 부유게이트로부터 터널효과를 이용하여 전자의 주입과 방출을 행하는 것이면, 어떠한 것에라도 적용할 수 있다. 본 발명은 데이터를 메모리셀에 기입할 때의 열선의 전위의 제어에 관한 것이기 때문에, 데이터의 기입방법에 관계없이 열선의 전위를 이용하여 메모리셀의 부유게이트로부터의 전자의 방출 혹은 메모리셀의 부유게이트로의 전자의 주입을 행하는 것이면, 어떠한 것에라도 적용할 수 있다. 예컨대, 메모리셀이 NAND형을 한 EEPROM에도 적용할 수 있음은 물론이다. 이 경우, 최초에 모든 메모리셀의 부유게이트로부터 전자를 방출하여 메모리셀의 문턱치를 부의 값으로 해 두고, 그 후 전자의 주입을 행하는 것은 열선을 0V로, 전자의 주입을 행하지 않는 것에는 터널효과가 일어나지 않도록 적당한 전압(V3)을 열선에 공급한다. 이때, 플립플롭(FF)에 공급하는 전원도 V3인 것이 바람직하다. 이와 같이 열선으로의 전압의 인가방법을 여러가지로 변경하도록 하면, 어떠한 것에라도 적용할 수 있다. 한편, 본원 청구범위의 각 구성요건에 병기한 도면참조부호는 본원 발명의 이해를 용이하게 하기 위한 것으로, 본원 발명의 기술적 범위를 도면에 도시한 실시예에 한정할 의도로 병기한 것은 아니다.

[발명의 효과]

이상 설명한 바와 같이 제1의 발명에 의하면, 각 메모리셀군(束)을 구성하는 메모리셀중 많은 쪽의 2진데이터(0데이터 또는 1데이터)에 대응하는 메모리셀을 부의 문턱치전압의 것으로 할 수 있고, 이에 따라 메모리셀군을 흐르는 전류를 많게 하여 독출속도를 향상시킬 수 있다.

제2의 본 발명에 의하면, 인접한 적어도 2개의 메모리셀군에서 1개의 열선을 공용할 수 있고, 이에 따라 메모리셀군과 열선과의 접속부가 메모리셀 어레이에 있어서 점유하는 면적의 비율을 낮출 수 있으며, 또한 열선의 수를 감소시켜서 배선의 수를 줄여 수율을 향상시킬 수 있다.

제3의 본 발명에 의하면, 데이터 프로그램에 있어서 부유게이트로의 전자의 주입후의 각 메모리셀의 문턱치전압을 작게 하여 독출속도를 고속화할 수 있다.

제4의 본 발명에 의하면, 메모리셀의 부유게이트로부터 전자를 방출하여 그 문턱치전압을 부로 한 후, 메모리셀의 부유게이트에 전자를 주입하여 2진데이터의 한쪽을 기억하도록 했으므로, 메모리셀의 문턱치전압의 변동폭을 작게 억제하여 독출속도를 빠르게 할 수 있다.

제5의 본 발명에 의하면, 데이터 래치회로를 메모리셀 어레이로부터 떨어진 임의의 위치에 형성할 수 있고, 칩사이즈를 작은 것으로 할 수 있다.

(57) 청구의 범위

청구항 1

부유게이트와 제어게이트를 갖춘 트랜지스터로 이루어지고, 상기 부유게이트중의 전하의 양에 따라 데이터를 기억하는 메모리셀이 복수개 접속된 메모리셀블럭(MB1~MB4)과, 이 메모리셀블럭에 직렬로 접속되어 상기 메모리셀블럭을 선택하기 위한 선택트랜지스터(T1(1)~T1(4),T2(1)~T2(4))와, 매트릭스형상으로 배열된 상기 선택트랜지스터 및 상기 메모리셀블럭에서의 동일행에 나열된 상기 메모리셀의 제어게이트를 접속하는 행선(WL1~WLn)과, 이 행선에 프로그램전압을 인가함으로써 상기 부유게이트에 전자를 주입하여 상기 메모리셀에 데이터를 프로그램하는 프로그램수단을 구비한 불휘발성 반도체 메모리에 있어서, 상기 전하의 주입과 상기 부유게이트로의 상기 전하의 주입량의 체크를 상기 프로그램의 도중에 행하고, 상기 전하의 주입량의 체크에 의해 상기 부유게이트중의 전하의 양이 소정의 값에 도달하고 있지 않을 때에는 상기 부유게이트에 재차 전하를 주입하기 위해 상기 행선에 공급하는 상기 프로그램전압을 소정의 값만큼 높게 해서 공급하는 프로그램전압 공급수단(PG,RD)을 구비한 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 2

부유게이트와 제어게이트를 갖추고, 상기 부유게이트중의 전하의 양에 따라 문턱치전압이 변화함으로써 데이터를 기억하는 트랜지스터를 포함한 메모리셀이 매트릭스형상으로 배치된 메모리셀 어레이와, 상기 메모리셀 어레이에서의 동일행에 나열된 상기 메모리셀의 제어게이트를 접속하는 행선 및 동일열의 상기 메모리셀을 접속하는 열선과, 상기 행선에 프로그램전압을 인가함으로써 상기 부유게이트에 전하를 주입하여 상기 메모리셀에 데이터를 프로그램하는 프로그램수단, 이 프로그램수단에 접속되어 복수의 전압치를 갖는 상기 프로그램전압을 발생하기 위한 프로그램전압 발생수단과, 상기 열선에 접속되어 상기 프로그램수단에 의해 상기 부유게이트로 전하가 주입되는 것을 방지하기 위해 상기 열선에 소정의 전압을 공급하는 프로그램 방지수단을 구비하고, 동일행에 접속된 상기 부유게이트에 전하를 주입해야 할 복수의 상기 메모리셀에 동시에 전하를 주입하고, 상기 부유게이트에 전하를 주입해야 할 복수의 상기 메모리셀과 동일행에 접속되어 있는 상기 부유게이트에 전하를 주입해야 할 복수의 상기 메모리셀 이외의 상기 메모리셀은 상기 프로그램 방지수단에 의해 전하의 주입을 방지하도록 한 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 3

부유게이트와 제어게이트를 갖추고, 상기 부유게이트중의 전하의 양에 따라 문턱치전압이 변화함으로써

데이터를 기억하는 트랜지스터를 포함한 메모리셀이 매트릭스형상으로 배치된 메모리셀 어레이와, 상기 메모리셀 어레이에서의 동일행에 나열된 상기 메모리셀의 제어게이트를 접속하는 행선 및 동일열의 상기 메모리셀을 접속하는 열선과, 상기 행선에 프로그램전압을 인가함으로써 상기 부유게이트에 전하를 주입하여 상기 메모리셀에 데이터를 프로그램하는 프로그램수단과, 상기 부유게이트에 전하의 주입이 행해지는 상기 트랜지스터중 제1트랜지스터와, 이 제1트랜지스터가 접속되어 있는 행선과 동일의 행선에 접속되고, 상기 부유게이트로의 전하의 주입이 행해지지 않는 상기 트랜지스터중 제2트랜지스터와, 상기 제1트랜지스터가 접속되어 있는 행선과 동일의 행선에 접속되고, 상기 부유게이트에 전하의 주입이 행해지는 상기 트랜지스터중 제3트랜지스터를 구비하고, 상기 제1트랜지스터가 프로그램될 때, 상기 제2트랜지스터의 부유게이트에 전하가 주입되는 것을 방지하기 위해 상기 제2트랜지스터가 접속되어 있는 열선에 소정의 전압을 공급함과 더불어, 제1전압치를 갖는 상기 프로그램전압에 의해 상기 제1트랜지스터의 부유게이트에 전하를 주입한 후, 상기 제1트랜지스터의 문턱치전압이 소정의 값보다도 낮은 경우, 상기 제1전압치보다도 높은 전압치의 제2전압치를 갖는 상기 프로그램전압에 의해 상기 제1트랜지스터의 부유게이트에 재차 전하를 주입하고, 상기 제2전압치를 갖는 상기 프로그램전압에 의해 상기 제1트랜지스터의 부유게이트에 재차 전하를 주입할 때, 상기 제1전압치의 상기 프로그램전압을 공급함으로써 상기 제3트랜지스터의 부유게이트에 전하가 주입된 때에 상기 제3트랜지스터의 문턱치전압이 상기 소정의 값보다도 높은 경우는, 상기 제2전압치를 갖는 상기 프로그램전압에 의해 상기 제3트랜지스터의 상기 부유게이트에 전하가 더 주입되는 것을 방지하기 위해 상기 제3트랜지스터가 접속되어 있는 상기 열선에 소정의 전압을 공급하도록 한 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 4

부유게이트와 제어게이트를 갖추고, 상기 부유게이트중의 전하의 양에 따라 문턱치전압이 변화함으로써 데이터를 기억하는 트랜지스터를 포함한 메모리셀이 매트릭스형상으로 배치된 메모리셀 어레이와, 상기 메모리셀 어레이에서의 동일행에 나열된 상기 메모리셀의 제어게이트를 접속하는 행선 및 동일열의 상기 메모리셀을 접속하는 열선과, 상기 행선에 접속되어 상기 행선의 하나를 선택하는 행선택수단과, 데이터를 래치하기 위한 데이터 래치수단과, 이 래치수단에 래치된 데이터에 응답하여 상기 메모리셀에 데이터를 프로그램하는 프로그램수단과, 상기 행선택수단에 접속되어 복수의 전압치를 갖는 프로그램전압을 발생하기 위한 프로그램전압 발생수단을 구비하고, 상기 프로그램전압은 상기 행선택수단에 공급되고, 상기 트랜지스터의 상기 부유게이트에 전하를 주입하기 위해 상기 프로그램전압이 상기 행선택수단에 의해 선택된 행선에 공급되는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 5

제4항에 있어서, 상기 프로그램전압의 상기 복수의 전압치는, 제1전압치와, 이 제1전압치보다도 높은 전압치를 갖는 제2전압치의 적어도 2개의 전압치를 가지며, 상기 메모리셀을 프로그램하기 위해 대응하는 행선에 상기 제1전압치의 상기 프로그램전압을 공급하고, 상기 행선을 통해 상기 메모리셀에 상기 제1전압치의 상기 프로그램전압을 공급한 후, 상기 행선을 통해 상기 메모리셀에 상기 제2전압치의 상기 프로그램전압을 공급하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 6

제4항에 있어서, 상기 프로그램전압 발생수단은, 제어신호에 응답하여 상기 프로그램전압 발생수단에 의해 발생된 상기 프로그램전압의 전압치를 변화시키기 위한 전압변화수단을 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 7

제4항 또는 제6항에 있어서, 상기 불휘발성 반도체 메모리는, 상기 메모리셀에 기억되어 있는 데이터를 독출하기 위한 데이터독출수단을 더 구비하고, 상기 래치회로에 래치된 데이터가 상기 메모리셀에 프로그램되었는지의 여부를 체크하기 위해 상기 데이터독출수단에 의해 상기 메모리셀로부터 데이터를 독출하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 8

부유게이트와 제어게이트를 갖추고, 상기 부유게이트중의 전하의 양에 따라 문턱치전압이 변화함으로써 데이터를 기억하는 트랜지스터를 포함한 메모리셀이 매트릭스형상으로 배치된 메모리셀 어레이와, 상기 메모리셀 어레이에서의 동일행에 나열된 상기 메모리셀의 제어게이트를 접속하는 행선 및 동일열의 상기 메모리셀을 접속하는 열선과, 상기 행선에 접속되어 상기 행선의 하나를 선택함과 더불어, 선택된 상기 트랜지스터의 부유게이트에 전하를 주입하기 위해 선택된 상기 행선에 프로그램전압을 공급하기 위한 행선택수단과, 데이터를 래치하기 위한 데이터 래치수단과, 이 래치수단에 래치된 데이터에 응답하여 상기 메모리셀에 데이터를 프로그램하는 프로그램수단을 구비하고, 제1전압치를 갖는 상기 프로그램전압에 의해 상기 메모리셀의 부유게이트에 전하가 주입된 후의 상기 메모리셀의 문턱치전압이 소정의 값보다도 낮을 때는, 상기 제1전압치보다도 높은 제2전압치를 갖는 상기 프로그램전압에 의해 상기 메모리셀의 부유게이트에 재차 전하를 주입하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 9

제8항에 있어서, 동일의 행선에 접속된 상기 부유게이트에 전하를 주입할 필요가 있는 상기 메모리셀에는, 동시에 전하를 주입하도록 한 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 10

부유게이트와 제어게이트를 갖추고, 상기 부유게이트중의 전하의 양에 따라 문턱치전압이 변화함으로써 데이터를 기억하는 트랜지스터가 제1단자와 제2단자 사이에 복수개 직렬로 접속된 메모리셀이 매트릭스형상으로 배치된 메모리셀 어레이와, 상기 메모리셀 어레이에서의 동일행에 나열된 상기 트랜지스터의 제어게이트를 접속하는 행선 및 동일열의 상기 메모리셀의 제1단자를 접속하는 열선과, 상기 행선에 접속되어

상기 행선의 하나를 선택함과 더불어, 선택된 상기 트랜지스터의 부유게이트에 전하를 주입하기 위해 선택된 상기 행선에 프로그램전압을 공급하는 행선택수단과, 데이터를 래치하기 위한 데이터 래치수단과, 이 래치수단에 래치된 데이터에 응답하여 상기 트랜지스터에 데이터를 프로그램하는 프로그램수단과, 상기 행선택수단에 접속되어 상기 트랜지스터의 부유게이트에 전하를 주입하기 위한 프로그램전압을 발생하는 프로그램전압 발생수단을 구비하고, 상기 프로그램전압은 복수의 전압치를 갖는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 11

제10항에 있어서, 상기 프로그램전압 발생수단은, 상기 프로그램전압 발생수단에 의해 발생되는 상기 프로그램전압의 전압치를 제어신호에 응답하여 변화시키는 전압변화수단을 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 12

제11항에 있어서, 상기 불휘발성 반도체 메모리는, 상기 트랜지스터에 기억되어 있는 데이터를 독출하기 위한 데이터독출수단을 더 구비하고, 소정의 데이터가 상기 트랜지스터에 프로그램되었는지의 여부를 체크하기 위해 상기 트랜지스터에 기억되어 있는 데이터를 상기 데이터독출수단에 의해 독출하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 13

제10항에 있어서, 상기 불휘발성 반도체 메모리는, 상기 트랜지스터에 기억되어 있는 데이터를 독출하기 위한 데이터독출수단을 더 구비하고, 소정의 데이터가 상기 트랜지스터에 프로그램되었는지의 여부를 체크하기 위해 상기 트랜지스터에 기억되어 있는 데이터를 상기 데이터독출수단에 의해 독출하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 14

제10항에 있어서, 상기 프로그램전압의 상기 복수의 전압치는, 제1전압치와, 이 제1전압치보다도 높은 전압치를 갖는 제2전압치의 적어도 2개의 전압치를 가지며, 상기 트랜지스터를 프로그램하기 위해 대응하는 행선에 상기 제1전압치의 상기 프로그램전압을 공급하고, 상기 행선을 통해 상기 트랜지스터에 상기 제1전압치의 상기 프로그램전압을 공급한 후, 상기 행선을 통해 상기 트랜지스터에 상기 제2전압치의 상기 프로그램전압을 공급하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 15

제14항에 있어서, 동일의 행선에 접속된 상기 부유게이트에 전하를 주입할 필요가 있는 상기 트랜지스터에는, 동시에 전하를 주입하도록 한 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 16

제15항에 있어서, 상기 프로그램전압 발생수단은, 상기 트랜지스터를 프로그램할 때에, 소정의 전압치의 상기 프로그램전압으로부터 순차 높은 전압치로 변화하도록 상기 프로그램전압을 발생하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 17

부유게이트와 제어게이트를 갖추고, 상기 부유게이트중의 전하의 양에 따라 문턱치전압이 변화함으로써 데이터를 기억하는 트랜지스터가 제1단자와 제2단자 사이에 복수개 직렬로 접속된 메모리셀이 매트릭스형상으로 배치된 메모리셀 어레이와, 상기 메모리셀 어레이에서의 동일행에 나열된 상기 트랜지스터의 제어게이트를 접속하는 행선 및 동일열의 상기 메모리셀의 제1단자를 접속하는 열선과, 상기 행선에 접속되어 상기 행선의 하나를 선택함과 더불어, 선택된 상기 트랜지스터의 부유게이트에 전하를 주입하기 위해 선택된 상기 행선에 프로그램전압을 공급하는 행선택수단과, 데이터를 래치하기 위한 데이터 래치수단과, 이 래치수단에 래치된 데이터에 응답하여 상기 트랜지스터에 데이터를 프로그램하는 프로그램수단과, 상기 트랜지스터중 제1트랜지스터에 데이터를 프로그램하기 위해, 상기 프로그램수단에 의해 상기 제1트랜지스터의 부유게이트에 전하를 주입할 때, 상기 제1트랜지스터와 같은 행선에 접속된 부유게이트에 전하를 주입하지 않는 제2트랜지스터의 부유게이트에 전하가 주입되는 것을 방지하기 위해 상기 제2트랜지스터가 접속되어 있는 열선에 소정의 전압을 공급하는 프로그램 방지수단을 구비하고, 상기
프로그램전압은, 제1전압치와, 이 제1전압치보다도 높은 전압치를 갖는 제2전압치의 적어도 2개의 전압치를 가지며, 상기 트랜지스터를 프로그램하기 위해 대응하는 행선에 상기 제1전압치의 상기 프로그램전압을 공급하고, 상기 행선을 통해 상기 트랜지스터에 상기 제1전압치의 상기 프로그램전압을 공급한 후, 상기 행선을 통해 상기 트랜지스터에 상기 제2전압치의 상기 프로그램전압을 공급하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 18

제17항에 있어서, 동일의 행선에 접속된 상기 부유게이트에 전하를 주입할 필요가 있는 상기 트랜지스터에는, 동시에 전하를 주입하도록 한 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 19

부유게이트와 제어게이트를 갖추고, 상기 부유게이트중의 전하의 양에 따라 문턱치전압이 변화함으로써 데이터를 기억하는 트랜지스터를 포함한 메모리셀이 매트릭스형상으로 배치된 메모리셀 어레이와, 상기 부유게이트에 전하를 주입하여 상기 메모리셀에 데이터를 프로그램하기 위한 복수의 전압치를 갖는 프로그램전압을 발생하고, 상기 복수의 전압이 소정의 전압으로부터 순차적으로 높아지도록 출력되는 프로그램전압 발생수단과, 소정의 데이터가 상기 트랜지스터에 프로그램되었는지의 여부를 체크하기 위해 상기

트랜지스터에 기억되어 있는 데이터를 독출하기 위한 데이터독출수단을 구비하고, 상기 전하의 주입과 상기 부유게이트로의 상기 전하의 주입량의 체크를 상기 프로그램의 도중에 행하고, 상기 전하의 주입량의 체크에 의해 상기 부유게이트중의 전하의 양이 소정의 값에 도달하고 있지 않을 때에는 상기 부유게이트에 재차 전하를 주입하기 위해 상기 프로그램전압을 소정의 값만큼 높게 해서 공급하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 20

부유게이트와 제어게이트를 갖추고, 상기 부유게이트중의 전하의 양에 따라 문턱치전압이 변화함으로써 데이터를 기억하는 트랜지스터를 포함한 메모리셀이 매트릭스형상으로 배치된 메모리셀 어레이와, 상기 메모리셀 어레이에서의 동일행에 나열된 상기 트랜지스터의 제어게이트를 접속하는 행선 및 동일열의 상기 메모리셀의 제1단자를 접속하는 열선과, 상기 행선에 접속되어 상기 행선의 하나를 선택함과 더불어, 선택된 상기 트랜지스터의 부유게이트에 전하를 주입하기 위해 선택된 상기 행선에 프로그램전압을 공급하기 행선택수단과, 데이터를 래치하기 위한 데이터 래치수단과, 이 래치수단에 래치된 데이터에 응답하여 상기 트랜지스터에 데이터를 프로그램하는 프로그램수단과, 상기 부유게이트에 전하를 주입하여 상기 메모리셀에 데이터를 프로그램하기 위한 복수의 전압치를 갖는 상기 프로그램전압을 발생하고, 상기 복수의 전압이 소정의 전압으로부터 순차적으로 높아지도록 출력되는 프로그램전압 발생수단과, 소정의 데이터가 상기 트랜지스터에 프로그램되었는지의 여부를 체크하기 위해 상기 트랜지스터에 기억되어 있는 데이터를 독출하기 위한 데이터독출수단을 구비하고, 상기 전하의 주입과 상기 부유게이트로의 상기 전하의 주입량의 체크를 상기 프로그램의 도중에 행하여 소정의 데이터를 상기 트랜지스터에 프로그램하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 21

제19항에 있어서, 상기 프로그램전압 발생수단에 의해 발생된 복수의 전압치를 갖는 상기 프로그램전압은, 가장 가까운 전압치를 갖는 상기 프로그램전압끼리의 전위차가 1V이하인 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 22

제20항에 있어서, 상기 프로그램전압 발생수단에 의해 발생된 복수의 전압치를 갖는 상기 프로그램전압은, 가장 가까운 전압치를 갖는 상기 프로그램전압끼리의 전위차가 1V이하인 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 23

제19항에 있어서, 상기 프로그램전압 발생수단은, 고전압단자와 기준전위와의 사이에 직렬로 접속된 복수의 저항을 포함하고, 상기 복수의 저항을 이용하여 상기 프로그램전압을 순차적으로 높아지게 변화시키도록 제어하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 24

제20항에 있어서, 상기 프로그램전압 발생수단은, 고전압단자와 기준전위와의 사이에 직렬로 접속된 복수의 저항을 포함하고, 상기 복수의 저항을 이용하여 상기 프로그램전압을 순차적으로 높아지게 변화시키도록 제어하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 25

제1항에 있어서, 상기 소정의 값은 1V이하인 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 26

제2항에 있어서, 상기 프로그램전압 발생수단에 의해 발생된 복수의 전압치를 갖는 상기 프로그램전압은, 가장 가까운 전압치를 갖는 상기 프로그램전압끼리의 전위차가 1V이하인 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 27

제4항에 있어서, 상기 프로그램전압 발생수단에 의해 발생된 복수의 전압치를 갖는 상기 프로그램전압은, 가장 가까운 전압치를 갖는 상기 프로그램전압끼리의 전위차가 1V이하인 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 28

제10항에 있어서, 상기 프로그램전압 발생수단에 의해 발생된 복수의 전압치를 갖는 상기 프로그램전압은, 가장 가까운 전압치를 갖는 상기 프로그램전압끼리의 전위차가 1V이하인 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 29

제12항에 있어서, 상기 프로그램전압 발생수단에 의해 발생된 복수의 전압치를 갖는 상기 프로그램전압은, 가장 가까운 전압치를 갖는 상기 프로그램전압끼리의 전위차가 1V이하인 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 30

제3항에 있어서, 상기 제1전압치와 상기 제2전압치의 전위차는 1V이하인 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 31

제5항에 있어서, 상기 제1전압치와 상기 제2전압치의 전위차는 1V이하인 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 32

제8항에 있어서, 상기 제1전압치와 상기 제2전압치의 전위차는 1V이하인 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 33

제14항에 있어서, 상기 제1전압치와 상기 제2전압치의 전위차는 1V이하인 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 34

제17항에 있어서, 상기 제1전압치와 상기 제2전압치의 전위차는 1V이하인 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 35

제16항에 있어서, 상기 프로그램전압 발생수단이 상기 트랜지스터를 프로그램할 때에, 소정의 전압치의 상기 프로그램전압으로부터 순차적으로 높은 전압치로 변화하는 전압치는 1V이하인 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 36

제1항에 있어서, 상기 프로그램수단은, 고전압단자와 기준전위와의 사이에 직렬로 접속된 복수의 저항을 포함하고, 상기 복수의 저항을 이용하여 상기 프로그램전압을 순차적으로 높아지게 변화시키도록 제어하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 37

제3항에 있어서, 상기 프로그램수단은, 고전압단자와 기준전위와의 사이에 직렬로 접속된 복수의 저항을 포함하고, 상기 복수의 저항을 이용하여 상기 프로그램전압을 순차적으로 높아지게 변화시키도록 제어하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 38

제8항에 있어서, 상기 프로그램수단은, 고전압단자와 기준전위와의 사이에 직렬로 접속된 복수의 저항을 포함하고, 상기 복수의 저항을 이용하여 상기 프로그램전압을 순차적으로 높아지게 변화시키도록 제어하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 39

제17항에 있어서, 상기 프로그램수단은, 고전압단자와 기준전위와의 사이에 직렬로 접속된 복수의 저항을 포함하고, 상기 복수의 저항을 이용하여 상기 프로그램전압을 순차적으로 높아지게 변화시키도록 제어하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 40

제2항에 있어서, 상기 프로그램전압 발생수단은, 고전압단자와 기준전위와의 사이에 직렬로 접속된 복수의 저항을 포함하고, 상기 복수의 저항을 이용하여 상기 프로그램전압을 순차적으로 높아지게 변화시키도록 제어하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 41

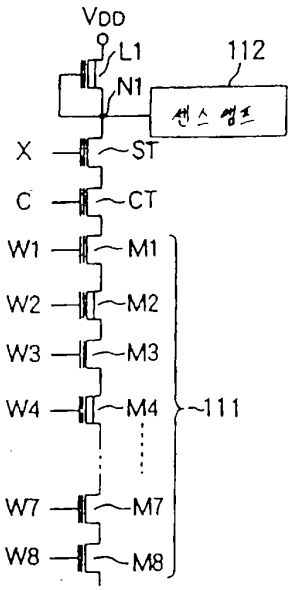
제4항에 있어서, 상기 프로그램전압 발생수단은, 고전압단자와 기준전위와의 사이에 직렬로 접속된 복수의 저항을 포함하고, 상기 복수의 저항을 이용하여 상기 프로그램전압을 순차적으로 높아지게 변화시키도록 제어하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 42

제10항에 있어서, 상기 프로그램전압 발생수단은, 고전압단자와 기준전위와의 사이에 직렬로 접속된 복수의 저항을 포함하고, 상기 복수의 저항을 이용하여 상기 프로그램전압을 순차적으로 높아지게 변화시키도록 제어하는 것을 특징으로 하는 불휘발성 반도체 메모리.

도면

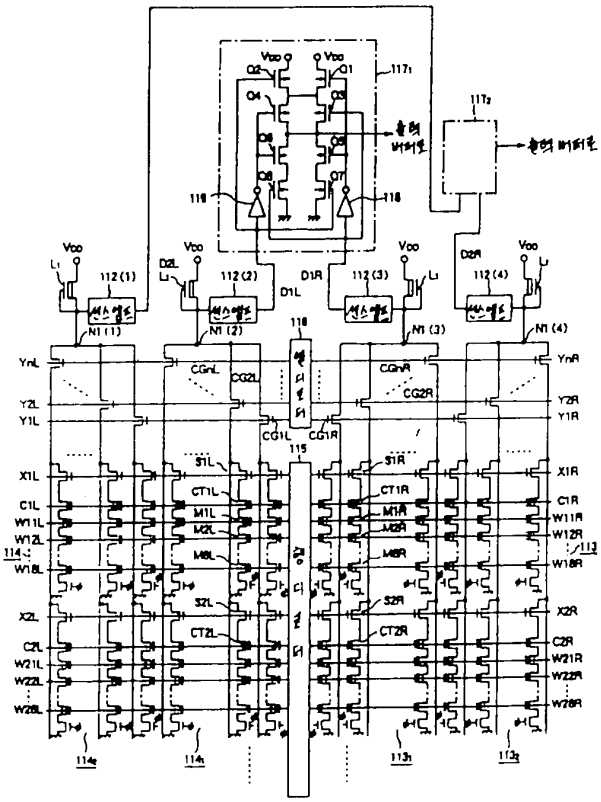
도면1



도면2

	8개의 메모리셀 중의 "1", "0"의 수		"1", "0"에 대응하는 트랜지스터의 동작전압		최상비트의 트랜지스터의 동작 전압
	"1"	"0"	"1"	"0"	
no1	0	8	정	부	정
no2	1	7	정	부	정
no3	2	6	정	부	정
no4	3	5	정	부	정
no5	4	4	부	정	부
no6	5	3	부	정	부
no7	6	2	부	정	부
no8	7	1	부	정	부
no9	8	0	부	정	부

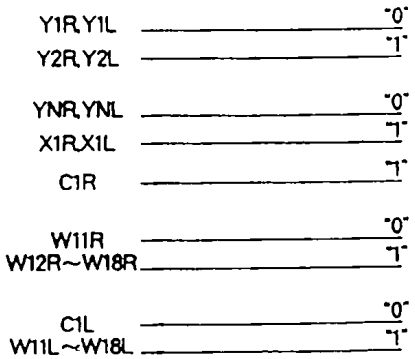
도면3



도면4

A0	D1L	D1R	Z1	
0	0	0	1	D1L이 데이터 D1R이 체크 데이터
0	1	0	0	
0	0	1	0	
0	1	1	1	
1	0	0	1	D1R이 데이터 D1L이 체크 데이터
1	0	1	0	
1	1	0	0	
1	1	1	1	

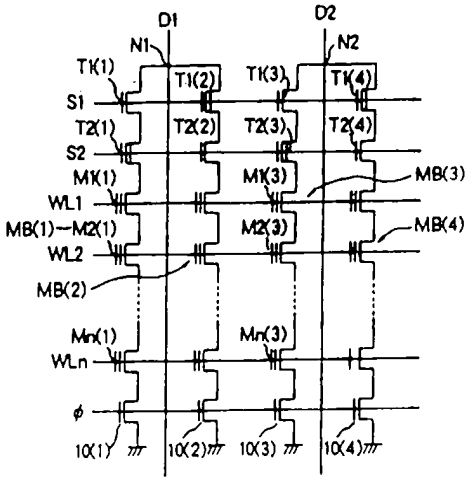
도면5



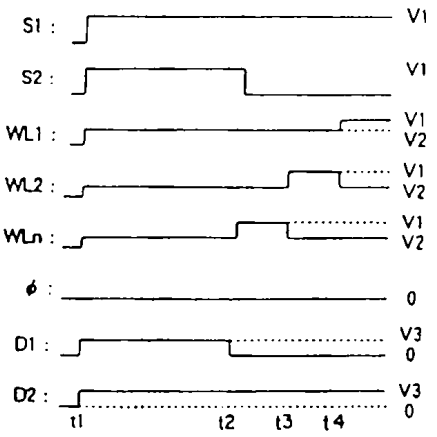
도면6

A0	A1	A2	A3	X1R	C1R	W1R	W2R	W3R	W4R	W5R	W6R	W7R	W8R	X1L	C1L	W1L	W2L	W3L	W4L	W5L	W6L	W7L	W8L
0	0	0	0	1	0	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1
0	1	0	0	1	0	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1
0	0	1	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1
0	1	1	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1
0	1	0	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1
0	0	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1
0	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0
1	0	0	0	1	1	0	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1
1	1	0	0	1	1	1	0	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1
1	0	1	0	1	1	1	1	0	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1
1	1	1	0	1	1	1	1	1	0	1	1	1	1	1	0	1	1	1	1	1	1	1	1
1	0	0	1	1	1	1	1	1	1	0	1	1	1	1	0	1	1	1	1	1	1	1	1
1	1	0	1	1	1	1	1	1	1	1	0	1	1	1	0	1	1	1	1	1	1	1	1
1	0	1	1	1	1	1	1	1	1	1	1	0	1	1	0	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	0	1	1	1	1	1	1	1	1

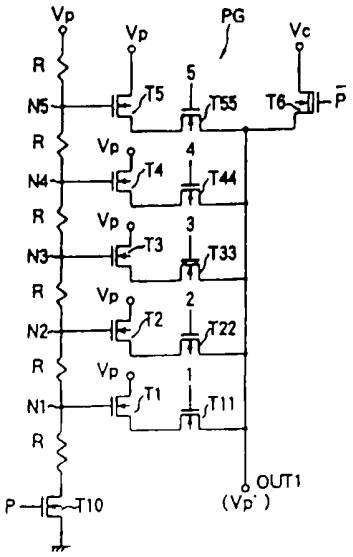
도면7a



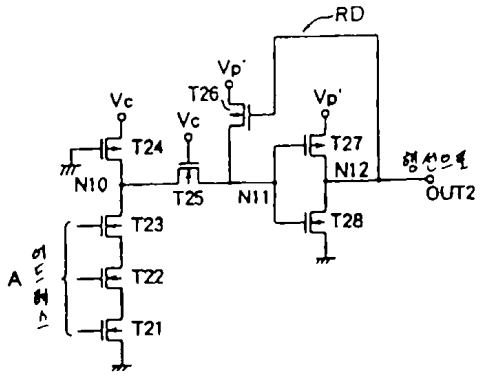
도면7b



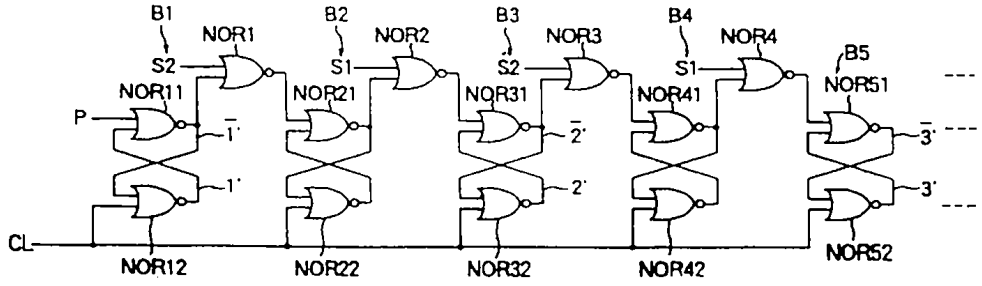
도면8a



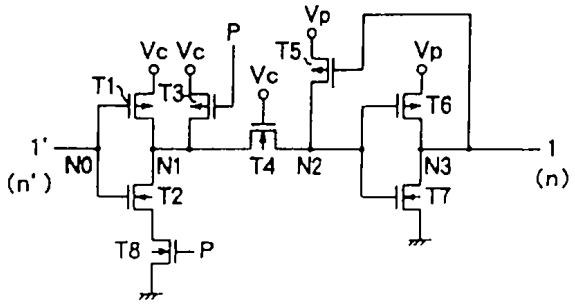
도면8b



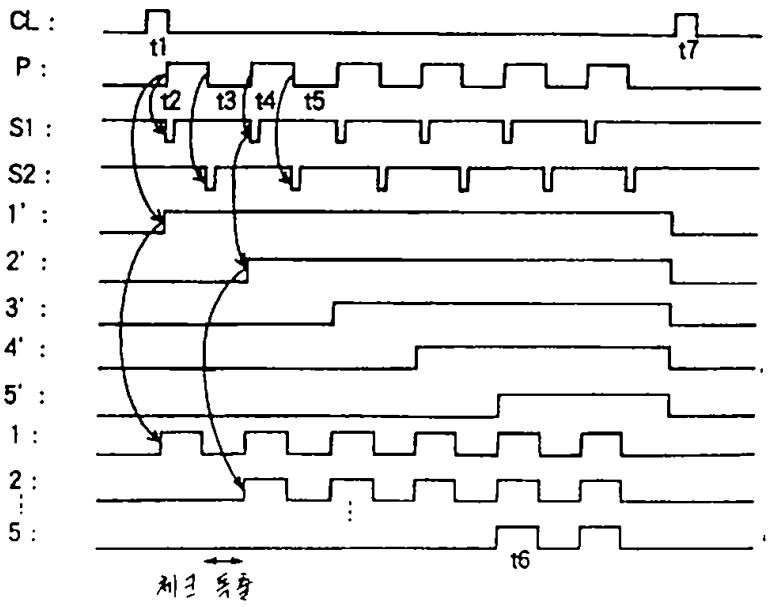
도면9



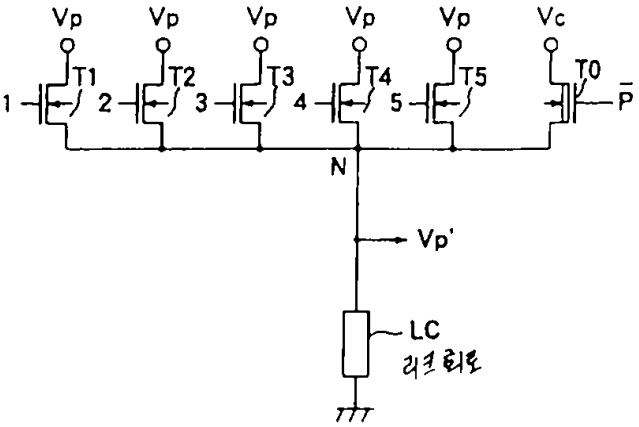
도면10



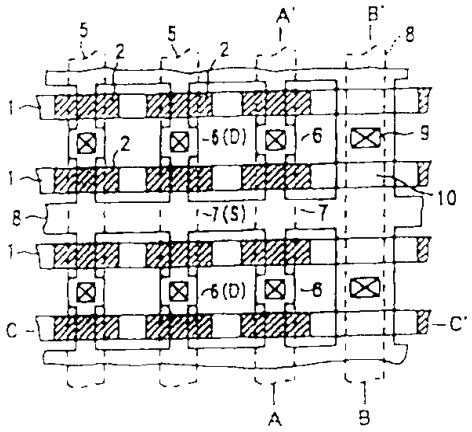
도면11



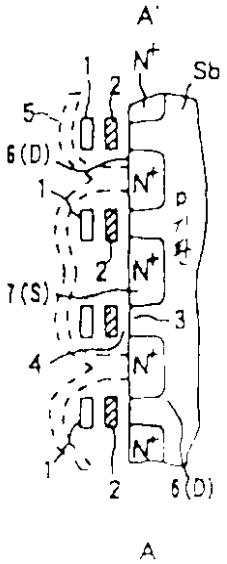
도면12



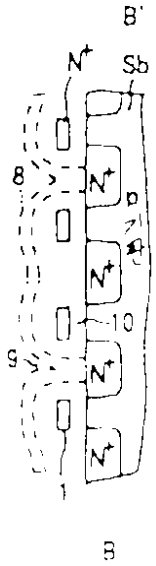
도면13a



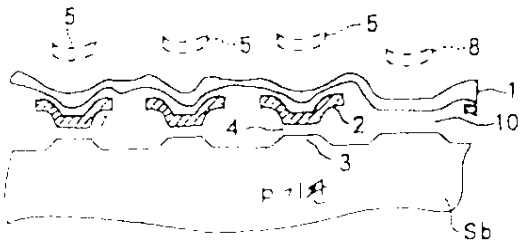
도면13b



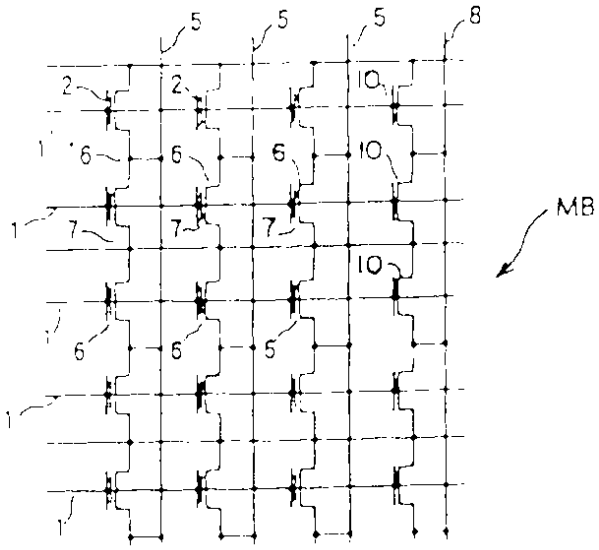
도면13c



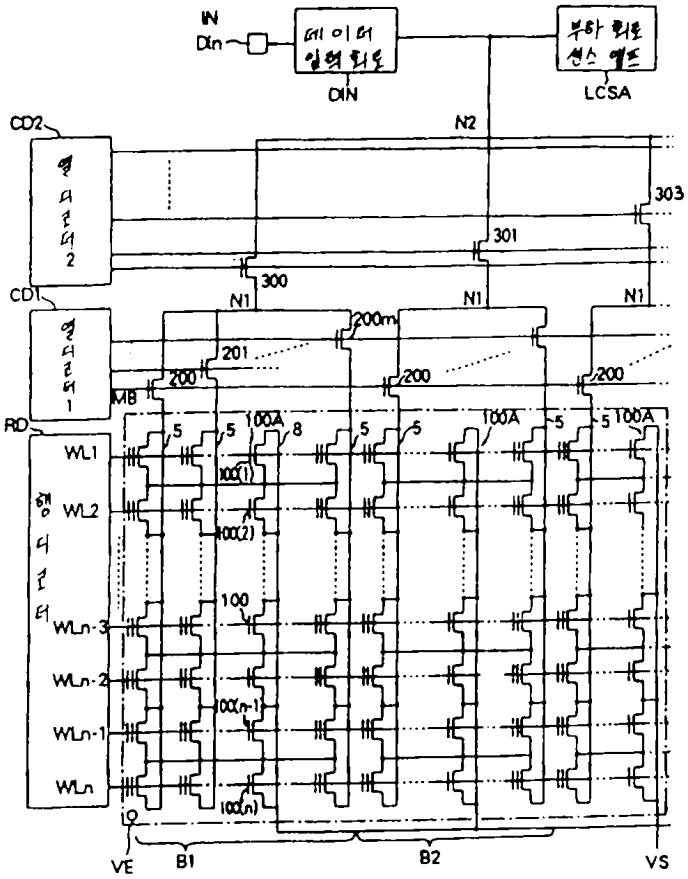
도면13d



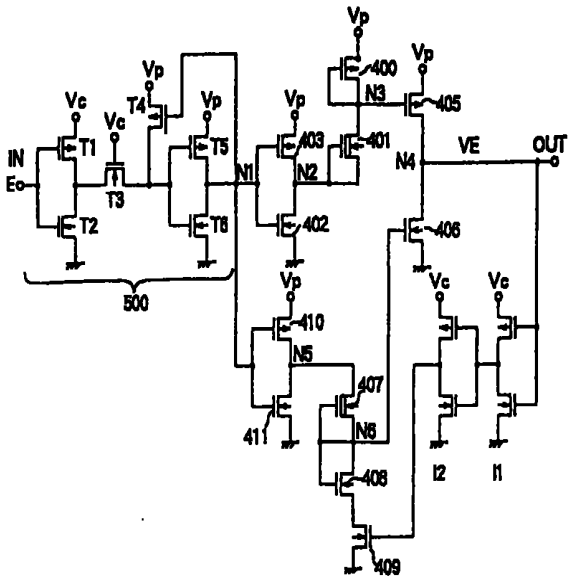
도면13e



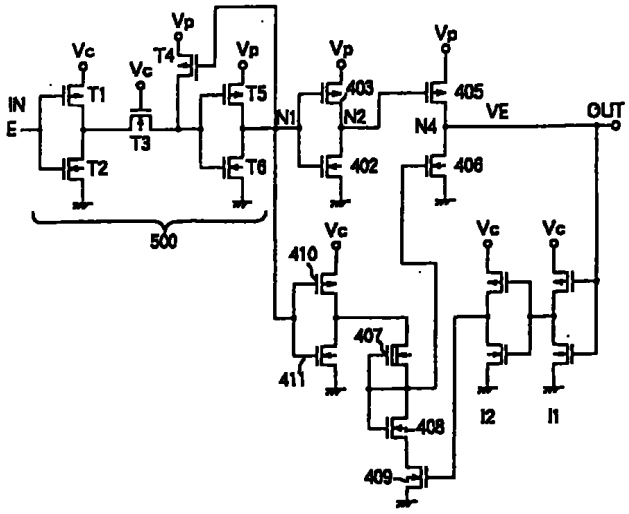
도면14


IN
Din
DIN
LCSA
CD2
CD1
RD
N2
N1
303
301
300
200m
201
200
MB
100A
100(1)
100(2)
100
100(n-1)
100(n)
WL1
WL2
WLn-3
WLn-2
WLn-1
WLn
VE
B1
B2
VS

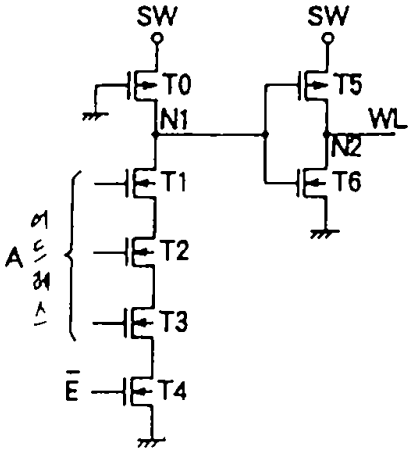
도면15a


Vp
Vc
IN
Eo
T1
T2
T3
T4
T5
T6
N1
N2
N3
N4
N5
N6
400
401
402
403
405
406
407
408
409
410
411
VE
OUT
500
I2
I1

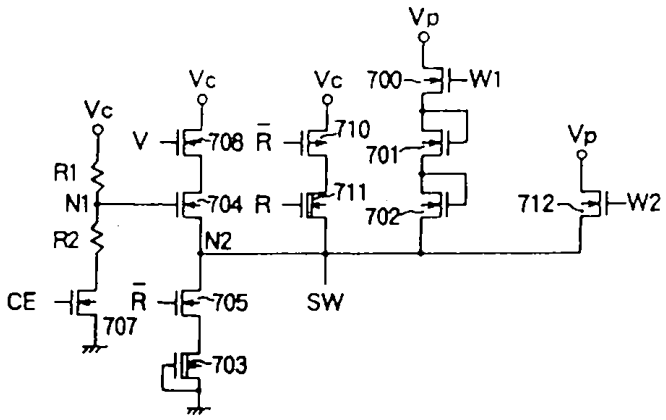
도면15b



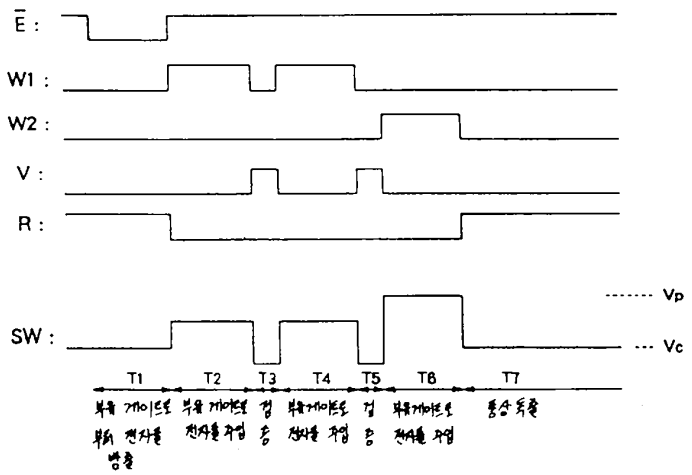
도면16



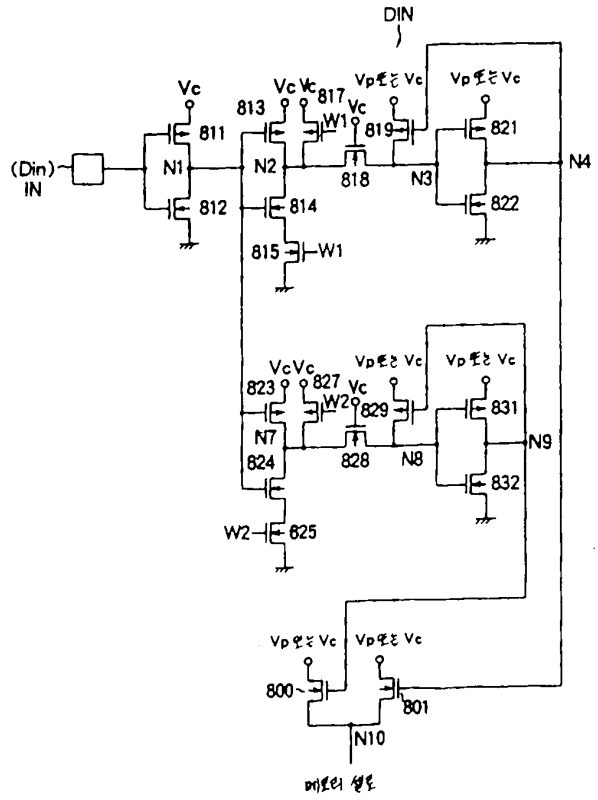
도면17



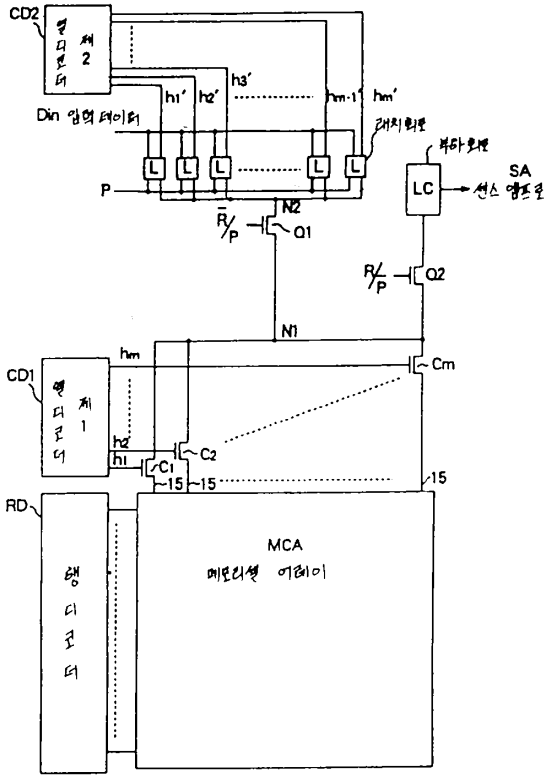
도면18


Ē :
W1 :
W2 :
V :
R :
SW :
Vp
Vc
T1
T2
T3
T4
T5
T6
T7

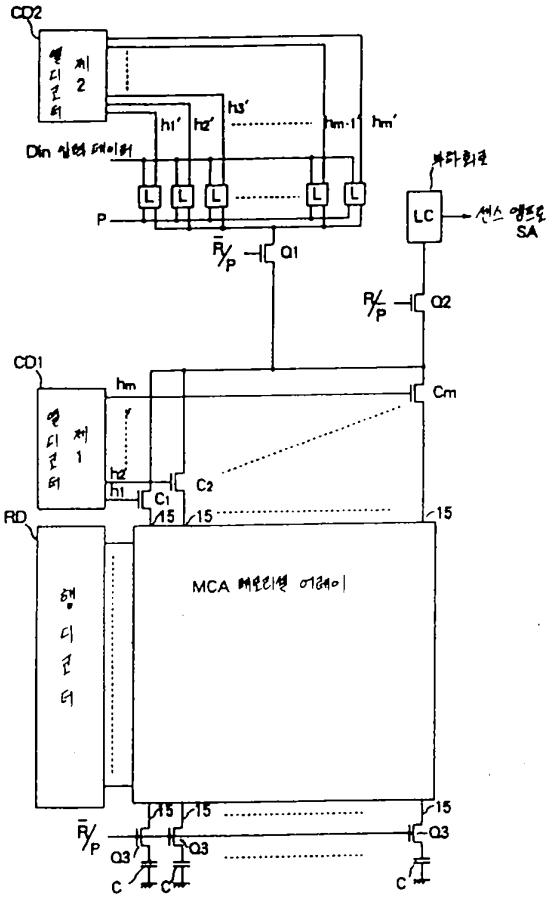
도면19


DIN
(Din)
IN
N1
N2
N3
N4
N7
N8
N9
N10
Vc
Vp또는 Vc
811
812
813
814
815
817
818
819
821
822
823
824
827
828
829
831
832
W1
W2
625
800
801

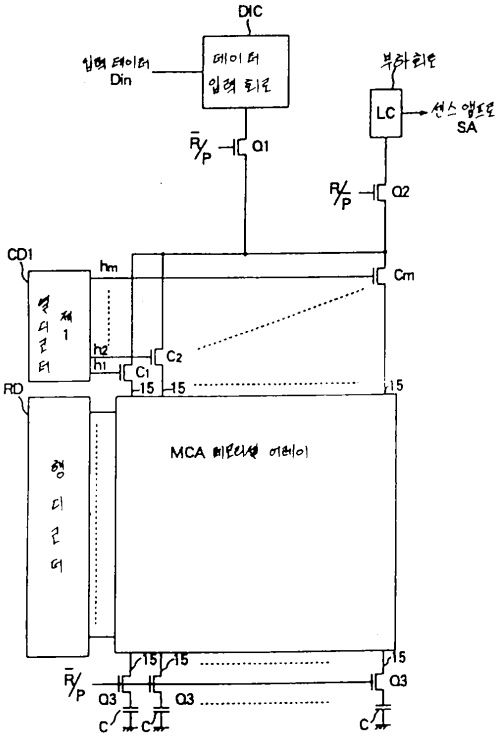
도면20


CD2
열 디코더 2
h1' h2' h3' hm-1' hm'
Din 입력 데이터
래치회로
부하회로
SA
LC
센스 앰프로
P
N2
Q1
Q2
N1
hm
Cm
CD1
열 디코더 1
h2'
h1
C1
C2
15
RD
행 디코더
MCA
메모리셀 어레이

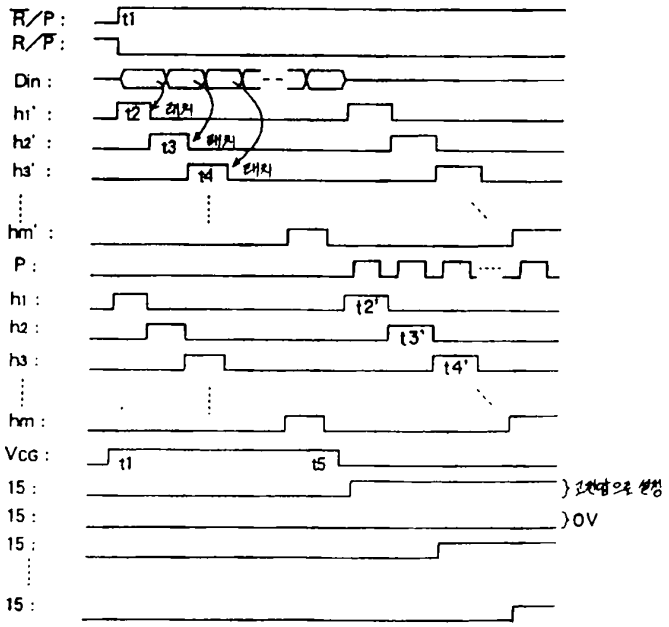
도면21


CD2
열 디코더 2
h1' h2' h3' hm-1' hm'
Din 입력 데이터
부하회로
LC
센스 앰프로
SA
P
Q1
Q2
hm
Cm
CD1
열 디코더 1
h2'
h1
C1
C2
15
RD
행 디코더
MCA 메모리셀 어레이
Q3
C

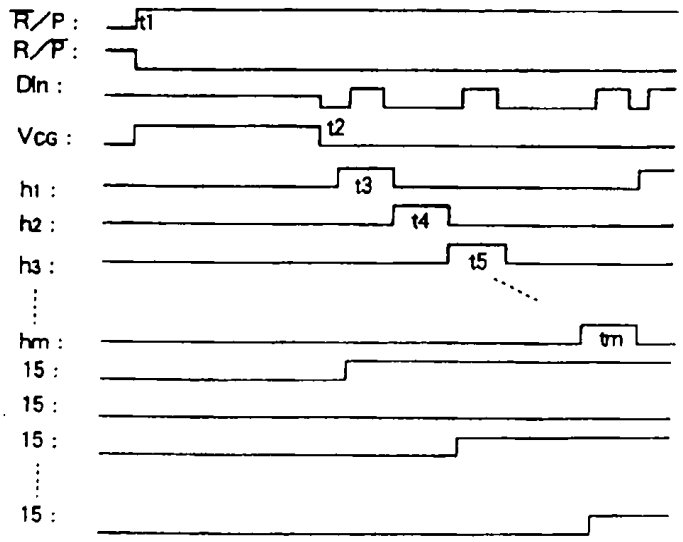
도면22


DIC
입력 데이터
Din
데이터
입력 회로
부하회로
LC
센스 앰프로
SA
R/P
Q1
Q2
CD1
hm
Cm
열디코더
제1
h2
h1
C1
C2
15
RD
행디코더
MCA 메모리셀 어레이
Q3
C

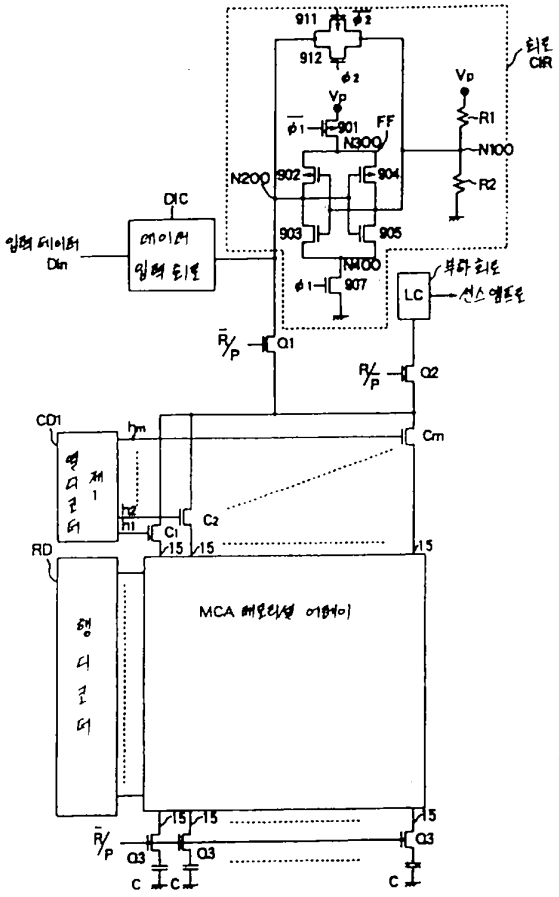
도면23


R/P :
R/P :
Din :
h1' :
h2' :
h3' :
hm' :
P :
h1 :
h2 :
h3 :
hm :
VCG :
15 :
t1
t2
t3
t4
t2'
t3'
t4'
t5
래치
래치
래치
고전압으로 설정
0V

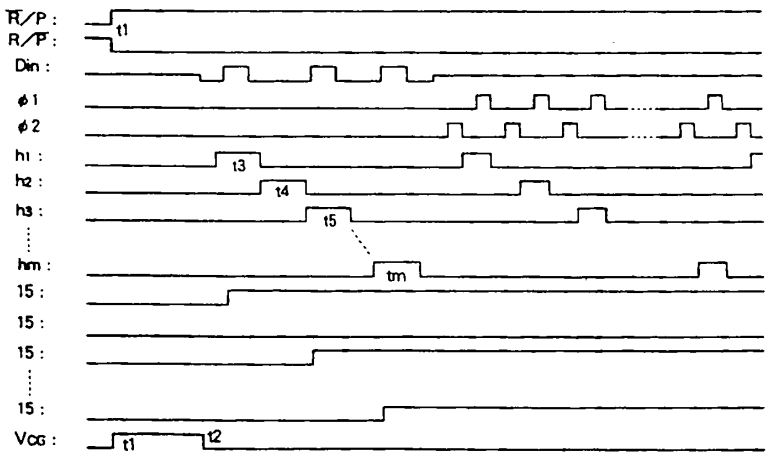
도면24


R/P :
R/P :
Din :
Vcg :
h1 :
h2 :
h3 :
hm :
15 :
15 :
15 :
15 :
t1
t2
t3
t4
t5
tm

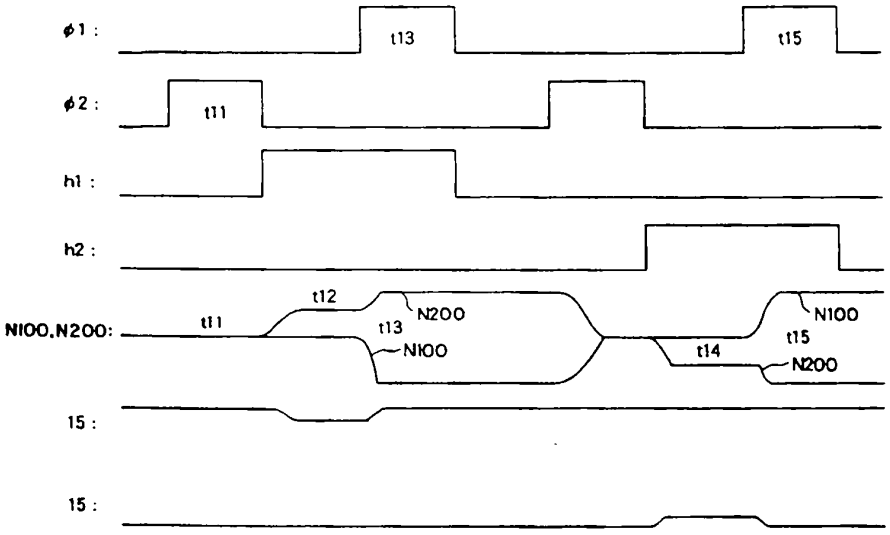
도면25


911
912
Vp
FF
901
N300
R1
N100
R2
N200
902
904
903
905
N400
907
LC
DIC
Din
Q1
Q2
Q3
CD1
RD
hm
Cm
C1
C2
15
MCA

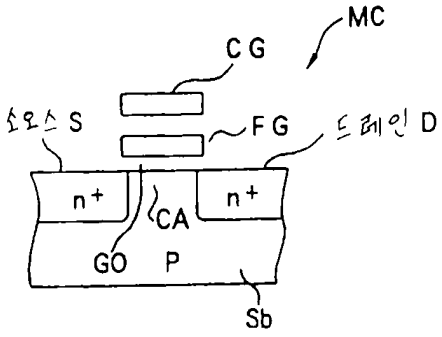
도면26



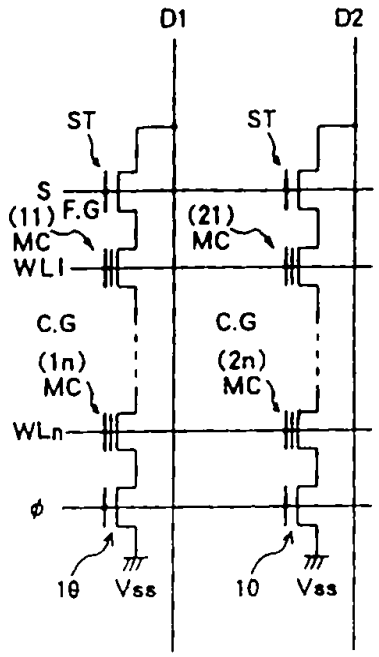
도면27



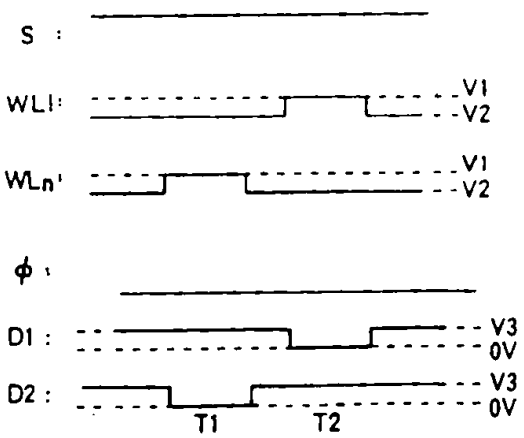
도면28



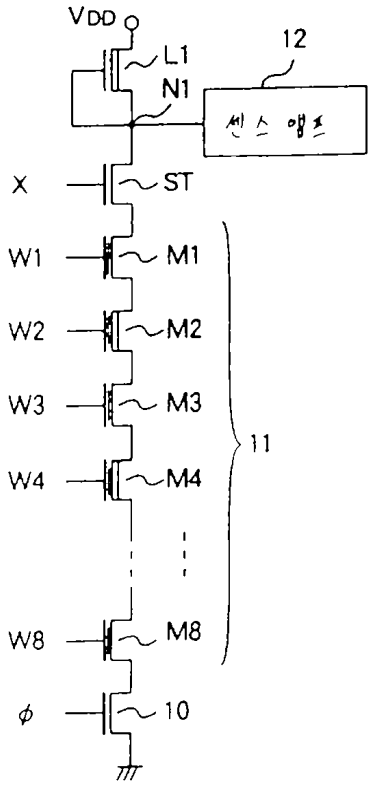
도면29a


D1
D2
ST
ST
S
(11) F.G
MC
(21)
MC
WL1
C.G
(1n)
MC
C.G
(2n)
MC
WLn
φ
1θ
Vss
10
Vss

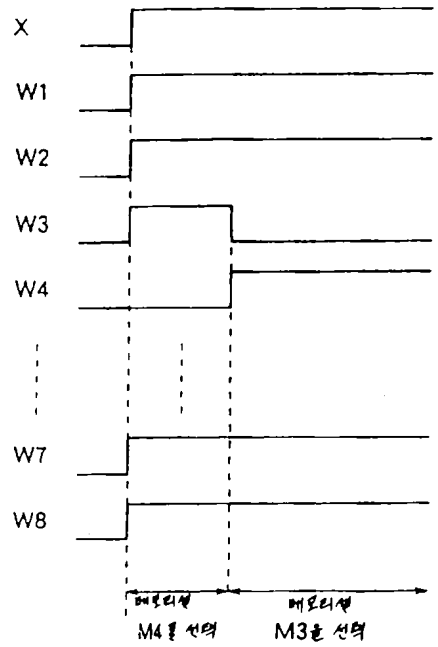
도면29b


S :
WL1 :
V1
V2
WLn :
V1
V2
φ :
D1 :
V3
0V
D2 :
V3
0V
T1
T2

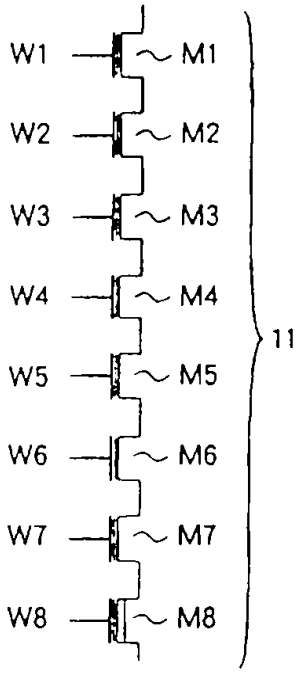
도면30


VDD
L1
N1
12
센스 앰프
X
ST
W1
M1
W2
M2
W3
M3
W4
M4
11
W8
M8
φ
10

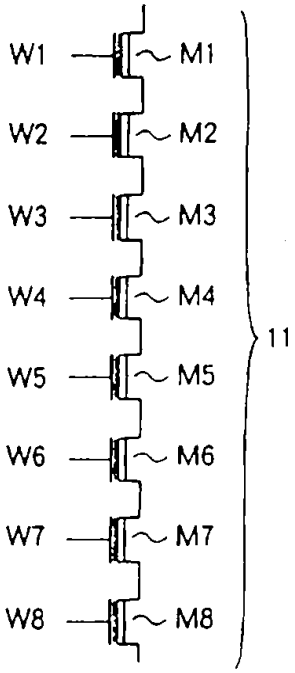
도면31


X
W1
W2
W3
W4
W7
W8
메모리셀
M4를 선택
메모리셀
M3를 선택

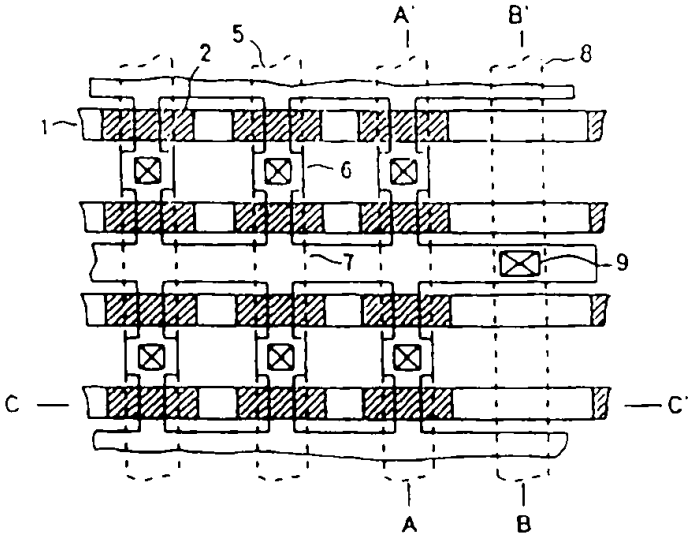
도면32a


W1
M1
W2
M2
W3
M3
W4
M4
W5
M5
W6
M6
W7
M7
W8
M8
11

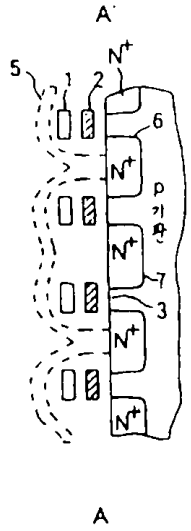
도면32b


W1
M1
W2
M2
W3
M3
W4
M4
W5
M5
W6
M6
W7
M7
W8
M8
11

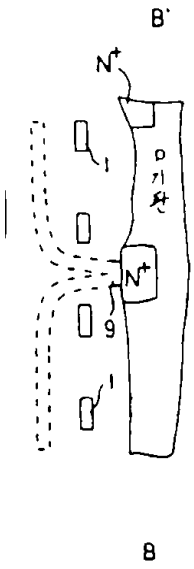
도면33a



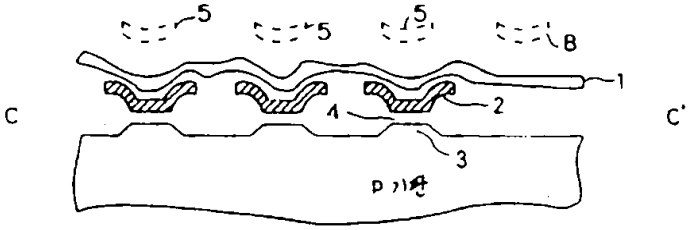
도면33b



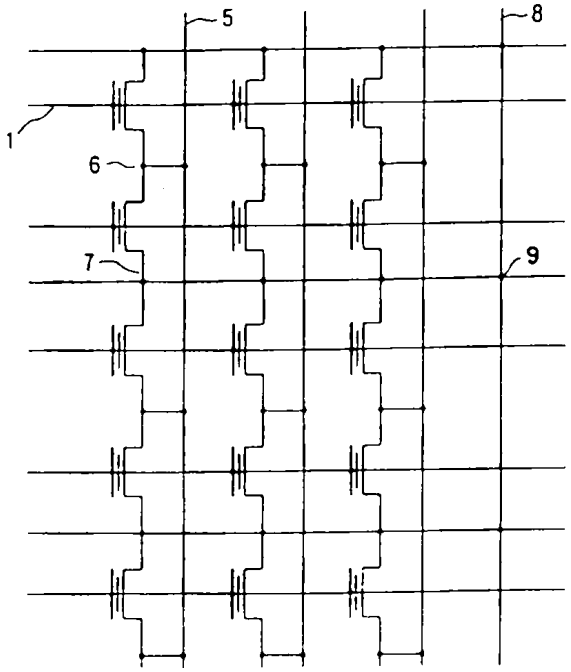
도면33c



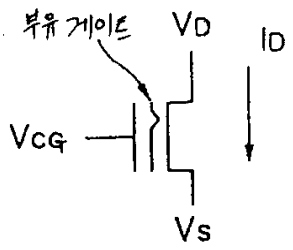
도면33d



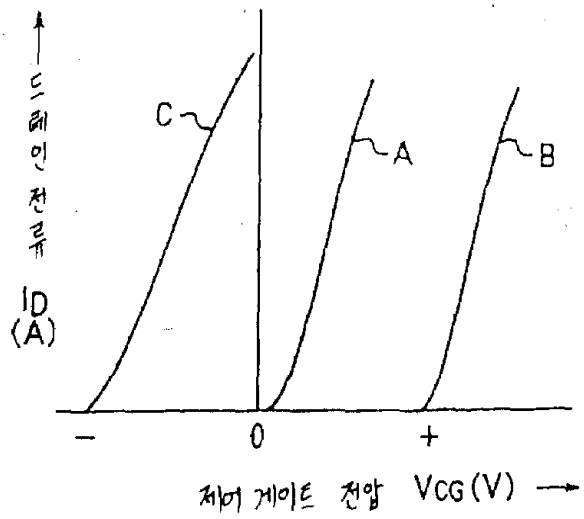
도면34



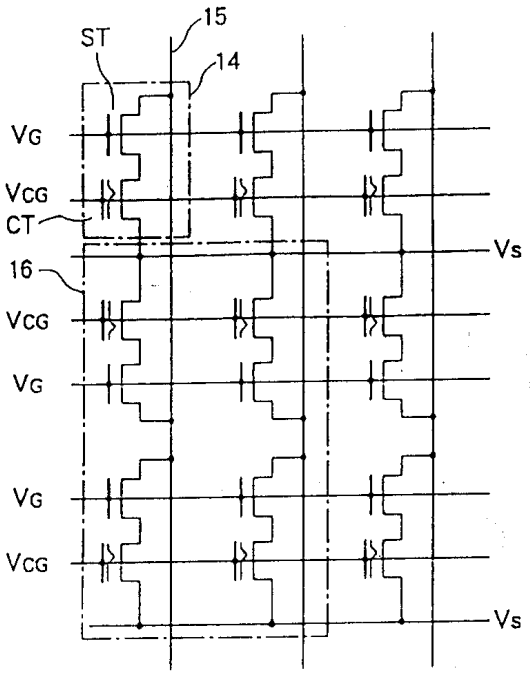
도면35



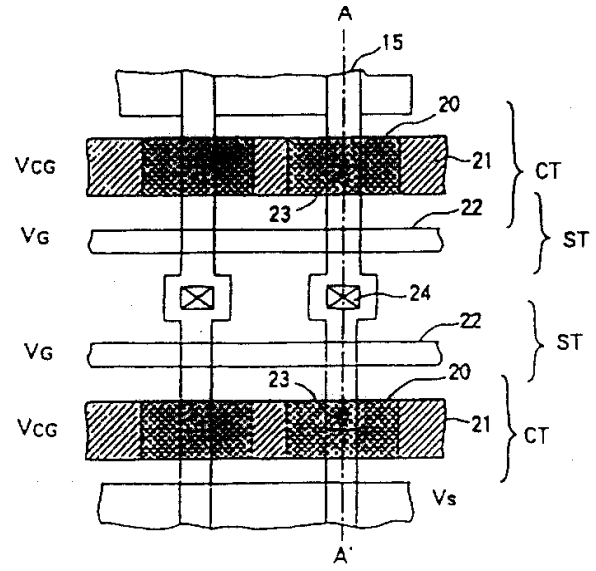
도면36



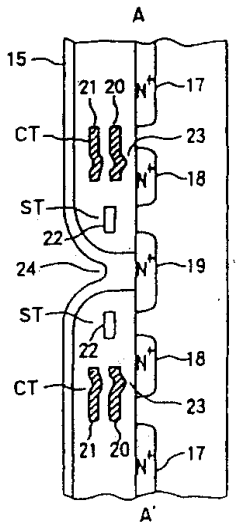
도면37



도면38a


A
15
20
VCG
21
CT
23
22
VG
ST
24
22
VG
ST
23
20
VCG
21
CT
Vs
A'

도면38b


A
15
21 20
N+
17
CT
23
N+
18
ST
22
24
N+
19
ST
22
N+
18
CT
23
21 20
N+
17
A'

도면39

