



(12) 发明专利

(10) 授权公告号 CN 101366112 B

(45) 授权公告日 2011.05.04

(21) 申请号 200680052597.8

H01L 21/762(2006.01)

(22) 申请日 2006.12.07

审查员 王文杰

(30) 优先权数据

11/298,075 2005.12.09 US

(85) PCT申请进入国家阶段日

2008.08.11

(86) PCT申请的申请数据

PCT/US2006/046579 2006.12.07

(87) PCT申请的公布数据

W02007/070311 EN 2007.06.21

(73) 专利权人 先进模拟科技公司

地址 美国加利福尼亚州

(72) 发明人 理查德·K·威廉斯

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 陶凤波

(51) Int. Cl.

H01L 21/76(2006.01)

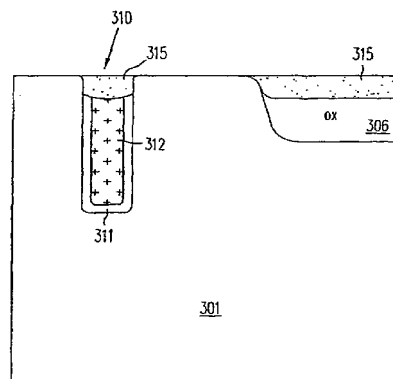
权利要求书 3 页 说明书 7 页 附图 19 页

(54) 发明名称

用于半导体集成电路基板的隔离结构及其形成方法

(57) 摘要

用于半导体基板的隔离区包括介质填充槽和场氧化物区。与槽和场氧化物区的主要部分中的介质材料不同的介质材料的保护盖可用于防止该结构在后续工艺步骤中被侵蚀。隔离结构的顶面与基板的表面共平面。场掺杂区域可形成于场氧化物区下方。为了满足不同装置的要求,隔离结构可具有变化的宽度和深度。



1. 一种在半导体基板内形成隔离结构的方法,包括:
形成槽于所述半导体基板内;
沉积第一介质材料于所述槽内;
除去所述第一介质材料的一部分,使得所述第一介质材料的表面位于第一水平,所述第一水平低于所述基板的表面的第二水平,由此形成凹陷;
沉积第二介质材料于所述凹陷内;
除去所述第二介质材料的一部分,使得所述第二介质材料的表面与所述基板的表面共平面,由此形成保护盖于所述槽内;
热形成场氧化物区于所述半导体基板的表面,所述场氧化物区延伸高于和低于所述基板的表面;以及
除去所述场氧化物区的一部分,使得所述场氧化物区的表面与所述基板的表面共平面。
2. 如权利要求1所述的方法,其中所述第二介质材料包括选自由氮化硅和聚酰亚胺组成的群组的一种或多种材料。
3. 如权利要求1所述的方法,其中所述第一介质材料包括选自由掺杂和不掺杂的硅氧化物以及硅酸盐玻璃组成的群组的一种或多种材料。
4. 如权利要求3所述的方法,其中所述第一介质材料包括硼磷硅酸盐玻璃。
5. 如权利要求1所述的方法,其中除去所述第二介质材料的一部分包括化学机械抛光。
6. 如权利要求1所述的方法,其中除去所述第二介质材料的一部分包括蚀刻。
7. 如权利要求1所述的方法,包括:在除去所述第一介质材料的一部分之后以及在沉积第二介质材料之前,形成氧化物层于所述槽的壁上。
8. 如权利要求1所述的方法,包括:在沉积第一介质材料于所述槽内之前,形成氧化物层于所述槽的壁上。
9. 如权利要求8所述的方法,其中所述第一介质材料是掺杂的。
10. 如权利要求1所述的方法,其中从所述槽的底部到所述保护盖的底部的距离大于所述保护盖的厚度。
11. 如权利要求1所述的方法,其中除去所述场氧化物区的一部分包括化学机械抛光。
12. 如权利要求11所述的方法,其中除去所述第二介质材料的一部分和除去所述场氧化物区的一部分是在单个化学机械工艺的过程中进行。
13. 如权利要求1所述的方法,包括:
除去所述场氧化物区的一部分,使得所述场氧化物区的表面位于低于所述第二水平的第三水平,由此形成第二凹陷于所述场氧化物区的剩余部分上方;
沉积所述第二介质材料于所述第二凹陷内;以及
除去所述第二介质材料的一部分,使得所述第二凹陷内的所述第二介质材料的表面与所述基板的表面共平面,由此形成第二保护盖于所述场氧化物区的剩余部分上方。
14. 一种在半导体基板内形成隔离结构的方法,包括:
沉积第一掩模层于所述基板上;
沉积第二掩模层于所述第一掩模层上;

- 图案化所述第二掩模层以形成第一开口于所述第二掩模层内；
- 通过所述第一开口蚀刻所述第一掩模层以形成第二开口于所述第一掩模层内；
- 通过所述第二开口注入第一导电类型的第一掺杂剂，以形成所述第一导电类型的第一区于所述第二开口下方；
- 除去所述第二掩模层；
- 加热所述基板从而形成第一场氧化物区于所述第一掩模层的第二开口内；
- 形成槽于所述基板内；
- 沉积第一介质材料于所述槽内；
- 除去所述第一介质材料的一部分，使得所述第一介质材料的表面位于第一水平，所述第一水平低于所述基板的表面的第二水平，由此形成第一凹陷于所述第一介质材料的剩余部分上方；
- 除去所述第一场氧化物区的一部分，使得所述第一场氧化物区的表面位于第三水平，所述第三水平低于所述第二水平，由此形成第二凹陷于所述第一场氧化物区的剩余部分上方；
- 沉积第二介质材料于所述第一和第二凹陷内；以及
- 除去所述第二介质材料的部分，使得所述第一和第二凹陷内所述第二介质材料的表面与所述基板的表面共平面。
15. 如权利要求 14 所述的方法，其中所述第二介质材料包括选自由氮化硅和聚酰亚胺组成的群组的一种或多种材料。
16. 如权利要求 15 所述的方法，其中所述第一介质材料包括选自由掺杂和不掺杂的硅氧化物以及硅酸盐玻璃组成的群组的一种或多种材料。
17. 如权利要求 16 所述的方法，其中所述第一介质材料包括硼磷硅酸盐玻璃。
18. 一种半导体基板，包括：
- 第一隔离结构，包括形成于所述半导体基板内的槽，所述槽填充有第一介质材料，所述第一介质材料的表面与所述基板的表面共平面；以及
- 第二隔离结构，包括场氧化物区，所述场氧化物区的表面与所述基板的表面共平面，其中所述槽深于所述场氧化物区且所述场氧化物区宽于所述槽。
19. 一种半导体基板，包括：
- 第一隔离结构，包括槽，所述槽包括第一介质材料的第一层和第二介质材料的第二层，所述第二层置于所述槽内的所述第一层上方，所述第二层的表面与所述基板的表面共平面，其中与所述第一介质材料相比，所述第二介质材料包括选自由氮化硅和聚酰亚胺组成的群组的一种或多种材料；以及
- 第二隔离结构，包括场氧化物区和位于所述场氧化物区上的第二介质材料的第三层，所述场氧化物区的表面相对于所述基板的表面凹陷，所述第三层的表面与所述基板的表面共平面，其中与所述场氧化物区相比，所述第二介质材料对于通过正常半导体蚀刻工艺的除去具有较强抗性。
20. 一种形成于半导体基板内的槽内的隔离结构，所述隔离结构包括第一介质材料和第二介质材料的混合物，所述混合物中第二介质材料的比例随着在所述槽内的深度减小而增大，其中与所述第一介质材料相比，所述第二介质材料包括选自由氮化硅和聚酰亚胺组

成的群组的一种或多种材料。

用于半导体集成电路基板的隔离结构及其形成方法

技术领域

[0001] 本发明涉及半导体芯片制作,且具体地涉及制作结构以电学隔离形成于半导体芯片上的有源或无源装置的方法。

背景技术

[0002] 在半导体集成电路(IC)芯片的制作中,通常需要电学隔离形成于芯片表面上的装置。各种方法可以实现这一点。一种方法是使用公知的 LOCOS(硅局部氧化)工艺,其中使用较硬材料例如氮化硅在芯片表面上形成掩模并在掩模的开口内热生长厚的氧化物层。另一种方法是在硅内蚀刻形成槽且随后使用例如氧化硅的介质材料填充该槽。

[0003] 期望在工艺早期形成这些隔离结构,因为隔离结构也可以用作掺杂剂横向扩散的阻挡层或停止层,由此实现在芯片表面上更致密堆积的装置总体。简言之,介质填充槽可以用作扩散停止层以及电学隔离结构。

[0004] 在工艺早期形成介质填充槽的问题在于,通常包括蚀刻和清洗的后续工艺步骤会蚀刻或侵蚀槽内的介质材料。这会削弱槽作为隔离结构的价值并会在芯片的顶面内形成凹坑,使得进一步工艺更加困难。

[0005] 该问题示于图 1A-1C。在图 1A,槽 101 已经蚀刻形成于半导体基板 100 内。在图 1B,槽 101 已经填充有介质材料 102 且顶面已经平坦化(例如通过化学机械抛光)以形成隔离结构。图 1C 示出进一步工艺之后的隔离结构,部分介质材料 102 被除去或侵蚀从而形成凹陷或间隙 103 于结构顶面。在正常半导体工艺中耐蚀刻的介质材料(例如氮化硅)趋于为硬、脆及高应力材料。这些材料沉积于槽内时趋于破裂。

[0006] 第二个问题源于芯片通常划分为两个常规区域:宽广的“场”区(fieldarea)和更致密堆积的装置区域,有时称之为“有源”区。优选地在有源区内形成较窄的深槽以维持紧密堆积密度以及在场区内形成较宽槽以隔开更大距离的装置。在填充槽时产生问题。窄槽可被填充而宽槽难以填充。备选地,使用许多窄槽来覆盖场区内的大距离会使芯片拓扑变得复杂。

[0007] 相应地,期望发展一种形成介质填充隔离结构的柔性的适应性技术,其避免在后续工艺中介质填充材料的侵蚀。还期望实现在芯片的场区和有源区内分别形成较宽和较窄结构。

发明内容

[0008] 根据本发明,通过使用“介质填充物”来填充半导体基板内的槽而形成隔离结构。该介质填充物包括第一介质材料和第二介质材料。该第一介质材料位于槽的下部;该第二介质材料位于槽的上部,该下部在垂直尺度通常大于该上部。第二介质材料的表面与基板的表面基本上共平面。该第一和第二介质材料在这一点上不同,即,第二介质材料不被蚀刻第一介质材料的化学药品所蚀刻。因此在后续工艺中,第二介质材料在第一介质材料上方形成保护盖。通常,第一介质材料为较软的低应力材料,且第二介质材料为较硬的抗蚀刻材

料。通过将第二介质层厚度值限制为使得在后续蚀刻工艺中提供保护但不产生应力问题，可以避免破裂问题。

[0009] 备选地，不形成离散盖，可以使用“分级”介质填充该槽，其中该介质填充物内第二介质材料的比例随着向上靠近槽口而逐渐增大。

[0010] 槽的侧壁可衬有氧化物层，以防止来自介质填充物的掺杂剂迁移到半导体基板内。

[0011] 在一组实施例中，第一介质材料为氧化硅和硅酸盐玻璃，为掺杂的或不掺杂的。第二介质可以是氮化硅、聚酰亚胺、或者包含少量或不包含氧化硅的任何介质材料。

[0012] 该基板也可包括通常由硅局部氧化 (LOCOS) 工艺形成的场氧化物区的下部。场氧化物区的表面也与基板的表面基本上共平面。备选地，保护盖可形成于场氧化物上方。

[0013] 在另一组实施例中，基板包含两个隔离结构，第一隔离结构形成于较浅的宽槽内，第二隔离结构形成于较窄的深槽内。两个槽均填充有介质填充物，且介质填充物的表面与基板的表面基本上共平面。备选地，上述类型的保护盖可形成于每个槽的口部。

[0014] 在又一组实施例中，一个或多个场氧化物区形成于与一个或多个槽隔离结构相同的基板内。预定导电类型和掺杂浓度的场掺杂区可形成于该场氧化物区下方。可选地，保护介质盖可形成，其中槽和场氧化物区与基板表面的平面交接。整个结构的表面基本上共平面。可以使用化学回蚀刻、等离子体增强或者反应离子蚀刻 (RIE)、化学机械抛光 (CMP) 或其特定组合来平坦化该表面。

[0015] 本发明还包括制作隔离结构的方法。一种方法包括：形成槽于该半导体基板内；沉积第一介质材料于该槽内；除去该第一介质材料的一部分，使得该第一介质材料的表面位于第一水平，该第一水平低于基板的顶面的第二水平，由此形成凹陷；沉积第二介质材料于该凹陷内；以及除去该第二介质材料的一部分，使得该第二介质材料的表面与基板的表面基本上共平面，由此形成保护盖于该槽内。

[0016] 另一方法包括热形成场氧化物区于该半导体基板的表面；形成槽于基板内；沉积第一介质材料于该槽内；除去该第一介质材料的一部分，使得该第一介质材料的表面位于第一水平，该第一水平低于基板的顶面的第二水平，由此形成凹陷；沉积第二介质材料于该凹陷内；以及除去该场氧化物区和第二介质材料的部分，使得该场氧化物区的表面和该第二介质材料的表面与基板的表面基本上共平面，由此形成保护盖于该槽内。

[0017] 本发明的方法非常灵活，且可以用于在半导体基板内形成隔离区以满足不同区域和装置的变化需求。基板的形貌保持极为平坦，或者至少足够平坦而不干涉或复杂化在后续工艺中精细线宽和亚微米特征的形成或其互连。保护盖可用于防止介质材料在后续工艺中被侵蚀。

附图说明

[0018] 图 1A-1C 说明当用作隔离结构的槽内的介质在后续工艺中被侵蚀时发生的问题。

[0019] 图 2A-2F 说明隔离结构形成工艺，该隔离结构在介质填充槽的口部包括保护盖。

[0020] 图 3A-3D 说明图 2F 的隔离结构的改进版本的形成工艺，其中氧化物层形成于与保护盖相邻的槽的壁上。

[0021] 图 4 说明图 3D 所示的氧化物层在后续工艺中如何被侵蚀。

[0022] 图 5 为图 2A-2F 和 3A-3D 所示工艺的卡片形式的流程图。

[0023] 图 6A-6C 说明隔离结构形成工艺,该隔离结构包括宽广场氧化物区和较窄介质填充槽。

[0024] 图 7A-7H 说明隔离结构形成工艺,该隔离结构包括宽的浅槽和窄的深槽。

[0025] 图 8A-8J 说明隔离结构另一形成工艺,该隔离结构包括宽广场氧化物区和较窄介质填充槽,在每个结构的顶部形成有保护盖。

[0026] 图 9A-9E 说明隔离结构形成工艺,该隔离结构包括介质填充槽和一对场氧化物区,场掺杂区位于场氧化物区下方。

[0027] 具体实施方式

[0028] 图 2A-2F 说明槽隔离结构制作工艺,该槽隔离结构避免在槽的顶部形成图 1C 所示的间隙或凹陷。如图 2A 所示,氧化物或“硬掩模”层 121 形成于半导体基板 120 的顶面上,且光致抗蚀剂层 121 沉积于硬掩模层 121 顶部上。术语“硬掩模”在这里是指在半导体基板 120 内蚀刻形成槽时用作掩模的热生长或沉积的介质层。“硬掩模”区别于例如有机光致抗蚀剂层 122,该有机光致抗蚀剂层 122 机械上更软并因此在槽蚀刻工艺时受到侵蚀。通过常规光刻工艺在光致抗蚀剂层 122 内形成开口,且通过光致抗蚀剂层 122 内的开口在硬掩模层 121 内蚀刻形成开口 123。

[0029] 如图 2B 所示,基板 120 通过开口 123 被蚀刻以形成槽 124。通常优选地在蚀刻槽之前除去光致抗蚀剂层 122,因为光致抗蚀剂层 122 会干涉槽蚀刻工艺,在槽蚀刻工艺时改变形状,且可以将不需要的有机污染引入槽。反应离子蚀刻 (RIE) 可用于实现各向异性蚀刻,产生具有垂直壁的槽 124。较薄氧化物层 125 热生长于槽 124 的壁和底部上。如果期望,可以形成牺牲氧化物层以除去由 RIE 工艺导致的晶体缺陷,可以除去该牺牲氧化物层,且随后可以生长第二氧化物层。氧化物层 125 的厚度可以为 100 至 1000Å,通常约 300 至 400Å。如果槽 124 后来填充有掺杂介质材料,氧化物层 125 可防止掺杂剂进入槽 124 周围的半导体材料。

[0030] 如图 2C 所示,玻璃例如硼磷硅酸盐玻璃 (BPSG) 的较厚层 126 旋涂在基板 120 表面,完全填充槽 124。BPSG 可以掺杂以降低其粘度,或者可以不掺杂。备选地,BPSG 可以通过化学气相沉积 (CVD) 来沉积。如前所述,如果 BPSG 层 126 掺杂,氧化物层 125 作为阻挡层防止掺杂剂进入和掺杂基板 120。BPSG 层 126 足够厚 (例如 0.5 至 1.0 μm 厚) 使得其顶面较平坦,在槽 124 位置上方只有小凹痕。如果期望,可以采用高温回流来进一步平坦化 BPSG 层 126 的表面。

[0031] 如果 2D 所示,BPSG 层 126 和侧壁氧化物层 125 被回蚀刻,直到其顶面低于基板 120 表面,形成凹陷 130。在该回蚀刻之后,BPSG 层 126 表面比基板 120 表面低 0.1 至 0.5 μm (通常约 0.2 至 0.3 μm)。随后,如图 2E 所示,另一介质的层 131 被沉积,填充凹陷 130,并溢流基板 120 表面。层 131 随后通过 CMP 或回蚀刻被平坦化以形成保护盖 132,该保护盖 132 完全覆盖和保护氧化物层 125 及 BPSG 层 126。盖 132 的顶面优选地与基板 120 的表面共平面,尽管其跨过晶片具有 0.1 μm 的高度变化。图 2F 示出盖 132 已经形成之后的结构。

[0032] 层 131 和盖 132 应由不会被在工艺中随后进行的清洗和蚀刻步骤显著蚀刻的材料形成。在本实施例中,例如,层 131 可由氮化硅形成。一般而言,在后续工艺步骤中,形成层 131 的材料根本不会蚀刻,或者蚀刻显著慢于 BPSG 层 126 或氧化物层 125。本发明的保护

盖可以在工艺中任何时间形成,以保护槽填充材料免受如图 1C 所示类型的后续侵蚀。

[0033] 应注意,可以提供保护性屏蔽防止进一步蚀刻的一般材料,例如氮化硅,通常不会非常均匀地沉积且因此难以用于填充槽。再者,氮化硅在沉积得厚时趋于破裂。通过使用较软的脆性较小材料例如 BPSG 填充槽且随后使用较硬的脆性较大材料例如氮化硅的较薄保护盖来覆盖该材料,由此克服这些问题。

[0034] 表 1 示出对于多种蚀刻剂或除去方法,可以用于填充槽的材料的相对除去速率。

[0035] 表 1

[0036]

介质填充材料	蚀刻剂或除去方法				
	100:1 HF	10:1 HF	选择性等离子体氧化物蚀刻	选择性"氮化物"等离子体蚀刻	CMP
热 SiO ₂	30Å/min	175Å/min	Ox: 500Å/min Nit: <20Å/min	Nit: 1200Å/min Ox: 420Å/min	
旋涂玻璃(SOG)					
BPSG	1240Å/min	7362Å/min	8200Å/min		1800Å/min
聚酰亚胺	5Å/min	8Å/min			

[0037] 图 2A-2F 所示工艺存在许多变型。这些变型之一示于图 3A-3D。图 3A 类似于图 2D,并示出 BPSG 层 126 和氧化物层 125 已经被回蚀刻直至其表面低于基板 120 表面的结构。如图 3B 所示,薄氧化物层 140 热生长于基板 120 的表面上,且如图 3C 所示,氮化物层 131 随后沉积。在本实施例中,氧化物层 140 将氮化物层 131 与半导体基板 120 分隔。备选地,可以通过化学气相沉积(CVD)沉积氮氧化物层。当氮化物层 131 被平坦化或回蚀刻时,如图 3D 所示,保留在槽内的氮化物盖 132 不接触槽的侧壁。尽管该盖无法提供与图 2F 所示实施例一样有效的密封,不过在槽的壁上具有氧化物(或氮氧化物)层 140 则趋于降低分别由于氮化物和硅的不同热膨胀系数引起的应力。氧化物(或氮氧化物)层 140 因此提供应力弛豫。

[0038] 再者,即使氧化物层 140 被过蚀刻而留下小的间隙 150,如图 4 所示,但是间隙 150 远小于图 1C 所示的凹陷 103,且更容易用例如 BPSG 的随后的层来填充。然而,优选地不除去所有的氧化物层 140。

[0039] 图 5 为概括上述工艺的流程图,每个步骤用“卡片”表示(夹起的卡片表示可选步骤)。在第一工序中,通过沉积硬掩模层(例如,氧化物或氮化物),沉积光致抗蚀剂层,图案化光致抗蚀剂层以形成槽掩模,通过该槽掩模内的开口蚀刻该硬掩模层,可选地除去该光敏抗蚀剂层,以及通过该硬掩模层内的开口蚀刻槽,由此形成槽。

[0040] 在下一工序中,可选地可以在槽的壁上形成并除去牺牲氧化物层,生长衬垫氧化物层,使用介质(例如,BPSG)填充槽,以及可选地通过蚀刻或 CMP 来平坦化该介质。

[0041] 最后,介质填充被回蚀刻到槽内,可选地氮氧化物或氧化物层生长或沉积在槽的壁上,且氮化物层被沉积和回蚀刻直至其与基板顶面大致上共平面。

[0042] 上面的例子描述了基板表面基本上是平面的结构。非平面结构 200 示于图 6A。基

板 205 具有顶面 202。槽 201 已经蚀刻形成于基板 205 内,且场氧化物区 203 已经热生长于基板内,使得场氧化物区向上延伸超过表面 202 以及向下延伸进入基板。多晶硅层 204 已经沉积于场氧化物区 203 顶部上。显而易见,槽 201 底部和多晶硅层 204 顶部之间存在很大高度差。如果用介质填充槽 201,则可以使用回蚀刻将介质的表面与表面 202 平坦化。否则,如果 CMP 用于平坦化该介质,显然多晶硅层 204 以及部分场氧化物区 203 将被除去。

[0043] 该问题的一种解决方案是省略多晶硅 204(或者延迟多晶硅 204 的形成直至工艺流程后端)并生长场氧化物区 203,该场氧化物区 203 足够厚使得低于表面 202 的部分足以提供必要的电学特性。图 6B 示出衬有氧化物层 206 并填充有 BPSG 207 的槽 201,氧化物层 206 和 BPSG 207 均被回蚀刻到槽内。整个结构覆盖有氮化物层 208,氮化物层 208 也填充槽的上部。在图 6C,已通过 CMP 平坦化顶面,留下场氧化物区 203 的底部 209 以及 BPSG 207 和氧化物层 206 上的保护氮化物盖 210。顶面完全平坦。由于非平面顶面使进一步工艺大为复杂,图 6C 所示的平坦结构与图 6A 所示的结构相比是优选的。再者,由于场氧化物区 203 通过热方法生长,剩余区域 209 可以非常宽,而槽可以非常窄。概言之,图 6C 所示的结构包括“加盖的”槽和“不加盖的”场氧化物区 209,该“加盖的”槽由于盖 210 而抗蚀刻。

[0044] 作为备选,图 7A-7H 示出一工艺,通过该工艺可以使用最少数目的步骤来形成宽隔离槽和窄隔离槽。

[0045] 在图 7A,硬掩模层 252 沉积在基板 251 上,且光致抗蚀剂层 253 沉积在硬掩模层 252 顶部上。光致抗蚀剂层 253 被蚀刻以形成宽开口,硬掩模层 252 通过光致抗蚀剂层 253 内的宽开口被蚀刻以形成露出基板 251 表面的宽开口 254。

[0046] 如图 7B 所示,基板 251 通过 RIE 蚀刻以形成宽槽 260。光致抗蚀剂层 253 被除去,且新的光致抗蚀剂层 257 被沉积。如果槽 260 不太深,光致抗蚀剂层 257 将覆盖槽 260 底部和基板 251 顶面之间的台阶 255。较窄的开口蚀刻形成于光致抗蚀剂层 257 内,且硬掩模层 252 通过光致抗蚀剂层 257 内的开口被蚀刻以形成露出基板 251 表面的窄开口 256。备选地,层 257 可以表示通过光致抗蚀剂层(未示出)图案化和蚀刻的沉积硬掩模介质层。

[0047] 如图 7C 所示,基板 251 通过 RIE 蚀刻以形成窄槽 261。光致抗蚀剂(或硬掩模)层 257 和硬掩模层 252 随后被除去,或者被图案化和蚀刻。

[0048] 可选地,牺牲氧化物层(未示出)可以生长在槽 260 和 261 内并被除去以修复由于 RIE 工艺引起的任何晶体损伤。如图 7D 所示,薄氧化物层 262 被生长作为防止掺杂剂扩散到基板 251 内的阻挡层,且 BPSG 的层 263 沉积在该结构的整个表面上。备选地,层 263 可包括任何掺杂或不掺杂的 CVD 沉积或旋涂硅氧化物或硅酸盐玻璃或者任何其他介质“填充”材料,只要该介质填充材料呈现足够低的应力从而在后续工艺步骤时,在组装时以及在装置工作时遇到的温度变动时避免破裂。

[0049] 当然,工艺工序可以修改,使得较窄槽在较宽槽之前形成。

[0050] 接着,如图 7E 所示,该结构的整个顶面通过 CMP 来平坦化,或者通过短的化学回蚀刻和随后 CMP 来平坦化。

[0051] 可选地,氧化物层 262 和 BPSG 层 263 被回蚀刻(例如,通过酸或者干法蚀刻)到槽 260 和 261 内以形成凹坑 270 和 271,如图 7F 所示。与二氧化硅、硅酸盐玻璃或 BPSG 不同的介质(例如,氮化物或者聚酰亚胺)沉积于该结构的顶面上,如图 7G 所示,且该顶面再次被平坦化以形成保护盖 280 于槽 260 和 261 的口部,如图 7H 所示。与介质填充材料 263

不同,用于形成盖 280 的材料可包括脆或高应力的材料,倘若该材料不被 IC 制造的后续晶片处理中碰到的正常蚀刻所侵蚀以及倘若盖 280 制成足够薄以避免破裂。

[0052] 图 8A-8J 说明用于形成加盖隔离槽和加盖场氧化物区的工艺。如图 8A 所示,垫氧化物层 302 生长在硅基板 301 上,且如在典型的硅局部氧化 (LOCOS) 工艺中,氮化物层 303 沉积在垫氧化物层 302 上。垫氧化物层可以是例如 300 至 1000 Å 厚。氮化物层 303 通过掩模层 (未示出) 被蚀刻以形成露出垫氧化物层 302 的宽开口 304。如图 8B 所示,该结构被加热 (例如,至 900-1100°C, 1 至 4 小时) 以在开口 304 内形成厚的场氧化物区 305。如在 LOCOS 工艺中的常规,氮化物层 303 通过在开口 304 边缘膨胀的氧化物而提升,形成熟悉的“鸟嘴”形状。接着,氮化物层 303 的剩余部分被蚀刻 (图 8C),且顶面通过 CMP 工艺平坦化,得到图 8D 所示的结果,在场氧化物区 305 的剩余部分 306 与垫氧化物层 302 之间具有平滑过渡。

[0053] 接着,如图 8E 所示,光致抗蚀剂层 308 沉积并图案化以形成窄开口 309。氧化物层 307 通过开口 309 被蚀刻,且如图 8F 所示,以氧化物层 307 为硬掩模,基板 301 通过 RIE 工艺被蚀刻形成窄槽 310。氧化物层 307 的剩余部分可以在短的清洗步骤中除去。

[0054] 如图 8G 所示,薄的氧化物层 311 生长在槽 310 的壁上,且 BPSG 或任何其他介质填充物的层 312 被沉积。基板 301 的顶面通过蚀刻或 CMP 被平坦化。

[0055] 如图 8H 所示,槽 310 内的氧化物层 311 和 BPSG 层 312 以及场氧化物区 305 的剩余部分被回蚀刻,直至这些部件的顶面低于基板 301 的顶面。不同介质的例如氮化物的层 315 沉积于该结构上 (图 8I),且该结构再次进行 CMP 工艺以平坦化顶面并在槽 310 和场氧化物区 306 上形成保护盖 316 (图 8J)。

[0056] 图 9A-9E 说明一结构的制作工艺,该结构具有位于场氧化物隔离区下方但是不位于槽隔离结构下方的场掺杂区域。

[0057] 在图 9A,垫氧化物层 351 生长在硅基板 350 上,且氮化物层 352 和光致抗蚀剂层 353 顺序沉积在垫氧化物层 351 的顶部上。光致抗蚀剂层 353 被图案化以形成两个开口 354A 和 354B,且氮化物层 352 通过开口 354A 和 354B 被蚀刻以露出垫氧化物层 351。磷 (P+) 通过开口 354A 和 354B 被注入以形成 N 型区 356A。磷注入的剂量通常在 5×10^{12} 至 $3 \times 10^{13} \text{cm}^{-2}$ 的范围,且注入能量通常为约 80 至 120keV。备选地,聚酰亚胺层可以替代氮化物层 352 且可用于形成用于蚀刻槽 374 的硬掩模。

[0058] 如图 9B 所示,光致抗蚀剂层 353 被除去,且新的光致抗蚀剂层 355 被沉积并图案化以形成开口,该开口包括光致抗蚀剂层 353 内的先前开口 354B 的位置。硼 (B+) 通过光致抗蚀剂层 355 内的开口被注入以形成 P 型区 356B。由于硼注入的剂量 (例如, 8×10^{13} 至 $2 \times 10^{14} \text{cm}^{-2}$) 通常约大于磷注入的剂量,硼在开口 354B 下方的区域反掺杂 (counterdope) 磷以形成 P 型区 356B。硼注入的能量通常为 60 至 120keV。

[0059] 接着,如图 9C 所示,该结构被加热以在开口 354A 和 354B 的位置内形成厚的场氧化物区 370A 和 370B。场氧化物区 370A 和 370B 厚度可以为 2000 Å 至 2 μm (通常约 0.8 μm)。该热工艺还激活磷和硼掺杂剂,并形成场氧化物区 370A 下方的 N 型场掺杂区 358A 和场氧化物区 370B 下方的 P 型场掺杂区 358B。

[0060] 除去氮化物层 352 的剩余部分 (图 9D),且可选地执行牺牲氧化。接着,如图 9E 所示,槽 374 被蚀刻和氧化以形成氧化物层 371,随后用诸如 BPSG 372 的材料按前述方式进行

介质填充。结构的顶面通过 CMP 或回蚀刻被平坦化,且氧化物层 371、BPSG 372、以及场氧化物区 370A 和 370B 的剩余部分按照上述方式被回蚀刻。氮化物层(或者与用于填充槽 374 的材料不同的另一介质)被沉积在顶面上,且该表面随后被平坦化以形成保护盖 373。

[0061] 该工艺得到没有场掺杂的较窄槽和具有场掺杂的宽场氧化物区,该较窄槽例如可以用于隔离低压装置,该宽场氧化物区例如可用于隔离高压 CMOS 装置。该工艺使得设计者能够在同一半导体基板内形成不同宽度和不同场掺杂的隔离区,其具有平坦顶面以简化任何进一步工艺。再者,如果期望,隔离区可形成有保护盖。

[0062] 在一些实施例中,使用分级介质填充替代离散槽盖来保护槽内的材料。在这些实施例中,槽至少部分填充有较软的低应力介质和较硬的抗蚀刻介质的混合物。该混合物中较硬的抗蚀刻介质的比例随着接近槽口而增大。例如,二氧化硅和氮化硅的混合物可以沉积在槽内,该混合物中氮化硅的比例随着靠近槽口而增大。

[0063] 已经描述了本发明的具体实施例,应理解这些实施例仅仅是示例性而非限制性。依据本发明的宽广原理的许多附加或者备选实施例对于本领域技术人员而言是显而易见的。

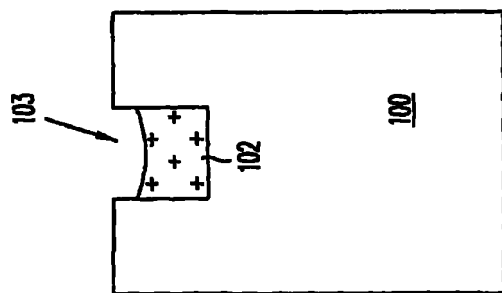


图 1C

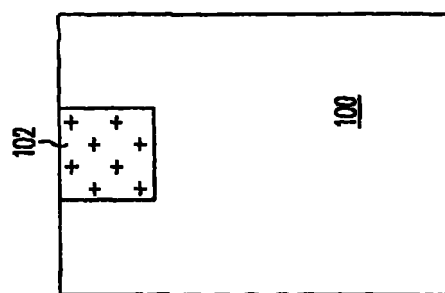


图 1B

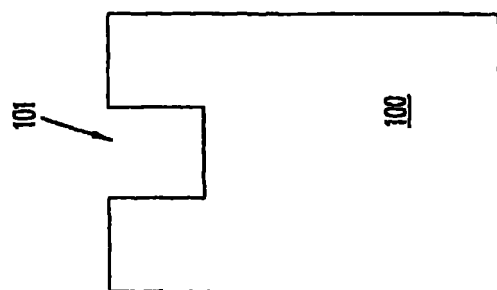


图 1A

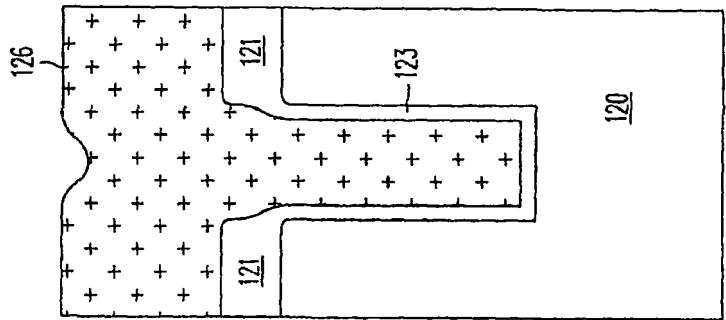


图 2C

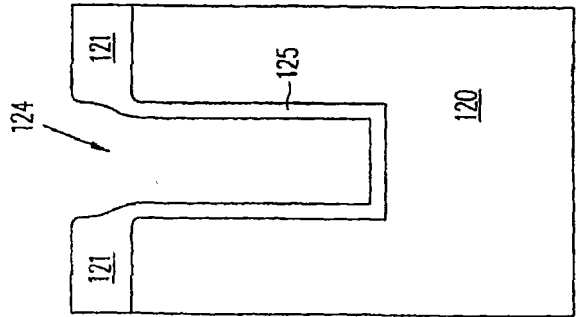


图 2B

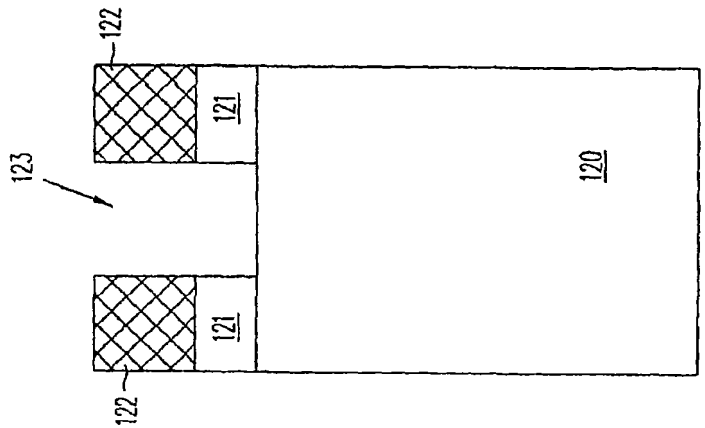


图 2A

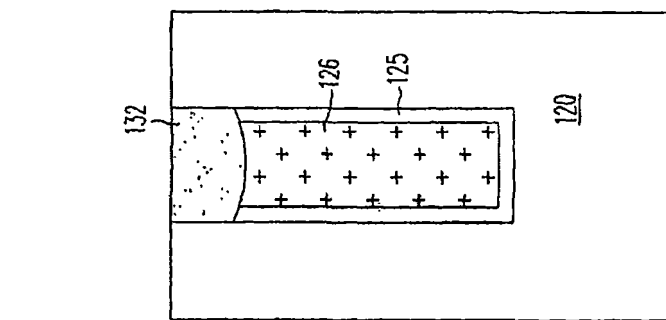


图 2D

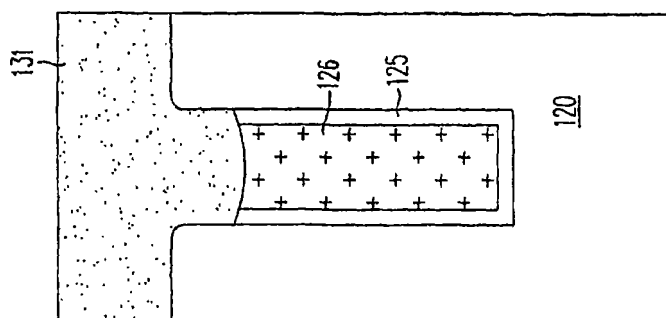


图 2E

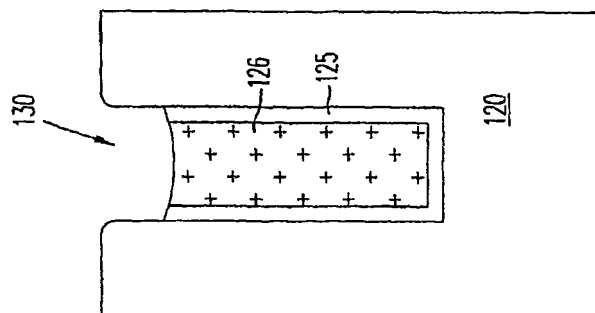


图 2F

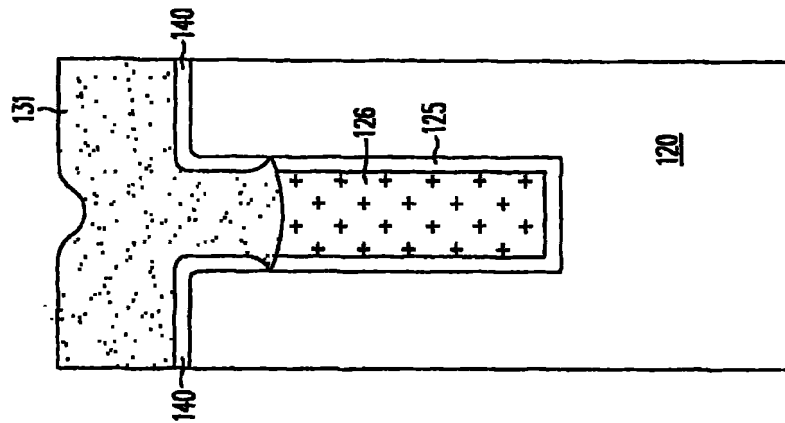


图 3C

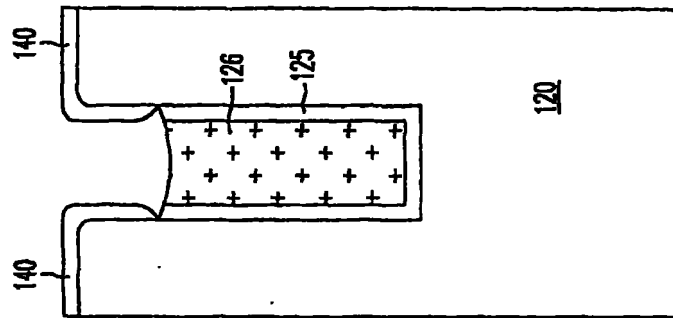


图 3B

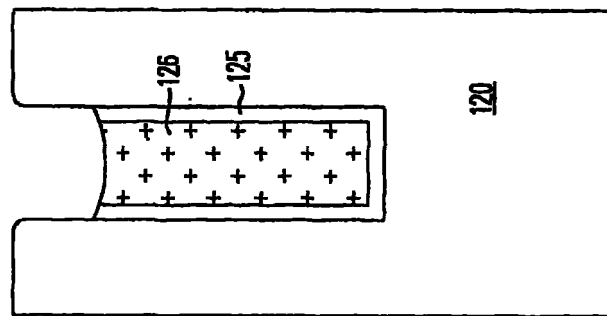


图 3A

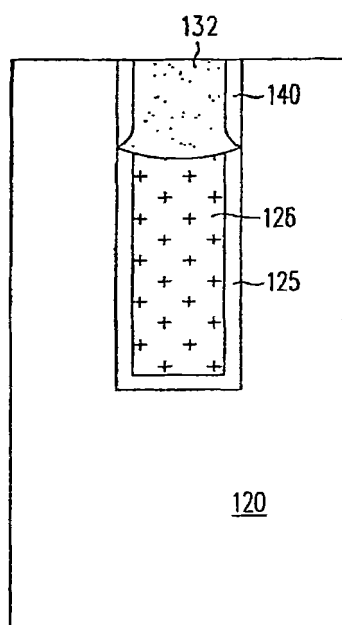


图 3D

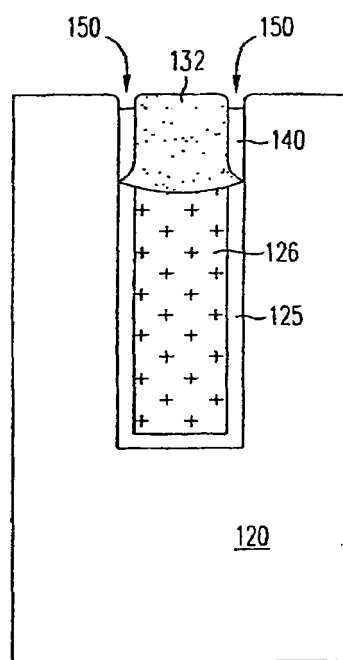


图 4

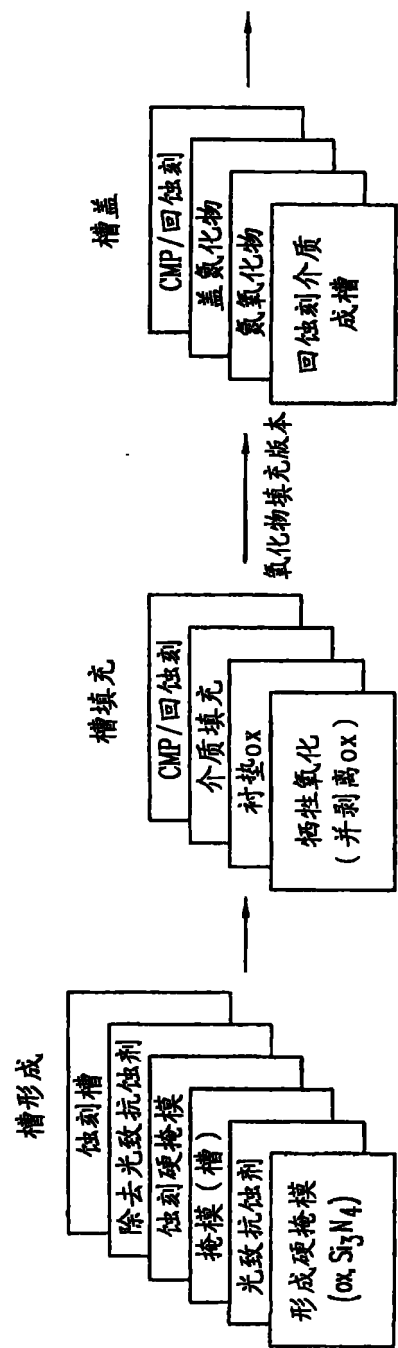


图 5

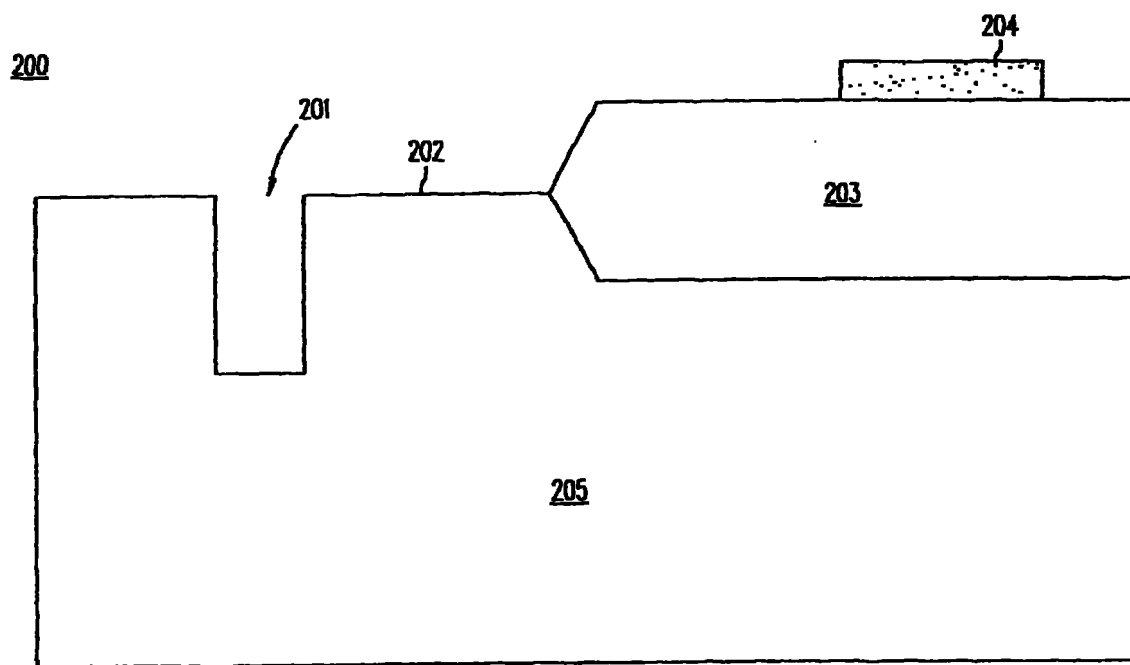


图 6A

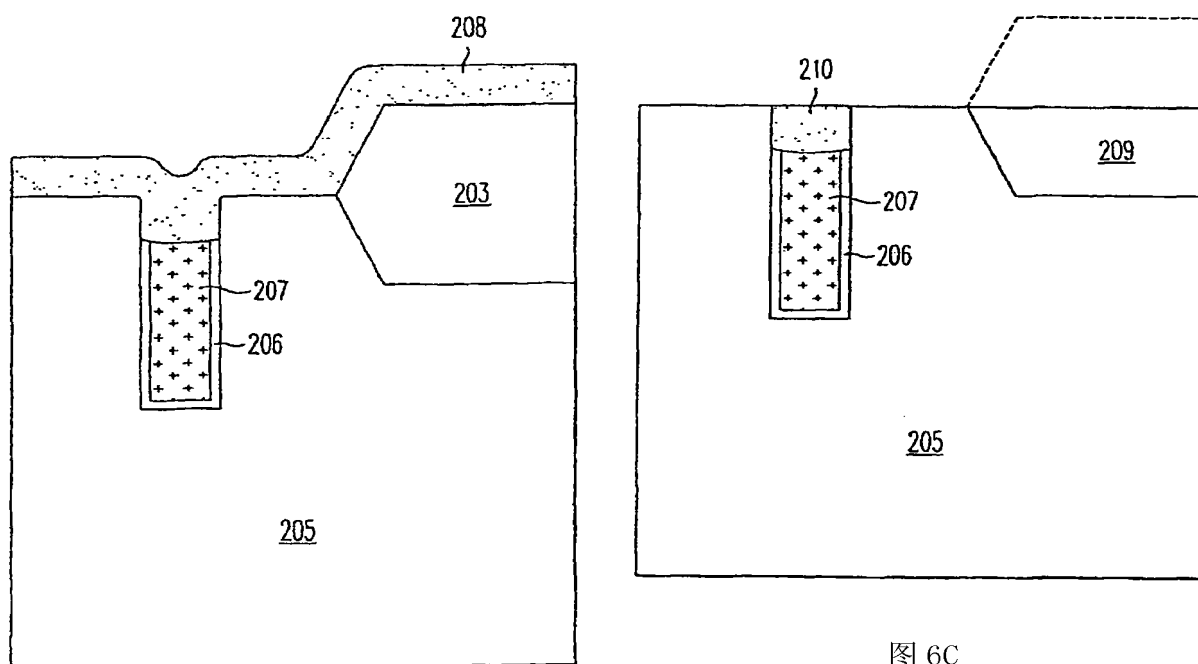


图 6C

图 6B

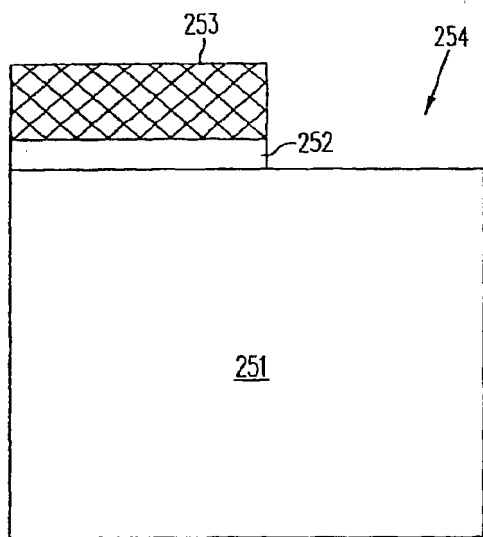


图 7A

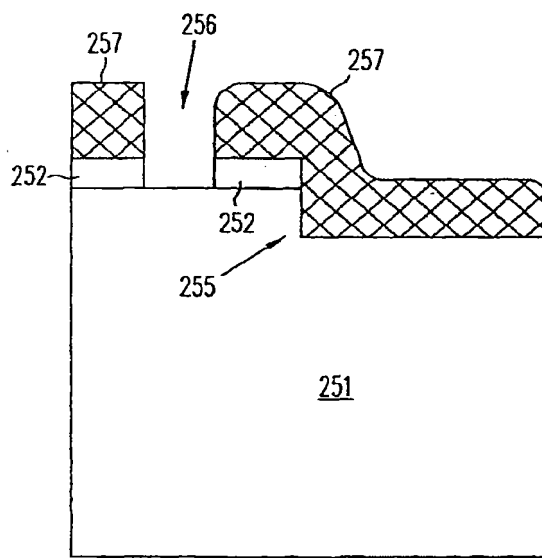


图 7B

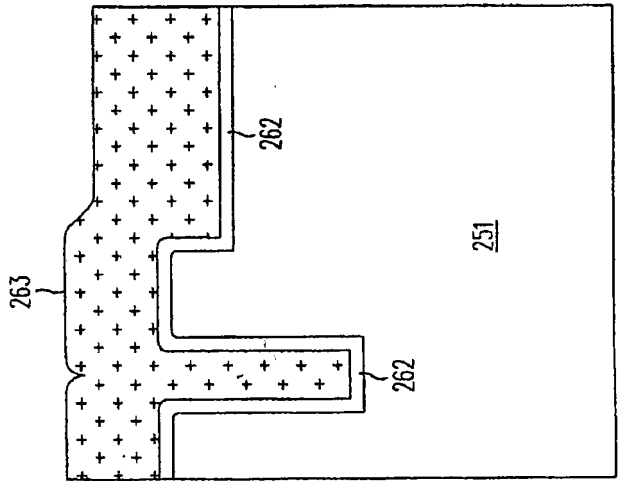


图 7D

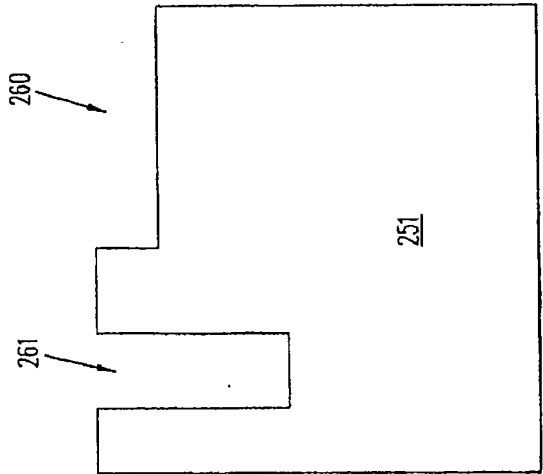


图 7C

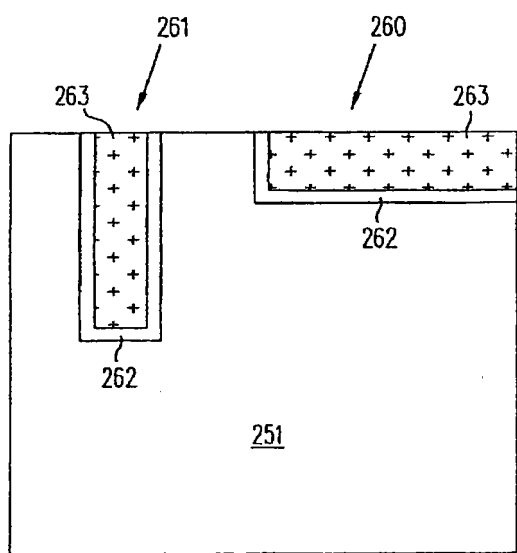


图 7E

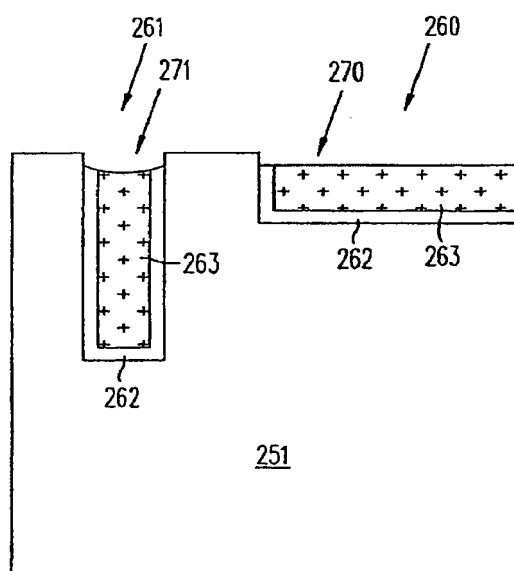


图 7F

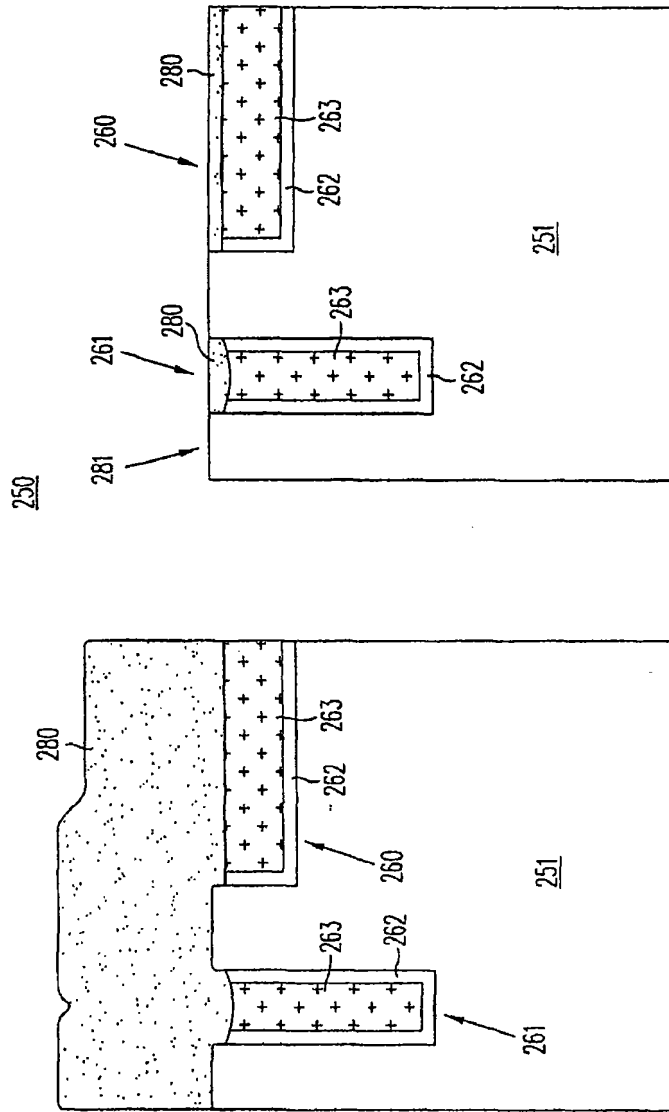


图 7G

图 7H

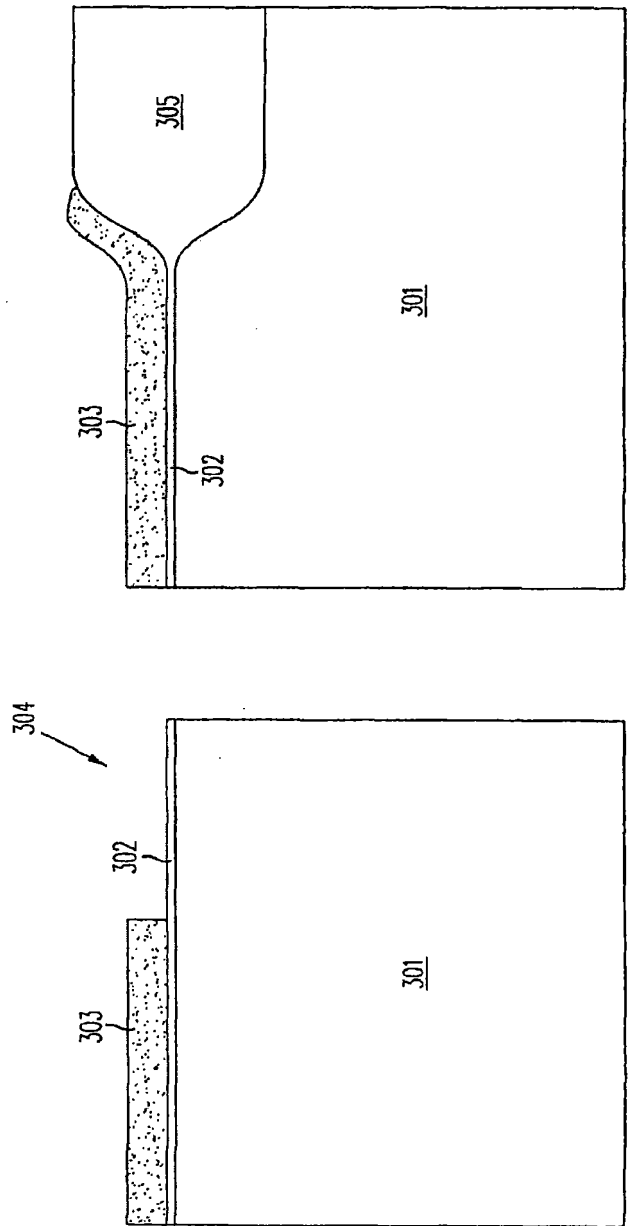


图 8B

图 8A

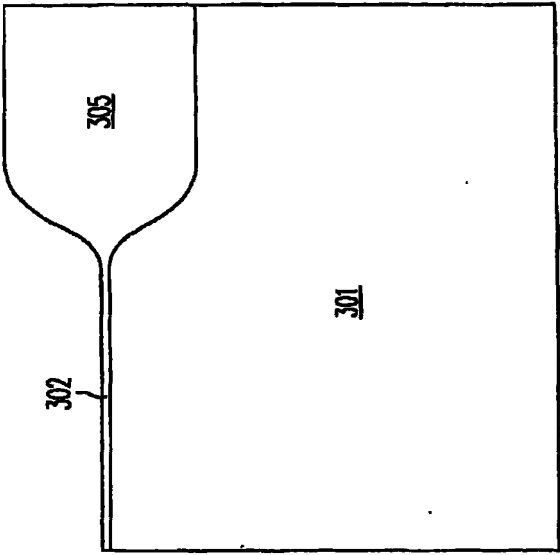


图 8C

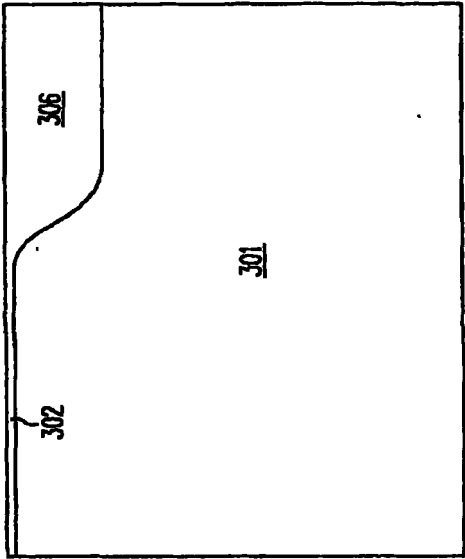


图 8D

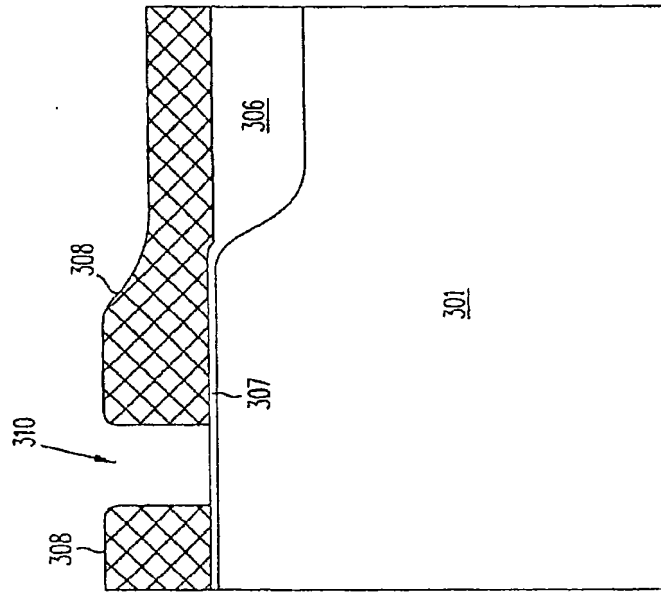


图 8E

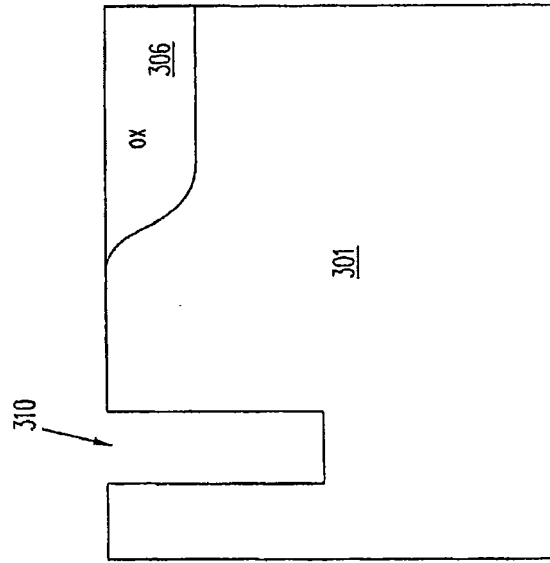


图 8F

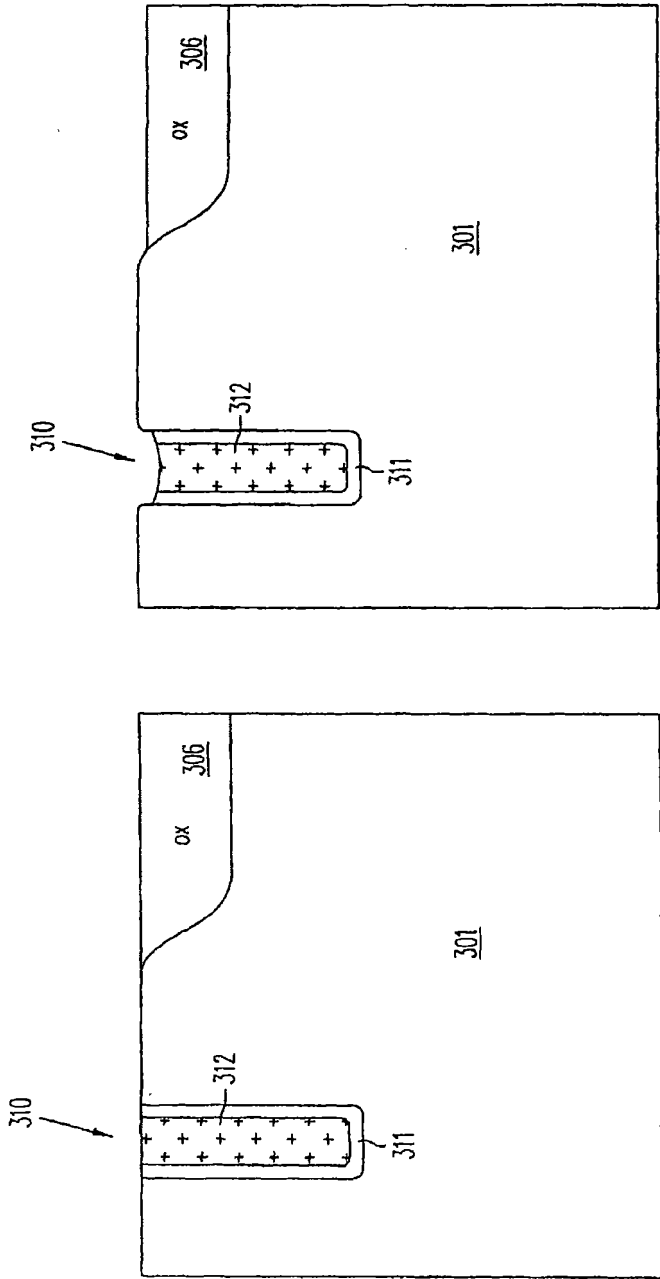


图 8H

图 8C

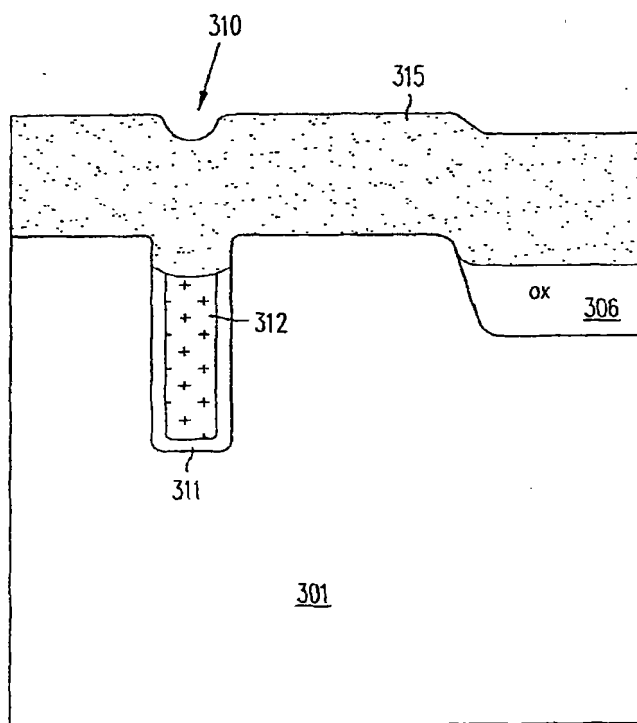


图 8I

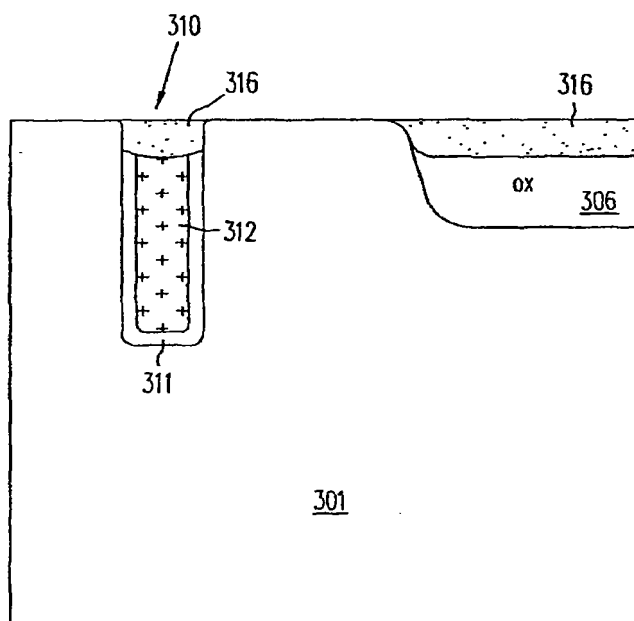


图 8J

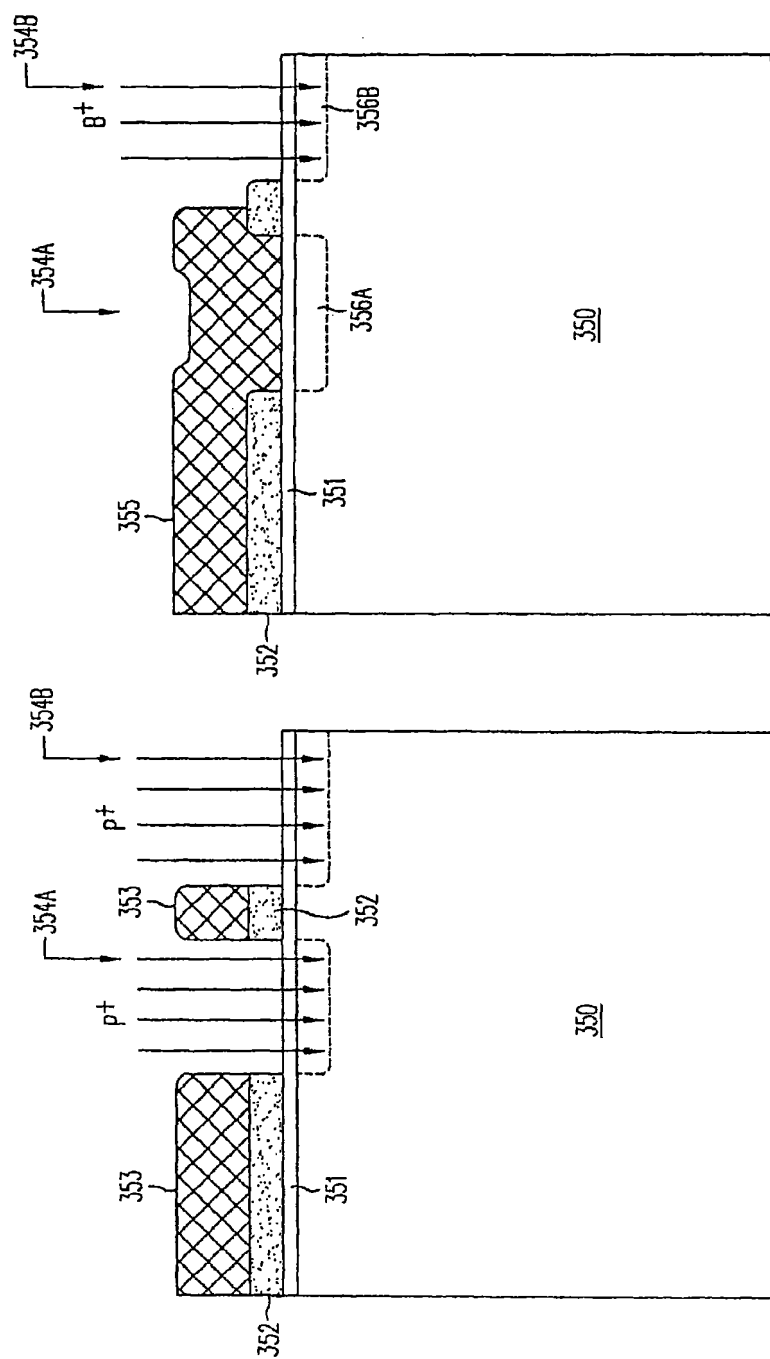
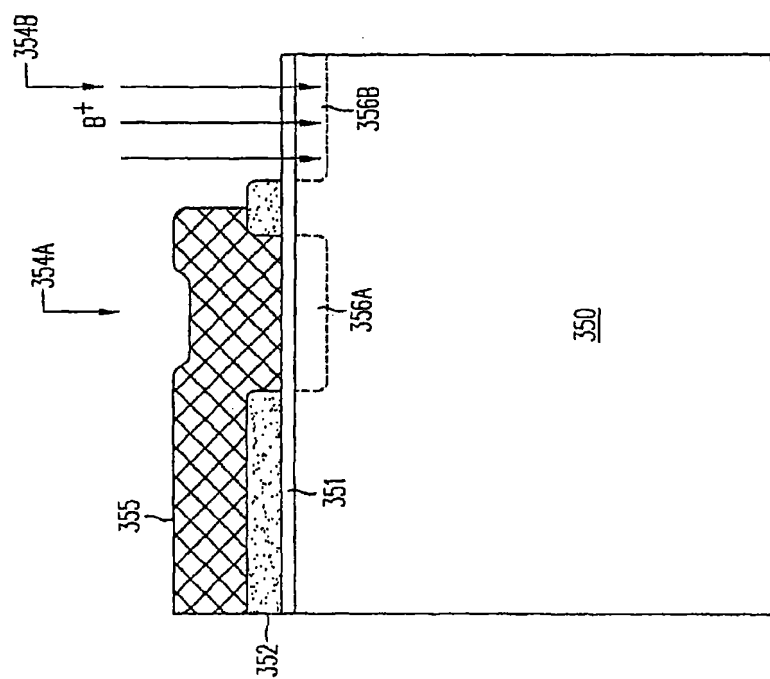


图 9A



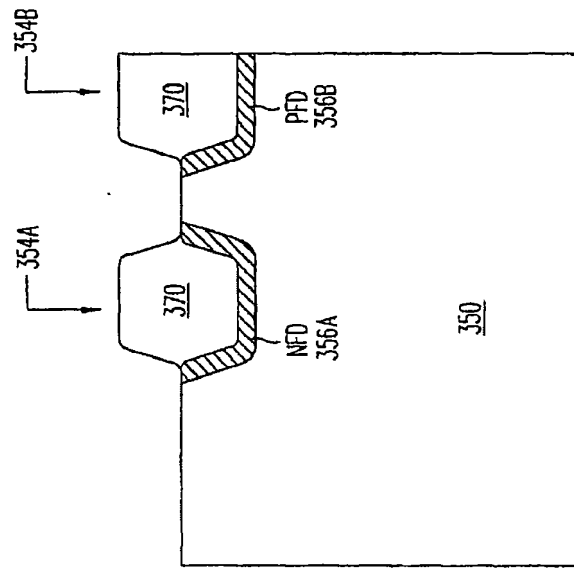


图 9D

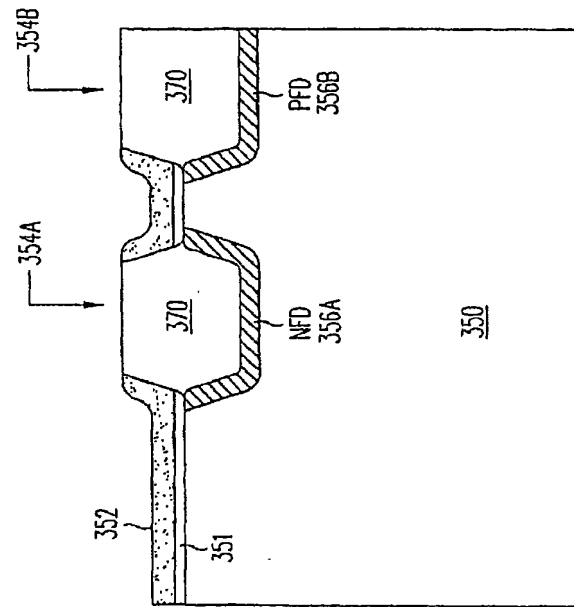


图 9C

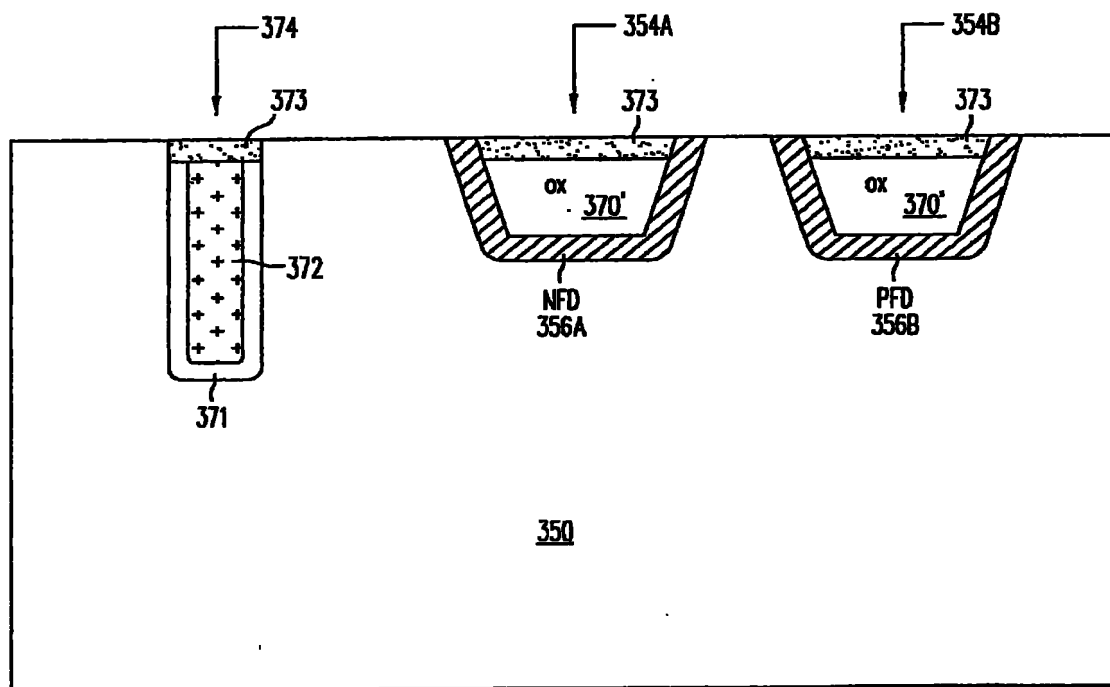


图 9E