

(43) 国際公開日
2007 年 12 月 27 日 (27.12.2007)

PCT

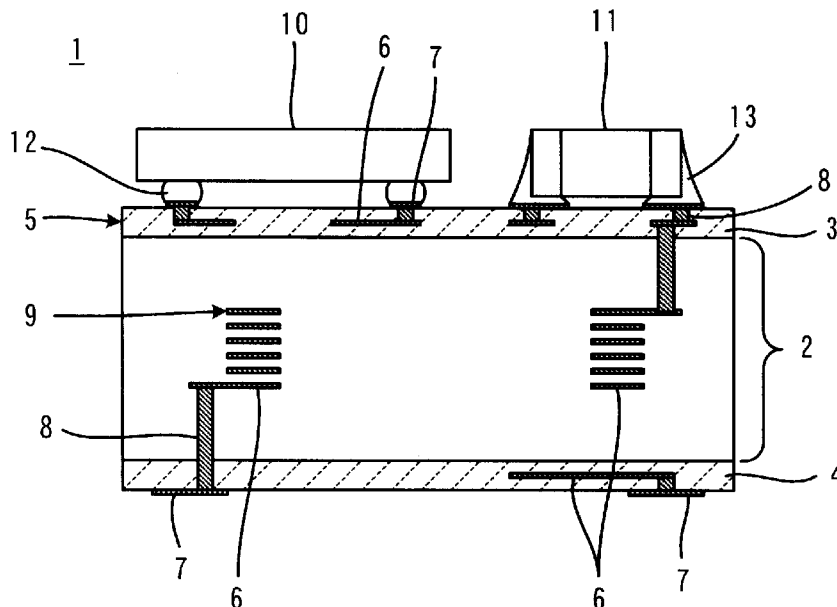
(10) 国際公開番号
WO 2007/148556 A1

- (51) 国際特許分類:
H01F 17/00 (2006.01) C04B 35/30 (2006.01)
C04B 35/26 (2006.01) H05K 3/46 (2006.01)
- (21) 国際出願番号: PCT/JP2007/061773
- (22) 国際出願日: 2007 年 6 月 12 日 (12.06.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2006-173457 2006 年 6 月 23 日 (23.06.2006) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 西澤 吉彦 (NISHIZAWA, Yoshihiko) [JP/JP]; 〒6178555 京都府
- (74) 代理人: 小柴 雅昭 (KOSHIBA, Masaaki); 〒5430051 大阪府大阪市天王寺区四天王寺 1 丁目 14 番 22 号 日進ビル 小柴特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

[続葉有]

(54) Title: MULTILAYERED CERAMIC ELECTRONIC PART

(54) 発明の名称: 積層型セラミック電子部品



(57) Abstract: Multilayered ceramic electronic parts having a multilayer structure which includes a layer of a ferrite ceramic and in which the ferrite ceramic contains bismuth as a sintering aid are apt to suffer abnormal film deposition when the surface conductor film is subjected to electroplating. A base layer (2) is constituted of a ferrite ceramic which contains bismuth, while surface layers (3, 4) disposed respectively on the main surfaces of the base layer (2) have a composition containing substantially no bismuth. The zinc contents in the surface layers (3, 4) are higher than the zinc content in the base layer (2). Thus, satisfactory suitability for sintering is imparted to the surface layers (3, 4) although the layers do not contain bismuth.

(57) 要約: フェライトセラミックからなる層を積層した構造を有し、フェライトセラミックに焼結助剤としてのビスマスが添加されている、積層型セラミック電子部品において、その表面導

[続葉有]

WO 2007/148556 A1



SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

体膜に電気めっきを施したとき、めっき膜の異常析出が生じやすい。 基材層（2）を構成するフェライトセラミックにはビスマスが含まれるようにするが、基材層（2）の主面上に配置される表面層（3、4）については、ビスマスを実質的に含有しない組成にする。表面層（3、4）における亜鉛含有量を、基材層（2）における亜鉛含有量よりも多くし、表面層（3、4）について、ビスマスが添加されていなくても、良好な焼結性を与えるようにする。

明 細 書

積層型セラミック電子部品

技術分野

[0001] この発明は、積層型セラミック電子部品に関するもので、特に、フェライトセラミックからなる層を積層した構造を有する積層型セラミック電子部品に関するものである。

背景技術

[0002] コイル部品を構成する素体の材料として、多くの場合、フェライトセラミックが用いられている。通常、素体の表面上には、端子あるいはコイル導体の一部となる導体膜が形成されている。導体膜は、たとえば、銀を含む導電性ペーストを塗布し、これを焼き付けることによって形成された厚膜をもって構成される。そして、このような銀を含む厚膜からなる導体膜、特に端子となる導体膜は、配線基板へのはんだ付けに際して、はんだ食われの問題をしばしば引き起こすので、通常、銀を含む導体膜上にはニッケルめっきが施され、さらに、はんだ付け性を良好なものにするため、錫、はんだまたは金めっきが施される。

[0003] 上述したニッケルめっきおよび錫めっきには、通常、電気めっきが適用される。しかしながら、この電気めっきに際して、次のような問題に遭遇することがある。

[0004] コイル部品の素体を構成するフェライトセラミックは、一般に、たとえば絶縁体セラミックに比べて、抵抗率が比較的低い。そのため、電気めっきを実施したとき、導体膜上から導体膜以外の素体表面にまでめっき膜が析出するといった、めっき膜の異常析出が生じることがある。このようなめっき膜の異常析出は、たとえば、導体膜によって与えられる端子間の距離を短くする結果を招き、特に小型のコイル部品にあつては、耐電圧性を低下させたり、最悪の場合には、ショート不良を引き起こしたりすることがある。

[0005] この発明にとって興味ある従来技術として、特開2003-272914号公報(特許文献1)に記載されたものがある。この特許文献1では、積層型のコイル部品が記載され、素体の積層構造を構成するフェライトセラミックからなる層に、焼結助剤としてビスマスが添加されている。このような焼結助剤としてのビスマスの添加は、フェライトセラミ

ックをより低温で焼結できるようにして、内部導体に銀を用いることを可能にする。

- [0006] しかしながら、特許文献1に記載のような積層型のコイル部品において、その素体の外表面上に形成されている導体膜に電気めっきを施すと、前述したようなめっき膜の異常析出がより生じやすく、それは、ビスマスに起因していることがわかった。すなわち、ビスマスは、 Bi_2O_3 などの状態でフェライトセラミックの粒界に存在しており、めっき膜の異常析出は、素体表面のビスマスが存在する粒界を優先的に伝って進行していることがわかった。

特許文献1:特開2003-272914号公報

発明の開示

発明が解決しようとする課題

- [0007] そこで、この発明の目的は、比較的低温での焼結性を確保しながらも、めっき膜の異常析出を抑制し得る、フェライトセラミックからなる層を積層した構造を有する、積層型セラミック電子部品を提供しようとすることである。

課題を解決するための手段

- [0008] この発明に係る積層型セラミック電子部品は、フェライトセラミックからなる基材層と、基材層の少なくとも一方主面上に配置されかつフェライトセラミックからなる表面層と、表面層の外方に向く主面上に形成される表面導体膜とを備えている。そして、前述した技術的課題を解決するため、この発明では、基材層を構成するフェライトセラミックは、ビスマスを含む複数の金属元素を含有するが、表面層を構成するフェライトセラミックは、ビスマスを実質的に含有しないことを特徴としている。
- [0009] 好ましくは、基材層および表面層は、ともに亜鉛を含有しており、表面層における亜鉛含有量は、基材層における亜鉛含有量よりも多い。
- [0010] また、表面層を形成するフェライトセラミックは、ビスマスを実質的に含有しないこと以外は、基材層を構成するフェライトセラミックと実質的に同組成系、すなわち、複数の主構成成分が重複している組成であることが好ましい。
- [0011] 表面層の厚みは $30\mu\text{m}$ 以上であることが好ましい。
- [0012] また、表面導体膜と基材層との間に、基材層中のビスマスの拡散を遮るための拡散防止層が設けられていることが好ましい。この場合、好ましくは、表面層の厚みは15

μm 以上とされ、表面層の厚みの下限を薄くすることができる。また、拡散防止層は、好ましくは、内部導体膜をもって構成される。

[0013] 表面導体膜にめっき膜が形成されている積層型セラミック電子部品、すなわち、表面導体膜にめっきが施される積層型セラミック電子部品に対して、この発明が有利に適用される。

[0014] この発明に係る積層型セラミック電子部品において、表面導体膜に電氣的に接続された表面実装型電子部品をさらに備えていてもよい。

発明の効果

[0015] この発明によれば、基材層を構成するフェライトセラミックはビスマスを含むが、表面層を構成するフェライトセラミックはビスマスを実質的に含まないため、積層型セラミック電子部品の表面、すなわちめっき液にさらされる面においてはビスマスが実質的に存在しないことになる。そのため、積層型セラミック電子部品の表面抵抗が上昇し、表面導体膜からの漏れ電流が発生しにくいため、積層型セラミック電子部品の表面でのめっき膜の異常析出を生じにくくすることができる。その結果、めっき膜の異常析出による表面導体膜間の耐電圧性の低下やショート不良を生じにくくことができ、信頼性に優れた積層型セラミック電子部品を得ることができる。

[0016] また、この発明によれば、積層型セラミック電子部品に対してめっき膜の異常析出抑制作用を与える表面層は、従来と同様のグリーンシートプロセスを適用して積層型セラミック電子部品を製造する際、ビスマスを含むしないグリーンシートを用意し、これを積層するだけで形成されることができるので、歩留まりの低下およびコストの上昇等を伴わずに、めっき膜の異常析出が抑制された積層型セラミック電子部品を製造することができる。

[0017] すなわち、この発明によれば、めっき膜の異常析出の問題を解決するため、たとえば、焼成前または焼成後の積層体に特別な処理を施す必要がない。そのため、この処理のための工程の増加、コストの増加、適正かつ均一処理の困難性、処理による別の問題の発生、といった問題を回避することができる。

[0018] この発明において、基材層および表面層がともに亜鉛を含有しているとき、表面層における亜鉛含有量を、基材層における亜鉛含有量よりも多くすると、表面層にビス

マスが含有されていなくても、表面層において良好な焼結性を得ることができる。

[0019] 表面層の厚みが $30\mu\text{m}$ 以上とされると、基材層からのビスマスが拡散しても表面層の外方に向く主面にまで達することがなく、めっき膜の異常析出が抑制された積層型セラミック電子部品を安定して得ることができる。

[0020] 表面導体膜と基材層との間に、基材層中のビスマスの拡散を遮るための拡散防止層が設けられていると、基材層から表面導体膜近傍へのビスマスの拡散を効果的に遮ることができる。

[0021] また、拡散防止層が設けられていると、めっき膜の異常析出を安定して抑制するのに必要な表面層の厚みを $15\mu\text{m}$ にまで薄くすることができ、これに伴い、積層型セラミック電子部品の低背化を有利に図ることができる。

[0022] 上述の拡散防止層が内部導体膜をもって構成されると、他の内部導体膜と同様の工程によって拡散防止層を形成することができるので、拡散防止層を設けるための特別な材料および工程が不要である。

[0023] この発明に係る積層型セラミック電子部品が、表面導体膜に電氣的に接続された表面実装型電子部品をさらに備えていると、表面導体膜間の耐電圧性の低下やショート不良などのない信頼性の高いモジュール部品を得ることができる。

図面の簡単な説明

[0024] [図1]この発明の第1の実施形態による積層型セラミック電子部品1を示す断面図である。

[図2]この発明の第2の実施形態による積層型セラミック電子部品1aを示す断面図である。

[図3]この発明の第3の実施形態による積層型セラミック電子部品1bを示す断面図である。

[図4]この発明の第4の実施形態による積層型セラミック電子部品1cを示す断面図である。

符号の説明

[0025] 1, 1a, 1b, 1c 積層型セラミック電子部品

2 基材層、

3, 4 表面層

6 内部導体膜

7 表面導体膜

10, 11 表面実装型電子部品

16, 17, 18 拡散防止層

21, 22 端子導体膜

発明を実施するための最良の形態

[0026] 図1は、この発明の第1の実施形態による積層型セラミック電子部品1を示す断面図である。

[0027] 積層型セラミック電子部品1は、フェライトセラミックからなる基材層2と、基材層2の上下主面上にそれぞれ配置されかつフェライトセラミックからなる表面層3および4とを含む積層構造を有する、セラミック積層体5を備えている。

[0028] 積層型セラミック電子部品1は、また、セラミック積層体5の内部および外部に設けられる導体パターンを備えている。導体パターンには、大別して内部導体膜6と表面導体膜7と層間接続導体8とがある。内部導体膜6および表面導体膜7は、この積層型セラミック電子部品1を製造する過程において、基材層2または表面層3もしくは4を形成するために積層されるセラミックグリーンシートの主面上に形成されるものであり、層間接続導体8は、上記セラミックグリーンシートを厚み方向に貫通するように設けられるものである。

[0029] 内部導体膜6は、セラミック積層体5の内部に形成されるものである。他方、表面導体膜7は、セラミック積層体5の主面、すなわち表面層3または4の外方に向く主面上に形成されるものである。

[0030] 特定の内部導体膜6および特定の層間接続導体8によって、コイルパターン9が基材層2の内部に形成される。なお、コイルパターン9の一部を形成する層間接続導体8については、図1に図示されていない。

[0031] この積層型セラミック電子部品1は、たとえばDC-DCコンバータを構成するもので、表面層3の外方に向く主面上には、表面実装型電子部品10および11が搭載される。電子部品10はたとえばICチップであり、表面層3の外方に向く主面上に形成され

た表面導体膜7にはんだバンプ12を介して電氣的に接続される。他方の電子部品11はたとえばチップコンデンサであり、表面層3の外方に向く主面上に形成された表面導体膜7にはんだ13を介して電氣的に接続される。下方の表面層4の外方に向く主面上に形成された表面導体膜7は、図示しないマザー基板上に、この積層型セラミック電子部品1を実装する際の端子電極として用いられる。

[0032] 基材層2を構成するフェライトセラミックは、ビスマスを含む複数の金属元素を含有している。他方、表面層3および4を構成するフェライトセラミックは、ビスマスを実質的に含有しない。なお、表面層3および4を構成するフェライトセラミックは、ビスマスを実質的に含有しないこと以外は基材層2を構成するフェライトセラミックと実質的に同組成系、すなわち、複数の主構成成分が重複している組成であることが好ましい。また、基材層2ならびに表面層3および4は、ともに亜鉛を含有するが、表面層3および4における亜鉛含有量は、基材層2における亜鉛含有量よりも多くされる。

[0033] 一例として、基材層2を構成するフェライトセラミックの原料粉末として、酸化第二鉄(Fe_2O_3)、酸化亜鉛(ZnO)、酸化ニッケル(NiO)および酸化銅(CuO)を所定の比率で調合し、さらに、焼結助剤として Bi_2O_3 を添加したものをを用いることができる。この場合、たとえば1MHzでの比透磁率が150であるフェライトセラミックを得ることができる。

[0034] 他方、表面層3および4を構成するフェライトセラミックの原料粉末としては、上記基材層2のための原料粉末の組成を基本としながら、 Bi_2O_3 を添加しないものをを用いることができる。このとき、焼結性を向上させるため、亜鉛の含有量は、基材層2の場合より多くされる。一例として、基材層2の主構成成分と共通する、酸化第二鉄、酸化亜鉛および酸化銅を所定の比率で調合したものを原料粉末として用いることができる。この原料粉末によって得られたフェライトセラミックは、たとえば1MHzでの比透磁率が1である。

[0035] 上述の例では、フェライトセラミックとして、Fe-Ni-Zn-Cu系およびFe-Zn-Cu系の組成のものをを用いたが、たとえばFe-Mn-Zn系など、他の組成のものをを用いてもよい。

[0036] 次に、積層型セラミック電子部品1の製造方法について説明する。

- [0037] まず、基材層2ならびに表面層3および4の各々となるべきセラミックグリーンシートが用意される。これらセラミックグリーンシートは、前述したように調合されたフェライトセラミック原料粉末に、バインダ、可塑剤、湿潤剤、分散剤等を加えてスラリー化し、これをシート状に成形して得られるものである。
- [0038] 次に、特定のセラミックグリーンシートに貫通孔を形成し、貫通孔に導電性ペーストを充填することによって、未焼結の層間接続導体8が形成され、また、特定のセラミックグリーンシート上に導電性ペーストを印刷することによって、未焼結の内部導体膜6および表面導体膜7が形成される。これら内部導体膜6、表面導体膜7および層間接続導体8を形成するための導電性ペーストに含まれる導電性金属は、銀または銀／パラジウムを主成分としているものであることが好ましい。
- [0039] 次に、基材層2ならびに表面層3および4の各々を形成するため、所定の枚数のセラミックグリーンシートが所定の順序で積層され、次いで圧着されることにより、セラミック積層体5の未焼結状態のものが得られる。
- [0040] なお、以上のような工程が、複数の積層型セラミック電子部品1を同時に製造するための集合状態のセラミック積層体について実施される場合には、この集合状態のセラミック積層体を後で分割することを容易にするため、分割溝が形成される。
- [0041] 次に、未焼結のセラミック積層体が焼成され、それによって、焼結したセラミック積層体5が得られる。このとき、ビスマスを含むしない表面層3および4となるべきセラミックグリーンシートは、基材層2となるべきセラミックグリーンシートに比べて、亜鉛含有量が多くされているので、良好な焼結性を得ることができる。
- [0042] 次に、セラミック積層体5の表面に露出している表面導体膜7にめっき処理が施される。より具体的には、電気めっきが実施され、それによって、ニッケルめっき膜および錫めっき膜が順次形成される。この電気めっき工程において、表面層3および4はビスマスを実質的に含有していないため、表面層3および4の外方に向く主面にはビスマスが存在せず、それゆえ、表面抵抗が高くなっており、めっき膜の異常析出が生じにくい。なお、めっき処理は、無電解めっきによってもよく、この場合には、たとえばニッケルめっき膜および金めっき膜が順次形成される。
- [0043] 次に、セラミック積層体5の上方主面上に、表面導体膜4に電氣的に接続された状

態となるように、表面実装型電子部品10および11が搭載される。

[0044] そして、以上の工程が集合状態のセラミック積層体に対して実施されている場合には、前述した分割溝に沿って分割する工程が実施され、個々の積層型セラミック電子部品1が取り出される。積層型セラミック電子部品1には、図示しないが、必要に応じて、金属カバーが取り付けられる。

[0045] 以上の説明では、焼成工程の前に分割溝が形成されたが、分割溝を形成せずに、焼成工程前に、集合状態のセラミック積層体を分割し、個々の積層型セラミック電子部品1のためのセラミック積層体5の生の状態のものを取り出すようにしてもよい。この場合、焼成工程は、個々のセラミック積層体5に対して実施され、めっき処理においては、たとえばバレルによる電気めっきが適用される。

[0046] このようにして得られた積層型セラミック電子部品1において、表面層3および4の各々の厚みは30 μ m以上であることが好ましい。厚みが30 μ m未満の場合には、基材層2からビスマスが拡散して、表面層3および4の各々の外方に向く主面に達することがあるが、30 μ m以上の厚みとすれば、基材層2からのビスマスが拡散しても、外方に向く主面にまで達することがない。したがって、安定してめっき膜の異常析出を抑制することができる。

[0047] 図2は、この発明の第2の実施形態による積層型セラミック電子部品1aを示す、図1に対応する図である。図2において、図1に示した要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

[0048] 図2に示した積層型セラミック電子部品1aは、図1に示した積層型セラミック電子部品1と比較して、基材層2中のビスマスの拡散を遮るための対策が講じられていることを特徴としている。

[0049] 図1に示した積層型セラミック電子部品1の場合においても、表面層3および4内に位置しかつ表面導体膜7の近傍にある内部導体膜6については、ある程度、基材層2中のビスマスの拡散を遮る作用を有しているが、この作用の一層の完璧化を図るため、この実施形態では、図2を図1と比較すればわかるように、表面導体膜7の近傍にある内部導体膜6の面積がより大きくされている。また、表面導体膜7の近傍に都合良く内部導体膜6が存在していない場合には、新たに内部導体膜を形成することに

よって拡散防止層16が形成される。拡散防止層16は、たとえば、基材層2と表面層4との界面に沿って形成される。

[0050] 上述のように、基材層2中のビスマスの拡散を遮るための対策が講じられた場合、表面層3および4の各々の厚みは、15 μ m程度にまで薄くしても、表面層3および4の各々の外方に向く主面上でのめっき膜の異常析出を抑制することができる。その結果、積層型セラミック電子部品1aの低背化を有利に図ることができる。

[0051] 図3は、この発明の第3の実施形態による積層型セラミック電子部品1bを示す、図1および図2に対応する図である。図3において、図1または図2に示した要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

[0052] 図3に示した積層型セラミック電子部品1bにおいても、基材層2中のビスマスの拡散を遮るための対策が講じられている。

[0053] 図3に示した積層型セラミック電子部品1bでは、基材層2と表面層3との界面に沿って、比較的大面積の拡散防止層17が形成され、また、表面層4の内部に、比較的大面積の拡散防止層18が形成される。これら拡散防止層17および18は、いずれも、内部導体膜をもって構成される。このように、拡散防止層17および18を設けることにより、上述した積層型セラミック電子部品1aの場合と同様の効果を奏することができる。

[0054] 大面積の拡散防止層17および18は、たとえば、コンデンサ電極としての機能を持たせたり、接地電位電極としての機能を持たせたりすることにより、余分な設計変更を行なうことなく、ビスマスの拡散を遮る機能を積層型セラミック電子部品1bに与えることができる。

[0055] 以上、この発明を図示した実施形態に関連して説明したが、この発明の範囲内において、その他種々の変形例が可能である。

[0056] たとえば、図示された積層型セラミック電子部品1、1aおよび1bは、セラミック積層体5上に表面実装部品9および10が搭載された多機能複合部品であったが、単機能部品、たとえば図4に示すようなチップコイルにも、この発明を適用することができる。

[0057] 図4は、この発明の第4の実施形態であって、チップコイルを構成する積層型セラミ

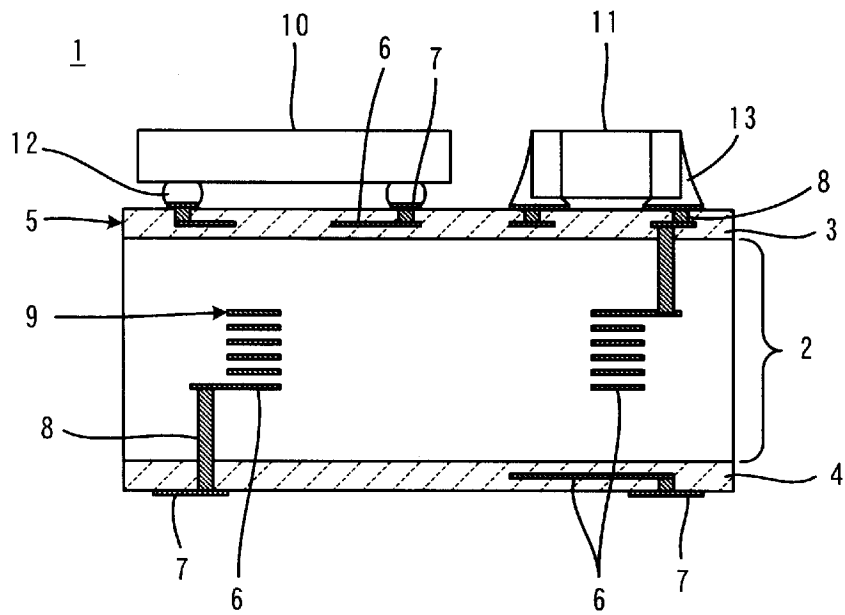
ック電子部品1cを示す断面図である。図4において、図1に示した要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

- [0058] 図4に示したチップコイルを構成する積層型セラミック電子部品1cでは、セラミック積層体5の両端部に端子導体膜21および22が形成され、コイルパターン9の各端部が、セラミック積層体5の各端面にまで引き出され、端子導体膜21および22にそれぞれ電氣的に接続される。端子導体膜21および22の各一部は、表面層3および4の外方に向く主面上に形成される表面導体膜を構成している。

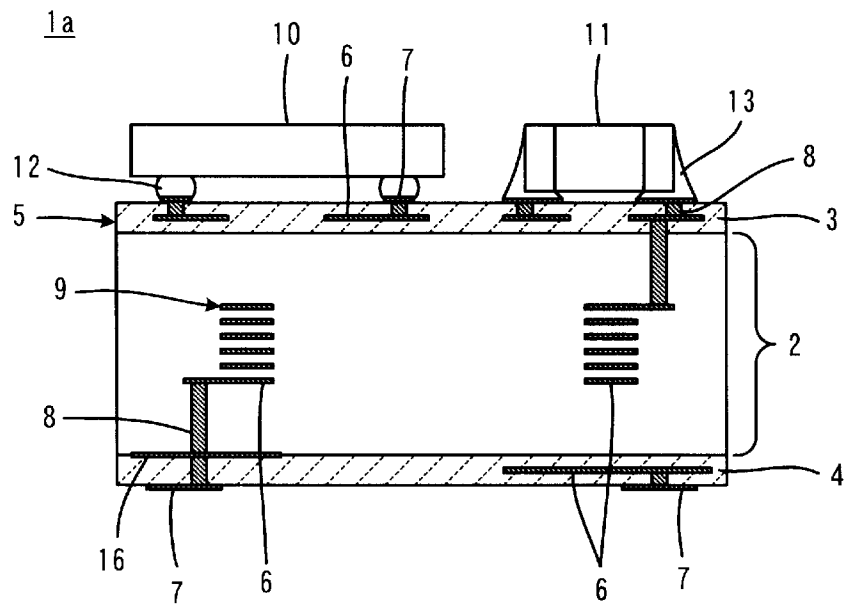
請求の範囲

- [1] フェライトセラミックからなる基材層と、前記基材層の少なくとも一方主面上に配置されかつフェライトセラミックからなる表面層と、前記表面層の外方に向く主面上に形成される表面導体膜とを備え、
- 前記基材層を構成する前記フェライトセラミックは、ビスマスを含む複数の金属元素を含有し、前記表面層を構成する前記フェライトセラミックは、ビスマスを実質的に含有しないことを特徴とする、積層型セラミック電子部品。
- [2] 前記基材層および前記表面層は、ともに亜鉛を含有しており、前記表面層における亜鉛含有量は、前記基材層における亜鉛含有量よりも多い、請求項1に記載の積層型セラミック電子部品。
- [3] 前記表面層を構成する前記フェライトセラミックは、ビスマスを実質的に含有しないこと以外は前記基材層を構成する前記フェライトセラミックと実質的に同組成系であることを特徴とする、請求項1に記載の積層型セラミック電子部品。
- [4] 前記表面層の厚みは $30\ \mu\text{m}$ 以上である、請求項1に記載の積層型セラミック電子部品。
- [5] 前記表面導体膜と前記基材層との間に、前記基材層中のビスマスの拡散を遮るための拡散防止層が設けられている、請求項1に記載の積層型セラミック電子部品。
- [6] 前記表面層の厚みは $15\ \mu\text{m}$ 以上である、請求項5に記載の積層型セラミック電子部品。
- [7] 前記拡散防止層は内部導体膜をもって構成される、請求項5に記載の積層型セラミック電子部品。
- [8] 前記表面導体膜にはめっき膜が形成されている、請求項1に記載の積層型セラミック電子部品。
- [9] 前記表面導体膜に電氣的に接続された表面実装型電子部品をさらに備える、請求項1に記載の積層型セラミック電子部品。

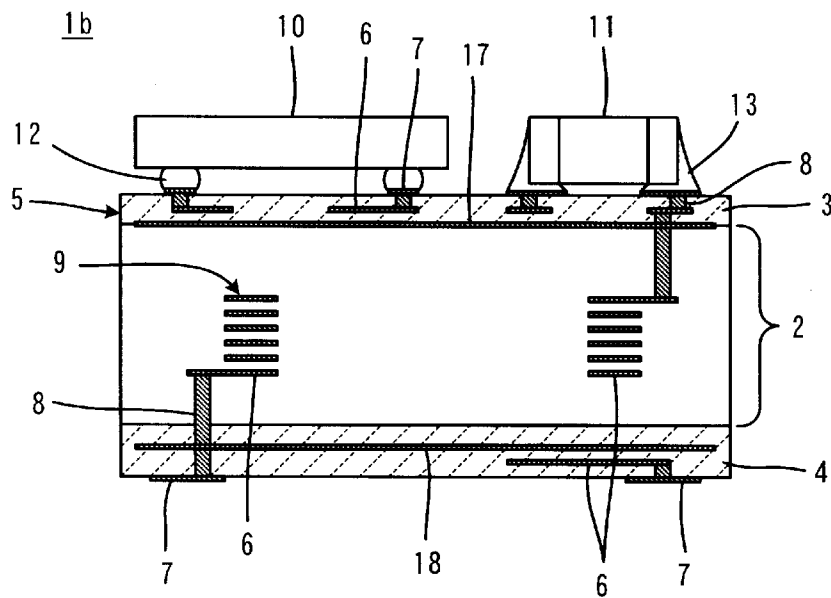
[図1]



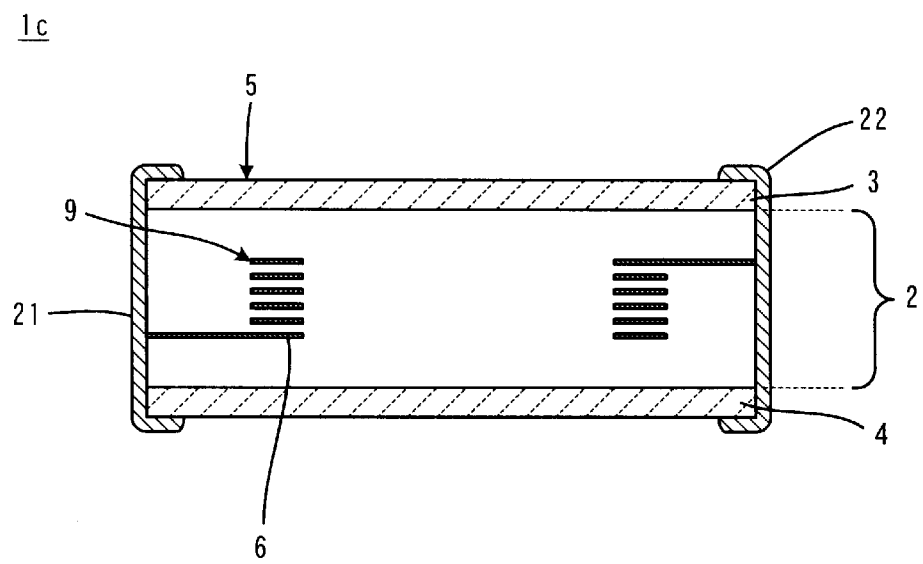
[図2]



[図3]



[図4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/061773

A. CLASSIFICATION OF SUBJECT MATTER

H01F17/00(2006.01)i, C04B35/26(2006.01)i, C04B35/30(2006.01)i, H05K3/46(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01F17/00, C04B35/26, C04B35/30, H05K3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007

Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 09-167703 A (Matsushita Electric Industrial Co., Ltd.), 24 June, 1997 (24.06.97), Full text; all drawings (Family: none)	1-9
A	JP 2003-272914 A (Sumitomo Metal Industries, Ltd.), 26 September, 2003 (26.09.03), Full text; all drawings (Family: none)	1-9
A	JP 2003-146739 A (Murata Mfg. Co., Ltd.), 21 May, 2003 (21.05.03), Full text; all drawings & US 2003/0091841 A1	1-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 September, 2007 (04.09.07)Date of mailing of the international search report
18 September, 2007 (18.09.07)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/061773

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-243243 A (Murata Mfg. Co., Ltd.), 29 August, 2003 (29.08.03), Full text; all drawings (Family: none)	1-9
A	JP 2005-166816 A (Murata Mfg. Co., Ltd.), 23 June, 2005 (23.06.05), Full text; all drawings (Family: none)	1-9

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01F17/00(2006.01)i, C04B35/26(2006.01)i, C04B35/30(2006.01)i, H05K3/46(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01F17/00, C04B35/26, C04B35/30, H05K3/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 7 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 7 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 7 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 0 9 - 1 6 7 7 0 3 A（松下電器産業株式会社）1 9 9 7.0 6.2 4, 全文、全図（ファミリーなし）	1 - 9
A	JP 2 0 0 3 - 2 7 2 9 1 4 A（住友金属工業株式会社）2 0 0 3.0 9.2 6, 全文、全図（ファミリーなし）	1 - 9
A	JP 2 0 0 3 - 1 4 6 7 3 9 A（株式会社村田製作所）2 0 0 3.0 5.2 1, 全文、全図 & U S 2 0 0 3 / 0 0 9 1 8 4 1 A 1	1 - 9

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 4 . 0 9 . 2 0 0 7

国際調査報告の発送日

1 8 . 0 9 . 2 0 0 7

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

右田 勝則

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 6 5

5 R

9 1 7 3

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2003-243243 A (株式会社村田製作所) 2003.08.29, 全文、全図 (ファミリーなし)	1-9
A	JP 2005-166816 A (株式会社村田製作所) 2005.06.23, 全文、全図 (ファミリーなし)	1-9