

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年3月14日(14.03.2019)



(10) 国際公開番号

WO 2019/048968 A1

(51) 国際特許分類:

H01L 21/336 (2006.01) H01L 27/1156 (2017.01)
H01L 21/28 (2006.01) H01L 29/417 (2006.01)
H01L 21/316 (2006.01) H01L 29/423 (2006.01)
H01L 21/318 (2006.01) H01L 29/49 (2006.01)
H01L 21/363 (2006.01) H01L 29/786 (2006.01)
H01L 21/8242 (2006.01) H01L 29/788 (2006.01)
H01L 27/108 (2006.01) H01L 29/792 (2006.01)
H01L 27/11519 (2017.01)

特願 2017-170017 2017年9月5日(05.09.2017) JP
特願 2017-170018 2017年9月5日(05.09.2017) JP
特願 2017-237526 2017年12月12日(12.12.2017) JP
特願 2018-027723 2018年2月20日(20.02.2018) JP
特願 2018-027691 2018年2月20日(20.02.2018) JP

(21) 国際出願番号: PCT/IB2018/056414

(22) 国際出願日: 2018年8月24日(24.08.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

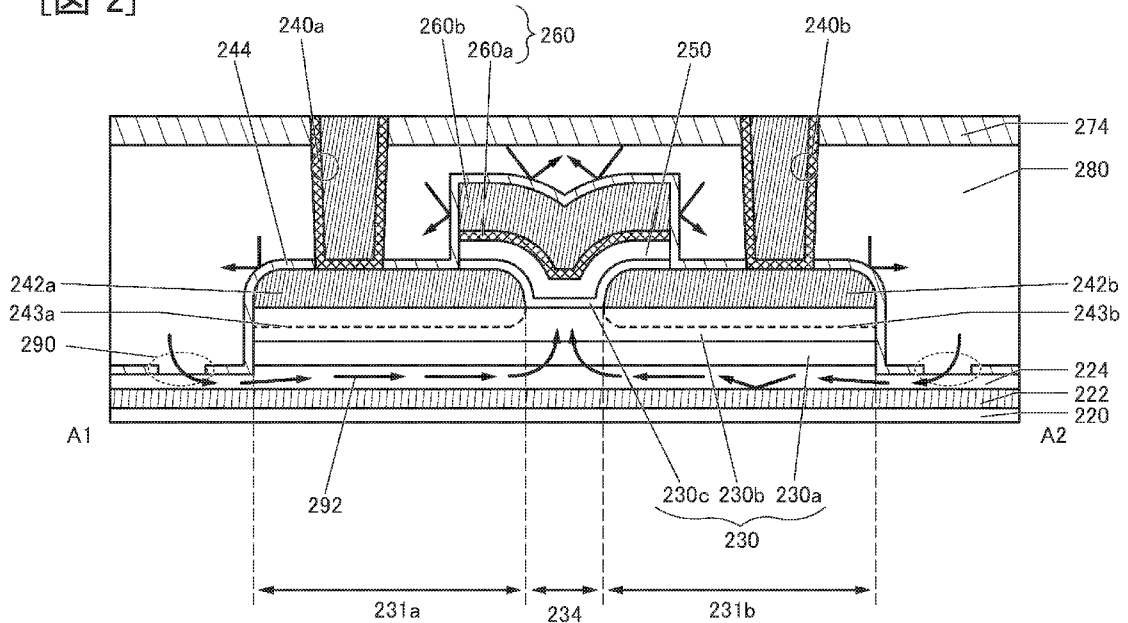
(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木
市長谷398 Kanagawa (JP).

(72) 発明者: 山崎 舜平 (YAMAZAKI, Shunpei);
〒2430036 神奈川県厚木市長谷398 株式
会社半導体エネルギー研究所内 Kanagawa
(JP). 浅見良信(ASAMI, Yoshinobu); 〒2430036
神奈川県厚木市長谷398 株式会社半導

(54) Title: SEMICONDUCTOR DEVICE, AND MANUFACTURING METHOD FOR SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、および半導体装置の作製方法

[図 2]



(57) Abstract: Provided is a semiconductor device having excellent reliability. The present invention comprises: a first insulator; a second insulator positioned above the first insulator; an oxide positioned above the second insulator; a first conductor and a second conductor positioned above the oxide, separated from each other; a third insulator positioned above the oxide, the first conductor and the second conductor; a third conductor positioned above the third insulator and having at least a portion that is positioned so as to overlap a region between the first conductor and the second conductor;

体エネルギー研究所内 Kanagawa (JP). 石山貴久(ISHIYAMA, Takahisa). 倉田求(KURATA, Motomu); 〒2430036 神奈川県厚木市長谷 3 9 8 株式会社半導体エネルギー研究所内 Kanagawa (JP). 徳丸亮(TOKUMARU, Ryo); 〒2430036 神奈川県厚木市長谷 3 9 8 株式会社半導体エネルギー研究所内 Kanagawa (JP). 石原典隆 (ISHIHARA, Noritaka). 野中裕介(NONAKA, Yusuke).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

a fourth insulator positioned to cover the oxide, the first conductor, the second conductor, the third insulator and the third conductor; a fifth insulator positioned above the fourth insulator; and a sixth insulator positioned above the fifth insulator, wherein the fourth insulator has an opening, which reaches the second insulator, formed in at least a portion thereof, the fifth insulator is in contact with the second insulator via the opening, and the first insulator, the fourth insulator and the sixth insulator have lower oxygen permeability than the second insulator.

(57) 要約: 要約書 信頼性が良好な半導体装置を提供する。第1の絶縁体と、第1の絶縁体の上に配置された、第2の絶縁体と、第2の絶縁体の上に配置された、酸化物と、酸化物上に、互いに離して配置された、第1の導電体、および第2の導電体と、酸化物、第1の導電体、および第2の導電体の上に配置された、第3の絶縁体と、第3の絶縁体の上に配置され、少なくとも一部が第1の導電体と第2の導電体の間の領域に重なるように配置された、第3の導電体と、酸化物、第1の導電体、第2の導電体、第3の絶縁体、および第3の導電体、を覆って配置された、第4の絶縁体と、第4の絶縁体の上に配置された、第5の絶縁体と、第5の絶縁体の上に配置された、第6の絶縁体と、を有し、第4の絶縁体は、少なくとも一部に、第2の絶縁体に達する開口が形成され、第5の絶縁体は、開口を介して第2の絶縁体に接し、第1の絶縁体、第4の絶縁体、および第6の絶縁体は、第2の絶縁体より酸素透過性が低い。

明細書

発明の名称

半導体装置、および半導体装置の作製方法

技術分野

[0001]

本発明の一態様は、半導体装置、ならびに半導体装置の作製方法に関する。または、本発明の一態様は、半導体ウエハ、モジュール、および電子機器に関する。

[0002]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、および電子機器などは、半導体装置を有すると言える場合がある。

[0003]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

背景技術

[0004]

近年、半導体装置の開発が進められ、LSI、CPU (Central Processing Unit) やGPU (Graphics Processing Unit) などのプロセッサ、およびメモリの開発が進められている。プロセッサは、半導体ウエハから切り離された半導体集積回路（少なくともトランジスタおよびメモリ）を有し、接続端子である電極が形成された半導体素子の集合体である。

[0005]

LSI、CPUやGPUなどのプロセッサ、およびメモリなどの半導体回路（ICチップ）は、回路基板、例えば、プリント配線板に実装され、様々な電子機器の部品の一つとして用いられる。

[0006]

また、絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。当該トランジスタは集積回路（IC）や画像表示装置（単に表示装置とも表記する。）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

[0007]

また、酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいことが知られている。例えば、酸化物半導体を用いたトランジスタのリーク電流が小さいという特性を応用した低消費電力のCPUなどが開示されている（特許文献1参照。）。

[0008]

また、近年では電子機器の小型化、軽量化に伴い、トランジスタなどを高密度に集積した集積回路の要求が高まっている。また、集積回路を含む半導体装置の生産性の向上が求められている。

[0009]

また、酸化物半導体としては、例えば、酸化インジウム、酸化亜鉛などの一元系金属の酸化物のみでなく、多元系金属の酸化物も知られている。多元系金属の酸化物の中でも、特に、In-Ga-Zn酸化物（以下、IGZOとも呼ぶ。）に関する研究が盛んに行われている。

[0010]

IGZOに関する研究により、酸化物半導体において、単結晶でも非晶質でもない、CAAC (c-axis aligned crystalline) 構造およびnc (nanocrystalline) 構造が見出された（非特許文献1乃至非特許文献3参照。）。非特許文献1および非特許文献2では、CAAC構造を有する酸化物半導体を用いてトランジスタを作製する技術も開示されている。さらに、CAAC構造およびnc構造よりも結晶性の低い酸化物半導体でさえも、微小な結晶を有することが、非特許文献4および非特許文献5に示されている。

[0011]

さらに、IGZOを活性層として用いたトランジスタは極めて小さいオフ電流を持ち（非特許文献6参照。）、その特性を利用したLSIおよびディスプレイが報告されている（非特許文献7および非特許文献8参照。）。

[先行技術文献]

[特許文献]

[0012]

[特許文献1] 特開2012-257187号公報

[非特許文献]

[0013]

[非特許文献1] S. Yamazaki et al., "SID Symposium Digest of Technical Papers", 2012, volume 43, issue 1, p. 183-186

[非特許文献2] S. Yamazaki et al., "Japanese Journal of Applied Physics", 2014, volume 53, Number 4 S, p. 04ED18-1-04ED18-10

[非特許文献3] S. Ito et al., "The Proceedings of AM-FPD'13 Digest of Technical Papers", 2013, p. 151-154

[非特許文献4] S. Yamazaki et al., "ECS Journal of Solid State Science and Technology", 2014, volume 3, issue 9, p. Q3012-Q3022

[非特許文献5] S. Yamazaki, "ECS Transactions", 2014, volume 64, issue 10, p. 155-164

[非特許文献6] K. Kato et al., "Japanese Journal of Applied Physics", 2012, volume 51, p. 021201-1-021201-7

[非特許文献7] S. Matsuda et al., "2015 Symposium on VLSI Technology Digest of Technical Papers", 2015, p. T216-T217

[非特許文献8] S. Amano et al., “SID Symposium Digest of Technical Papers”, 2010, volume 41, issue 1, p. 626-629

発明の概要

発明が解決しようとする課題

[0014]

本発明の一態様は、信頼性が良好な半導体装置を提供することを課題の一つとする。本発明の一態様は、微細化または高集積化が可能な半導体装置を提供することを課題の一つとする。本発明の一態様は、良好な電気特性を有する半導体装置を提供することを課題の一つとする。本発明の一態様は、生産性の高い半導体装置を提供することを課題の一つとする。

[0015]

本発明の一態様は、長期間においてデータの保持が可能な半導体装置を提供することを課題の一つとする。本発明の一態様は、データの書き込み速度が速い半導体装置を提供することを課題の一つとする。本発明の一態様は、設計自由度が高い半導体装置を提供することを課題の一つとする。本発明の一態様は、消費電力を抑えることができる半導体装置を提供することを課題の一つとする。本発明の一態様は、新規な半導体装置を提供することを課題の一つとする。

[0016]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0017]

本発明の一態様は、第1の絶縁体と、第1の絶縁体の上に配置された、第2の絶縁体と、第2の絶縁体の上に配置された、酸化物と、酸化物上に、互いに離して配置された、第1の導電体、および第2の導電体と、酸化物、第1の導電体、および第2の導電体の上に配置された、第3の絶縁体と、第3の絶縁体の上に配置され、少なくとも一部が第1の導電体と第2の導電体の間の領域に重なるように配置された、第3の導電体と、酸化物、第1の導電体、第2の導電体、第3の絶縁体、および第3の導電体、を覆って配置された、第4の絶縁体と、第4の絶縁体の上に配置された、第5の絶縁体と、第5の絶縁体の上に配置された、第6の絶縁体と、を有し、第4の絶縁体は、少なくとも一部に、第2の絶縁体に達する開口が形成され、第5の絶縁体は、開口を介して第2の絶縁体に接し、第1の絶縁体、第4の絶縁体、および第6の絶縁体は、第2の絶縁体より酸素透過性が低い、ことを特徴とする半導体装置である。

[0018]

また、上記において、第4の絶縁体は、酸化物の側面、第1の導電体の側面、第2の導電体の側面、および第2の絶縁体の上面に接してもよい。また、上記において、第1の絶縁体、第4の絶縁体、および第6の絶縁体は、アルミニウムおよびハフニウムの少なくとも一方を含む、酸化物であってもよい。

[0019]

また、上記において、第2の絶縁体、酸化物、および第1の導電体と、第3の絶縁体および第4の

絶縁体と、の間に第7の絶縁体が配置され、第2の絶縁体、酸化物、および第2の導電体と、第3の絶縁体および第4の絶縁体と、の間に第8の絶縁体が配置され、第7の絶縁体および第8の絶縁体は、第2の絶縁体より酸素透過性が低くてもよい。また、上記において、第7の絶縁体または第8の絶縁体の側面は、第4の絶縁体に形成された開口の縁と概略一致してもよい。また、上記において、第7の絶縁体および第8の絶縁体は、アルミニウムおよびハフニウムの少なくとも一方を含んでもよい。

[0020]

また、上記において、酸化物は、Inと、元素M（MはAl、Ga、Y、またはSn）と、を有してもよい。また、上記において、酸化物は、Znを有し、酸化物に含まれるZnの原子数比は、酸化物に含まれるInの原子数比より小さくてもよい。また、上記において、酸化物は、結晶性を有してもよい。

[0021]

また、上記において、第1の導電体、および第2の導電体は、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、およびランタンとニッケルを含む酸化物の少なくとも一を有してもよい。

[0022]

本発明の他の一態様は、第1の絶縁体と、第1の絶縁体の上に配置された、第2の絶縁体と、第2の絶縁体の上に配置され、少なくとも一部に、第2の絶縁体が露出した領域を有する、第1の酸化物と、第1の酸化物の上に配置され、第2の絶縁体が露出した領域を介して、第2の絶縁体に接する、第2の酸化物と、2の酸化物の上に配置された、第3の酸化物と、第3の酸化物上に、互いに離して配置された、第1の導電体、および第2の導電体と、酸化物、第1の導電体、および第2の導電体の上に配置された、第3の絶縁体と、第3の絶縁体の上に配置され、少なくとも一部が第1の導電体と第2の導電体の間の領域に重なるように配置された、第3の導電体と、酸化物、第1の導電体、第2の導電体、第3の絶縁体、および第3の導電体、を覆って配置された、第4の絶縁体と、第4の絶縁体の上に配置された、第5の絶縁体と、第5の絶縁体の上に配置された、第6の絶縁体と、を有し、第4の絶縁体は、少なくとも一部に、第2の絶縁体に達する開口が形成され、第5の絶縁体は、開口を介して第2の絶縁体に接し、第1の絶縁体、第4の絶縁体、および第6の絶縁体は、第2の絶縁体より酸素透過性が低く、第1の酸化物は、第2の酸化物より酸素透過性が低い、ことを特徴とする半導体装置である。

[0023]

また、上記において、第1の酸化物乃至第3の酸化物は、Inと、元素M（MはAl、Ga、Y、またはSn）と、Znと、を有し、第1の酸化物に含まれる元素Mの原子数比は、第2の酸化物に含まれる元素Mの原子数比より大きく、第3の酸化物に含まれるInの原子数比は、第2の酸化物に含まれるInの原子数比より大きくてもよい。

[0024]

本発明の他の一態様は、基板上に第1の絶縁膜、第2の絶縁膜、第1の酸化膜、第2の酸化膜、および第1の導電膜の順に成膜し、第1の酸化膜、第2の酸化膜および第1の導電膜の一部を選択的に除去して、第2の絶縁膜の上に、酸化物、第1の導電体および第2の導電体を形成し、第2の絶縁膜、酸化物、第1の導電体、および第2の導電体の上に、第3の絶縁膜および第2の導電膜の順に成膜し、第3の絶縁膜および第2の導電膜の一部を選択的に除去して、第1の絶縁体および第3の導電体を形

成し、酸化物、第1の導電体、第2の導電体、第1の絶縁体、および第3の導電体を覆って、第4の絶縁膜を、ALD法を用いて成膜し、第4の絶縁膜の一部を選択的に除去して、少なくとも一部に第2の絶縁膜に達する開口を形成し、第4の絶縁膜の上に、第5の絶縁膜を成膜し、第5の絶縁膜の上に、酸素を含む雰囲気でスパッタリング法を用いて第6の絶縁膜を成膜し、熱処理を行い、第1の絶縁膜、第4の絶縁膜、および第6の絶縁膜は、第2の絶縁膜より酸素透過性が低い、ことを特徴とする半導体装置の作製方法である。

[0025]

本発明の一態様は、基板上に第1の絶縁膜、第2の絶縁膜、第1の酸化膜、第2の酸化膜、および第1の導電膜の順に成膜し、第1の酸化膜、第2の酸化膜および第1の導電膜の一部を選択的に除去して、第2の絶縁膜の上に、酸化物、第1の導電体および第2の導電体を形成し、第2の絶縁膜、酸化物、第1の導電体、および第2の導電体の上に、第3の絶縁膜および第2の導電膜の順に成膜し、第3の絶縁膜および第2の導電膜の一部を選択的に除去して、第1の絶縁体および第3の導電体を形成し、酸化物、第1の導電体、第2の導電体、第1の絶縁体、および第3の導電体を覆って、第4の絶縁膜を、ALD法を用いて成膜し、第4の絶縁膜の一部を選択的に除去して、少なくとも一部に第2の絶縁膜に達する開口を形成し、第4の絶縁膜の上に、第5の絶縁膜を成膜し、イオン注入法を用いて、第5の絶縁膜の上から酸素を添加し、第5の絶縁膜の上に、第6の絶縁膜を成膜し、熱処理を行い、第1の絶縁膜、第4の絶縁膜、および第6の絶縁膜は、第2の絶縁膜より酸素透過性が低い、ことを特徴とする半導体装置の作製方法である。

[0026]

本発明の他の一態様は、基板上に第1の絶縁膜、第2の絶縁膜、第1の酸化膜、第2の酸化膜、および第1の導電膜の順に成膜し、第1の酸化膜、第2の酸化膜および第1の導電膜の一部を選択的に除去して、第2の絶縁膜の上に、酸化物、第1の導電体および第2の導電体を形成し、第2の絶縁膜、酸化物、第1の導電体、および第2の導電体の上に、第3の絶縁膜および第2の導電膜の順に成膜し、第3の絶縁膜および第2の導電膜の一部を選択的に除去して、第1の絶縁体および第3の導電体を形成し、酸化物、第1の導電体、第2の導電体、第1の絶縁体、および第3の導電体を覆って、第4の絶縁膜を、ALD法を用いて成膜し、第4の絶縁膜の一部を選択的に除去して、少なくとも一部に第2の絶縁膜に達する開口を形成し、第4の絶縁膜の上に、第5の絶縁膜を成膜し、第5の絶縁膜の上に、第6の絶縁膜を成膜し、イオン注入法を用いて、第6の絶縁膜の上から酸素を添加し、熱処理を行い、第1の絶縁膜、第4の絶縁膜、および第6の絶縁膜は、第2の絶縁膜より酸素透過性が低い、ことを特徴とする半導体装置の作製方法である。

[0027]

また、上記において、第3の絶縁膜を成膜する前に、熱処理を行い、当該熱処理後外気にさらすことなく、第3の絶縁膜を成膜してもよい。

[0028]

また、酸化膜の成膜は、Inと、元素M(MはAl、Ga、Y、またはSn)と、を有するターゲットを用いた、スパッタリング法で行ってもよい。また、上記において、ターゲットは、Znを有し、ターゲットに含まれるZnの原子数比は、ターゲットに含まれるInの原子数比より小さくてもよい。また、上記において、酸化膜のスパッタリング成膜は、酸素を含む雰囲気、基板加熱しながら行ってもよい。

[0029]

また、上記において、第1の絶縁膜、第4の絶縁膜、および第6の絶縁膜は、アルミニウムおよびハフニウムの少なくとも一方を含む、酸化物であってもよい。

発明の効果

[0030]

本発明の一態様により、信頼性が良好な半導体装置を提供することができる。本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。本発明の一態様により、生産性の高い半導体装置を提供することができる。

[0031]

または、長期間においてデータの保持が可能な半導体装置を提供することができる。または、データの書き込み速度が速い半導体装置を提供することができる。または、設計自由度が高い半導体装置を提供することができる。または、消費電力を抑えることができる半導体装置を提供することができる。または、新規な半導体装置を提供することができる。

[0032]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0033]

[図1] 本発明の一態様に係る半導体装置の上面図および断面図。

[図2] 本発明の一態様に係る半導体装置の断面図。

[図3] 本発明の一態様に係る半導体装置の断面図。

[図4] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

[図5] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

[図6] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

[図7] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

[図8] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

[図9] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

[図10] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

[図11] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

[図12] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

[図13] 本発明の一態様に係る半導体装置の作製方法を示す断面図。

[図14] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

[図15] 本発明の一態様に係る半導体装置の上面図および断面図。

[図16] 本発明の一態様に係る半導体装置の上面図および断面図。

[図17] 本発明の一態様に係る半導体装置の上面図および断面図。

[図18] 本発明の一態様に係る半導体装置の上面図および断面図。

[図19] 本発明の一態様に係る半導体装置の断面図。

[図20] 本発明の一態様に係る半導体装置の上面図および断面図。

- [図 2 1] 本発明の一態様に係る記憶装置の上面図および断面図。
- [図 2 2] 本発明の一態様に係る記憶装置の回路図。
- [図 2 3] 本発明の一態様に係る記憶装置の模式図。
- [図 2 4] 本発明の一態様に係る記憶装置の模式図。
- [図 2 5] 本発明の一態様に係る記憶装置の構成を示す断面図。
- [図 2 6] 本発明の一態様に係る記憶装置の構成を示す断面図。
- [図 2 7] 本発明の一態様に係る記憶装置の構成を示す断面図。
- [図 2 8] 本発明の一態様に係る記憶装置の構成例を示すブロック図。
- [図 2 9] 本発明の一態様に係る記憶装置の構成例を示す回路図。
- [図 3 0] 本発明の一態様に係る記憶装置の構成例を示す回路図。
- [図 3 1] 本発明の一態様に係る記憶装置の構成例を示すブロック図。
- [図 3 2] 本発明の一態様に係る記憶装置の構成例を示すブロック図および回路図。
- [図 3 3] 本発明の一態様に係る A I システムの構成例を示すブロック図。
- [図 3 4] 本発明の一態様に係る A I システムの応用例を説明するブロック図。
- [図 3 5] 本発明の一態様に係る A I システムを組み込んだ I C の構成例を示す斜視模式図。
- [図 3 6] 本発明の一態様に係る電子機器及びシステムの構成例を示す図。
- [図 3 7] 本発明の一態様に係る並列計算機、計算機、及び P C カードの構成例を示す図。
- [図 3 8] 本発明の一態様に係るシステムの構成例を示す図。
- [図 3 9] 本発明の実施例に係るトランジスタの電気特性を示す図。
- [図 4 0] 本発明の実施例に係るトランジスタの ΔV_{sh} のストレス時間依存性を説明する図。

発明を実施するための形態

[0034]

以下、実施の形態について図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

[0035]

また、図面において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお、図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、実際の製造工程において、エッチングなどの処理により層やレジストマスクなどが意図せずに目減りすることがあるが、理解を容易とするために図に反映しないことがある。また、図面において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

[0036]

また、特に上面図（「平面図」ともいう。）や斜視図などにおいて、発明の理解を容易とするため、一部の構成要素の記載を省略する場合がある。また、一部の隠れ線などの記載を省略する場合がある。

[0037]

また、本明細書等において、第 1、第 2 等として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第 1 の」を「第 2 の」または「第 3 の」

などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

[0038]

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。したがって、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

[0039]

例えば、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接的に接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。

[0040]

ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

[0041]

XとYとが直接的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に接続されていない場合であり、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）を介さずに、XとYとが、接続されている場合である。

[0042]

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。なお、XとYとが電氣的に接続されている場合は、XとYとが直接的に接続されている場合を含むものとする。

[0043]

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフト回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きくできる回路、オペアンプ、差動増幅回路、ソースフォロウ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。なお、XとYとが機能的に接続されている場合は、XとYとが直接的に接続されている場合と、XとYとが電氣的に

接続されている場合とを含むものとする。

[0044]

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域、またはドレイン電極）とソース（ソース端子、ソース領域、またはソース電極）の間にチャンネルが形成される領域を有しており、チャンネルが形成される領域を介して、ソースとドレインとの間に電流を流すことができるものである。なお、本明細書等において、チャンネルが形成される領域とは、電流が主として流れる領域をいう。

[0045]

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができる場合がある。

[0046]

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに、半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値、または平均値とする。

[0047]

チャンネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに、半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅が全ての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値、または平均値とする。

[0048]

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、「実効的なチャンネル幅」ともいう。）と、トランジスタの上面図において示されるチャンネル幅（以下、「見かけ上のチャンネル幅」ともいう。）と、が異なる場合がある。例えば、ゲート電極が半導体の側面を覆う場合、実効的なチャンネル幅が、見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつゲート電極が半導体の側面を覆うトランジスタでは、半導体の側面に形成されるチャンネル形成領域の割合が大きくなる場合がある。その場合は、見かけ上のチャンネル幅よりも、実効的なチャンネル幅の方が大きくなる。

[0049]

このような場合、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

[0050]

そこで、本明細書では、見かけ上のチャネル幅を、「囲い込みチャネル幅 (SCW: Surrounded Channel Width)」と呼ぶ場合がある。また、本明細書では、単にチャネル幅と記載した場合には、囲い込みチャネル幅または見かけ上のチャネル幅を指す場合がある。または、本明細書では、単にチャネル幅と記載した場合には、実効的なチャネル幅を指す場合がある。なお、チャネル長、チャネル幅、実効的なチャネル幅、見かけ上のチャネル幅、囲い込みチャネル幅などは、断面TEM像などを解析することなどによって、値を決定することができる。

[0051]

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物と言える。不純物が含まれることにより、例えば、半導体のDOS (Density of States) が高くなることや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、および酸化物半導体の主成分以外の遷移金属などがあり、例えば、水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、水も不純物として機能する場合がある。また、酸化物半導体の場合、例えば不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコンである場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

[0052]

なお、本明細書等において、酸化窒化シリコン膜とは、その組成として、窒素よりも酸素の含有量が多いものである。例えば、好ましくは酸素が55原子%以上65原子%以下、窒素が1原子%以上20原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の濃度範囲で含まれるものをいう。また、窒化酸化シリコン膜とは、その組成として、酸素よりも窒素の含有量が多いものである。例えば、好ましくは窒素が55原子%以上65原子%以下、酸素が1原子%以上20原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の濃度範囲で含まれるものをいう。

[0053]

また、本明細書等において、「膜」という用語と、「層」という用語とは、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

[0054]

また、本明細書等において、「絶縁体」という用語を、絶縁膜または絶縁層と言い換えることができる。また、「導電体」という用語を、導電膜または導電層と言い換えることができる。また、「半導体」という用語を、半導体膜または半導体層と言い換えることができる。

[0055]

また、本明細書等に示すトランジスタは、明示されている場合を除き、電界効果トランジスタとする。また、本明細書等に示すトランジスタは、明示されている場合を除き、nチャネル型のトランジスタとする。よって、その閾値電圧 (V_{th} とともいう。) は、明示されている場合を除き、0Vよりも大きいものとする。

[0056]

また、本明細書等において、「平行」とは、二つの直線が -10 度以上 10 度以下の角度で配置されている状態をいう。したがって、 -5 度以上 5 度以下の場合も含まれる。また、「略平行」とは、二つの直線が -30 度以上 30 度以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80 度以上 100 度以下の角度で配置されている状態をいう。したがって、 85 度以上 95 度以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60 度以上 120 度以下の角度で配置されている状態をいう。

[0057]

なお、本明細書において、バリア膜とは、水素などの不純物および酸素の透過を抑制する機能を有する膜のことであり、当該バリア膜に導電性を有する場合は、導電性バリア膜と呼ぶことがある。

[0058]

本明細書等において、金属酸化物 (metal oxide) とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体 (透明酸化物導電体を含む。)、酸化物半導体 (Oxide Semiconductor または単に OS ともいう。) などに分類される。例えば、トランジスタの半導体層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、OS FET あるいは OS トランジスタと記載する場合においては、酸化物または酸化物半導体を有するトランジスタと換言することができる。

[0059]

また、本明細書等において、ノーマリーオフとは、ゲートに電位を印加しない、またはゲートに接地電位を与えたときに、トランジスタに流れるチャネル幅 $1\ \mu\text{m}$ あたりの電流が、室温において $1 \times 10^{-20}\text{A}$ 以下、 85°C において $1 \times 10^{-18}\text{A}$ 以下、または 125°C において $1 \times 10^{-16}\text{A}$ 以下であることをいう。

[0060]

(実施の形態 1)

以下では、本発明の一態様に係るトランジスタ 200 を有する半導体装置の一例について説明する。

[0061]

<半導体装置の構成例>

図 1 (A)、図 1 (B)、および図 1 (C) は、本発明の一態様に係るトランジスタ 200、およびトランジスタ 200 周辺の上面図および断面図である。

[0062]

図 1 (A) は、トランジスタ 200 を有する半導体装置の上面図である。また、図 1 (B)、および図 1 (C) は、当該半導体装置の断面図である。ここで、図 1 (B) は、図 1 (A) に A1-A2 の一点鎖線で示す部位の断面図であり、トランジスタ 200 のチャネル長方向の断面図でもある。また、図 1 (C) は、図 1 (A) に A3-A4 の一点鎖線で示す部位の断面図であり、トランジスタ 200 のチャネル幅方向の断面図でもある。なお、図 1 (A) の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0063]

本発明の一態様の半導体装置は、トランジスタ 200 と、層間膜として機能する絶縁体 210、絶縁体 212、および絶縁体 281 を有する。また、トランジスタ 200 と電気的に接続し、配線として機能する導電体 203、およびプラグとして機能する導電体 240 (導電体 240a、および導電

体 2 4 0 b) とを有する。

[0064]

なお、導電体 2 0 3 は、絶縁体 2 1 2 の開口の内壁に接して導電体 2 0 3 a が形成され、さらに内側に導電体 2 0 3 b が形成されている。ここで、導電体 2 0 3 の上面の高さと、絶縁体 2 1 2 の上面の高さは同程度にできる。なお、トランジスタ 2 0 0 では、導電体 2 0 3 が導電体 2 0 3 a および導電体 2 0 3 b の積層構造となる構成について示しているが、本発明はこれに限られるものではない。例えば、導電体 2 0 3 を単層、または 3 層以上の積層構造として設ける構成にしてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

[0065]

また、導電体 2 4 0 は、絶縁体 2 4 4、絶縁体 2 8 0、絶縁体 2 7 4、および絶縁体 2 8 1 の開口の内壁に接して導電体 2 4 0 の第 1 の導電体が形成され、さらに内側に導電体 2 4 0 の第 2 の導電体が形成されている。ここで、導電体 2 4 0 の上面の高さと、絶縁体 2 8 1 の上面の高さは同程度にできる。なお、トランジスタ 2 0 0 では、導電体 2 4 0 の第 1 の導電体および導電体 2 4 0 の第 2 の導電体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体 2 4 0 を単層、または 3 層以上の積層構造として設ける構成にしてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

[0066]

[トランジスタ 2 0 0]

図 1 に示すように、トランジスタ 2 0 0 は、基板（図示しない。）の上に配置された絶縁体 2 2 2 と、絶縁体 2 2 2 の上に配置された絶縁体 2 2 4 と、絶縁体 2 2 4 の上に配置された酸化物 2 3 0 と、酸化物 2 3 0 上に、互いに離して配置された導電体 2 4 2 a、および導電体 2 4 2 b と、酸化物 2 3 0、導電体 2 4 2 a、および導電体 2 4 2 b の上に配置された絶縁体 2 5 0 と、絶縁体 2 5 0 の上に配置され、少なくとも一部が導電体 2 4 2 a と導電体 2 4 2 b の間の領域に重なるように配置された導電体 2 6 0 と、酸化物 2 3 0、導電体 2 4 2 a、導電体 2 4 2 b、絶縁体 2 5 0、および導電体 2 6 0、を覆って配置された絶縁体 2 4 4 と、絶縁体 2 4 4 の上に配置された絶縁体 2 8 0 と、絶縁体 2 8 0 の上に配置された絶縁体 2 7 4 と、を有する。ここで、絶縁体 2 4 4 は、少なくとも一部に、絶縁体 2 2 4 に達する開口 2 9 0 が形成され、絶縁体 2 8 0 は、開口 2 9 0 を介して絶縁体 2 2 4 に接することが好ましい。

[0067]

ここで、絶縁体 2 2 2、絶縁体 2 4 4、および絶縁体 2 7 4 は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）ことが好ましい。例えば、絶縁体 2 2 2、絶縁体 2 4 4、および絶縁体 2 7 4 は、絶縁体 2 2 4 または絶縁体 2 8 0 より酸素透過性が低いことが好ましい。

[0068]

また、酸化物 2 3 0 は、絶縁体 2 2 4 の上に配置された酸化物 2 3 0 a と、酸化物 2 3 0 a の上に配置された酸化物 2 3 0 b と、酸化物 2 3 0 b、導電体 2 4 2 a、および導電体 2 4 2 b の上に配置され、少なくとも一部が酸化物 2 3 0 b に接する酸化物 2 3 0 c と、を有することが好ましい。

[0069]

なお、トランジスタ 2 0 0 では、チャネルが形成される領域（以下、チャネル形成領域ともいう。）と、その近傍において、酸化物 2 3 0 a、酸化物 2 3 0 b、および酸化物 2 3 0 c の 3 層を積層する

構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物 230b の単層、酸化物 230b と酸化物 230a の 2 層構造、酸化物 230b と酸化物 230c の 2 層構造、または 4 層以上の積層構造を設ける構成にしてもよい。また、トランジスタ 200 では、導電体 260 を 2 層の積層構造として示しているが、本発明はこれに限られるものではない。例えば、導電体 260 が、単層構造であってもよいし、3 層以上の積層構造であってもよい。

[0070]

ここで、導電体 260 は、トランジスタのゲート電極として機能し、導電体 242a および導電体 242b は、それぞれソース電極またはドレイン電極として機能する。導電体 260 は、絶縁体 250 を介して導電体 242a と重なる領域と、絶縁体 250 を介して導電体 242b と重なる領域を有することが好ましい。導電体 260 をこのような形状にすることにより、導電体 260 に位置合わせのマーゲンを持たせることができるので、酸化物 230 の導電体 242a と導電体 242b の間の領域に、導電体 260 を確実に重畳させることができる。

[0071]

なお、図 1 に示すように、導電体 260 は、導電体 260a と、導電体 260a の上に配置された導電体 260b と、を有することが好ましい。また、以下において、導電体 242a および導電体 242b をまとめて導電体 242 という場合がある。

[0072]

また、トランジスタ 200 は、基板（図示しない。）の上に配置された絶縁体 214 と、絶縁体 214 の上に配置された絶縁体 216 と、絶縁体 214 および絶縁体 216 に埋め込まれるように配置された導電体 205 と、絶縁体 216 と導電体 205 の上に配置された絶縁体 220 と、を有することが好ましい。さらに、絶縁体 220 の上に絶縁体 222 が配置されることが好ましい。

[0073]

また、トランジスタ 200 は、チャネル形成領域を含む酸化物 230（酸化物 230a、酸化物 230b、および酸化物 230c）に、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。

[0074]

チャネル形成領域に酸化物半導体を用いたトランジスタ 200 は、非導通状態において極めてリーク電流が小さいため、低消費電力の半導体装置を提供できる。また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタ 200 に用いることができる。

[0075]

例えば、酸化物 230 として、In-M-Zn 酸化物（元素 M は、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。特に、元素 M は、アルミニウム、ガリウム、イットリウム、または錫を用いるとよい。また、酸化物 230 として、In-Ga 酸化物、In-Zn 酸化物を用いてもよい。

[0076]

ここで、酸化物 230 は、水素、窒素、または金属元素などの不純物が存在すると、キャリア密度が増大し、低抵抗化する場合がある。また、酸化物 230 に含まれる酸素濃度が低下すると、キャリ

ア密度が増大し、低抵抗化する場合がある。

[0077]

酸化物230上に接するように設けられ、ソース電極やドレイン電極として機能する導電体242（導電体242a、および導電体242b）が、酸化物230の酸素を吸収する機能を有する場合、または酸化物230に水素、窒素、または金属元素などの不純物を供給する機能を有する場合、酸化物230には、部分的に低抵抗領域が形成される場合がある。

[0078]

ここで、図1（B）の一部の領域の拡大図を図2に示す。図2に示すように、酸化物230上に接するように導電体242が設けられ、酸化物230の、導電体242との界面とその近傍には、低抵抗領域として、領域243（領域243a、および領域243b）が形成されている。酸化物230は、トランジスタ200のチャンネル形成領域として機能する領域234と、領域243の一部を含み、ソース領域またはドレイン領域として機能する領域231（領域231a、および領域231b）と、を有する。

[0079]

ソース領域またはドレイン領域として機能する領域231において、特に領域243は、酸素濃度が低い、または水素や、窒素や、金属元素などの不純物を含む、ことでキャリア濃度が増加し、低抵抗化した領域である。すなわち、領域231は、領域234と比較して、キャリア密度が高く、低抵抗な領域である。また、チャンネル形成領域として機能する領域234は、領域231のうち、特に領域243よりも、酸素濃度が高い、または不純物濃度が低いいため、キャリア密度が低い高抵抗領域である。

[0080]

ここで、酸化物半導体を用いたトランジスタは、酸化物半導体中のチャンネルが形成される領域に不純物および酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸化物半導体中のチャンネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となりやすい。したがって、チャンネルが形成される領域234中の酸素欠損はできる限り低減されていることが好ましい。

[0081]

トランジスタのノーマリーオン化を抑制するには、酸化物230に接して、加熱により脱離する酸素を含む領域を有する絶縁体を設け、熱処理によって当該絶縁体を含む酸素を酸化物230へと拡散させればよい。例えば、絶縁体280に酸素を添加し、絶縁体280に含まれる酸素を、熱処理によって拡散させればよい。これにより、酸化物230に酸素が供給され、当該酸素により、酸化物230の酸素欠損を低減し、トランジスタのノーマリーオン化を抑制することができる。

[0082]

その一方、酸化物230に過剰酸素が供給されると、電圧、高温などのストレスにより、酸化物230中の過剰酸素の構造が変化する場合がある。これにより、酸化物230を有するトランジスタの電気特性が不安定になる、または信頼性が低下する恐れがある。

[0083]

本実施の形態では、図2に示すように、加熱により脱離する酸素292を含む絶縁体280から、絶縁体224を介して、酸化物230に拡散する経路で、酸素292の供給を行う。これにより、酸化物230に供給する酸素量を制御し、酸化物230に過剰な量の酸素が供給されるのを抑制する。

[0084]

上記の通り、絶縁体244は酸素が透過しにくい絶縁体なので、絶縁体280に含まれる酸素292は、導電体260、絶縁体250、および酸化物230の上面または側面に直接浸入することはできない。また、絶縁体274も酸素が透過しにくい絶縁体なので、絶縁体280に含まれる酸素292の上方拡散は抑制される。よって、図2に示すように、絶縁体280に含まれる酸素292は、絶縁体244の開口290を介して、絶縁体224に供給される。

[0085]

さらに、絶縁体224に供給された酸素292は、酸素が透過しにくい絶縁体222により、下方拡散が抑制されるので、酸化物230に拡散する。このようにして、酸化物230のチャネル形成領域として機能する領域234に酸素292が供給される。このようにして、酸化物230の酸素欠損を低減し、トランジスタのノーマリーオン化を抑制することができる。

[0086]

また、低抵抗領域である領域243が金属元素を含む場合、領域243は、酸化物230に含まれる金属元素の他に、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどの金属元素の中から選ばれるいずれか一つまたは複数の金属元素を有することが好ましい。

[0087]

また、図2では、領域243が、酸化物230bの膜厚方向において、酸化物230bの導電体242との界面近傍に形成されているが、これに限られない。例えば、領域243は、酸化物230bの膜厚と概略同じ厚さを有していてもよいし、酸化物230aにも、形成されていてもよい。

[0088]

また、酸化物230において、各領域の境界を明確に検出することが困難な場合がある。各領域内で検出される金属元素、ならびに水素、および窒素などの不純物元素の濃度は、領域ごとの段階的な変化に限らず、各領域内でも連続的に変化（グラデーションともいう。）していてもよい。つまり、チャネル形成領域に近い領域であるほど、金属元素、ならびに水素、および窒素などの不純物元素の濃度が減少していればよい。

[0089]

酸化物230を、選択的に低抵抗化するには、導電体242として、例えば、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどの導電性を高める金属元素、および不純物の少なくとも一を含む材料を用いることが好ましい。または、導電体242の形成において、酸化物230に、酸素欠損を形成する元素、または酸素欠損に捕獲される元素などの不純物が注入される材料や成膜方法などを用いればよい。例えば、当該元素として、水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、塩素、希ガス元素等が挙げられる。また、希ガス元素の代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、およびキセノン等がある。

[0090]

また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタに用いることができる。また、チャネル形成領域に酸化物半導体を用いたトラ

ンジスタは、非導通状態において極めてリーク電流（オフ電流）が小さいため、低消費電力の半導体装置を提供できる。

[0091]

以上より、オン電流が大きいトランジスタを有する半導体装置を提供することができる。または、オフ電流が小さいトランジスタを有する半導体装置を提供することができる。または、電気特性の変動を抑制し、安定した電気特性を有するとともに、信頼性を向上させた半導体装置を提供することができる。

[0092]

以下では、本発明の一態様に係るトランジスタ200を有する半導体装置の詳細な構成について説明する。

[0093]

導電体203は、図1（A）および図1（C）に示すように、チャネル幅方向に延伸されており、導電体205に電位を印加する配線として機能する。なお、導電体203は、絶縁体212に埋め込まれて設けることが好ましい。

[0094]

導電体205は、酸化物230、および導電体260と、重なるように配置する。また、導電体205は、導電体203の上に接して設けるとよい。また、導電体205は、絶縁体214および絶縁体216に埋め込まれて設けることが好ましい。

[0095]

ここで、導電体260は、第1のゲート（トップゲートともいう。）電極として機能する場合がある。また、導電体205は、第2のゲート（ボトムゲートともいう。）電極として機能する場合がある。その場合、導電体205に印加する電位を、導電体260に印加する電位と、連動させず、独立して変化させることで、トランジスタ200の V_{th} を制御することができる。特に、導電体205に負の電位を印加することにより、トランジスタ200の V_{th} を0Vより大きくし、オフ電流を低減することが可能となる。したがって、導電体205に負の電位を印加したほうが、印加しない場合よりも、導電体260に印加する電位が0Vのときのドレイン電流を小さくすることができる。

[0096]

また、導電体203上に導電体205を設けることで、第1のゲート電極、および配線としての機能を有する導電体260と、導電体203との距離を適宜設計することが可能となる。つまり、導電体203と導電体260の間に絶縁体214および絶縁体216などが設けられることで、導電体203と導電体260の間の寄生容量を低減し、導電体203と導電体260の間の絶縁耐圧を高めることができる。

[0097]

また、導電体203と導電体260の間の寄生容量を低減することで、トランジスタ200のスイッチング速度を向上させ、高い周波数特性を有するトランジスタにすることができる。また、導電体203と導電体260の間の絶縁耐圧を高めることで、トランジスタ200の信頼性を向上させることができる。よって、絶縁体214および絶縁体216の膜厚を厚くすることが好ましい。なお、導電体203の延伸方向はこれに限られず、例えば、トランジスタ200のチャネル長方向に延伸されてもよい。

[0098]

なお、導電体205は、図1(A)に示すように、酸化物230、および導電体260と重なるように配置する。また、導電体205は、酸化物230における領域234よりも、大きく設けるとよい。特に、図1(C)に示すように、導電体205は、酸化物230の領域234のチャンネル幅方向と交わる端部よりも外側の領域においても、延伸していることが好ましい。つまり、酸化物230のチャンネル幅方向における側面の外側において、導電体205と、導電体260とは、絶縁体を介して重畳していることが好ましい。

[0099]

上記構成を有することで、導電体260、および導電体205に電位を印加した場合、導電体260から生じる電界と、導電体205から生じる電界と、がつながり、酸化物230に形成されるチャンネル形成領域を覆うことができる。

[0100]

つまり、第1のゲート電極としての機能を有する導電体260の電界と、第2のゲート電極としての機能を有する導電体205の電界によって、領域234のチャンネル形成領域を電氣的に取り囲むことができる。本明細書において、第1のゲート電極、および第2のゲート電極の電界によって、チャンネル形成領域を電氣的に取り囲むトランジスタの構造を、surrounded channel (S-channel) 構造とよぶ。

[0101]

また、導電体205は、絶縁体214および絶縁体216の開口の内壁に接して導電体205aが形成され、さらに内側に導電体205bが形成されている。ここで、導電体205aおよび導電体205bの上面の高さと、絶縁体216の上面の高さは同程度にできる。なお、トランジスタ200では、導電体205aおよび導電体205bを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体205は、単層、または3層以上の積層構造として設ける構成にしてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

[0102]

ここで、導電体205aまたは導電体203aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する(上記不純物が透過しにくい。)導電性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する(上記酸素が透過しにくい。)導電性材料を用いることが好ましい。なお、本明細書において、不純物、または酸素の拡散を抑制する機能とは、上記不純物、または上記酸素のいずれか一またはすべての拡散を抑制する機能とする。

[0103]

導電体205aまたは導電体203aが酸素の拡散を抑制する機能を持つことにより、導電体205bまたは導電体203bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウムまたは酸化ルテニウムなどを用いることが好ましい。したがって、導電体205aまたは導電体203aとしては、上記導電性材料を単層または積層とすればよい。これにより、水素、水などの不純物が、導電体203、および導電体205を通じて、トランジスタ200側に拡散するのを抑制することができる。

[0104]

また、導電体205bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用

いることが好ましい。なお、導電体 205b を単層で図示したが、積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

[0105]

また、導電体 203b は、配線として機能するため、導電体 205b より導電性が高い導電体を用いることが好ましい。例えば、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体 203b は積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

[0106]

特に、導電体 203b に、銅を用いることが好ましい。銅は抵抗が小さいため、配線等に用いることが好ましい。一方、銅は拡散しやすいため、酸化物 230 に拡散することで、トランジスタ 200 の電気特性を低下させる場合がある。そこで、例えば、絶縁体 214 には、銅の透過性が低い酸化アルミニウム、または酸化ハフニウムなどの材料を用いることで、銅の拡散を抑えることができる。

[0107]

なお、導電体 205、絶縁体 214、および絶縁体 216 は必ずしも設けなくともよい。その場合、導電体 203 の一部が第 2 のゲート電極として機能することができる。

[0108]

絶縁体 210、および絶縁体 214 は、水または水素などの不純物が、基板側からトランジスタ 200 に混入するのを抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁体 210、および絶縁体 214 は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子 (N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）絶縁性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）絶縁性材料を用いることが好ましい。

[0109]

例えば、絶縁体 210 として酸化アルミニウムなどを用い、絶縁体 214 として窒化シリコンなどを用いることが好ましい。これにより、水素、水などの不純物が絶縁体 210 および絶縁体 214 よりも基板側からトランジスタ 200 側に拡散するのを抑制することができる。または、絶縁体 224 などに含まれる酸素が、絶縁体 210 および絶縁体 214 よりも基板側に、拡散するのを抑制することができる。

[0110]

また、導電体 203 の上に導電体 205 を積層して設ける構成にすることにより、導電体 203 と導電体 205 の間に絶縁体 214 を設けることができる。ここで、導電体 203b に銅など拡散しやすい金属を用いても、絶縁体 214 として窒化シリコンなどを設けることにより、当該金属が絶縁体 214 より上の層に拡散するのを抑制することができる。

[0111]

また、層間膜として機能する絶縁体 212、絶縁体 216、絶縁体 280、および絶縁体 281 は、絶縁体 210、または絶縁体 214 よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0112]

例えば、絶縁体 212、絶縁体 216、絶縁体 280、および絶縁体 281 として、酸化シリコン、

酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛 (P Z T)、チタン酸ストロンチウム (SrTiO_3) または (Ba, SrTiO_3 (B S T) などの絶縁体を単層または積層で用いることができる。またはこれらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコン、または窒化シリコンを積層して用いてもよい。

[0113]

絶縁体220、絶縁体222、絶縁体224、および絶縁体250は、ゲート絶縁体としての機能を有する。

[0114]

ここで、酸化物230と接する絶縁体224からは、加熱により酸素が脱離することが好ましい。このような酸素を含む絶縁体を酸化物230に接して設けることにより、酸化物230中の酸素欠損を低減し、トランジスタ200の信頼性を向上させることができる。

[0115]

絶縁体224として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素が脱離する酸化物とは、TDS (Thermal Desorption Spectroscopy) 分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 、または $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては 100°C 以上 700°C 以下、または 100°C 以上 400°C 以下の範囲が好ましい。

[0116]

絶縁体222は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）ことが好ましい。例えば、絶縁体222は、絶縁体224より酸素透過性が低いことが好ましい。

[0117]

絶縁体222が、酸素や不純物の拡散を抑制する機能を有することで、酸化物230が有する酸素は、絶縁体220側へ拡散することがなく、好ましい。また、導電体205が、絶縁体224や、酸化物230が有する酸素と反応することを抑制することができる。

[0118]

特に、不純物、および酸素などの拡散を抑制する機能を有する（上記酸素が透過しにくい。）絶縁性材料であるアルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体222を形成した場合、絶縁体222は、酸化物230からの酸素の放出や、トランジスタ200の周辺部から酸化物230への水素等の不純物の混入を抑制する層として機能する。

[0119]

または、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化

ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

[0120]

また、絶縁体222は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛(PZT)、チタン酸ストロンチウム(SrTiO_3)または($\text{Ba, Sr})\text{TiO}_3$ (BST)などのいわゆるh i g h-k材料を含む絶縁体を単層または積層で用いてもよい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体にh i g h-k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

[0121]

また、絶縁体220は、熱的に安定していることが好ましい。例えば、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、好適である。また、h i g h-k材料の絶縁体を酸化シリコン、または酸化窒化シリコンと組み合わせることで、熱的に安定かつ比誘電率の高い積層構造の絶縁体220を得ることができる。

[0122]

なお、絶縁体220、絶縁体222、および絶縁体224が、2層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。また、絶縁体220を設けず、絶縁体222と絶縁体224だけを設ける構成にしてもよい。

[0123]

酸化物230は、酸化物230aと、酸化物230a上の酸化物230bと、酸化物230b上の酸化物230cと、を有する。酸化物230bの下に酸化物230aを有することで、酸化物230aよりも下方に形成された構造から、酸化物230bへの不純物の拡散を抑制することができる。また、酸化物230b上に酸化物230cを有することで、酸化物230cよりも上方に形成された構造から、酸化物230bへの不純物の拡散を抑制することができる。

[0124]

なお、酸化物230は、各金属原子の原子数比が異なる酸化物からなる積層構造を有することが好ましい。具体的には、酸化物230aに用いる金属酸化物において、構成元素中の元素Mの原子数比が、酸化物230bに用いる金属酸化物における、構成元素中の元素Mの原子数比より、大きいことが好ましい。また、酸化物230aに用いる金属酸化物において、I nに対する元素Mの原子数比が、酸化物230bに用いる金属酸化物における、I nに対する元素Mの原子数比より大きいことが好ましい。また、酸化物230bに用いる金属酸化物において、元素Mに対するI nの原子数比が、酸化物230aに用いる金属酸化物における、元素Mに対するI nの原子数比より大きいことが好ましい。また、酸化物230cは、酸化物230aまたは酸化物230bに用いることができる金属酸化物を、用いることができる。

[0125]

また、詳細は後述するが、酸化物230に、弱いZ n-O結合が存在すると、トランジスタの安定性が低下する場合がある。よって、酸化物230、特に酸化物230bに含まれるZ nが少ない方が好ましい。例えば、酸化物230bに含まれるZ nの原子数比は、酸化物230bに含まれるI nの原子数比より小さくすればよい。

[0126]

また、酸化物230bは、結晶性を有することが好ましい。例えば、後述するCAAC-OS (c-axis aligned crystalline oxide semiconductor) を用いることが好ましい。CAAC-OSなどの結晶性を有する酸化物は、不純物や欠陥（酸素欠損など）が少なく、結晶性の高い、緻密な構造を有している。よって、ソース電極またはドレイン電極による、酸化物230bからの酸素の引き抜きを抑制することができる。これにより、熱処理を行っても、酸化物230bから酸素が引き抜かれることを低減できるので、トランジスタ200は、製造工程における高い温度（所謂サーマルバジェット）に対して安定である。

[0127]

また、酸化物230aおよび酸化物230cの伝導帯下端のエネルギーが、酸化物230bの伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物230aおよび酸化物230cの電子親和力が、酸化物230bの電子親和力より小さいことが好ましい。

[0128]

ここで、酸化物230a、酸化物230b、および酸化物230cの接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物230a、酸化物230b、および酸化物230cの接合部における伝導帯下端のエネルギー準位は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物230aと酸化物230bとの界面、および酸化物230bと酸化物230cとの界面において形成される混合層の欠陥準位密度を低くするとよい。

[0129]

具体的には、酸化物230aと酸化物230b、酸化物230bと酸化物230cが、酸素以外に共通の元素を有する（主成分とする。）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物230bがIn-Ga-Zn酸化物の場合、酸化物230aおよび酸化物230cとして、In-Ga-Zn酸化物、Ga-Zn酸化物、酸化ガリウムなどを用いるとよい。

[0130]

このとき、キャリアの主たる経路は酸化物230bとなる。酸化物230a、酸化物230cを上述の構成とすることで、酸化物230aと酸化物230bとの界面、および酸化物230bと酸化物230cとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ200は大きいオン電流を得られる。

[0131]

また、酸化物230は、領域231および領域234を有する。なお、領域231の少なくとも一部は、導電体242と接する領域を有する。

[0132]

なお、トランジスタ200をオンさせると、領域231a、または領域231bは、ソース領域、またはドレイン領域として機能する。一方、領域234の少なくとも一部は、チャネルが形成される領域として機能する。また、領域231と領域234との間に、接合領域として機能する領域を有していてもよい。

[0133]

つまり、各領域の範囲を適宜選択することにより、回路設計に合わせて、要求に見合う電気特性を有するトランジスタを容易に提供することができる。

[0134]

酸化物230は、酸化物半導体として機能する金属酸化物を用いることが好ましい。例えば、領域234となる金属酸化物としては、バンドギャップが2 eV以上、好ましくは2.5 eV以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

[0135]

酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいため、低消費電力の半導体装置を提供できる。また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタに用いることができる。

[0136]

酸化物230b上には、ソース電極、およびドレイン電極として機能する導電体242（導電体242a、および導電体242b）が設けられる。導電体242としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。

[0137]

酸化物230と接するように上記導電体242を設けることで、領域243の酸素濃度が低減する場合がある。また、領域243に導電体242に含まれる金属と、酸化物230の成分とを含む金属化合物層が形成される場合がある。このような場合、領域243のキャリア密度が増加し、領域243は、低抵抗領域となる。

[0138]

ここで、導電体242aと導電体242bの間の領域は、絶縁体280の開口に重畳して形成される。これにより、導電体242aと導電体242bの間に導電体260を自己整合的に配置することができる。

[0139]

絶縁体250は、ゲート絶縁体として機能する。絶縁体250は、酸化物230cの上面に接して配置することが好ましい。絶縁体250は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

[0140]

絶縁体224と同様に、絶縁体250中の水または水素などの不純物濃度が低減されていることが好ましい。絶縁体250の膜厚は、1 nm以上20 nm以下とするのが好ましい。

[0141]

また、絶縁体250と導電体260との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体250から導電体260への酸素拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体250から導電体260への酸素の拡散が抑制される。つまり、絶縁体250の酸素による導電体260の酸化を抑制することができる。

[0142]

また、当該金属酸化物は、ゲート絶縁体の一部としての機能を有する場合がある。したがって、絶縁体250に酸化シリコンや酸化窒化シリコンなどを用いる場合、当該金属酸化物は、比誘電率が高いhigh-k材料である金属酸化物を用いることが好ましい。ゲート絶縁体を、絶縁体250と当該金属酸化物との積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがって、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚(EOT)の薄膜化が可能となる。

[0143]

具体的には、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、または、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

[0144]

特に、アルミニウム、またはハフニウムの一方または双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物(ハフニウムアルミネート)などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱履歴において、結晶化しにくいため好ましい。なお、当該金属酸化物は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

[0145]

第1のゲート電極として機能する導電体260は、図1では2層構造として示しているが、単層構造でもよいし、3層以上の積層構造であってもよい。

[0146]

導電体260aは、導電体205aと同様に、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0147]

また、導電体260aが酸素の拡散を抑制する機能を持つことにより、絶縁体250に含まれる酸素により、導電体260bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。

[0148]

また、導電体260bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体260は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、またはアルミニウムを主成分とする導電性材料を

用いることができる。また、導電体260bは積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層構造としてもよい。

[0149]

また、図1(C)に示すように、導電体205が、酸化物230のチャネル幅方向と交わる端部よりも外側の領域において、延伸している場合、導電体260は、当該領域において、絶縁体250を介して、重畳していることが好ましい。つまり、酸化物230の側面の外側において、導電体205と、絶縁体250と、導電体260とは、積層構造を形成することが好ましい。

[0150]

上記構成を有することで、導電体260、および導電体205に電位を印加した場合、導電体260から生じる電界と、導電体205から生じる電界と、がつながり、酸化物230に形成されるチャネル形成領域を覆うことができる。

[0151]

つまり、第1のゲート電極としての機能を有する導電体260の電界と、第2のゲート電極としての機能を有する導電体205の電界によって、領域234のチャネル形成領域を電氣的に取り囲むことができる。

[0152]

絶縁体244は、酸化物230の側面、導電体242の側面、絶縁体250の側面、導電体260の上面と側面、および絶縁体224の上面に接することが好ましい。また、絶縁体244は、少なくとも一部に、絶縁体224に達する開口290が形成されている。

[0153]

開口290は、図1(A)に示すように、トランジスタ200の両側面の外側にチャネル幅方向に延伸したスリット形状に設けてもよい。該スリットは、A3-A4方向に延伸し、該方向に配置される複数のトランジスタにより共有されてもよいし、トランジスタ毎にスリット形状の開口290を設けてもよい。また、開口290の形状は、スリット形状に限らない。円、矩形、多角形の形状を有する開口290をトランジスタ毎に1つまたは複数設けてもよい。また、開口290は、酸化物230の外周を囲うように設けられてもよい。例えば、開口290が格子状に設けられてもよい。この場合、一、または複数のトランジスタ200が格子状の開口290に周囲を囲まれる構造を有することが好ましい。

[0154]

絶縁体244は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）ことが好ましい。例えば、絶縁体244は、絶縁体224より酸素透過性が低いことが好ましい。絶縁体244としては、例えば、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。なお、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱履歴において、結晶化しにくいと好ましい。

[0155]

絶縁体244は、ALD法を用いて成膜することが好ましい。ALD法は、被覆性の良好な成膜法なので、被形成面の凹凸によって、絶縁体244に段切れなどが形成されるのを防ぐことができる。

[0156]

このような絶縁体244を用いることで、絶縁体280に添加された酸素が、導電体260、絶縁体250、および酸化物230に直接浸入するのを防ぎ、当該酸素を、開口290を介して絶縁体224に拡散させることができる。つまり、酸化物230に供給される酸素の拡散経路を、絶縁体280から開口290を介して拡散する経路だけに限定することができる。

[0157]

ここで、開口290の面積は、絶縁体224と絶縁体280の接触面積に対応し、開口290の面積が大きくなるほど、絶縁体244と絶縁体280の接触面積は大きくなる。すなわち、絶縁体280に含まれる酸素が絶縁体224に拡散するための経路が広がる。酸化物230により多くの酸素を供給するためには、開口290の面積を大きくすればよく、酸化物230に供給される酸素の量を制限したい場合は、開口290の面積を小さくすればよい。このように、開口290の面積を適宜設定することにより、酸化物230に供給する酸素量を制御することができる。

[0158]

絶縁体280は、絶縁体244を介して、絶縁体224、酸化物230、導電体242、絶縁体250、および導電体260上に設けられる。さらに、絶縁体280は、絶縁体244に形成された開口290を介して、絶縁体224に接している。絶縁体280は、加熱により脱離する酸素を含む領域を有することが好ましい。例えば、絶縁体280として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、または空孔を有する酸化シリコンなどを有することが好ましい。特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、空孔を有する酸化シリコンなどの材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。

[0159]

上述のように、絶縁体280は、加熱により脱離する酸素を含む領域を有することが好ましい。加熱により酸素が放出される絶縁体280を、絶縁体224と接して設けることで、絶縁体280中の酸素を、絶縁体224を通じて、酸化物230の領域234へと効率良く供給することができる。なお、絶縁体280中の水または水素などの不純物濃度が低減されていることが好ましい。

[0160]

また、絶縁体280の上面は、平坦化されていてもよい。

[0161]

絶縁体274は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）ことが好ましい。例えば、絶縁体274は、絶縁体224より酸素透過性が低いことが好ましい。

[0162]

絶縁体274は、絶縁体280の上面に接して設けられることが好ましい。絶縁体274を、酸素を含む雰囲気でスパッタリング法を用いて成膜することで、絶縁体280に加熱により脱離する酸素を含む領域を設けることができる。これにより、当該領域から、絶縁体224を介して酸化物230中に酸素を供給することができる。ここで、絶縁体274が、酸素の拡散を抑制する機能を有することで、絶縁体280が有する酸素が、絶縁体281側へ拡散することを防ぐことができるので、好ましい。

[0163]

例えば、絶縁体274として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、またはマグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。特に、アルミニウム、またはハフニウムの一方または双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱履歴において、結晶化しにくいいため好ましい。

[0164]

特に、酸化アルミニウムはバリア性が高く、0.5 nm以上3.0 nm以下の薄膜であっても、水素、および窒素の拡散を抑制することができる。したがって、スパッタリング法で成膜した酸化アルミニウムは、水素などの不純物のバリア膜としての機能も有することができる。例えば、スパッタリング法で成膜した酸化アルミニウムを絶縁体274に用いることで、絶縁体274は、絶縁体280に酸素供給を行うとともに、絶縁体274の上からの水素などの不純物が、絶縁体280側に混入するのを抑制することができる。

[0165]

また、絶縁体274の上に、層間膜として機能する絶縁体281を設けることが好ましい。絶縁体281は、絶縁体224などと同様に、膜中の水または水素などの不純物濃度が低減されていることが好ましい。

[0166]

また、絶縁体281、絶縁体274、絶縁体280、および絶縁体244に形成された開口に、導電体240aおよび導電体240bを配置する。導電体240aおよび導電体240bは、導電体260を挟んで対向して設ける。なお、導電体240aおよび導電体240bの上面の高さは、絶縁体281の上面と、同一平面上としてもよい。

[0167]

なお、絶縁体281、絶縁体274、絶縁体280、および絶縁体244の開口の内壁に接して、導電体240aの第1の導電体が形成されている。当該開口の底部の少なくとも一部には導電体242aが位置しており、導電体240aが導電体242aと接する。同様に、絶縁体281、絶縁体274、絶縁体280、および絶縁体244の開口の内壁に接して、導電体240bの第1の導電体が形成されている。当該開口の底部の少なくとも一部には導電体242bが位置しており、導電体240bが導電体242bと接する。

[0168]

ここで、図3(A)に、図1(A)にA5-A6の一点鎖線で示す部位、すなわちトランジスタ200のソース領域またはドレイン領域の断面図を示す。図3に示すように、導電体240a（導電体240b）は、少なくとも導電体242a（導電体242b）の上面、および側面と接し、さらに酸化物230bの側面、および酸化物230aの側面と接することが好ましい。特に、導電体240a（導電体240b）は、酸化物230のチャネル幅方向と交わる側面において、A5側の側面、およびA6側の側面の双方または一方と接することが好ましい。また、導電体240a（導電体240b）が、酸化物230のチャネル長方向と交わる側面において、A1側（A2側）の側面と接する構成にしてもよい。このように、導電体240a、および導電体240bを、導電体242a（導電体24

2 b) の上面、および側面に加えて、酸化物 2 3 0 b の側面、および酸化物 2 3 0 a の側面と接する構成にすることにより、導電体 2 4 0 a (導電体 2 4 0 b) と導電体 2 4 2 a (導電体 2 4 2 b) のコンタクト部の上面積を増やすことなく、コンタクト部の接触面積を増加させ、導電体 2 4 0 a (導電体 2 4 0 b) と導電体 2 4 2 a (導電体 2 4 2 b) の接触抵抗を低減することができる。これにより、トランジスタのソース電極およびドレイン電極の微細化を図りつつ、オン電流を大きくすることができる。

[0169]

また、図 3 (B) は、導電体 2 4 2 a (導電体 2 4 2 b) の一部を露出する開口を形成する際、リソグラフィ法におけるマスクのアライメントが、A 5 方向にずれてしまった場合の例を示している。チャンネル幅方向において、導電体 2 4 2 a (導電体 2 4 2 b)、酸化物 2 3 0 b、および酸化物 2 3 0 a の幅よりも、開口の幅を大きくすることにより、アライメントずれが生じて、導電体 2 4 0 a (導電体 2 4 0 b) は、導電体 2 4 2 a (導電体 2 4 2 b) の上面、および側面、酸化物 2 3 0 b の側面、および酸化物 2 3 0 a の側面と接することができ、良好なコンタクトが得られる。

[0170]

導電体 2 4 0 a および導電体 2 4 0 b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体 2 4 0 a および導電体 2 4 0 b は積層構造としてもよい。

[0171]

また、導電体 2 4 0 を積層構造とする場合、酸化物 2 3 0 a、酸化物 2 3 0 b、導電体 2 4 2、絶縁体 2 4 4、絶縁体 2 8 0、絶縁体 2 7 4、絶縁体 2 8 1 と接する導電体には、導電体 2 0 5 a などと同様に、水または水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。また、水または水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。当該導電性材料を用いることで、絶縁体 2 8 0 に添加された酸素が導電体 2 4 0 a および導電体 2 4 0 b に吸収されるのを防ぐことができる。また、絶縁体 2 8 1 より上層から水素、水などの不純物が、導電体 2 4 0 a および導電体 2 4 0 b を通じて酸化物 2 3 0 に混入するのを抑制することができる。

[0172]

また、導電体 2 4 0 a および導電体 2 4 0 b を設ける開口の内壁を覆って、絶縁体 2 4 4 と同様の絶縁体を設けてもよい。これにより、絶縁体 2 8 0 に添加された酸素が導電体 2 4 0 a および導電体 2 4 0 b に吸収されるのを防ぐことができる。また、絶縁体 2 8 0 などから水素、水などの不純物が、導電体 2 4 0 a および導電体 2 4 0 b を通じて酸化物 2 3 0 に混入するのを抑制することができる。

[0173]

また、図示しないが、導電体 2 4 0 a の上面、および導電体 2 4 0 b の上面に接して配線として機能する導電体を配置してもよい。配線として機能する導電体は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、当該導電体は、積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。なお、当該導電体は、導電体 2 0 3 などと同様に、絶縁体に設けられた開口に埋め込むように形成してもよい。

[0174]

<半導体装置の構成材料>

以下では、半導体装置に用いることができる構成材料について説明する。

[0175]

<<基板>>

トランジスタ200を形成する基板としては、例えば、絶縁体基板、半導体基板、または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムなどの半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、SOI（Silicon On Insulator）基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

[0176]

また、基板として、可撓性基板を用いてもよい。なお、可撓性基板上にトランジスタを設ける方法としては、非可撓性の基板上にトランジスタを作製した後、トランジスタを剥離し、可撓性基板である基板に転置する方法もある。その場合には、非可撓性基板とトランジスタとの間に剥離層を設けるとよい。また、基板が伸縮性を有してもよい。また、基板は、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有してもよい。または、元の形状に戻らない性質を有してもよい。基板は、例えば、 $5\mu\text{m}$ 以上 $700\mu\text{m}$ 以下、好ましくは $10\mu\text{m}$ 以上 $500\mu\text{m}$ 以下、さらに好ましくは $15\mu\text{m}$ 以上 $300\mu\text{m}$ 以下の厚さとなる領域を有する。基板を薄くすると、トランジスタを有する半導体装置を軽量化することができる。また、基板を薄くすることで、ガラスなどを用いた場合にも伸縮性を有する場合や、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有する場合がある。そのため、落下などによって基板上の半導体装置に加わる衝撃などを緩和することができる。すなわち、丈夫な半導体装置を提供することができる。

[0177]

可撓性基板である基板としては、例えば、金属、合金、樹脂もしくはガラス、またはそれらの繊維などを用いることができる。また、基板として、繊維を編み込んだシート、フィルムまたは箔などを用いてもよい。可撓性基板である基板は、線膨張率が低いほど環境による変形が抑制されて好ましい。可撓性基板である基板としては、例えば、線膨張率が $1\times 10^{-3}/\text{K}$ 以下、 $5\times 10^{-5}/\text{K}$ 以下、または $1\times 10^{-5}/\text{K}$ 以下である材質を用いればよい。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、アクリルなどがある。特に、アラミドは、線膨張率が低いため、可撓性基板である基板として好適である。

[0178]

<<絶縁体>>

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

[0179]

例えば、トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に、h i g h - k 材料を用いることで、物理膜厚を保ちながらトランジスタ動作時の低電圧化が可能となる。一方、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

[0180]

また、比誘電率の高い絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、またはシリコンおよびハフニウムを有する窒化物などがある。

[0181]

また、比誘電率が低い絶縁体としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などがある。

[0182]

また、特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定である。そのため、例えば、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネートまたはアクリルなどがある。また、例えば、酸化シリコン、および酸化窒化シリコンは、比誘電率の高い絶縁体と組み合わせることで、熱的に安定かつ比誘電率の高い積層構造とすることができる。

[0183]

また、酸化物半導体を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、安定な電気特性を有することができる。

[0184]

水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、またはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、または酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

[0185]

例えば、絶縁体274として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、または、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。また、シリコンの窒化物や、酸素を含むシリコンの窒化物、すなわち、窒化シリコンや、窒化酸化シリコンなどを用いることができる。

[0186]

特に、酸化アルミニウムはバリア性が高く、0.5 nm以上3.0 nm以下の薄膜であっても、水素、および窒素の拡散を抑制することができる。また、酸化ハフニウムは、酸化アルミニウムよりもバリア性が低い、膜厚を厚くすることによりバリア性を高めることができる。したがって、酸化ハフニウムの膜厚を調整することで、水素、および窒素の適切な添加量を調整することができる。

[0187]

例えば、ゲート絶縁体として機能する絶縁体224は、加熱により脱離する酸素を含む領域を有する絶縁体であることが好ましい。例えば、加熱により脱離する酸素を含む領域を有する酸化シリコンまたは酸化窒化シリコンを酸化物230と接する構造とすることで、酸化物230が有する酸素欠損を補償することができる。

[0188]

また、例えば、ゲート絶縁体の一部として機能する絶縁体222において、アルミニウム、ハフニウム、およびガリウムの一種または複数種の酸化物を含む絶縁体を用いることができる。特に、アルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。

[0189]

例えば、絶縁体220には、熱に対して安定である酸化シリコンまたは酸化窒化シリコンを用いることが好ましい。ゲート絶縁体として、熱に対して安定な膜と、比誘電率が高い膜との積層構造とすることで、物理膜厚を保持したまま、ゲート絶縁体の等価酸化膜厚(EOT)の薄膜化が可能となる。

[0190]

上記積層構造とすることで、ゲート電極からの電界の影響を弱めることなく、オン電流の向上を図ることができる。また、ゲート絶縁体の物理的な厚みにより、ゲート電極と、チャンネルが形成される領域との間の距離を保つことで、ゲート電極とチャンネル形成領域との間のリーク電流を抑制することができる。

[0191]

絶縁体212、絶縁体216、絶縁体280、および絶縁体281は、比誘電率の低い絶縁体を有することが好ましい。例えば、絶縁体212、絶縁体216、絶縁体280、および絶縁体281は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などを有することが好ましい。または、絶縁体212、絶縁体216、絶縁体280、および絶縁体281は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、または空孔を有する酸化シリコンと、樹脂と、の積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、またはアクリルなどがある。

[0192]

絶縁体210、絶縁体214、絶縁体244、および絶縁体274としては、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。絶縁体210、絶縁体214、絶縁

体 2 4 4、および絶縁体 2 7 4 としては、例えば、酸化アルミニウム、酸化ハフニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、または酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いればよい。

[0193]

<<導電体>>

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた金属元素を 1 種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

[0194]

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

[0195]

なお、トランジスタのチャネル形成領域に酸化物を用いる場合において、ゲート電極として機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

[0196]

特に、ゲート電極として機能する導電体として、チャネルが形成される金属酸化物に含まれる金属元素および酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

[0197]

導電体 2 6 0、導電体 2 0 3、導電体 2 0 5、導電体 2 4 2、および導電体 2 4 0 としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例え

ば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

[0198]

<<金属酸化物>>

酸化物230として、酸化物半導体として機能する金属酸化物を用いることが好ましい。以下では、本発明に係る酸化物230に適用可能な金属酸化物について説明する。

[0199]

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特に、インジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウムまたは錫などが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

[0200]

ここでは、金属酸化物が、インジウム、元素Mおよび亜鉛を有するIn-M-Zn酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウム、または錫などとする。そのほかの元素Mに適用可能な元素としては、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

[0201]

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物(metal oxide)と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物(metal oxynitride)と呼称してもよい。

[0202]

[金属酸化物の構造]

酸化物半導体(金属酸化物)は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS(c-axis aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc-OS(nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体(a-like OS:amorphous-like oxide semiconductor)、および非晶質酸化物半導体などがある。

[0203]

なお、本明細書等において、CAAC(c-axis aligned crystal)、およびCAC(Cloud-Aligned Composite)と記載する場合がある。なお、CAACは結晶構造の一例を表し、CACは機能、または材料の構成の一例を表す。

[0204]

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。

[0205]

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、および七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリーともいう。）を確認することは難しい。すなわち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためである。

[0206]

また、CAAC-OSは、インジウム、および酸素を有する層（以下、In層）と、元素M、亜鉛、および酸素を有する層（以下、(M, Zn)層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M, Zn)層の元素Mがインジウムと置換した場合、(In, M, Zn)層と表すこともできる。また、In層のインジウムが元素Mと置換した場合、(In, M)層と表すこともできる。

[0207]

CAAC-OSは結晶性の高い金属酸化物である。一方、CAAC-OSは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、金属酸化物の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損（ V_O : oxygen vacancyともいう。）など）の少ない金属酸化物ともいえる。したがって、CAAC-OSを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-OSを有する金属酸化物は熱に強く、信頼性が高い。

[0208]

ここで、X線回折（XRD: X-Ray Diffraction）によって解析したCAAC-OSについて説明する。例えば、 InGaZnO_4 の結晶を有するCAAC-OSに対し、out-of-plane法による構造解析を行うと、回折角（ 2θ ）が 31° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の（009）面に帰属されることから、CAAC-OSの結晶がc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることを示す。

[0209]

また、電子回折によって解析したCAAC-OSについて説明する。例えば、 InGaZnO_4 の結晶を有するCAAC-OSに対し、試料面に平行にプローブ径が300nmの電子線を入射させると、回折パターン（制限視野透過電子回折パターンともいう。）が現れる場合がある。この回折パターンには、 InGaZnO_4 の結晶の（009）面に起因するスポットが含まれる。したがって、電子回折によっても、CAAC-OSに含まれる結晶がc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が300nmの電子線を入射させると、リング状の回折パターンが確認される。したがって、電子回折によっても、CAAC-OSに含まれる結晶のa軸およびb軸は配向性を有さないことがわかる。

[0210]

nc-OSは、微小な領域（例えば、1 nm以上10 nm以下の領域、特に1 nm以上3 nm以下の領域）において原子配列に周期性を有する。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化半導体と区別が付かない場合がある。

[0211]

なお、インジウムと、ガリウムと、亜鉛と、を有する金属酸化物の一種である、インジウム－ガリウム－亜鉛酸化物（以下、IGZO）は、上述のナノ結晶とすることで安定な構造をとる場合がある。特に、IGZOは、大気中では結晶成長がし難い傾向があるため、大きな結晶（ここでは、数mmの結晶、または数cmの結晶）よりも小さな結晶（例えば、上述のナノ結晶）とする方が、構造的に安定となる場合がある。

[0212]

a-like OSは、nc-OSと非晶質酸化半導体との間の構造を有する金属酸化物である。a-like OSは、鬆または低密度領域を有する。すなわち、a-like OSは、nc-OSおよびCAAC-OSと比べて、結晶性が低い。

[0213]

酸化半導体（金属酸化物）は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化半導体は、非晶質酸化半導体、多結晶酸化半導体、a-like OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

[0214]

[金属酸化物の構成]

以下では、本発明の一態様で開示されるトランジスタに用いることができるCAC（Cloud-Aligned Composite）-OSの構成について説明する。

[0215]

CAC-OSまたはCAC-metal oxideとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、CAC-OSまたはCAC-metal oxideを、トランジスタの半導体層に用いる場合、導電性の機能は、キャリアとなる電子（または正孔）を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能（On/Offさせる機能）をCAC-OSまたはCAC-metal oxideに付与することができる。CAC-OSまたはCAC-metal oxideにおいて、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

[0216]

また、CAC-OSまたはCAC-metal oxideは、導電性領域、および絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

[0217]

また、CAC-OSまたはCAC-metal oxideにおいて、導電性領域と、絶縁性領域

とは、それぞれ0.5 nm以上10 nm以下、好ましくは0.5 nm以上3 nm以下のサイズで材料中に分散している場合がある。

[0218]

また、CAC-OSまたはCAC-metal oxideは、異なるバンドギャップを有する成分により構成される。例えば、CAC-OSまたはCAC-metal oxideは、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記CAC-OSまたはCAC-metal oxideをトランジスタのチャネル形成領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、および高い電界効果移動度を得ることができる。

[0219]

すなわち、CAC-OSまたはCAC-metal oxideは、マトリックス複合材(matrix composite)、または金属マトリックス複合材(metal matrix composite)と呼称することもできる。

[0220]

[金属酸化物を有するトランジスタ]

続いて、上記金属酸化物をトランジスタのチャネル形成領域に用いる場合について説明する。

[0221]

なお、上記金属酸化物をトランジスタのチャネル形成領域に用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0222]

ここで、金属酸化物の電気伝導の仮説の一例について説明する。

[0223]

固体中の電気伝導は、散乱中心と呼ばれる散乱源によって阻害される。例えば、単結晶シリコンの場合、格子散乱とイオン化不純物散乱が、主な散乱中心であることが知られている。換言すると、格子欠陥および不純物の少ない本質的な状態のとき、固体中の電気伝導の阻害要因がなく、キャリアの移動度は高い。

[0224]

上記のことは、金属酸化物に対しても、あてはまると推測される。例えば、化学量論的組成よりも酸素の量が少ない金属酸化物では、酸素欠損が多く存在すると考えられる。この酸素欠損周りに存在する原子は、本質的な状態よりも、歪んだ場所に位置する。この酸素欠損による歪みが散乱中心となっている可能性がある。

[0225]

また、例えば、化学量論的組成よりも酸素の量が少ない金属酸化物では、過剰酸素が存在する。金属酸化物中で遊離した状態で存在する過剰酸素は、電子を受け取ることで、 O^- や O^{2-} になる。 O^- や O^{2-} となった過剰酸素が散乱中心になる可能性がある。

[0226]

以上のことから、金属酸化物が、化学量論的組成を満たす酸素を含む本質的な状態を有する場合、

キャリアの移動度は高いと考えられる。

[0227]

インジウムと、ガリウムと、亜鉛と、を有する金属酸化物の一種である、インジウム-ガリウム-亜鉛酸化物（以下、IGZO）は、とくに、大気中では結晶成長がし難い傾向があるため、大きな結晶（ここでは、数mmの結晶、または数cmの結晶）よりも小さな結晶（例えば、上述のナノ結晶）とする方が、構造的に安定となる場合がある。これは、大きな結晶を形成するよりも、小さな結晶同士が連結する方が、歪みエネルギーが緩和されるためと考えられる。

[0228]

なお、小さな結晶同士が連結する領域においては、該領域の歪みエネルギーを緩和するために、欠陥が形成される場合がある。したがって、該領域に欠陥を形成することなく、歪みエネルギーを緩和させることで、キャリアの移動度を高くすることができる。

[0229]

また、トランジスタには、キャリア密度の低い金属酸化物を用いることが好ましい。金属酸化物膜のキャリア密度を低くする場合においては、金属酸化物膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。例えば、金属酸化物は、キャリア密度が $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上とすればよい。

[0230]

また、高純度真性または実質的に高純度真性である金属酸化物膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0231]

また、金属酸化物のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い金属酸化物をチャネル形成領域に有するトランジスタは、電気特性が不安定となる場合がある。

[0232]

したがって、トランジスタの電気特性を安定にするためには、金属酸化物中の不純物濃度を低減することが有効である。また、金属酸化物中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0233]

また、トランジスタの半導体に用いる金属酸化物として、結晶性の高い薄膜を用いることが好ましい。該薄膜を用いることで、トランジスタの安定性または信頼性を向上させることができる。該薄膜として、例えば、単結晶金属酸化物の薄膜または多結晶金属酸化物の薄膜が挙げられる。しかしながら、単結晶金属酸化物の薄膜または多結晶金属酸化物の薄膜を基板上に形成するには、高温またはレーザー加熱の工程が必要とされる。よって、製造工程のコストが増加し、さらに、スループットも低下してしまう。

[0234]

2009年に、CAAC構造を有するIn-Ga-Zn酸化物（CAAC-IGZOと呼ぶ。）が発見されたことが、非特許文献1および非特許文献2で報告されている。ここでは、CAAC-IG

ZOは、c軸配向性を有する、結晶粒界が明確に確認されない、低温で基板上に形成可能である、ことが報告されている。さらに、CAAC-IGZOを用いたトランジスタは、優れた電気特性および信頼性を有することが報告されている。

[0235]

また、2013年には、nc構造を有するIn-Ga-Zn酸化物(nc-IGZOと呼ぶ。)が発見された(非特許文献3参照。)。ここでは、nc-IGZOは、微小な領域(例えば、1nm以上3nm以下の領域)において原子配列に周期性を有し、異なる該領域間で結晶方位に規則性が見られないことが報告されている。

[0236]

非特許文献4および非特許文献5では、上記のCAAC-IGZO、nc-IGZO、および結晶性の低いIGZOのそれぞれの薄膜に対する電子線の照射による平均結晶サイズの推移が示されている。結晶性の低いIGZOの薄膜において、電子線が照射される前でさえ、1nm程度の結晶性IGZOが観察されている。よって、ここでは、IGZOにおいて、完全な非晶質構造(completely amorphous structure)の存在を確認できなかった、と報告されている。さらに、結晶性の低いIGZOの薄膜と比べて、CAAC-IGZOの薄膜およびnc-IGZOの薄膜は電子線照射に対する安定性が高いことが示されている。よって、トランジスタの半導体として、CAAC-IGZOの薄膜またはnc-IGZOの薄膜を用いることが好ましい。

[0237]

金属酸化物を用いたトランジスタは、非導通状態において極めてリーク電流が小さい、具体的には、トランジスタのチャネル幅1 μm あたりのオフ電流が $\text{y A}/\mu\text{m}$ ($10^{-24}\text{ A}/\mu\text{m}$)オーダーである、ことが非特許文献6に示されている。例えば、金属酸化物を用いたトランジスタのリーク電流が小さいという特性を応用した低消費電力のCPUなどが開示されている(非特許文献7参照。)

[0238]

また、金属酸化物を用いたトランジスタのリーク電流が小さいという特性を利用した、該トランジスタの表示装置への応用が報告されている(非特許文献8参照。)。表示装置では、表示される画像が1秒間に数十回切り換っている。1秒間あたりの画像の切り換え回数はリフレッシュレートと呼ばれている。また、リフレッシュレートを駆動周波数と呼ぶこともある。このような、人の目で知覚が困難である高速の画面の切り換えが、目の疲労の原因として考えられている。そこで、表示装置のリフレッシュレートを低下させて、画像の書き換え回数を減らすことが提案されている。また、リフレッシュレートを低下させた駆動により、表示装置の消費電力を低減することが可能である。このような駆動方法を、アイドリング・ストップ(IDS)駆動と呼ぶ。

[0239]

CAAC構造およびnc構造の発見は、CAAC構造またはnc構造を有する金属酸化物を用いたトランジスタの電気特性および信頼性の向上、ならびに、製造工程のコスト低下およびスループットの向上に貢献している。また、該トランジスタのリーク電流が小さいという特性を利用した、該トランジスタの表示装置およびLSIへの応用研究が進められている。

[0240]

[不純物]

ここで、金属酸化物中における各不純物の影響について説明する。

[0241]

金属酸化物において、第14族元素の一つであるシリコンや炭素が含まれると、金属酸化物において欠陥準位が形成される。このため、金属酸化物におけるシリコンや炭素の濃度と、金属酸化物との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0242]

また、金属酸化物にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。したがって、アルカリ金属またはアルカリ土類金属が含まれている金属酸化物をチャネル形成領域に用いたトランジスタはノーマリーオン特性となりやすい。このため、金属酸化物中のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMSにより得られる金属酸化物中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0243]

また、金属酸化物において、窒素が含まれると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている金属酸化物をチャネル形成領域に用いたトランジスタはノーマリーオン特性となりやすい。したがって、当該金属酸化物において、チャネル形成領域の窒素はできる限り低減されていることが好ましい。例えば、金属酸化物中の窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0244]

また、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。当該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている金属酸化物を用いたトランジスタは、ノーマリーオン特性となりやすい。

[0245]

このため、金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0246]

[真空バークの効果]

ここでは、金属酸化物に含まれる、弱いZn-O結合について説明し、該結合を構成する酸素原子および亜鉛原子を低減する方法の一例について示す。

[0247]

金属酸化物を用いたトランジスタにおいて、トランジスタの電気特性の不良に繋がる欠陥の一例として酸素欠損がある。例えば、膜中に酸素欠損が含まれている金属酸化物を用いたトランジスタは、しきい値電圧がマイナス方向に変動しやすく、ノーマリーオン特性となりやすい。これは、金属酸化

物に含まれる酸素欠損に起因したドナーが生成され、キャリア濃度が増加するためである。トランジスタがノーマリーオン特性を有すると、動作時に動作不良が発生しやすくなる、または非動作時の消費電力が高くなるなどの、様々な問題が生じる。

[0248]

また、モジュールを作製するための接続配線を形成する工程における熱履歴(サーマルバジェット)により、しきい値電圧の変動、寄生抵抗の増大、などのトランジスタの電気特性の劣化、該電気特性の劣化に伴う電気特性のばらつきの増大、などの問題がある。これらの問題は、製造歩留りの低下に直結するため、対策の検討は重要である。また、長期間の使用によって起こるトランジスタの特性変化(経年変化)を短時間で評価することができるストレス試験でも電気特性の劣化が生じる。該電気特性の劣化は、熱履歴の過程で行われる高温処理、またはストレス試験時に与えられる電氣的なストレスによって金属酸化物中の酸素が欠損することに起因すると推測される。

[0249]

金属酸化物中には、金属原子との結合が弱く、酸素欠損となりやすい酸素原子が存在する。特に、金属酸化物が In-Ga-Zn 酸化物である場合は、亜鉛原子と酸素原子とが弱い結合(弱い Zn-O 結合、ともいう)を形成しやすい。ここで、弱い Zn-O 結合とは、熱履歴の過程で行われる高温処理、またはストレス試験時に与えられる電氣的なストレスによって切断される程度の強さで結合した、亜鉛原子と酸素原子の間に生じる結合である。弱い Zn-O 結合が金属酸化物中に存在すると、熱履歴または電流ストレスによって、該結合が切断され、酸素欠損が形成される。酸素欠損が形成されることにより、熱履歴に対する耐性、ストレス試験における耐性などといった、トランジスタの安定性が低下する。

[0250]

2個以上の亜鉛原子と結合している酸素原子と、該亜鉛原子との間に生じる結合は、弱い Zn-O 結合である場合がある。ガリウム原子と比べて、亜鉛原子は、酸素原子との結合が弱い。したがって、2個以上の亜鉛原子と結合している酸素原子は欠損しやすい。すなわち、亜鉛原子と酸素原子との間に生じる結合は、その他の金属との結合よりも弱いと推測される。

[0251]

また、金属酸化物中に不純物が存在する場合、弱い Zn-O 結合が形成されやすいと推測される。金属酸化物中の不純物としては、例えば、水分子や水素がある。金属酸化物中に水分子や水素が存在することで、水素原子が、金属酸化物を構成する酸素原子と結合する(OH 結合ともいう。)場合がある。金属酸化物を構成する酸素原子は、 In-Ga-Zn 酸化物が単結晶である場合、金属酸化物を構成する金属原子4つと結合している。しかしながら、水素原子と結合した酸素原子は、2つまたは3つの金属原子と結合している場合がある。酸素原子に結合している金属原子の数が減少することで、該酸素原子は欠損しやすくなる。なお、 OH 結合を形成している酸素原子に亜鉛原子が結合している場合、該酸素原子と該亜鉛原子との結合は弱いと推測される。

[0252]

また、弱い Zn-O 結合は、複数のナノ結晶が連結する領域に存在する歪みに形成される場合がある。ナノ結晶は六角形を基本とするが、該歪みにおいて、五角形、および七角形などの格子配列を有する。該歪みでは、原子間の結合距離が一様でないため、弱い Zn-O 結合が形成されていると推測される。

[0253]

また、弱いZn-O結合は、金属酸化物の結晶性が低い場合に形成されやすいと推測される。金属酸化物の結晶性が高い場合、金属酸化物を構成する亜鉛原子は、酸素原子4つまたは5つと結合している。しかし、金属酸化物の結晶性が低くなると、亜鉛原子と結合する酸素原子の数が減少する傾向がある。亜鉛原子に結合する酸素原子の数が減少すると、該亜鉛原子は欠損しやすくなる。すなわち、亜鉛原子と酸素原子との間に生じる結合は、単結晶で生じる結合よりも弱いと推測される。

[0254]

上記の弱いZn-O結合を構成する酸素原子および亜鉛原子を低減することで、熱履歴または電流ストレスによる酸素欠損の形成を抑制し、トランジスタの安定性を向上させることができる。なお、弱いZn-O結合を構成する酸素原子のみを低減し、弱いZn-O結合を構成する亜鉛原子が減少しない場合、該亜鉛原子近傍に酸素原子を供給すると、弱いZn-O結合が再形成される場合がある。したがって、弱いZn-O結合を構成する亜鉛原子および酸素原子を低減することが好ましい。

[0255]

弱いZn-O結合を構成する酸素原子および亜鉛原子を低減する方法の一つとして、金属酸化物を成膜した後、真空ベークを実施する方法が挙げられる。真空ベークとは、真空雰囲気下で行う熱処理のことである。真空雰囲気は、ターボ分子ポンプ等で排気を行うことで維持される。なお、処理室の圧力は、 1×10^{-2} Pa以下、好ましくは 1×10^{-3} Pa以下とすればよい。また、熱処理時の基板の温度は、300℃以上、好ましくは400℃以上とすればよい。

[0256]

真空ベークを実施することで、弱いZn-O結合を構成する酸素原子および亜鉛原子を低減することができる。また、真空ベークによって金属酸化物に熱が与えられるため、弱いZn-O結合を構成する酸素原子および亜鉛原子を低減した後、金属酸化物を構成する原子が再配列する。その結果、4つの金属原子と結合している酸素原子が増える。したがって、弱いZn-O結合を構成する酸素原子および亜鉛原子を低減するとともに、弱いZn-O結合が再形成されるのを抑制することができる。

[0257]

また、金属酸化物中に不純物が存在する場合、真空ベークを実施することで、金属酸化物中の水分子または水素を放出し、OH結合を低減することができる。金属酸化物中のOH結合が減少することで、4つの金属原子と結合している酸素原子の割合が増える。また、水分子または水素が放出される際、金属酸化物を構成する原子が再配列することで、4つの金属原子と結合している酸素原子が増える。したがって、弱いZn-O結合が再形成されるのを抑制することができる。

[0258]

以上のように、金属酸化物を成膜した後、真空ベークを実施することで、弱いZn-O結合を構成する酸素原子および亜鉛原子を低減することができる。したがって、該工程により、トランジスタの安定性を向上することができる。また、トランジスタの安定性が向上することで、材料や形成方法の選択の自由度が高くなる。

[0259]

<半導体装置の作製方法>

次に、本発明に係るトランジスタ200を有する半導体装置について、作製方法を図4乃至図14を用いて説明する。また、図4乃至図14において、各図の(A)は上面図を示す。また、各図の(B)は、(A)に示すA1-A2の一点鎖線で示す部位に対応する断面図であり、トランジスタ200のチャネル長方向の断面図でもある。また、各図の(C)は、(A)にA3-A4の一点鎖線で示す部

位に対応する断面図であり、トランジスタ200のチャネル幅方向の断面図でもある。なお、各図の(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0260]

まず、基板（図示しない。）を準備し、当該基板上に絶縁体210を成膜する。絶縁体210の成膜は、スパッタリング法、化学気相成長（CVD:Chemical Vapor Deposition）法、分子線エピタキシー（MBE:Molecular Beam Epitaxy）法、パルスレーザ堆積（PLD:Pulsed Laser Deposition）法、またはALD（Atomic Layer Deposition）法などを用いて行うことができる。

[0261]

なお、CVD法は、プラズマを利用するプラズマCVD（PECVD:Plasma Enhanced CVD）法、熱を利用する熱CVD（TCVD:Thermal CVD）法、光を利用する光CVD（Photo CVD）法などに分類できる。さらに用いる原料ガスによって金属CVD（MCVD:Metal CVD）法、有機金属CVD（MOCVD:Metal Organic CVD）法に分けることができる。

[0262]

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

[0263]

また、ALD法も、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。また、ALD法は、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。なお、ALD法で用いるプリカーサには炭素などの不純物を含むものがある。このため、ALD法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素などの不純物を多く含む場合がある。なお、不純物の定量は、X線光電子分光法（XPS:X-ray Photoelectron Spectroscopy）を用いて行うことができる。

[0264]

CVD法およびALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

[0265]

CVD法およびALD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、CVD法およびALD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、CVD法およびALD法では、成膜しながら原料ガスの流量比を変化

させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整にかかる時間を要さない分、成膜にかかる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

[0266]

本実施の形態では、絶縁体210として、スパッタリング法によって酸化アルミニウムを成膜する。また、絶縁体210は、多層構造としてもよい。例えば、スパッタリング法によって酸化アルミニウムを成膜し、当該酸化アルミニウム上に、ALD法によって酸化アルミニウムを成膜する構造としてもよい。または、ALD法によって酸化アルミニウムを成膜し、当該酸化アルミニウム上に、スパッタリング法によって酸化アルミニウムを成膜する構造としてもよい。

[0267]

次に絶縁体210上に絶縁体212を成膜する。絶縁体212の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。本実施の形態では、絶縁体212として、CVD法によって酸化シリコンを成膜する。

[0268]

次に、絶縁体212に、絶縁体210に達する開口を形成する。開口とは、例えば、溝やスリットなども含まれる。また、開口が形成された領域を指して開口部とする場合がある。開口の形成にはウエットエッチング法を用いてもよいが、ドライエッチング法を用いるほうが微細加工には好ましい。また、絶縁体210は、絶縁体212をエッチングして開口を形成する際のエッチングストップ膜として機能する絶縁体を選択することが好ましい。例えば、開口を形成する絶縁体212に酸化シリコン膜を用いた場合は、絶縁体210は、エッチングストップ膜として機能する絶縁膜として、窒化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜を用いるとよい。

[0269]

開口の形成後に、導電体203aとなる導電膜を成膜する。当該導電膜は、酸素の透過を抑制する機能を有する導電体を含むことが好ましい。例えば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。またはタンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデントングステン合金との積層膜とすることができる。導電体203aとなる導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

[0270]

本実施の形態では、導電体203aとなる導電膜として、スパッタリング法によって窒化タンタル、または、窒化タンタルの上に窒化チタンを積層した膜を成膜する。導電体203aとしてこのような金属窒化物を用いることにより、後述する導電体203bで銅など拡散しやすい金属を用いても、当該金属が導電体203aから外に拡散するのを抑制することができる。

[0271]

次に、導電体203aとなる導電膜上に、導電体203bとなる導電膜を成膜する。当該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。本実施の形態では、導電体203bとなる導電膜として、銅などの低抵抗導電性材料を成膜する。

[0272]

次に、CMP処理を行うことで、導電体203aとなる導電膜、ならびに導電体203bとなる導電膜の一部を除去し、絶縁体212を露出する。その結果、開口部のみに、導電体203aとなる導電膜、ならびに導電体203bとなる導電膜が残存する。これにより、上面が平坦な、導電体203aおよび導電体203bを含む導電体203を形成することができる（図4参照。）。なお、当該CMP処理により、絶縁体212の一部が除去される場合がある。

[0273]

次に、絶縁体212、および導電体203上に絶縁体214を成膜する。絶縁体214の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。本実施の形態では、絶縁体214として、CVD法によって窒化シリコンを成膜する。このように、絶縁体214として、窒化シリコンなどの銅が透過しにくい絶縁体を用いることにより、導電体203bに銅など拡散しやすい金属を用いても、当該金属が絶縁体214より上の層に拡散するのを抑制することができる。

[0274]

次に、絶縁体214上に絶縁体216を成膜する。絶縁体216の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。本実施の形態では、絶縁体216として、CVD法によって酸化シリコンを成膜する。

[0275]

次に、絶縁体214および絶縁体216に、導電体203に達する開口を形成する。開口の形成にはウェットエッチング法を用いてもよいが、ドライエッチング法を用いるほうが微細加工には好ましい。

[0276]

開口の形成後に、導電体205aとなる導電膜を成膜する。該導電膜は、酸素の透過を抑制する機能を有する導電性材料を含むことが好ましい。例えば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。またはタンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデントングステン合金との積層膜とすることができる。導電体205aとなる導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

[0277]

本実施の形態では、導電体205aとなる導電膜として、スパッタリング法によって窒化タンタルを成膜する。

[0278]

次に、導電体205aとなる導電膜上に、導電体205bとなる導電膜を成膜する。当該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

[0279]

本実施の形態では、導電体205bとなる導電膜として、CVD法によって窒化チタンを成膜し、当該窒化チタン上にCVD法によってタングステンを成膜する。

[0280]

次に、CMP処理を行うことで、導電体205aとなる導電膜、ならびに導電体205bとなる導電膜の一部を除去し、絶縁体216を露出する。その結果、開口部のみに、導電体205a、および

導電体205bとなる導電膜が残存する。これにより、上面が平坦な、導電体205aおよび導電体205bを含む導電体205を形成することができる（図4参照。）。なお、当該CMP処理により、絶縁体216の一部が除去される場合がある。

[0281]

次に、絶縁体216、および導電体205上に絶縁体220を成膜する。絶縁体220の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。本実施の形態では、絶縁体220として、CVD法によって酸化シリコンを成膜する。

[0282]

次に、絶縁体220上に絶縁体222を成膜する。絶縁体222として、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。なお、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体は、酸素、水素、および水に対するバリア性を有する。絶縁体222が、水素および水に対するバリア性を有することで、トランジスタ200の周辺に設けられた構造体に含まれる水素、および水が、絶縁体222を通じてトランジスタ200の内側へ拡散することが抑制され、酸化物230中の酸素欠損の生成を抑制することができる。

[0283]

絶縁体222の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

[0284]

次に、絶縁体222上に絶縁体224を成膜する。絶縁体224の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。本実施の形態では、絶縁体224として、CVD法によって酸化シリコンを成膜する。

[0285]

続いて、熱処理を行うと好ましい。当該熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下、さらに好ましくは320℃以上450℃以下で行えばよい。なお、当該熱処理は、窒素または不活性ガス雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。また、当該熱処理は減圧状態で行ってもよい。または、当該熱処理は、窒素または不活性ガス雰囲気で熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。

[0286]

本実施の形態では、熱処理として、絶縁体224の成膜後に窒素雰囲気にて400℃の温度で1時間の処理を行う。当該熱処理によって、絶縁体224に含まれる水素や水などの不純物を除去することなどができる。

[0287]

また、熱処理は、絶縁体220成膜後、および絶縁体222の成膜後のそれぞれのタイミングで行うこともできる。当該熱処理は、上述した熱処理条件を用いることができるが、絶縁体220成膜後の熱処理は、窒素を含む雰囲気中で行うことが好ましい。

[0288]

ここで、絶縁体 224 に加熱により脱離する酸素を含む領域を形成するために、イオン注入法、イオンドーピング法、プラズマ処理、およびプラズマイメージョンイオンインプランテーション法から選ばれた一、または複数の方法を用いて絶縁体 224 に酸素を供給してもよい。このとき、イオン化された原料ガスを質量分離して添加するイオン注入法を用いることで、絶縁体 224 に制御よく酸素を供給できるため、好ましい。

[0289]

なお、上記の方法の代わりに、減圧状態で酸素を含むプラズマ処理を行ってもよい。酸素を含むプラズマ処理は、例えば、マイクロ波を用いた高密度プラズマを発生させる電源を有する装置を用いることが好ましい。または、基板側に RF (Radio Frequency) を印加する電源を有してもよい。高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができ、基板側に RF を印加することで、高密度プラズマによって生成された酸素ラジカルを効率良く絶縁体 224 内に導くことができる。または、この装置を用いて不活性ガスを含むプラズマ処理を行った後に、脱離した酸素を補うために酸素を含むプラズマ処理を行ってもよい。なお、当該プラズマ処理の条件を適宜選択することにより、絶縁体 224 に含まれる水素や水などの不純物を除去することができる。その場合、熱処理は行わなくてもよい。

[0290]

次に、絶縁体 224 上に、酸化物 230a となる酸化膜 230A と、酸化物 230b となる酸化膜 230B を順に成膜する (図 4 参照。)。なお、上記酸化膜は、大気環境に晒さずに連続して成膜することが好ましい。大気開放せずに成膜することで、酸化膜 230A、および酸化膜 230B 上に大気環境からの不純物または水分が付着することを防ぐことができ、酸化膜 230A と酸化膜 230B との界面近傍を清浄に保つことができる。

[0291]

酸化膜 230A、および酸化膜 230B の成膜はスパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法などを用いて行うことができる。

[0292]

酸化膜 230A、および酸化膜 230B の成膜は、スパッタリング法を用いることが好ましく、スパッタリングガスとして酸素、または、酸素と希ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の酸素を増やし、当該酸化膜の結晶性を向上させることができる。また、基板を加熱しながら成膜を行うことによって、当該酸化膜の結晶性を向上させることができる。

[0293]

また、酸化膜 230A、および酸化膜 230B をスパッタリング法によって成膜する場合は、上記の金属酸化物のターゲットを用いることができる。ただし、例えば、金属酸化物をスパッタリング装置にて成膜する場合、ターゲットの原子数比からずれた原子数比の膜が形成される。特に、成膜時の基板温度によっては、ターゲットの $[Zn]$ よりも、膜の $[Zn]$ が小さくなる場合がある。

[0294]

また、スパッタリングガスを高純度化することが好ましい。例えば、スパッタリングガスとして用いる酸素ガスや希ガスは、露点が -60°C 以下、好ましくは -100°C 以下にまで高純度化したガスを用いる。高純度化されたスパッタリングガスを用いて成膜することで、酸化物 230 に水分等が取り込まれることを可能な限り防ぐことができる。

[0295]

また、スパッタリング法で酸化膜230A及び酸化膜230Bを成膜する場合、スパッタリング装置が有する成膜室内の水分を可能な限り除去することが好ましい。例えば、クライオポンプのような吸着式の真空排気ポンプを用いて、成膜室内を高真空（ 5×10^{-7} Pa から 1×10^{-4} Pa 程度まで）に排気することが好ましい。特に、スパッタリング装置の待機時における、成膜室内の H_2O に相当するガス分子（ $m/z = 18$ に相当するガス分子）の分圧を 1×10^{-4} Pa 以下、好ましく 5×10^{-5} Pa 以下とすることが好ましい。

[0296]

特に、酸化膜230Aの成膜時に、スパッタリングガスに含まれる酸素の一部が絶縁体224に供給される場合がある。したがって、酸化膜230Aのスパッタリングガスに含まれる酸素の割合は70%以上、好ましくは80%以上、より好ましくは100%とすればよい。

[0297]

また、酸化膜230Bをスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を10%以上、好ましくは30%以上として成膜すると、酸化膜230Bを上記のCAAC-O-S膜にすることができる。

[0298]

本実施の形態では、酸化膜230Aとして、スパッタリング法によって、 $In : Ga : Zn = 1 : 1 : 0.5$ [原子数比] のターゲットを用いて成膜する。また、酸化膜230Bとして、スパッタリング法によって、 $In : Ga : Zn = 4 : 2 : 4.1$ [原子数比] のターゲットを用いて成膜する。なお、各酸化膜は、成膜条件、および原子数比を適宜選択することで、酸化物230に求める特性に合わせて形成するとよい。

[0299]

次に、熱処理を行ってもよい。当該熱処理は、上述した熱処理条件を用いることができる。当該熱処理によって、酸化膜230A、および酸化膜230B中の水素や水などの不純物を除去することなどができる。本実施の形態では、窒素雰囲気にて400℃の温度で1時間の処理を行った後に、連続して酸素雰囲気にて400℃の温度で1時間の処理を行う。

[0300]

次に、酸化膜230B上に導電膜242Aを成膜する。導電膜242Aは、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。なお、導電膜240Aの形成は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

[0301]

次に、リソグラフィー法を用いて、酸化膜230A、酸化膜230B、および導電膜242Aの一部を選択的に除去して、酸化物230a、酸化物230b、導電体242a、および導電体242bを形成する（図5参照）。また、酸化膜230A、酸化膜230B、および導電膜242Aの選択的除去は、ドライエッチング法やウエットエッチング法を用いることができる。ドライエッチング法は微細加工に適している。なお、当該加工処理にて、絶縁体224の一部が除去される場合がある。

[0302]

リソグラフィー法では、まず、マスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電体、半導体または絶縁体などを所望の形状に加工することができる。例えば、KrFエキシマレーザ光、ArFエキシマレーザ光、EUV (Extreme Ultra violet) 光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体（例えば水）を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、レジスト上に直接描画を行うため、上述のレジスト露光用のマスクは不要となる。なお、レジストマスクは、アッシングなどのドライエッチング処理を行う、ウエットエッチング処理を行う、ドライエッチング処理後にウエットエッチング処理を行う、またはウエットエッチング処理後にドライエッチング処理を行う、などで、除去することができる。

[0303]

また、レジストマスクの代わりに絶縁体や導電体からなるハードマスクを用いてもよい。ハードマスクを用いる場合、構成材料上にハードマスク材料となる絶縁膜や導電膜を形成し、その上にレジストマスクを形成し、ハードマスク材料をエッチングすることで所望の形状のハードマスクを形成することができる。当該構成材料のエッチングは、レジストマスクを除去してから行ってもよいし、レジストマスクを残したまま行ってもよい。後者の場合、エッチング中にレジストマスクが消失することがある。当該構成材料のエッチング後にハードマスクをエッチングにより除去してもよい。一方、ハードマスクの材料が後工程に影響が無い、あるいは後工程で利用できる場合、必ずしもハードマスクを除去する必要は無い。

[0304]

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ (CCP: Capacitively Coupled Plasma) エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電源を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電源を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電源を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電源を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ (ICP: Inductively Coupled Plasma) エッチング装置などを用いることができる。

[0305]

ここで、酸化物230a、および酸化物230bは、少なくとも一部が導電体205と重なるように形成する。また、酸化物230a、および酸化物230bの側面は、絶縁体222の上面に対し、

略垂直であることが好ましい。酸化物230a、および酸化物230bの側面が、絶縁体222の上面に対し、略垂直であることで、複数のトランジスタ200を設ける際に、小面積化、高密度化が可能となる。なお、酸化物230a、および酸化物230bの側面と絶縁体222の上面のなす角が鋭角になる構成にしてもよい。その場合、酸化物230a、および酸化物230bの側面と絶縁体222の上面のなす角は大きいほど好ましい。

[0306]

また、酸化物230a、酸化物230b、および導電体242の側面と、導電体242の上面との間に、湾曲面を有する。つまり、側面の端部と上面の端部は、湾曲していることが好ましい（以下、ラウンド状ともいう）。湾曲面は、例えば、酸化物230bの端部において、曲率半径が、3nm以上10nm以下、好ましくは、5nm以上6nm以下とする。端部に角を有さないことで、以降の成膜工程における膜の被覆性が向上する。

[0307]

なお、酸化膜230A、酸化膜230B、および導電膜242Aは、先に島状に加工してから導電膜242Aを導電体242aと導電体242bに分割してもよい。また、先に導電体242aと導電体242bに対応するように導電膜242Aを分割してから、酸化膜230A、酸化膜230B、および導電膜242Aを島状に加工してもよい。

[0308]

また、上記ドライエッチングなどの処理を行うことによって、エッチングガスなどに起因した不純物が、酸化物230a、および酸化物230bなどの側面または内部に、付着または拡散することがある。不純物としては、例えば、フッ素または塩素などがある。

[0309]

上記の不純物などを除去するために、洗浄を行うことが好ましい。洗浄方法としては、洗浄液などを用いたウェット洗浄、プラズマを用いたプラズマ処理、または熱処理による洗浄などがあり、上記洗浄を適宜組み合わせる行ってもよい。

[0310]

ウェット洗浄としては、シュウ酸、リン酸、過酸化水素水、またはフッ化水素酸などを炭酸水または純水で希釈した水溶液を用いて洗浄処理を行ってもよい。または、純水または炭酸水を用いた超音波洗浄を行ってもよい。本実施の形態では、純水または炭酸水を用いた超音波洗浄を行う。

[0311]

続いて、熱処理を行ってもよい。当該熱処理の条件は、前述の熱処理の条件を用いることができる。ただし、当該熱処理により、導電体242の酸化が懸念される場合、当該熱処理は、酸素を含まない雰囲気で行われることが好ましい。一方、導電体242が、耐酸化性材料を含む場合、当該熱処理を、酸素を含む雰囲気で行ってもよい。

[0312]

当該熱処理により、酸化物230a、および酸化物230bに含まれる水素や水などの不純物を除去することができる。また、上記加工におけるドライエッチングにて酸化物230a、または酸化物230bに生じたダメージを回復することができる。また、酸素を含む雰囲気で行った場合、酸化物230a、および酸化物230bに酸素を添加することができる。

[0313]

また、上記熱処理により、導電体242から、上述した金属元素が酸化物230へ拡散し、酸化物

230に金属元素を添加することができる。また、酸化物230の導電体242との界面近傍における酸素が導電体242に吸収される場合がある。その結果、酸化物230の導電体242との界面近傍が金属化合物となり、低抵抗化する。なお、その際、酸化物230の一部と、上述した金属元素とが、合金化してもよい。酸化物230の一部と金属元素が、合金化することで、酸化物230に添加された金属元素は、比較的安定な状態となるため、信頼性の高い半導体装置を提供することができる。なお、図6(B)では、酸化物230の上記低抵抗化領域の一例として、点線にて領域243a、および領域243bを示している。

[0314]

領域243a、および領域243bは、酸化物230bの導電体242近傍において、深さ方向、および水平方向に拡散するように設けられる例を示しているが、本発明はこれに限らない。領域243a、および領域243bは、深さ方向において、酸化物230bの全体に形成されていてもよいし、酸化物230aに形成されていてもよい。また、領域243a、および領域243bは、水平方向において、導電体242から水平方向に拡散した領域(図2に示す領域231)に形成される例を示しているが、本発明はこれに限らない。領域243a、および領域243bは、導電体242と重なる領域(領域231)のみに形成されてもよいし、後工程で形成される導電体260の一部と重なる領域(領域234の一部)にも形成されてもよい。

[0315]

また、酸化物230中の水素は、図2で示した、領域231に拡散し、領域231に存在する酸素欠損の中に入った場合、比較的安定な状態となる。また、領域234に存在する酸素欠損中の水素は、250℃以上の熱処理によって、酸素欠損から抜け出し、領域231に拡散し、領域231に存在する酸素欠損の中に入り、比較的安定な状態となる。したがって、熱処理によって、領域231は、より低抵抗化し、領域234は、高純度化(水、水素などの不純物の低減)し、より高抵抗化する。

[0316]

また、窒素または不活性ガス雰囲気中で熱処理した後に、酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気中で熱処理を行ってもよい。当該熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下、さらに好ましくは320℃以上450℃以下で行えばよい。

[0317]

次に、絶縁体224、酸化物230a、酸化物230b、および導電体242の上に、酸化物230cとなる酸化膜230Cを成膜する(図6参照)。

[0318]

酸化膜230Cの成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。酸化物230cに求める特性に合わせて、酸化膜230A、または酸化膜230Bと同様の成膜方法を用いて、酸化膜230Cを成膜すればよい。例えば、酸化膜230Aと同様に、酸化膜230Cのスパッタリングガスに含まれる酸素の割合を70%以上、好ましくは80%以上、より好ましくは100%とすればよい。また、本実施の形態では、酸化膜230Cとして、スパッタリング法によって、 $In:Ga:Zn=4:2:4.1$ [原子数比] のターゲットを用いて成膜する。

[0319]

続いて、酸化膜230C上に、絶縁膜250Aを成膜する(図6参照)。

[0320]

絶縁膜250Aは、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて成膜することができる。絶縁膜250Aとして、CVD法により、酸化窒化シリコンを成膜することが好ましい。なお、絶縁膜250Aを成膜する際の成膜温度は、350℃以上450℃未満、特に400℃前後とすることが好ましい。絶縁膜250Aを、400℃で成膜することで、不純物が少ない絶縁体を成膜することができる。

[0321]

また、絶縁膜250Aを成膜する前に、絶縁膜250Aの成膜装置において、熱処理を行うことが好ましい。ここでの熱処理は、上述の真空ベークを行うことが好ましい。このように熱処理を行うことで、酸化物230の弱いZn-O結合を構成する亜鉛原子および酸素原子を除去することができるので、トランジスタ200の信頼性を向上させることができる。さらに、当該熱処理から外気にさらすことなく、同一成膜装置で連続して成膜を行うことによって、水などの不純物を混入させずに、絶縁膜250Aで酸化物230を覆うことができる。また、マルチチャンバー方式の成膜装置で熱処理と成膜処理を異なるチャンバーで行うことにより、熱処理で脱離した水、亜鉛などの不純物の影響を受けずに絶縁膜250Aの成膜を行うことができる。

[0322]

また、絶縁膜250Aの成膜後に熱処理を行ってもよい。当該熱処理は、前述の熱処理条件を用いることができる。当該熱処理によって、絶縁膜250Aの水分濃度および水素濃度を低減させることができる。

[0323]

続いて、導電膜260A、および導電膜260Bを順次成膜する（図6参照。）。導電膜260Aおよび導電膜260Bは、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて成膜することができる。例えば、導電膜260Aとして、窒化チタンを成膜し、導電膜260Bとして、タングステンを成膜してもよい。

[0324]

導電膜260Aとして、CVD法、またはスパッタリング法により、金属窒化物を形成するとよい。導電膜260Aに金属窒化物を用いることにより、絶縁膜250Aが有する酸素により、導電膜260Bが酸化して導電率が低下することを防ぐことができる。

[0325]

また、導電膜260Bとして、低抵抗の金属膜を積層することで、駆動電圧が小さなトランジスタを提供することができる。

[0326]

続いて、熱処理を行うことができる。当該熱処理は、前述の熱処理条件を用いることができる。なお、当該熱処理は行わなくてもよい場合がある。当該熱処理によって、酸化物230bに低抵抗領域が形成される場合がある。

[0327]

次に、フォトリソグラフィ法を用いて、酸化膜230C、絶縁膜250A、導電膜260A、および導電膜260Bの一部を選択的に除去して、酸化物230c、絶縁体250、導電体260a、および導電体260bを形成する（図7参照。）。酸化膜230C、絶縁膜250A、導電膜260A、および導電膜260Bのエッチングは、ドライエッチング法やウェットエッチング法を用いることができる。ドライエッチング法は微細加工に適している。

[0328]

このように、酸化膜230C、絶縁膜250A、導電膜260A、および導電膜260Bを一括でエッチングすることで、トランジスタ200の作製工程の簡略化を図ることができる。この場合、上面視において、酸化物230c、絶縁体250、導電体260a、および導電体260bの端部は、概略一致する場合がある。

[0329]

なお、本実施の形態はこれに限られるものではない。例えば、導電膜260Aおよび導電膜260Bをエッチングして導電体260aおよび導電体260bを形成し、その後、酸化膜230Cおよび絶縁膜250Aをエッチングして酸化物230cおよび絶縁体250を形成してもよい。この場合、上面視において、酸化物230cおよび絶縁体250の端部が、導電体260aおよび導電体260bの端部より外側に位置する形状にすることができる。

[0330]

次に、絶縁体224、酸化物230、導電体242、絶縁体250、および導電体260を覆って、絶縁体244となる絶縁膜244Aを成膜する(図8参照)。絶縁膜244Aは、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて成膜することができる。絶縁膜244Aは、ALD法を用いて成膜することが好ましい。ALD法は、被覆性の良好な成膜法なので、被形成面の凹凸によって、絶縁膜244Aに段切れなどが形成されるのを防ぐことができる。

[0331]

絶縁膜244Aは、絶縁性バリアとして機能することが好ましく、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。なお、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物(ハフニウムアルミネート)などを用いることが好ましい。バリア性を有する絶縁膜244Aにより、絶縁膜244Aの上から酸素が導電体260、絶縁体250、および酸化物230に混入することを低減できる。

[0332]

次に、フォトリソグラフィ法を用いて、絶縁膜244Aの一部を選択的に除去して、開口290を有する絶縁体244を形成する(図9参照)。絶縁膜244Aのエッチングは、ドライエッチング法やウェットエッチング法を用いることができる。ドライエッチング法は微細加工に適している。

[0333]

次に、絶縁体244の上に、絶縁体280を成膜する(図10参照)。ここで、絶縁体280は開口290を介して、絶縁体224と接する。絶縁体280は、比誘電率の低い絶縁体を有することが好ましい。例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などを有することが好ましい。特に、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、空孔を有する酸化シリコンを絶縁体280に用いると、後の工程で絶縁体280中に、加熱により脱離する酸素を含む領域を容易に形成できるため好ましい。また、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。絶縁体280の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。または、スピンコート法、ディップ法、液滴吐出法(インクジェット法など)、印刷法(スクリーン印刷、オフセット印刷など)、ドクターナイフ法、ロールコーター法、またはカーテンコーター法など

を用いて行うことができる。本実施の形態では、絶縁体 280 として、CVD 法によって酸化窒化シリコンを成膜する。

[0334]

なお、絶縁体 280 は、上面が平坦性を有するように形成することが好ましい。例えば、絶縁体 280 は、成膜した直後に上面が平坦性を有していてもよい。または、例えば、絶縁体 280 は、成膜後に基板裏面などの基準面と平行になるよう絶縁体などを上面から除去していくことで平坦性を有してもよい。このような処理を、平坦化処理と呼ぶ。平坦化処理としては、CMP 処理、ドライエッチング処理などがある。本実施の形態では、平坦化処理として、CMP 処理を用いる。ただし、絶縁体 280 の上面は必ずしも平坦性を有さなくてもよい。

[0335]

次に、絶縁体 280 に酸素を添加してもよい（図 11 参照。）。酸素の添加方法として、イオン注入法、イオンドーピング法、プラズマ処理法、およびプラズマイマージョンイオンインプランテーション法から選ばれた一、または複数の方法を用いることができる。このとき、イオン化された原料ガスを質量分離して添加するイオン注入法を用いることで、絶縁体 280 に制御よく酸素を添加できるため、好ましい。

[0336]

なお、絶縁体 280 への酸素の添加は、絶縁体 274 の形成後に行ってもよい。絶縁体 274 を透過して、絶縁体 274 に酸素を添加することができる。

[0337]

次に、絶縁体 280 の上に絶縁体 274 を成膜する（図 12 参照。）。絶縁体 274 は、酸素を含む雰囲気でスパッタリング法を用いて成膜することが好ましい。また、絶縁体 274 は、水または水素などの不純物が透過しにくい絶縁性材料を用いることが好ましい。例えば、絶縁体 274 は、バリア性を有するアルミニウムおよびハフニウム的一方または双方の酸化物を用いることが好ましい。本実施の形態では、絶縁体 274 として、酸素を含む雰囲気でスパッタリング法を用いて酸化アルミニウム膜を成膜する。

[0338]

スパッタリング法を用いて、酸素を含む雰囲気中絶縁体 274 の成膜を行うことで、成膜しながら、絶縁体 280 に酸素を導入してもよい。ここで、酸素は、例えば、酸素ラジカルとして添加されるが、酸素が添加されるときの状態はこれに限定されない。酸素は、酸素原子、又は酸素イオンなどの状態で添加されてもよい。後の工程の熱処理によって、酸素を拡散させて酸化物 230 に効果的に酸素を供給することができる。なお、スパッタリング法を用いた、絶縁体 274 の成膜で絶縁体 280 に十分な酸素を導入できる場合、図 11 に示す工程を省いてもよい。

[0339]

ただし、図 11 に示すように、上記のイオン注入法等により絶縁体 280 に酸素を添加する場合、必ずしも絶縁体 274 の成膜時や、成膜後において絶縁体 280 に酸素を添加する必要はない。この場合、絶縁体 274 として、スパッタリング法にて酸化アルミニウムを形成する際、成膜ガスに酸素は添加せず、アルゴンのみとしてもよい。さらに、スパッタリングターゲットとして、酸素とアルミニウムを含むターゲットを用いることで、酸化アルミニウムを有する絶縁体 274 を形成する。

[0340]

なお、絶縁体 274 を成膜する際に、基板加熱を行うことが好ましい。基板加熱は、100℃より

も高く、300℃以下であることが好ましい。より、好ましくは120℃以上250℃以下で行えばよい。基板温度を、100℃よりも高くすることで、酸化物230中の水を除去することができる。また、形成した膜上に、表面吸着水が付着することを防止することができる。また、このように基板加熱を行いながら絶縁体274を成膜することにより、成膜しながら酸素を絶縁体280から、絶縁体224および酸化物230に拡散させることができる。

[0341]

また、トランジスタ200を、絶縁体274および絶縁体222で挟まれる構造とすることによって、酸素を外方拡散させず、絶縁体280、絶縁体224、および酸化物230中に多くの酸素を含有させることができる。さらに、絶縁体274の上方および絶縁体222の下方から水または水素などの不純物が混入するのを防ぎ、絶縁体280、絶縁体224、および酸化物230中の不純物濃度を低減させることができる。

[0342]

続いて、熱処理を行う。当該熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下で行えばよい。当該熱処理は、酸素雰囲気で行えばよい。または、不活性ガス雰囲気、または酸化性ガスを10ppm以上、1%以上もしくは10%以上含む雰囲気で行えばよい。ここで不活性ガスとしては、例えば窒素ガスまたは希ガスなどを用いることができる。当該熱処理は減圧状態で行ってもよい。または、当該熱処理は、不活性ガス雰囲気中で熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上または10%以上含む雰囲気中で熱処理を行ってもよい。本実施の形態では、酸素ガス雰囲気中で400℃、1時間の熱処理を行う。

[0343]

上述の通り、本実施の形態では、導電体260、絶縁体250、および酸化物230を覆って、絶縁体244が設けられている。このため、当該熱処理において、絶縁体280に添加された酸素292は、図13に示すように、導電体260、絶縁体250、および酸化物230に直接浸入せず、開口290を介して絶縁体224に拡散する。絶縁体224に含まれる酸素292は、絶縁体222により下方拡散することなく、酸化物230に供給される。これにより、酸化物230、特にチャネル形成領域に酸素292を供給し、酸素欠損を低減することができる。ここで、絶縁体222及び絶縁体274によって、酸素がトランジスタ200の上方及び下方に拡散することを防ぐことができ、酸化物230に効果的に酸素を供給することができる。

[0344]

次に、絶縁体274の上に、絶縁体281を成膜する。絶縁体281の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。または、スピコート法、ディップ法、液滴吐出法（インクジェット法など）、印刷法（スクリーン印刷、オフセット印刷など）、ドクターナイフ法、ロールコーター法、またはカーテンコーター法などを用いて行うことができる。本実施の形態では、当該絶縁体281として、酸化窒化シリコンを用いる。

[0345]

次に、絶縁体281の一部を除去する。絶縁体281は、上面が平坦性を有するように形成することが好ましい。例えば、絶縁体281は、成膜した直後に上面が平坦性を有していてもよい。または、例えば、絶縁体281は、成膜後に基板裏面などの基準面と平行になるよう絶縁体などを上面から除去していくことで平坦性を有してもよい。このような処理を、平坦化処理と呼ぶ。平坦化処理としては、CMP処理、ドライエッチング処理などがある。本実施の形態では、平坦化処理として、CMP

処理を用いる。ただし、絶縁体281の上面は必ずしも平坦性を有さなくてもよい。

[0346]

次に、絶縁体281、絶縁体274、絶縁体280、および絶縁体244に、導電体242に達する開口を形成する。当該開口の形成は、リソグラフィ法を用いて行えばよい。なお、導電体240a、および導電体240bが酸化物230の側面に接して設けられるように、導電体242に達する開口において、酸化物230の側面が露出するように、当該開口を形成してもよい。

[0347]

次に、導電体240の第1の導電体、および導電体240の第2の導電体となる導電膜を成膜する。当該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

[0348]

次に、CMP処理を行うことで、導電体240a、および導電体240bとなる導電膜の一部を除去し、絶縁体281を露出する。その結果、上記開口のみに、当該導電膜が残存することで上面が平坦な導電体240a、および導電体240bを形成することができる（図14参照。）。なお、当該CMP処理により、絶縁体281の一部が除去される場合がある。

[0349]

以上により、トランジスタ200を有する半導体装置を作製することができる。図4乃至図14に示すように、本実施の形態に示す半導体装置の作製方法を用いることで、良好な電気特性および信頼性を有する、トランジスタ200を作成することができる。

[0350]

<半導体装置の変形例>

以下では、図15乃至図20を用いて、先の<半導体装置の構成例>で示したものと異なる、本発明の一態様に係るトランジスタ200を有する半導体装置の一例について説明する。

[0351]

また、図15乃至図20において、各図の（A）は上面図を示す。また、各図の（B）は、（A）に示すA1-A2の一点鎖線で示す部位に対応する断面図であり、トランジスタ200のチャネル長方向の断面図でもある。また、各図の（C）は、（A）にA3-A4の一点鎖線で示す部位に対応する断面図であり、トランジスタ200のチャネル幅方向の断面図でもある。なお、各図の（A）の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0352]

なお、図15乃至図20に示す半導体装置において、<半導体装置の構成例>に示した半導体装置（図1参照。）を構成する構造と同機能を有する構造には、同符号を付記する。なお、本項目において、トランジスタ200の構成材料については<半導体装置の構成例>で詳細に説明した材料を用いることができる。

[0353]

図15に示すトランジスタ200は、上面視において、酸化物230cおよび絶縁体250の端部が、導電体260aおよび導電体260bの端部より外側に位置している点において、図1に示すトランジスタ200と異なる。このような構成とするには、図7に示す工程において、導電膜260Aおよび導電膜260Bをエッチングして導電体260aおよび導電体260bを形成し、その後、酸化膜230Cおよび絶縁膜250Aをエッチングして酸化物230cおよび絶縁体250を形成す

ればよい。

[0354]

図16に示すトランジスタ200は、絶縁体224、酸化物230、および導電体242aと、絶縁体250および絶縁体244の間に絶縁体254aが配置され、絶縁体224、酸化物230、および導電体242bと、絶縁体250および絶縁体244の間に絶縁体254bが配置されている点において、図1に示すトランジスタ200と異なる。絶縁体254aおよび絶縁体254bは、絶縁体224より酸素透過性が低い絶縁体を用いればよい。例えば、絶縁体254aおよび絶縁体254bは、絶縁体244に用いることができる、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。このような絶縁体254aおよび絶縁体254bを用いることにより、導電体242aの絶縁体254aと接する面、および導電体242bの絶縁体254bと接する面の酸化を抑制することができる。

[0355]

絶縁体254aおよび絶縁体254bは、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて成膜することができる。例えば、スパッタリング法で酸化アルミニウムを成膜し、その上にALD法で酸化アルミニウムを成膜すればよい。このように成膜することで、スパッタリング法で成膜した酸化アルミニウムにクラックやピンホールなどが形成されていたとしても、これを埋めるように、被覆性良くALD法で成膜した酸化アルミニウムを形成することができる。

[0356]

絶縁体254aまたは絶縁体254bの側面は、絶縁体244の開口290の縁と概略一致することが好ましい。ただし、これに限られず、絶縁体254aまたは絶縁体254bの側面が絶縁体244に覆われる構成にしてもよいし、絶縁体244の開口290から絶縁体254aまたは絶縁体254bの端部が露出している構成にしてもよい。

[0357]

図17に示すトランジスタ200は、絶縁体280の膜厚が薄く、上面が平坦化されていない点において、図16に示すトランジスタ200と異なる。つまり、絶縁体280より下の構造体の形状が、絶縁体280の上面形状に反映されている。このように、絶縁体280の膜厚を薄くすることにより、絶縁体280に添加することができる酸素量を低減し、絶縁体280から絶縁体224に供給される酸素量を調節することができる。

[0358]

図18に示すトランジスタ200は、少なくとも一部に、絶縁体224が露出した領域を有する酸化物230dが、絶縁体224の上に配置され、酸化物230dの上に配置された酸化物230aが、当該領域を介して絶縁体224に接する点において、図1に示すトランジスタ200と異なる。酸化物230dは、金属酸化物であり、酸化物230aより酸素透過性が低い絶縁体を用いればよい。例えば、酸化物230dに含まれる元素M（例えば、Gaなど）の原子数比は、酸化物230aに含まれる元素Mの原子数比より大きくすることが好ましい。例えば、酸化物230aとして、 $[In]:[Ga]:[Zn] = 1:1:0.5$ の原子数比の金属酸化物を用いる場合、酸化物230dとして、 $[In]:[Ga]:[Zn] = 1:3:4$ の原子数比の金属酸化物を用いればよい。

[0359]

酸化物230dの絶縁体224が露出した領域は、酸化物230bのチャネル形成領域と重なるように形成する。図18(A)に示すように、当該領域によって、酸化物230dがソース側とドレイ

ン側に分割される形状にしてもよい。また、当該領域は、酸化物 230 d に開口状に設けられてもよい。

[0360]

このような構成にすることで、図 19 に示すように、酸素 292 を拡散させるときに、酸化物 230 d と重なる領域では、絶縁体 224 から酸化物 230 に酸素 292 が拡散せず、酸化物 230 d と重ならない領域、つまりチャネル形成領域の下から酸化物 230 に酸素 292 を拡散させることができる。よって、酸化物 230 のチャネル形成領域に効果的に酸素を供給することができる。

[0361]

図 20 に示すトランジスタ 200 は、導電体 242 が設けられていない点において、図 1 に示すトランジスタ 200 と異なる。図 20 に示すトランジスタ 200 においては、例えば、酸化物 230 のキャリア密度を増大させ、低抵抗化させることができる元素をドーパントとして添加することによって、領域 243 を形成すればよい。

[0362]

ドーパントとしては、酸素欠損を形成する元素、または酸素欠損と結合する元素などを用いればよい。このような元素としては、代表的には、ホウ素、またはリンが挙げられる。また、水素、炭素、窒素、フッ素、硫黄、塩素、チタン、希ガス元素等を用いてもよい。また、希ガス元素の代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノン等がある。また、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどの金属元素の中から選ばれるいずれか一つまたは複数の金属元素を添加してもよい。上述した中でもドーパントとしては、ホウ素、及びリンが好ましい。ホウ素、リンをドーパントとして用いる場合、アモルファスシリコン、または低温ポリシリコンの製造ラインの装置を使用することができるため、設備投資を抑制することができる。上記元素の濃度は、SIMS などを用いて測定すればよい。

[0363]

特に、領域 243 に添加する元素として、酸化物を形成しやすい元素を用いることが好ましい。このような元素としては、代表的にはホウ素、リン、アルミニウム、マグネシウム等がある。領域 243 に添加された当該元素は、酸化物 230 中の酸素を奪って酸化物を形成しうる。その結果、領域 243 には多くの酸素欠損が生じる。当該酸素欠損と、酸化物 230 中の水素とが結合することでキャリアが生じ、極めて低抵抗な領域となる。さらに、領域 243 に添加された元素は安定な酸化物の状態で領域 243 に存在するため、その後の工程で高い温度を要する処理が行われたとしても、領域 243 から脱離しにくい。すなわち、領域 243 に添加する元素として、酸化物を形成しやすい元素を用いることで、酸化物 230 中に高温のプロセスを経ても高抵抗化しにくい領域を形成できる。

[0364]

酸化物 230 にソース領域またはドレイン領域として機能する領域 243 を形成することで、金属で形成されたソース電極およびドレイン電極を設けることなく、領域 243 にプラグとして機能する導電体 240 を接続することができる。

[0365]

ドーパントの添加によって領域 243 を形成する場合、例えば、トランジスタ 200 のチャネル形成領域となる位置にレジストマスクまたはハードマスクなどのマスクを設けて、ドーパントの添加を

行えばよい。これにより、酸化物 2 3 0 において、当該マスクが重畳していない領域に、上記の元素を含む領域 2 4 3 を形成することができる。

[0366]

ドーパントの添加方法としては、イオン化された原料ガスを質量分離して添加するイオン注入法、イオン化された原料ガスを質量分離せずに添加するイオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いることができる。質量分離を行う場合、添加するイオン種およびその濃度を厳密に制御することができる。一方、質量分離を行わない場合、短時間で高濃度のイオンを添加することができる。また、原子または分子のクラスターを生成してイオン化するイオンドーピング法を用いてもよい。なお、ドーパントを、イオン、ドナー、アクセプター、不純物または元素などと言い換えてもよい。

[0367]

また、領域 2 4 3 に酸素欠損を形成する元素を添加して、熱処理を行うことで、チャネル形成領域として機能する領域 2 3 4 に含まれる水素を、領域 2 4 3 に含まれる酸素欠損で捕獲できる場合がある。これにより、トランジスタ 2 0 0 に安定な電気特性を与え、信頼性の向上を図ることができる。

[0368]

本発明の一態様により、信頼性が良好な半導体装置を提供することができる。または、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。または、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、オフ電流の小さい半導体装置を提供することができる。または、本発明の一態様により、オン電流の大きい半導体装置を提供することができる。または、本発明の一態様により、消費電力が低減された半導体装置を提供することができる。または、本発明の一態様により、生産性の高い半導体装置を提供することができる。

[0369]

以上、本実施の形態に示す構成、構造、方法などは、他の実施の形態や実施例に示す構成、構造、方法などと適宜組み合わせる用いることができる。

[0370]

(実施の形態 2)

本実施の形態では、上記実施の形態とは異なる、記憶装置として機能する半導体装置の一形態を、図 2 1 乃至図 2 4 を用いて説明する。

[0371]

<記憶装置 1>

図 2 1 (A) (B) に記憶装置を構成するセル 6 0 0 を示す。セル 6 0 0 は、トランジスタ 2 0 0 a、トランジスタ 2 0 0 b、容量素子 1 0 0 a、および容量素子 1 0 0 b を有している。図 2 1 (A) は、セル 6 0 0 の上面図である。また、図 2 1 (B) は、図 2 1 (A) に A 1 - A 2 の一点鎖線で示す部位の断面図である。なお、図 2 1 (A) の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0372]

セル 6 0 0 は、トランジスタ 2 0 0 a およびトランジスタ 2 0 0 b を有し、トランジスタ 2 0 0 a の上に重畳して容量素子 1 0 0 a を有し、トランジスタ 2 0 0 b の上に重畳して容量素子 1 0 0 b を有する。セル 6 0 0 では、トランジスタ 2 0 0 a とトランジスタ 2 0 0 b、および容量素子 1 0 0 a

と容量素子 100b は、線対称に配置される場合がある。よって、トランジスタ 200a とトランジスタ 200b は同様の構成を有することが好ましく、容量素子 100a と容量素子 100b は同様の構成を有することが好ましい。

[0373]

トランジスタ 200a およびトランジスタ 200b 上の絶縁体 281 の上に絶縁体 130 を有し、絶縁体 130 の上に絶縁体 150 を有する。ここで、絶縁体 150 は、絶縁体 281 に用いることができる絶縁体を用いればよい。

[0374]

さらに、絶縁体 150 の上に導電体 160 を有する。また、絶縁体 280、絶縁体 274、絶縁体 281、絶縁体 130、および絶縁体 150 に形成された開口に埋め込まれるように導電体 240 が設けられる。導電体 240 の下面は導電体 242b と接し、導電体 240 の上面は導電体 160 と接している。

[0375]

トランジスタ 200a およびトランジスタ 200b は、上記実施の形態に示すトランジスタ 200 を用いることができる。よって、トランジスタ 200a およびトランジスタ 200b の構成については、上記トランジスタ 200 の記載を参酌することができる。また、図 21 (A) (B) において、トランジスタ 200a、トランジスタ 200b の要素の符号は省略している。なお、図 21 (A) (B) に示すトランジスタ 200a およびトランジスタ 200b は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[0376]

トランジスタ 200a とトランジスタ 200b は、両方とも酸化物 230 に形成されており、トランジスタ 200a のソースおよびドレインの一方と、トランジスタ 200b のソースおよびドレインの一方は、いずれも導電体 242b と接している。よって、トランジスタ 200a のソースおよびドレインの一方と、トランジスタ 200b のソースおよびドレインの一方は、導電体 242b を介して導電体 240 と電気的に接続している。これにより、トランジスタ 200a およびトランジスタ 200b のコンタクト部が共有され、プラグとコンタクトホール数を低減することができる。このように、ソースおよびドレインの一方と電気的に接続する配線を共有することで、メモリセルアレイの占有面積をさらに縮小することができる。

[0377]

[容量素子 100a および容量素子 100b]

図 21 (A) (B) に示すように、容量素子 100a は、トランジスタ 200a と重畳する領域に設ける。同様に、容量素子 100b は、トランジスタ 200b と重畳する領域に設ける。なお、容量素子 100b は、容量素子 100a が有する構造と、それぞれ対応する構造を有する。以下において、容量素子 100a の詳細な構造について説明するが、特にことわりが無い限り容量素子 100b については、容量素子 100a の説明を参酌することができる。

[0378]

容量素子 100a は、導電体 110、絶縁体 130、絶縁体 130 上の導電体 120 を有する。ここで、導電体 110 および導電体 120 は、導電体 203、導電体 205、または導電体 260 などに用いることができる導電体を用いればよい。

[0379]

容量素子100aは、絶縁体244、絶縁体280、絶縁体274、および絶縁体281が有する開口に形成されている。当該開口の、底面、および側面において、下部電極として機能する導電体110と、上部電極として機能する導電体120が、誘電体として機能する絶縁体130を挟んで対向する構成である。ここで、容量素子100aの導電体110は、トランジスタ200aの導電体242aに接して形成されている。

[0380]

特に、絶縁体280、絶縁体274、および絶縁体281が有する開口の深さを深くすることで、投影面積は変わらず、容量素子100aの静電容量を大きくすることができる。従って、容量素子100aは、シリンダー型（底面積よりも、側面積の方が大きい）とすることが好ましい。

[0381]

上記構成とすることで、容量素子100aの単位面積当たりの静電容量を大きくでき、半導体装置の微細化または高集積化を推し進めることができる。また、絶縁体280、絶縁体274、および絶縁体281の膜厚により、容量素子100aの静電容量の値を、適宜設定することができる。従って、設計自由度が高い半導体装置を提供することができる。

[0382]

また、絶縁体130は、誘電率の大きい絶縁体を用いることが好ましい。例えば、アルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体を用いることができる。アルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。

[0383]

また、絶縁体130は、積層構造であってもよく、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などから、2層以上を選び積層構造としても良い。例えば、ALD法によって、酸化ハフニウム、酸化アルミニウムおよび酸化ハフニウムを順に成膜し、積層構造とすることが好ましい。酸化ハフニウムおよび酸化アルミニウムの膜厚は、それぞれ、0.5nm以上5nm以下とする。このような積層構造とすることで、容量値が大きく、かつ、リーク電流の小さな容量素子100aとすることができる。

[0384]

なお、導電体110、または導電体120は、積層構造であってもよい。例えば、導電体110、または導電体120は、チタン、窒化チタン、タンタル、または窒化タンタルを主成分とする導電性材料と、タングステン、銅、またはアルミニウムを主成分とする導電性材料と、の積層構造としてもよい。また、導電体110、または導電体120は、単層構造としてもよいし、3層以上の積層構造としてもよい。

[0385]

また、容量素子100aを形成する開口において、導電体120の内側に絶縁体140を形成することが好ましい。ここで、絶縁体140は、絶縁体281に用いることができる絶縁体を用いればよい。また、絶縁体140の上面は、導電体120の上面と概略面一であることが好ましい。ただし、これに限られず、例えば、導電体120の膜厚を大きくして開口を埋めてもよいし、導電体120の内側に開口が形成された状態で、絶縁体150を成膜して当該開口を埋めてもよい。

[0386]

[セルアレイの構造]

次に、上記のセルを行列またはマトリクス状に配置した、セルアレイの一例について、図 2 2 乃至図 2 4 を用いて説明する。

[0387]

図 2 2 は、図 2 1 に示すセルを、マトリクス状に配置した一形態を示す回路図である。図 2 3 は、図 2 2 に示す回路図のセル 6 0 0 と、セル 6 0 0 に隣接するセル 6 0 1 の近傍の断面構造を示す模式図である。図 2 4 は、図 2 2 に示す回路図の配線 WL、配線 BL、および酸化物 2 3 0 のレイアウトを示した模式図である。図 2 2 乃至図 2 4 では、配線 BL の延伸方向を x 方向とし、配線 WL の延伸方向を y 方向とし、x y 平面に垂直な方向を z 方向とする。なお、図 2 2 および図 2 4 では、セルを 3×3 個配置する例を示しているが、本実施の形態はこれに限られることなく、セルアレイに含まれるメモリセルまたは配線等の、個数及び配置は、適宜設定すればよい。また、図 2 4 の模式図では、図の明瞭化のために、図 2 2 に示す一部の要素を省いて図示している。

[0388]

図 2 2 に示すように、セルを構成するトランジスタ 2 0 0 a とトランジスタ 2 0 0 b のソースおよびドレインの一方が共通の配線 BL (BL 0 1、BL 0 2、BL 0 3) と電気的に接続する。また、当該配線 BL は、x 方向に配列されたセル 6 0 0 が有するトランジスタ 2 0 0 a とトランジスタ 2 0 0 b のソースおよびドレインの一方とも電気的に接続する。一方、セル 6 0 0 を構成する、トランジスタ 2 0 0 a の第 1 のゲートと、トランジスタ 2 0 0 b の第 1 のゲートは、それぞれ異なる配線 WL (WL 0 1 乃至 WL 0 6) と電気的に接続する。また、これらの配線 WL は、y 方向に配列されたセル 6 0 0 が有する、トランジスタ 2 0 0 a の第 1 のゲートと、トランジスタ 2 0 0 b の第 1 のゲートと、それぞれ電気的に接続する。

[0389]

また、セル 6 0 0 が有する、容量素子 1 0 0 a の一方の電極、および容量素子 1 0 0 b の一方の電極は、配線 PL と電気的に接続する。例えば、配線 PL は y 方向に延伸して形成すればよい。

[0390]

また、各セル 6 0 0 が有するトランジスタ 2 0 0 a およびトランジスタ 2 0 0 b には第 2 のゲート BG が設けられていてもよい。BG に印加される電位により、トランジスタのしきい値を制御することができる。当該 BG はトランジスタ 4 0 0 と接続されており、BG に印加される電位は、トランジスタ 4 0 0 によって制御することができる。

[0391]

例えば、図 2 3 に示すように、導電体 1 6 0 を x 方向に延伸させて配線 BL として機能させ、導電体 2 6 0 を y 方向に延伸させて配線 WL として機能させ、導電体 1 2 0 を y 方向に延伸させて配線 PL として機能させることができる。また、導電体 2 0 3 を y 方向に延伸させて BG に接続する配線として機能させることもできる。

[0392]

また、図 2 3 に示すように、セル 6 0 0 が有する容量素子 1 0 0 b の一方の電極として機能する導電体 1 2 0 が、セル 6 0 1 が有する容量素子 1 0 0 a の一方の電極をも兼ねる構成とすることが好ましい。また、図示しないが、セル 6 0 0 が有する容量素子 1 0 0 a の一方の電極として機能する導電体 1 2 0 が、セル 6 0 0 の左側に隣接するセルの容量素子の一方の電極を兼ねている。セル 6 0 1 の右側のセルについても同様の構成となっている。従って、セルアレイを構成することができる。当該

セルアレイの構成とすることで、隣り合うセルの間隔を小さくすることができるので、セルアレイの投影面積を小さくすることができ、高集積化が可能となる。

[0393]

また、図24に示すように、酸化物230および配線WLをマトリクス状に配置することで、図22に示す回路図の半導体装置を形成することができる。ここで、配線BLは、配線WLおよび酸化物230とは異なる層に設けることが好ましい。特に、配線BLよりも、下層に容量素子100a、および容量素子100bを設けることで、酸化物230の長辺方向と、配線BLが、概略平行になるレイアウトを実現することができる。従って、セルのレイアウトを単純化することができ、設計の自由度が向上し、工程コストを低減することができる。

[0394]

また、図24では、酸化物230の長辺が配線WLの延伸方向と概略直交するように、酸化物230および配線WLを設けたが、これに限られるものではない。例えば、酸化物230の長辺が配線WLの延伸方向と直交せず、酸化物230の長辺が配線WLの延伸方向に対して傾けて配置されるレイアウトにしてもよい。好ましくは、酸化物230の長辺と配線WLのなす角が、 20° 以上 70° 以下、好ましくは 30° 以上 60° 以下になるように、酸化物230と配線WLを設ければよい。

[0395]

また、当該セルアレイを平面のみでなく積層する構成としてもよい。複数のセルアレイを積層することにより、セルアレイの専有面積を増やすことなく、セルを集積して配置することができる。つまり、3Dセルアレイを構成することができる。

[0396]

以上のように、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。または、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、オフ電流の小さい半導体装置を提供することができる。または、本発明の一態様により、オン電流の大きい半導体装置を提供することができる。または、本発明の一態様により、信頼性の高い半導体装置を提供することができる。または、本発明の一態様により、消費電力が低減された半導体装置を提供することができる。または、本発明の一態様により、生産性の高い半導体装置を提供することができる。

[0397]

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

[0398]

(実施の形態3)

本実施の形態では、上記実施の形態とは異なる、記憶装置として機能する半導体装置の一形態を、図25乃至図27を用いて説明する。

[0399]

<記憶装置2>

図25、図26に示す記憶装置は、トランジスタ300と、トランジスタ200、および容量素子100を有している。図25は、トランジスタ200およびトランジスタ300のチャネル長方向の断面図である。図26には、トランジスタ300近傍のトランジスタ300のチャネル幅方向の断面図を示す。

[0400]

トランジスタ200は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ200は、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。

[0401]

図25、図26に示す記憶装置において、配線1001はトランジスタ300のソースと電氣的に接続され、配線1002はトランジスタ300のドレインと電氣的に接続されている。また、配線1003はトランジスタ200のソースおよびドレインの一方と電氣的に接続され、配線1004はトランジスタ200のトップゲートと電氣的に接続され、配線1006はトランジスタ200のボトムゲートと電氣的に接続されている。そして、トランジスタ300のゲート、およびトランジスタ200のソースおよびドレインの他方は、容量素子100の電極の一方と電氣的に接続され、配線1005は容量素子100の電極の他方と電氣的に接続されている。

[0402]

図25、図26に示す記憶装置は、トランジスタ300のゲートの電位が保持可能という特性を有することで、以下に示すように、情報の書き込み、保持、読み出しが可能である。

[0403]

情報の書き込みおよび保持について説明する。まず、配線1004の電位を、トランジスタ200が導通状態となる電位にして、トランジスタ200を導通状態とする。これにより、配線1003の電位が、トランジスタ300のゲート、および容量素子100の電極の一方と電氣的に接続するノードSNに与えられる。すなわち、トランジスタ300のゲートには、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下、Lowレベル電荷、Highレベル電荷という。）のどちらかが与えられるものとする。その後、配線1004の電位を、トランジスタ200が非導通状態となる電位にして、トランジスタ200を非導通状態とすることにより、ノードSNに電荷が保持される（保持）。

[0404]

トランジスタ200のオフ電流が小さい場合、ノードSNの電荷は長期間にわたって保持される。

[0405]

次に情報の読み出しについて説明する。配線1001に所定の電位（定電位）を与えた状態で、配線1005に適切な電位（読み出し電位）を与えると、配線1002は、ノードSNに保持された電荷量に応じた電位をとる。これは、トランジスタ300をnチャネル型とすると、トランジスタ300のゲートにHighレベル電荷が与えられている場合の見かけ上の閾値電圧 V_{th_H} は、トランジスタ300のゲートにLowレベル電荷が与えられている場合の見かけ上の閾値電圧 V_{th_L} より低くなるためである。ここで、見かけ上の閾値電圧とは、トランジスタ300を導通状態とするために必要な配線1005の電位をいうものとする。したがって、配線1005の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、ノードSNに与えられた電荷を判別できる。例えば、書き込みにおいて、ノードSNにHighレベル電荷が与えられていた場合には、配線1005の電位が V_0 ($> V_{th_H}$) となれば、トランジスタ300は導通状態となる。一方、ノードSNにLowレベル電荷が与えられていた場合には、配線1005の電位が V_0 ($< V_{th_L}$) となっても、トランジスタ300は非導通状態のままである。このため、配線1002の電位を判別することで、ノードSN

に保持されている情報を読み出すことができる。

[0406]

なお、メモリセルをアレイ状に配置する場合、読み出し時には、所望のメモリセルの情報を読み出さなくてはならない。例えば、メモリセルアレイがNOR型の構成の場合、情報を読み出さないメモリセルのトランジスタ300を非導通状態にすることで、所望のメモリセルの情報のみを読み出すことができる。この場合、ノードSNに与えられた電荷によらずトランジスタ300が非導通状態となるような電位、つまり、 V_{th_H} より低い電位を、情報を読み出さないメモリセルと接続される配線1005に与えればよい。または、例えば、メモリセルアレイがNAND型の構成の場合、情報を読み出さないメモリセルのトランジスタ300を導通状態にすることで、所望のメモリセルの情報のみを読み出すことができる。この場合、ノードSNに与えられた電荷によらずトランジスタ300が導通状態となるような電位、つまり、 V_{th_L} より高い電位を、情報を読み出さないメモリセルと接続される配線1005に与えればよい。

[0407]

<記憶装置2の構造>

本発明の一態様の記憶装置は、図25に示すようにトランジスタ300、トランジスタ200、容量素子100を有する。トランジスタ200はトランジスタ300の上方に設けられ、容量素子100はトランジスタ300、およびトランジスタ200の上方に設けられている。

[0408]

トランジスタ300は、基板311上に設けられ、導電体316、絶縁体315、基板311の一部からなる半導体領域313、およびソース領域またはドレイン領域として機能する低抵抗領域314a、および低抵抗領域314bを有する。

[0409]

トランジスタ300は、図26に示すように、半導体領域313の上面およびチャネル幅方向の側面が絶縁体315を介して導電体316に覆われている。このように、トランジスタ300をFin型とすることにより、実効上のチャネル幅が増大することによりトランジスタ300のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ300のオフ特性を向上させることができる。

[0410]

トランジスタ300は、pチャネル型、あるいはnチャネル型のいずれでもよい。

[0411]

半導体領域313のチャネルが形成される領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域314a、および低抵抗領域314bなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、GaAlAs（ガリウムアルミニウムヒ素）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。またはGaAsとGaAlAs等を用いることで、トランジスタ300をHEMT（High Electron Mobility Transistor）としてもよい。

[0412]

低抵抗領域314a、および低抵抗領域314bは、半導体領域313に適用される半導体材料に

加え、ヒ素、リンなどのn型の導電性を付与する元素、またはホウ素などのp型の導電性を付与する元素を含む。

[0413]

ゲート電極として機能する導電体316は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。

[0414]

なお、導電体の材料により、仕事関数が定まるため、導電体の材料を変更することで、トランジスタの V_{th} を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンを用いることが耐熱性の点で好ましい。

[0415]

なお、図25に示すトランジスタ300は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[0416]

トランジスタ300を覆って、絶縁体320、絶縁体322、絶縁体324、および絶縁体326が順に積層して設けられている。

[0417]

絶縁体320、絶縁体322、絶縁体324、および絶縁体326として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

[0418]

絶縁体322は、その下方に設けられるトランジスタ300などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨（CMP）法等を用いた平坦化処理により平坦化されていてもよい。

[0419]

また、絶縁体324には、基板311、またはトランジスタ300などから、トランジスタ200が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

[0420]

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ200等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ200と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0421]

水素の脱離量は、例えば、昇温脱離ガス分析法（TDS）などを用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDS分析において、膜の表面温度が50℃から500℃の範囲において、水素原子に換算した脱離量が、絶縁体324の面積当たりに換算して、 $1.0 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

[0422]

なお、絶縁体326は、絶縁体324よりも誘電率が低いことが好ましい。例えば、絶縁体326の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体326の比誘電率は、絶縁体324の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0423]

また、絶縁体320、絶縁体322、絶縁体324、および絶縁体326には容量素子100、またはトランジスタ200と電氣的に接続する導電体328、および導電体330等が埋め込まれている。なお、導電体328、および導電体330はプラグ、または配線としての機能を有する。また、プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

[0424]

各プラグ、および配線（導電体328、および導電体330等）の材料としては、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0425]

絶縁体326、および導電体330上に、配線層を設けてもよい。例えば、図25において、絶縁体350、絶縁体352、および絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、および絶縁体354には、導電体356が形成されている。導電体356は、プラグ、または配線としての機能を有する。なお導電体356は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[0426]

なお、例えば、絶縁体350は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体356は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体350が有する開口部に、水素に対するバリア性を有する導電体が形成されることが好ましい。当該構成により、トランジスタ300とトランジスタ200とは、バリア層により分離することができ、トランジスタ300からトランジスタ200への水素の拡散を抑制することができる。

[0427]

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ300からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体350と接する構造であることが好ましい。

[0428]

絶縁体354、および導電体356上に、配線層を設けてもよい。例えば、図25において、絶縁

体 3 6 0、絶縁体 3 6 2、および絶縁体 3 6 4 が順に積層して設けられている。また、絶縁体 3 6 0、絶縁体 3 6 2、および絶縁体 3 6 4 には、導電体 3 6 6 が形成されている。導電体 3 6 6 は、プラグ、または配線としての機能を有する。なお導電体 3 6 6 は、導電体 3 2 8、および導電体 3 3 0 と同様の材料を用いて設けることができる。

[0429]

なお、例えば、絶縁体 3 6 0 は、絶縁体 3 2 4 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 3 6 6 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 3 6 0 が有する開口部に、水素に対するバリア性を有する導電体が形成されることが好ましい。当該構成により、トランジスタ 3 0 0 とトランジスタ 2 0 0 とは、バリア層により分離することができ、トランジスタ 3 0 0 からトランジスタ 2 0 0 への水素の拡散を抑制することができる。

[0430]

絶縁体 3 6 4、および導電体 3 6 6 上に、配線層を設けてもよい。例えば、図 2 5 において、絶縁体 3 7 0、絶縁体 3 7 2、および絶縁体 3 7 4 が順に積層して設けられている。また、絶縁体 3 7 0、絶縁体 3 7 2、および絶縁体 3 7 4 には、導電体 3 7 6 が形成されている。導電体 3 7 6 は、プラグ、または配線としての機能を有する。なお導電体 3 7 6 は、導電体 3 2 8、および導電体 3 3 0 と同様の材料を用いて設けることができる。

[0431]

なお、例えば、絶縁体 3 7 0 は、絶縁体 3 2 4 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 3 7 6 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 3 7 0 が有する開口部に、水素に対するバリア性を有する導電体が形成されることが好ましい。当該構成により、トランジスタ 3 0 0 とトランジスタ 2 0 0 とは、バリア層により分離することができ、トランジスタ 3 0 0 からトランジスタ 2 0 0 への水素の拡散を抑制することができる。

[0432]

絶縁体 3 7 4、および導電体 3 7 6 上に、配線層を設けてもよい。例えば、図 2 5 において、絶縁体 3 8 0、絶縁体 3 8 2、および絶縁体 3 8 4 が順に積層して設けられている。また、絶縁体 3 8 0、絶縁体 3 8 2、および絶縁体 3 8 4 には、導電体 3 8 6 が形成されている。導電体 3 8 6 は、プラグ、または配線としての機能を有する。なお導電体 3 8 6 は、導電体 3 2 8、および導電体 3 3 0 と同様の材料を用いて設けることができる。

[0433]

なお、例えば、絶縁体 3 8 0 は、絶縁体 3 2 4 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 3 8 6 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 3 8 0 が有する開口部に、水素に対するバリア性を有する導電体が形成されることが好ましい。当該構成により、トランジスタ 3 0 0 とトランジスタ 2 0 0 とは、バリア層により分離することができ、トランジスタ 3 0 0 からトランジスタ 2 0 0 への水素の拡散を抑制することができる。

[0434]

上記において、導電体 3 5 6 を含む配線層、導電体 3 6 6 を含む配線層、導電体 3 7 6 を含む配線層、および導電体 3 8 6 を含む配線層、について説明したが、本実施の形態に係る記憶装置はこれに

限られるものではない。導電体 3 5 6 を含む配線層と同様の配線層を 3 層以下にしてもよいし、導電体 3 5 6 を含む配線層と同様の配線層を 5 層以上にしてもよい。

[0 4 3 5]

絶縁体 3 8 4 上には絶縁体 2 1 0、絶縁体 2 1 2、絶縁体 2 1 4、および絶縁体 2 1 6 が、順に積層して設けられている。絶縁体 2 1 0、絶縁体 2 1 2、絶縁体 2 1 4、および絶縁体 2 1 6 のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

[0 4 3 6]

例えば、絶縁体 2 1 0、および絶縁体 2 1 4 には、例えば、基板 3 1 1、またはトランジスタ 3 0 0 を設ける領域などから、トランジスタ 2 0 0 を設ける領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体 3 2 4 と同様の材料を用いることができる。

[0 4 3 7]

水素に対するバリア性を有する膜の一例として、CVD 法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 2 0 0 等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ 2 0 0 と、トランジスタ 3 0 0 との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0 4 3 8]

また、水素に対するバリア性を有する膜として、例えば、絶縁体 2 1 0、および絶縁体 2 1 4 には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[0 4 3 9]

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ 2 0 0 への混入を防止することができる。また、トランジスタ 2 0 0 を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 2 0 0 に対する保護膜として用いることに適している。

[0 4 4 0]

また、例えば、絶縁体 2 1 2、および絶縁体 2 1 6 には、絶縁体 3 2 0 と同様の材料を用いることができる。また、比較的誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 2 1 2、および絶縁体 2 1 6 として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

[0 4 4 1]

また、絶縁体 2 1 0、絶縁体 2 1 2、絶縁体 2 1 4、および絶縁体 2 1 6 には、導電体 2 1 8、およびトランジスタ 2 0 0 を構成する導電体（導電体 2 0 5）等が埋め込まれている。なお、導電体 2 1 8 は、容量素子 1 0 0、またはトランジスタ 3 0 0 と電氣的に接続するプラグ、または配線としての機能を有する。導電体 2 1 8 は、導電体 3 2 8、および導電体 3 3 0 と同様の材料を用いて設けることができる。

[0 4 4 2]

特に、絶縁体 2 1 0、および絶縁体 2 1 4 と接する領域の導電体 2 1 8 は、酸素、水素、および水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ 3 0 0 とト

ランジスタ 200 とは、酸素、水素、および水に対するバリア性を有する層で、分離することができ、トランジスタ 300 からトランジスタ 200 への水素の拡散を抑制することができる。

[0443]

絶縁体 216 の上方には、トランジスタ 200 が設けられている。なお、トランジスタ 200 の構造は、先の実施の形態で説明した半導体装置が有するトランジスタの構造を用いればよい。また、図 25 に示すトランジスタ 200 は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[0444]

トランジスタ 200 の上方には、絶縁体 281 を設ける。

[0445]

絶縁体 281 上には、絶縁体 282 が設けられている。絶縁体 282 は、酸素や水素に対してバリア性のある物質を用いることが好ましい。したがって、絶縁体 282 には、絶縁体 214 と同様の材料を用いることができる。例えば、絶縁体 282 には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[0446]

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ 200 への混入を防止することができる。また、トランジスタ 200 を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 200 に対する保護膜として用いることに適している。

[0447]

また、絶縁体 282 上には、絶縁体 286 が設けられている。絶縁体 286 は、絶縁体 320 と同様の材料を用いることができる。また、比較的誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 286 として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

[0448]

また、絶縁体 220、絶縁体 222、絶縁体 224、絶縁体 244、絶縁体 280、絶縁体 274、絶縁体 281、絶縁体 282、および絶縁体 286 には、導電体 246、および導電体 248 等が埋め込まれている。

[0449]

導電体 246、および導電体 248 は、容量素子 100、トランジスタ 200、またはトランジスタ 300 と電氣的に接続するプラグ、または配線としての機能を有する。導電体 246、および導電体 248 は、導電体 328、および導電体 330 と同様の材料を用いて設けることができる。

[0450]

続いて、トランジスタ 200 の上方には、容量素子 100 が設けられている。容量素子 100 は、導電体 110 と、導電体 120、絶縁体 130 とを有する。

[0451]

また、導電体 246、および導電体 248 上に、導電体 112 を設けてもよい。導電体 112 は、容量素子 100、トランジスタ 200、またはトランジスタ 300 と電氣的に接続するプラグ、または配線としての機能を有する。導電体 110 は、容量素子 100 の電極としての機能を有する。なお、

導電体 112、および導電体 110 は、同時に形成することができる。

[0452]

導電体 112、および導電体 110 には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。または、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

[0453]

図 25 では、導電体 112、および導電体 110 は単層構造を示したが、当該構成に限定されず、2 層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

[0454]

絶縁体 130 を介して、導電体 110 と重畳するように、導電体 120 を設ける。なお、導電体 120 は、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料である Cu（銅）や Al（アルミニウム）等を用いればよい。

[0455]

導電体 120、および絶縁体 130 上には、絶縁体 150 が設けられている。絶縁体 150 は、絶縁体 320 と同様の材料を用いて設けることができる。また、絶縁体 150 は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

[0456]

また、トランジスタ 300 は、半導体基板に設けられたトランジスタに限らない。例えば、図 27 に示すように、トランジスタ 300 の代わりに、トランジスタ 450 を用いてもよい。トランジスタ 450 は、トランジスタ 200 と同様の構造を有し、同様のプロセスにて作製することができる。

[0457]

トランジスタ 450 は、基板（図示しない）上に設けられた絶縁体 410 上に設けられる。絶縁体 412 は、絶縁体 212 と同様の方法を用いて同様の材料にて設けることができる。同様に、絶縁体 414、絶縁体 416、絶縁体 420、絶縁体 422、絶縁体 424、絶縁体 444、絶縁体 480、および絶縁体 474 は、それぞれ絶縁体 214、絶縁体 216、絶縁体 220、絶縁体 222、絶縁体 224、絶縁体 244、絶縁体 280、および絶縁体 274 と同様の材料を用いて同様の方法にて設けることができる。

[0458]

容量素子 100 の電極の一方である導電体 110 は、導電体 246、導電体 248、導電体 218、導電体 428 等を介して、トランジスタ 450 のゲートと電気的に接続する。トランジスタ 450 について、トランジスタ 200 と共通な部分の説明は省略する。

[0459]

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特

性の変動を抑制するとともに、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有する半導体装置を提供することができる。または、オフ電流が小さい酸化物半導体を有する半導体装置を提供することができる。または、消費電力が低減された半導体装置を提供することができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。

[0460]

以上、本実施の形態に示す構成、構造、方法などは、他の実施の形態や実施例に示す構成、構造、方法などと適宜組み合わせて用いることができる。

[0461]

(実施の形態4)

本実施の形態では、図28乃至図30を用いて、本発明の一態様に係る、酸化物を半導体に用いたトランジスタ（以下、OSトランジスタと呼ぶ。）、および容量素子が適用されている記憶装置の一例として、NOSRAMについて説明する。NOSRAM（登録商標）とは「Nonvolatile Oxide Semiconductor RAM」の略称であり、ゲインセル型（2T型、3T型）のメモリセルを有するRAMを指す。なお、以下において、NOSRAMのようにOSトランジスタを用いたメモリ装置を、OSメモリと呼ぶ場合がある。

[0462]

NOSRAMでは、メモリセルにOSトランジスタが用いられるメモリ装置（以下、「OSメモリ」と呼ぶ。）が適用されている。OSメモリは、少なくとも容量素子と、容量素子の充放電を制御するOSトランジスタを有するメモリである。OSトランジスタが極小オフ電流のトランジスタであるので、OSメモリは優れた保持特性をもち、不揮発性メモリとして機能させることができる。

[0463]

<<NOSRAM1600>>

図28にNOSRAMの構成例を示す。図28に示すNOSRAM1600は、メモリセルアレイ1610、コントローラ1640、行ドライバ1650、列ドライバ1660、出力ドライバ1670を有する。なお、NOSRAM1600は、1のメモリセルで多値データを記憶する多値NOSRAMである。

[0464]

メモリセルアレイ1610は複数のメモリセル1611、複数のワード線WWL、複数のワード線RWL、ビット線BL、ソース線SLを有する。ワード線WWLは書き込みワード線であり、ワード線RWLは読み出しワード線である。NOSRAM1600では、1のメモリセル1611で3ビット（8値）のデータを記憶する。

[0465]

コントローラ1640は、NOSRAM1600全体を統括的に制御し、データWDA[31:0]の書き込み、データRDA[31:0]の読み出しを行う。コントローラ1640は、外部からのコマンド信号（例えば、チップイネーブル信号、書き込みイネーブル信号など）を処理して、行ドライバ1650、列ドライバ1660および出力ドライバ1670の制御信号を生成する。

[0466]

行ドライバ1650は、アクセスする行を選択する機能を有する。行ドライバ1650は、行デコーダ1651、およびワード線ドライバ1652を有する。

[0467]

列ドライバ1660は、ソース線SLおよびビット線BLを駆動する。列ドライバ1660は、列デコーダ1661、書き込みドライバ1662、DAC（デジタルアナログ変換回路）1663を有する。

[0468]

DAC1663は3ビットのデジタルデータをアナログ電圧に変換する。DAC1663は32ビットのデータWDA[31:0]を3ビットごとに、アナログ電圧に変換する。

[0469]

書き込みドライバ1662は、ソース線SLをプリチャージする機能、ソース線SLを電氣的に浮遊状態にする機能、ソース線SLを選択する機能、選択されたソース線SLにDAC1663で生成した書き込み電圧を入力する機能、ビット線BLをプリチャージする機能、ビット線BLを電氣的に浮遊状態にする機能等を有する。

[0470]

出力ドライバ1670は、セクタ1671、ADC（アナログデジタル変換回路）1672、出力バッファ1673を有する。セクタ1671は、アクセスするソース線SLを選択し、選択されたソース線SLの電位をADC1672に送信する。ADC1672は、アナログ電圧を3ビットのデジタルデータに変換する機能を持つ。ソース線SLの電位はADC1672において、3ビットのデータに変換され、出力バッファ1673はADC1672から出力されるデータを保持する。

[0471]

なお、本実施の形態に示す、行ドライバ1650、列ドライバ1660、および出力ドライバ1670の構成は、上記に限定されるものではない。メモリセルアレイ1610の構成または駆動方法などに応じて、これらのドライバおよび当該ドライバに接続される配線の配置を変更してもよいし、これらのドライバおよび当該ドライバに接続される配線の有する機能を変更または追加してもよい。例えば、上記のソース線SLが有する機能の一部を、ビット線BLに有せしめる構成にしてもよい。

[0472]

なお、上記においては、各メモリセル1611に保持させる情報量を3ビットとしたが、本実施の形態に示す記憶装置の構成はこれに限られない。各メモリセル1611に保持させる情報量を2ビット以下にしてもよいし、4ビット以上にしてもよい。例えば、各メモリセル1611に保持させる情報量を1ビットにする場合、DAC1663およびADC1672を設けない構成にしてもよい。

[0473]

<メモリセル1611乃至メモリセル1614>

図29(A)はメモリセル1611の構成例を示す回路図である。メモリセル1611は2T型のゲインセルであり、メモリセル1611はワード線WWL、ワード線RWL、ビット線BL、ソース線SL、配線BGLに電氣的に接続されている。メモリセル1611は、ノードSN、OSトランジスタMO61、トランジスタMP61、容量素子C61を有する。OSトランジスタMO61は書き込みトランジスタである。トランジスタMP61は読み出しトランジスタであり、例えばpチャネル型Siトランジスタで構成される。容量素子C61はノードSNの電位を保持するための保持容量である。ノードSNはデータの保持ノードであり、ここではトランジスタMP61のゲートに相当する。

[0474]

メモリセル1611の書き込みトランジスタがOSトランジスタMO61で構成されているため、

NOSRAM1600は長時間データを保持することが可能である。

[0475]

図29(A)の例では、ビット線は、書き込みと読み出しで共通のビット線であるが、図29(B)に示すように、書き込みビット線として機能する、ビット線WBLと、読み出しビット線として機能する、ビット線RBLとを設けてもよい。

[0476]

図29(C)乃至図29(E)にメモリセルの他の構成例を示す。図29(C)乃至図29(E)には、書き込み用のビット線WBLと読み出し用のビット線RBLを設けた例を示しているが、図29(A)のように書き込みと読み出しで共有されるビット線を設けてもよい。

[0477]

図29(C)に示すメモリセル1612は、メモリセル1611の変形例であり、読み出しトランジスタをnチャネル型トランジスタ(MN61)に変更したものである。トランジスタMN61はOSトランジスタであってもよいし、Siトランジスタであってもよい。

[0478]

メモリセル1611、メモリセル1612において、OSトランジスタMO61はボトムゲートの無いOSトランジスタであってもよい。

[0479]

図29(D)に示すメモリセル1613は、3T型ゲインセルであり、ワード線WWL、RWL、ビット線WBL、ビット線RBL、ソース線SL、配線BGL、配線PCLに電氣的に接続されている。メモリセル1613は、ノードSN、OSトランジスタMO62、トランジスタMP62、トランジスタMP63、容量素子C62を有する。OSトランジスタMO62は書き込みトランジスタである。トランジスタMP62は読み出しトランジスタであり、トランジスタMP63は選択トランジスタである。

[0480]

図29(E)に示すメモリセル1614は、メモリセル1613の変形例であり、読み出しトランジスタおよび選択トランジスタをnチャネル型トランジスタ(トランジスタMN62、トランジスタMN63)に変更したものである。トランジスタMN62、トランジスタMN63はOSトランジスタであってもよいし、Siトランジスタであってもよい。

[0481]

メモリセル1611乃至メモリセル1614に設けられるOSトランジスタは、ボトムゲートの無いトランジスタでもよいし、ボトムゲートが有るトランジスタであってもよい。

[0482]

上記においては、メモリセル1611などが並列に接続された、いわゆるNOR型の記憶装置について説明したが、本実施の形態に示す記憶装置はこれに限られるものではない。例えば、以下に示すようなメモリセル1615が直列に接続された、いわゆるNAND型の記憶装置にしてもよい。

[0483]

図30はNAND型のメモリセルアレイ1610の構成例を示す回路図である。図30に示すメモリセルアレイ1610は、ソース線SL、ビット線RBL、ビット線WBL、ワード線WWL、ワード線RWL、配線BGL、およびメモリセル1615を有する。メモリセル1615は、ノードSN、OSトランジスタMO63、トランジスタMN64、容量素子C63を有する。ここで、トランジス

タMN 6 4は、例えばnチャネル型S iトランジスタで構成される。これに限られず、トランジスタMN 6 4は、pチャネル型S iトランジスタであってもよいし、OSトランジスタであってもよい。
[0484]

以下では、図30に示すメモリセル1615aおよびメモリセル1615bを例として説明する。ここで、メモリセル1615aまたはメモリセル1615bのいずれかに接続する配線、または回路素子の符号については、aまたはbの符号を付して表す。

[0485]

メモリセル1615aにおいて、トランジスタMN 6 4aのゲートと、OSトランジスタMO 6 3aのソースおよびドレインの一方と、容量素子C 6 3aの電極の一方とは、電氣的に接続されている。また、ビット線WBLとOSトランジスタMO 6 3aのソースおよびドレインの他方とは、電氣的に接続されている。また、ワード線WWLaと、OSトランジスタMO 6 3aのゲートとは、電氣的に接続されている。また、配線BGLaと、OSトランジスタMO 6 3aのボトムゲートとは、電氣的に接続されている。そして、ワード線RWLaと、容量素子C 6 3aの電極の他方は電氣的に接続されている。

[0486]

メモリセル1615bは、ビット線WBLとのコンタクト部を対称の軸として、メモリセル1615aと対称的に設けることができる。よって、メモリセル1615bに含まれる回路素子も、上記メモリセル1615aと同じように配線と接続される。

[0487]

さらに、メモリセル1615aが有するトランジスタMN 6 4aのソースは、メモリセル1615bのトランジスタMN 6 4bのドレインと電氣的に接続される。メモリセル1615aが有するトランジスタMN 6 4aのドレインは、ビット線RBLと電氣的に接続される。メモリセル1615bが有するトランジスタMN 6 4bのソースは、複数のメモリセル1615が有するトランジスタMN 6 4を介してソース線SLと電氣的に接続される。このように、NAND型のメモリセルアレイ1610では、ビット線RBLとソース線SLの間に、複数のトランジスタMN 6 4が直列に接続される。

[0488]

図30に示すメモリセルアレイ1610を有する記憶装置では、同じワード線WWL（またはワード線RWL）に接続された複数のメモリセル（以下、メモリセル列と呼ぶ。）ごとに、書き込み動作および読み出し動作を行う。例えば、書き込み動作は次のように行うことができる。書き込みを行うメモリセル列に接続されたワード線WWLにOSトランジスタMO 6 3がオン状態となる電位を与え、書き込みを行うメモリセル列のOSトランジスタMO 6 3をオン状態にする。これにより、指定したメモリセル列のトランジスタMN 6 4のゲートおよび容量素子C 6 3の電極の一方にビット線WBLの電位が与えられ、当該ゲートに所定の電荷が与えられる。それから当該メモリセル列のOSトランジスタMO 6 3をオフ状態にすると、当該ゲートに与えられた所定の電荷を保持することができる。このようにして、指定したメモリセル列のメモリセル1615にデータを書き込むことができる。

[0489]

また、例えば、読み出し動作は次のように行うことができる。まず、読み出しを行うメモリセル列に接続されていないワード線RWLに、トランジスタMN 6 4のゲートに与えられた電荷によらず、トランジスタMN 6 4がオン状態となるような電位を与え、読み出しを行うメモリセル列以外のトラ

ンジスタMN 6 4をオン状態とする。それから、読み出しを行うメモリセル列に接続されたワード線RWLに、トランジスタMN 6 4のゲートが有する電荷によって、トランジスタMN 6 4のオン状態またはオフ状態が選択されるような電位（読み出し電位）を与える。そして、ソース線SLに定電位を与え、ビット線RBLに接続されている読み出し回路を動作状態とする。ここで、ソース線SLービット線RBL間の複数のトランジスタMN 6 4は、読み出しを行うメモリセル列を除いてオン状態となっているため、ソース線SLービット線RBL間のコンダクタンスは、読み出しを行うメモリセル列のトランジスタMN 6 4の状態（オン状態またはオフ状態）によって決定される。読み出しを行うメモリセル列のトランジスタMN 6 4のゲートが有する電荷によって、トランジスタのコンダクタンスは異なるから、それに応じて、ビット線RBLの電位は異なる値をとることになる。ビット線RBLの電位を読み出し回路によって読み出すことで、指定したメモリセル列のメモリセル1 6 1 5から情報を読み出すことができる。

[0 4 9 0]

容量素子C 6 1、容量素子C 6 2、または容量素子C 6 3の充放電によってデータを書き換えるため、NOSRAM 1 6 0 0は原理的には書き換え回数に制約はなく、かつ、低エネルギーで、データの書き込みおよび読み出しが可能である。また、長時間データを保持することが可能であるので、リフレッシュ頻度を低減できる。

[0 4 9 1]

上記実施の形態に示す半導体装置をメモリセル1 6 1 1、メモリセル1 6 1 2、メモリセル1 6 1 3、メモリセル1 6 1 4、メモリセル1 6 1 5に用いる場合、OSトランジスタMO 6 1、OSトランジスタMO 6 2、OSトランジスタMO 6 3としてトランジスタ2 0 0を用い、容量素子C 6 1、容量素子C 6 2、容量素子C 6 3として容量素子1 0 0を用い、トランジスタMP 6 1、トランジスタMP 6 2、トランジスタMP 6 3、トランジスタMN 6 1、トランジスタMN 6 2、トランジスタMN 6 3、トランジスタMN 6 4としてトランジスタ3 0 0を用いることができる。これにより、トランジスタと容量素子一組当たりの上面視における占有面積を低減することができるので、本実施の形態に係る記憶装置をさらに高集積化させることができる。よって、本実施の形態に係る記憶装置の単位面積当たりの記憶容量を増加させることができる。

[0 4 9 2]

本実施の形態に示す構成は、他の実施の形態や実施例に示す構成と適宜組み合わせて用いることができる。

[0 4 9 3]

（実施の形態5）

本実施の形態では、図3 1および図3 2を用いて、本発明の一態様に係る、OSトランジスタ、および容量素子が適用されている記憶装置の一例として、DOSRAMについて説明する。DOSRAM（登録商標）とは、「Dynamic Oxide Semiconductor RAM」の略称であり、1 T（トランジスタ）1 C（容量）型のメモリセルを有するRAMを指す。DOSRAMも、NOSRAMと同様に、OSメモリが適用されている。

[0 4 9 4]

<<DOSRAM 1 4 0 0>>

図3 1にDOSRAMの構成例を示す。図3 1に示すように、DOSRAM 1 4 0 0は、コントローラ1 4 0 5、行回路1 4 1 0、列回路1 4 1 5、メモリセルおよびセンスアンプアレイ1 4 2 0（以

下、「MC-SAアレイ1420」と呼ぶ。)を有する。

[0495]

行回路1410はデコーダ1411、ワード線ドライバ回路1412、列セクタ1413、センスアンプドライバ回路1414を有する。列回路1415はグローバルセンスアンプアレイ1416、入出力回路1417を有する。グローバルセンスアンプアレイ1416は複数のグローバルセンスアンプ1447を有する。MC-SAアレイ1420はメモリセルアレイ1422、センスアンプアレイ1423、グローバルビット線GBLL、GBLRを有する。

[0496]

(MC-SAアレイ1420)

MC-SAアレイ1420は、メモリセルアレイ1422をセンスアンプアレイ1423上に積層した積層構造をもつ。グローバルビット線GBLL、グローバルビット線GBLRはメモリセルアレイ1422上に積層されている。DOSRAM1400では、ビット線の構造に、ローカルビット線とグローバルビット線とで階層化された階層ビット線構造が採用されている。

[0497]

メモリセルアレイ1422は、N個(Nは2以上の整数)のローカルメモリセルアレイ1425<0>乃至ローカルメモリセルアレイ1425<N-1>を有する。図32(A)にローカルメモリセルアレイ1425の構成例を示す。ローカルメモリセルアレイ1425は、複数のメモリセル1445、複数のワード線WL、複数のビット線BLL、複数のビット線BLRを有する。図32(A)の例では、ローカルメモリセルアレイ1425の構造はオープンビット線型であるが、フォールデッドビット線型であってもよい。

[0498]

図32(B)に共通のビット線BLL(ビット線BLR)に接続される、ペア状の一組のメモリセル1445aおよびメモリセル1445bの回路構成例を示す。メモリセル1445aはトランジスタMW1a、容量素子CS1a、端子B1a、端子B2aを有し、ワード線WL a、ビット線BLL(ビット線BLR)に接続される。また、メモリセル1445bはトランジスタMW1b、容量素子CS1b、端子B1b、端子B2bを有し、ワード線WL b、ビット線BLL(ビット線BLR)に接続される。なお、以下において、メモリセル1445aおよびメモリセル1445bのいずれかを特に限定しない場合は、メモリセル1445およびそれに付属する構成にaまたはbの符号を付さない場合がある。

[0499]

トランジスタMW1aは容量素子CS1aの充放電を制御する機能をもち、トランジスタMW1bは容量素子CS1bの充放電を制御する機能をもつ。トランジスタMW1aのゲートはワード線WL aに電氣的に接続され、第1端子はビット線BLL(ビット線BLR)に電氣的に接続され、第2端子は容量素子CS1aの第1端子に電氣的に接続されている。また、トランジスタMW1bのゲートはワード線WL bに電氣的に接続され、第1端子はビット線BLL(ビット線BLR)に電氣的に接続され、第2端子は容量素子CS1bの第1端子に電氣的に接続されている。このように、ビット線BLL(ビット線BLR)がトランジスタMW1aの第1端子とトランジスタMW1bの第1端子に共通で用いられる。

[0500]

トランジスタMW1は容量素子CS1の充放電を制御する機能をもつ。容量素子CS1の第2端子

は端子B 2 に電氣的に接続されている。端子B 2 には、定電位（例えば、低電源電位）が入力される。

[0501]

上記実施の形態に示す半導体装置をメモリセル1445a、メモリセル1445bに用いる場合、トランジスタMW1aとしてトランジスタ200a、トランジスタMW1bとしてトランジスタ200bを用い、容量素子CS1aとして容量素子100aを用い、容量素子CS1bとして容量素子100bを用いることができる。これにより、トランジスタと容量素子一組当たりの上面視における占有面積を低減することができるので、本実施の形態に係る記憶装置を高集積化させることができる。よって、本実施の形態に係る記憶装置の単位面積当たりの記憶容量を増加させることができる。

[0502]

トランジスタMW1はボトムゲートを備えており、ボトムゲートは端子B1に電氣的に接続されている。そのため、端子B1の電位によって、トランジスタMW1の V_{th} を変更することができる。例えば、端子B1の電位は固定電位（例えば、負の定電位）であってもよいし、DOSRAM1400の動作に応じて、端子B1の電位を変化させてもよい。

[0503]

トランジスタMW1のボトムゲートをトランジスタMW1のゲート、ソース、またはドレインに電氣的に接続してもよい。あるいは、トランジスタMW1にボトムゲートを設けなくてもよい。

[0504]

センスアンプアレイ1423は、N個のローカルセンスアンプアレイ1426<0>乃至ローカルセンスアンプアレイ1426<N-1>を有する。ローカルセンスアンプアレイ1426は、1のスイッチアレイ1444、複数のセンスアンプ1446を有する。センスアンプ1446には、ビット線対が電氣的に接続されている。センスアンプ1446は、ビット線対をプリチャージする機能、ビット線対の電位差を増幅する機能、この電位差を保持する機能を有する。スイッチアレイ1444は、ビット線対を選択し、選択したビット線対とグローバルビット線対との間を導通状態にする機能を有する。

[0505]

ここで、ビット線対とは、センスアンプによって、同時に比較される2本のビット線のことをいう。グローバルビット線対とは、グローバルセンスアンプによって、同時に比較される2本のグローバルビット線のことをいう。ビット線対を一对のビット線と呼ぶことができ、グローバルビット線対を一对のグローバルビット線と呼ぶことができる。ここでは、ビット線BLLとビット線BLRが1組のビット線対を成す。グローバルビット線GBLLとグローバルビット線GBLRとが1組のグローバルビット線対をなす。以下、ビット線対（BLL、BLR）、グローバルビット線対（GBLL、GBLR）とも表す。

[0506]

（コントローラ1405）

コントローラ1405は、DOSRAM1400の動作全般を制御する機能を有する。コントローラ1405は、外部からの入力されるコマンド信号を論理演算して、動作モードを決定する機能、決定した動作モードが実行されるように、行回路1410、列回路1415の制御信号を生成する機能、外部から入力されるアドレス信号を保持する機能、内部アドレス信号を生成する機能を有する。

[0507]

（行回路1410）

行回路1410は、MC-SAアレイ1420を駆動する機能を有する。デコーダ1411はアドレス信号をデコードする機能を有する。ワード線ドライバ回路1412は、アクセス対象行のワード線WLを選択する選択信号を生成する。

[0508]

列セクタ1413、センスアンプドライバ回路1414はセンスアンプアレイ1423を駆動するための回路である。列セクタ1413は、アクセス対象列のビット線を選択するための選択信号を生成する機能をもつ。列セクタ1413の選択信号によって、各ローカルセンスアンプアレイ1426のスイッチアレイ1444が制御される。センスアンプドライバ回路1414の制御信号によって、複数のローカルセンスアンプアレイ1426は独立して駆動される。

[0509]

(列回路1415)

列回路1415は、データ信号WDA[31:0]の入力を制御する機能、データ信号RDA[31:0]の出力を制御する機能を有する。データ信号WDA[31:0]は書き込みデータ信号であり、データ信号RDA[31:0]は読み出しデータ信号である。

[0510]

グローバルセンスアンプ1447はグローバルビット線対(GBLL,GBLR)に電氣的に接続されている。グローバルセンスアンプ1447はグローバルビット線対(GBLL,GBLR)間の電位差を増幅する機能、この電位差を保持する機能を有する。グローバルビット線対(GBLL,GBLR)へのデータの書き込み、および読み出しは、入出力回路1417によって行われる。

[0511]

DOSRAM1400の書き込み動作の概要を説明する。入出力回路1417によって、データがグローバルビット線対に書き込まれる。グローバルビット線対のデータは、グローバルセンスアンプアレイ1416によって保持される。アドレス信号が指定するローカルセンスアンプアレイ1426のスイッチアレイ1444によって、グローバルビット線対のデータが、対象列のビット線対に書き込まれる。ローカルセンスアンプアレイ1426は、書き込まれたデータを増幅し、保持する。指定されたローカルメモリセルアレイ1425において、行回路1410によって、対象行のワード線WLが選択され、選択行のメモリセル1445にローカルセンスアンプアレイ1426の保持データが書き込まれる。

[0512]

DOSRAM1400の読み出し動作の概要を説明する。アドレス信号によって、ローカルメモリセルアレイ1425の1行が指定される。指定されたローカルメモリセルアレイ1425において、対象行のワード線WLが選択状態となり、メモリセル1445のデータがビット線に書き込まれる。ローカルセンスアンプアレイ1426によって、各列のビット線対の電位差がデータとして検出され、かつ保持される。スイッチアレイ1444によって、ローカルセンスアンプアレイ1426の保持データの内、アドレス信号が指定する列のデータが、グローバルビット線対に書き込まれる。グローバルセンスアンプアレイ1416は、グローバルビット線対のデータを検出し、保持する。グローバルセンスアンプアレイ1416の保持データは入出力回路1417に出力される。以上で、読み出し動作が完了する。

[0513]

容量素子CS1の充放電によってデータを書き換えるため、DOSRAM1400には原理的には

書き換え回数に制約はなく、かつ、低エネルギーで、データの書き込みおよび読み出しが可能である。また、メモリセル1445の回路構成が単純であるため、大容量化が容易である。

[0514]

トランジスタMW1はOSトランジスタである。OSトランジスタはオフ電流が極めて小さいため、容量素子CS1から電荷がリークすることを抑えることができる。したがって、DOSRAM1400の保持時間はDRAMに比べて非常に長い。したがってリフレッシュの頻度を低減できるため、リフレッシュ動作に要する電力を削減できる。よって、DOSRAM1400は大容量のデータを高頻度で書き換えるメモリ装置、例えば、画像処理に利用されるフレームメモリに好適である。

[0515]

MC-SAアレイ1420が積層構造であることによって、ローカルセンスアンプアレイ1426の長さと同程度の長さにビット線を短くすることができる。ビット線を短くすることで、ビット線容量が小さくなり、メモリセル1445の保持容量を低減することができる。また、ローカルセンスアンプアレイ1426にスイッチアレイ1444を設けることで、長いビット線の本数を減らすことができる。以上の理由から、DOSRAM1400のアクセス時に駆動する負荷が低減され、消費電力を低減することができる。

[0516]

本実施の形態に示す構成は、他の実施の形態や実施例に示す構成と適宜組み合わせる用いることができる。

[0517]

(実施の形態6)

本実施の形態では、図33を用いて、上記実施の形態に示す半導体装置を適用した、AIシステムについて説明を行う。

[0518]

図33は、AIシステム4041の構成例を示すブロック図である。AIシステム4041は、演算部4010と、制御部4020と、入出力部4030を有する。

[0519]

演算部4010は、アナログ演算回路4011と、DOSRAM4012と、NOSRAM4013と、FPGA(Field Programmable Gate Array)4014と、を有する。DOSRAM4012およびNOSRAM4013として、上記実施の形態に示す、DOSRAM1400、NOSRAM1600を用いることができる。また、FPGA4014は、コンフィギュレーションメモリ、およびレジスタにOSメモリが適用されている。ここでは、このようなFPGAを「OS-FPGA」と呼ぶ。

[0520]

制御部4020は、CPU4021と、GPU4022と、PLL(Phase Locked Loop)4023と、SRAM(Static Random Access Memory)4024と、PROM(Programmable Read Only Memory)4025と、メモリコントローラ4026と、電源回路4027と、PMU(Power Management Unit)4028と、を有する。

[0521]

入出力部4030は、外部記憶制御回路4031と、音声コーデック4032と、映像コーデック

4033と、汎用入出力モジュール4034と、通信モジュール4035と、を有する。

[0522]

演算部4010は、ニューラルネットワークによる学習または推論を実行することができる。

[0523]

アナログ演算回路4011はA/D（アナログ／デジタル）変換回路、D/A（デジタル／アナログ）変換回路、および積和演算回路を有する。

[0524]

アナログ演算回路4011はOSトランジスタを用いて形成することが好ましい。OSトランジスタを用いたアナログ演算回路4011は、アナログメモリを有し、学習または推論に必要な積和演算を、低消費電力で実行することが可能になる。

[0525]

DOSRAM4012は、OSトランジスタを用いて形成されたDRAMであり、DOSRAM4012は、CPU4021から送られてくるデジタルデータを一時的に格納するメモリである。DOSRAM4012は、OSトランジスタを含むメモリセルと、Siトランジスタを含む読み出し回路部を有する。上記メモリセルと読み出し回路部は、積層された異なる層に設けることができるため、DOSRAM4012は、全体の回路面積を小さくすることができる。

[0526]

ニューラルネットワークを用いた計算は、入力データが1000を超えることがある。上記入力データをSRAMに格納する場合、SRAMは回路面積に制限があり、記憶容量が小さいため、上記入力データを小分けにして格納せざるを得ない。DOSRAM4012は、限られた回路面積でも、メモリセルを高集積に配置することが可能であり、SRAMに比べて記憶容量が大きい。そのため、DOSRAM4012は、上記入力データを効率良く格納することができる。

[0527]

NOSRAM4013はOSトランジスタを用いた不揮発性メモリである。NOSRAM4013は、フラッシュメモリや、ReRAM (Resistive Random Access Memory)、MRAM (Magnetoresistive Random Access Memory) などの他の不揮発性メモリと比べて、データを書き込む際の消費電力が小さい。また、フラッシュメモリやReRAMのように、データを書き込む際に素子が劣化することなく、データの書き込み可能回数に制限が無い。

[0528]

また、NOSRAM4013は、1ビットの2値データの他に、2ビット以上の多値データを記憶することができる。NOSRAM4013は多値データを記憶することで、1ビット当たりのメモリセル面積を小さくすることができる。

[0529]

また、NOSRAM4013は、デジタルデータの他にアナログデータを記憶することができる。そのため、アナログ演算回路4011は、NOSRAM4013をアナログメモリとして用いることもできる。NOSRAM4013は、アナログデータのまま記憶することができるため、D/A変換回路やA/D変換回路が不要である。そのため、NOSRAM4013は周辺回路の面積を小さくすることができる。なお、本明細書においてアナログデータとは、3ビット（8値）以上分解能を有するデータのことを指す。上述した多値データがアナログデータに含まれる場合もある。

[0530]

ニューラルネットワークの計算に用いられるデータやパラメータは、一旦、NOSRAM4013に格納することができる。上記データやパラメータは、CPU4021を介して、AIシステム4041の外部に設けられたメモリに格納してもよいが、内部に設けられたNOSRAM4013の方が、より高速かつ低消費電力に上記データやパラメータを格納することができる。また、NOSRAM4013は、DOSRAM4012よりもビット線を長くすることができるので、記憶容量を大きくすることができる。

[0531]

FPGA4014は、OSトランジスタを用いたFPGAである。AIシステム4041は、FPGA4014を用いることによって、ハードウェアで後述する、ディープニューラルネットワーク(DNN)、畳み込みニューラルネットワーク(CNN)、再帰型ニューラルネットワーク(RNN)、自己符号化器、深層ボルツマンマシン(DBM)、深層信念ネットワーク(DBN)などの、ニューラルネットワークの接続を構成することができる。上記のニューラルネットワークの接続をハードウェアで構成することで、ニューラルネットワークの計算をより高速に実行することができる。

[0532]

FPGA4014は、OSトランジスタを有するFPGAである。OS-FPGAは、SRAMで構成されるFPGAよりもメモリの面積を小さくすることができる。そのため、コンテキスト切り替え機能を追加しても面積増加が少ない。また、OS-FPGAはブースティングによりデータやパラメータを高速に伝えることができる。

[0533]

AIシステム4041は、アナログ演算回路4011、DOSRAM4012、NOSRAM4013、およびFPGA4014を1つのダイ(チップ)の上に設けることができる。そのため、AIシステム4041は、高速かつ低消費電力に、ニューラルネットワークの計算を実行することができる。また、アナログ演算回路4011、DOSRAM4012、NOSRAM4013、およびFPGA4014は、同じ製造プロセスで作製することができる。そのため、AIシステム4041は、低コストで作製することができる。

[0534]

なお、演算部4010は、DOSRAM4012、NOSRAM4013、およびFPGA4014を、全て有する必要はない。AIシステム4041が解決したい課題に応じて、DOSRAM4012、NOSRAM4013、およびFPGA4014の一または複数を、選択して設ければよい。

[0535]

AIシステム4041は、解決したい課題に応じて、ディープニューラルネットワーク(DNN)、畳み込みニューラルネットワーク(CNN)、再帰型ニューラルネットワーク(RNN)、自己符号化器、深層ボルツマンマシン(DBM)、深層信念ネットワーク(DBN)などの手法を実行することができる。PROM4025は、これらの手法の少なくとも一つを実行するためのプログラムを保存することができる。また、当該プログラムの一部または全てを、NOSRAM4013に保存してもよい。

[0536]

ライブラリとして存在する既存のプログラムは、GPUの処理を前提としているものが多い。そのため、AIシステム4041はGPU4022を有することが好ましい。AIシステム4041は、

学習と推論で用いられる積和演算のうち、律速となる積和演算を演算部4010で実行し、それ以外の積和演算をGPU4022で実行することができる。そうすることで、学習と推論を高速に実行することができる。

[0537]

電源回路4027は、論理回路用の低電源電位を生成するだけでなく、アナログ演算のための電位生成も行う。電源回路4027はOSメモリを用いてもよい。電源回路4027は、基準電位をOSメモリに保存することで、消費電力を下げることができる。

[0538]

PMU4028は、AIシステム4041の電力供給を一時的にオフにする機能を有する。

[0539]

CPU4021およびGPU4022は、レジスタとしてOSメモリを有することが好ましい。CPU4021およびGPU4022はOSメモリを有することで、電力供給がオフになっても、OSメモリ中にデータ（論理値）を保持し続けることができる。その結果、AIシステム4041は、電力を節約することができる。

[0540]

PLL4023は、クロックを生成する機能を有する。AIシステム4041は、PLL4023が生成したクロックを基準に動作を行う。PLL4023はOSメモリを有することが好ましい。PLL4023はOSメモリを有することで、クロックの発振周期を制御するアナログ電位を保持することができる。

[0541]

AIシステム4041は、DRAMなどの外部メモリにデータを保存してもよい。そのため、AIシステム4041は、外部のDRAMとのインターフェースとして機能するメモリコントローラ4026を有することが好ましい。また、メモリコントローラ4026は、CPU4021またはGPU4022の近くに配置することが好ましい。そうすることで、データのやり取りを高速に行うことができる。

[0542]

制御部4020に示す回路の一部または全ては、演算部4010と同じダイの上に形成することができる。そうすることで、AIシステム4041は、高速かつ低消費電力に、ニューラルネットワークの計算を実行することができる。

[0543]

ニューラルネットワークの計算に用いられるデータは外部記憶装置（HDD（Hard Disk Drive）、SSD（Solid State Drive）など）に保存される場合が多い。そのため、AIシステム4041は、外部記憶装置とのインターフェースとして機能する外部記憶制御回路4031を有することが好ましい。

[0544]

ニューラルネットワークを用いた学習と推論は、音声や映像を扱うことが多いので、AIシステム4041は音声コーデック4032および映像コーデック4033を有する。音声コーデック4032は、音声データのエンコード（符号化）およびデコード（復号）を行い、映像コーデック4033は、映像データのエンコードおよびデコードを行う。

[0545]

A I システム 4 0 4 1 は、外部センサから得られたデータを用いて学習または推論を行うことができる。そのため、A I システム 4 0 4 1 は汎用入出力モジュール 4 0 3 4 を有する。汎用入出力モジュール 4 0 3 4 は、例えば、USB (Universal Serial Bus) や I 2 C (Inter-Integrated Circuit) などを含む。

[0546]

A I システム 4 0 4 1 は、インターネットを経由して得られたデータを用いて学習または推論を行うことができる。そのため、A I システム 4 0 4 1 は、通信モジュール 4 0 3 5 を有することが好ましい。

[0547]

アナログ演算回路 4 0 1 1 は、多値のフラッシュメモリをアナログメモリとして用いてもよい。しかし、フラッシュメモリは書き換え可能回数に制限がある。また、多値のフラッシュメモリは、エンベディッドで形成する（演算回路とメモリを同じダイの上に形成する。）ことが非常に難しい。

[0548]

また、アナログ演算回路 4 0 1 1 は、ReRAM をアナログメモリとして用いてもよい。しかし、ReRAM は書き換え可能回数に制限があり、記憶精度の点でも問題がある。さらに、2 端子でなる素子であるため、データの書き込みと読み出しを分ける回路設計が複雑になる。

[0549]

また、アナログ演算回路 4 0 1 1 は、MRAM をアナログメモリとして用いてもよい。しかし、MRAM は抵抗変化率が低く、記憶精度の点で問題がある。

[0550]

以上を鑑み、アナログ演算回路 4 0 1 1 は、OS メモリをアナログメモリとして用いることが好ましい。

[0551]

本実施の形態に示す構成は、他の実施の形態や実施例に示す構成と適宜組み合わせ用いることができる。

[0552]

(実施の形態 7)

< A I システムの応用例 >

本実施の形態では、上記実施の形態に示す A I システムの応用例について図 3 4 を用いて説明を行う。

[0553]

図 3 4 (A) は、図 3 3 で説明した A I システム 4 0 4 1 を並列に配置し、バス線を介してシステム間での信号の送受信を可能にした、A I システム 4 0 4 1 A である。

[0554]

図 3 4 (A) に図示する A I システム 4 0 4 1 A は、複数の A I システム 4 0 4 1 __1 乃至 A I システム 4 0 4 1 __n (n は自然数) を有する。A I システム 4 0 4 1 __1 乃至 A I システム 4 0 4 1 __n は、バス線 4 0 9 8 を介して互いに接続されている。

[0555]

また図 3 4 (B) は、図 3 3 で説明した A I システム 4 0 4 1 を図 3 4 (A) と同様に並列に配置し、ネットワークを介してシステム間での信号の送受信を可能にした、A I システム 4 0 4 1 B であ

る。

[0556]

図34(B)に図示するAIシステム4041Bは、複数のAIシステム4041__1乃至AIシステム4041__nを有する。AIシステム4041__1乃至AIシステム4041__nは、ネットワーク4099を介して互いに接続されている。

[0557]

ネットワーク4099は、AIシステム4041__1乃至AIシステム4041__nのそれぞれに通信モジュールを設け、無線または有線による通信を行う構成とすればよい。通信モジュールは、アンテナを介して通信を行うことができる。例えばWorld Wide Web (WWW)の基盤であるインターネット、イントラネット、エクストラネット、PAN(Personal Area Network)、LAN(Local Area Network)、CAN(Campus Area Network)、MAN(Metropolitan Area Network)、WAN(Wide Area Network)、GAN(Global Area Network)等のコンピュータネットワークに各電子装置を接続させ、通信を行うことができる。無線通信を行う場合、通信プロトコルまたは通信技術として、LTE(Long Term Evolution)、GSM(Global System for Mobile Communication:登録商標)、EDGE(Enhanced Data Rates for GSM Evolution)、CDMA2000(Code Division Multiple Access 2000)、W-CDMA(登録商標)などの通信規格、またはWi-Fi(登録商標)、Bluetooth(登録商標)、ZigBee(登録商標)等のIEEEにより通信規格化された仕様を用いることができる。

[0558]

図34(A)および図34(B)の構成とすることで、外部のセンサ等で得られたアナログ信号を別々のAIシステムで処理することができる。例えば、生体情報のように、脳波、脈拍、血圧、体温等といった情報を脳波センサ、脈波センサ、血圧センサ、温度センサといった各種センサで取得し、別々のAIシステムでアナログ信号を処理することができる。別々のAIシステムのそれぞれで信号の処理、または学習を行うことで一つのAIシステムあたりの情報処理量を少なくできる。そのため、より少ない演算量で信号の処理、または学習を行うことができる。その結果、認識精度を高めることができる。それぞれのAIシステムで得られた情報から、複雑に変化する生体情報の変化を瞬時に統合的に把握することができるといったことが期待できる。

[0559]

本実施の形態に示す構成は、他の実施の形態や実施例に示す構成と適宜組み合わせる用いることができる。

[0560]

(実施の形態8)

本実施の形態では、上記実施の形態に示すAIシステムが組み込まれたICの一例を示す。

[0561]

上記実施の形態に示すAIシステムは、CPU等のSiトランジスタでなるデジタル処理回路と、OSトランジスタを用いたアナログ演算回路、OS-FPGAおよびDOSRAM、NOSRAM等のOSメモリを、1のダイに集積することができる。

[0562]

図35に、AIシステムを組み込んだICの一例を示す。図35に示すAIシステムIC7000は、リード7001および回路部7003を有する。AIシステムIC7000は、例えばプリント基板7002に実装される。このようなICチップが複数組み合わせられて、それぞれがプリント基板7002上で電氣的に接続されることで電子部品が実装された基板(実装基板7004)が完成する。回路部7003には、上記実施の形態で示した各種の回路が1のダイに設けられている。回路部7003は、先の実施の形態に示すように、積層構造をもち、Siトランジスタ層7031、配線層7032、OSTランジスタ層7033に大別される。OSTランジスタ層7033をSiトランジスタ層7031に積層して設けることができるため、AIシステムIC7000の小型化が容易である。

[0563]

図35では、AIシステムIC7000のパッケージにQFP(Quad Flat Package)を適用しているが、パッケージの態様はこれに限定されない。

[0564]

CPU等のデジタル処理回路と、OSTランジスタを用いたアナログ演算回路、OS-FPGAおよびDOSRAM、NOSRAM等のOSメモリは、全て、Siトランジスタ層7031、配線層7032およびOSTランジスタ層7033に形成することができる。すなわち、上記AIシステムを構成する素子は、同一の製造プロセスで形成することが可能である。そのため、本実施の形態に示すICは、構成する素子が増えても製造プロセスを増やす必要がなく、上記AIシステムを低コストで組み込むことができる。

[0565]

本実施の形態に示す構成は、他の実施の形態や実施例に示す構成と適宜組み合わせる用いることができる。

[0566]

(実施の形態9)

本発明の一態様に係る半導体装置は、CPUやGPUなどのプロセッサ、またはコンピュータに用いることができる。図36乃至図38に、本発明の一態様に係るCPUやGPUなどのプロセッサ、またはコンピュータを備えた電子機器の具体例を示す。

[0567]

<電子機器・システム>

本発明の一態様に係るGPU又はコンピュータは、様々な電子機器に搭載することができる。電子機器の例としては、テレビジョン装置、デスクトップ型もしくはノート型のパーソナルコンピュータ、コンピュータ用などのモニタ、デジタルサイネージ(Digital Signage:電子看板)、パチンコ機などの大型ゲーム機などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、などが挙げられる。また、本発明の一態様に係る集積回路又はコンピュータを電子機器に設けることにより、電子機器に人工知能を搭載することができる。

[0568]

本発明の一態様の電子機器は、アンテナを有していてもよい。アンテナで信号を受信することで、表示部で映像や情報等の表示を行うことができる。また、電子機器がアンテナ及び二次電池を有する場合、アンテナを、非接触電力伝送に用いてもよい。

[0569]

本発明の一態様の電子機器は、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を測定する機能を含むもの）を有していてもよい。

[0570]

本発明の一態様の電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。図36に、電子機器の例を示す。

[0571]

[情報端末1]

[0572] 図36(A)には、情報端末の一種である携帯電話（スマートフォン）が図示されている。情報端末5500は、筐体5510と、表示部5511と、を有しており、入力用インターフェースとして、タッチパネルが表示部5511に備えられ、ボタンが筐体5510に備えられている。

[0573]

情報端末5500は、本発明の一態様のコンピュータを適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、会話を認識してその会話内容を表示部5511に表示するアプリケーション、表示部5511に備えるタッチパネルに対してユーザが入力した文字、図形などを認識して、表示部5511に表示するアプリケーション、指紋や声紋などの生体認証を行うアプリケーションなどが挙げられる。

[0574]

[情報端末2]

図36(B)には、デスクトップ型情報端末5300が図示されている。デスクトップ型情報端末5300は、情報端末の本体5301と、ディスプレイ5302と、キーボード5303と、を有する。

[0575]

デスクトップ型情報端末5300は、先述した情報端末5500と同様に、本発明の一態様のコンピュータを適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、設計支援ソフトウェア、文章添削ソフトウェア、献立自動生成ソフトウェアなどが挙げられる。また、デスクトップ型情報端末5300を用いることで、新規の人工知能の開発を行うことができる。

[0576]

なお、電子機器としてスマートフォン、及びデスクトップ用情報端末を例として、それぞれ図36(A)、(B)に図示したが、スマートフォン、及びデスクトップ用情報端末以外の情報端末を適用することができる。スマートフォン、及びデスクトップ用情報端末以外の情報端末としては、例えば、PDA(Personal Digital Assistant)、ノート型情報端末、ワークステーションなどが挙げられる。

[0577]

[電化製品]

図 36 (C) は、電化製品の一例である電気冷凍冷蔵庫 5800 を示している。電気冷凍冷蔵庫 5800 は、筐体 5801、冷蔵室用扉 5802、冷凍室用扉 5803 等を有する。

[0578]

電気冷凍冷蔵庫 5800 に本発明の一態様のコンピュータを適用することによって、人工知能を有する電気冷凍冷蔵庫 5800 を実現することができる。人工知能を利用することによって電気冷凍冷蔵庫 5800 は、電気冷凍冷蔵庫 5800 に保存されている食材、その食材の消費期限などを基に献立を自動生成する機能や、電気冷凍冷蔵庫 5800 内の温度を、保存されている食材に合わせた温度に自動的に調節する機能などを有することができる。

[0579]

本一例では、電化製品として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電子オーブン、炊飯器、湯沸かし器、IH調理器、ウォーターサーバー、エアコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

[0580]

[ゲーム機]

図 36 (D) は、ゲーム機の一例である携帯ゲーム機 5200 を示している。携帯ゲーム機は、筐体 5201、表示部 5202、ボタン 5203 等を有する。

[0581]

携帯ゲーム機 5200 に本発明の一態様の GPU 又はコンピュータを適用することによって、低消費電力の携帯ゲーム機 5200 を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

[0582]

更に、携帯ゲーム機 5200 に本発明の一態様の GPU 又はコンピュータを適用することによって、人工知能を有する携帯ゲーム機 5200 を実現することができる。

[0583]

本来、ゲームの進行、ゲーム上に登場するキャラクターの言動、ゲーム上で発生する現象などの表現は、そのゲームが有するプログラムによって定められているが、携帯ゲーム機 5200 に人工知能を適用することにより、ゲームのプログラムに限定されない表現が可能になる。例えば、プレイヤーが問いかける内容、ゲームの進行状況、時刻、ゲーム上に登場するキャラクターの言動が変化するといった表現が可能となる。

[0584]

また、携帯ゲーム機 5200 で複数のプレイヤーが必要なゲームを行う場合、人工知能によって仮想のゲームプレイヤーを構成することができるため、対戦相手を人工知能によるゲームプレイヤーとすることによって、1 人でもゲームを行うことができる。

[0585]

図 36 (D) では、ゲーム機の一例として携帯ゲーム機を図示しているが、本発明の一態様の GPU 又はコンピュータを適用するゲーム機はこれに限定されない。本発明の一態様の GPU 又はコンピュータを適用するゲーム機としては、例えば、家庭用の据え置き型ゲーム機、娯楽施設（ゲームセンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習

用の投球マシンなどが挙げられる。

[0586]

[移動体]

本発明の一態様のGPU又はコンピュータは、移動体である自動車、及び自動車の運転席周辺に適用することができる。

[0587]

図36(E1)は移動体の一例である自動車5700を示し、図36(E2)は、自動車の室内におけるフロントガラス周辺を示す図である。図36(E1)では、ダッシュボードに取り付けられた表示パネル5701、表示パネル5702、表示パネル5703の他、ピラーに取り付けられた表示パネル5704を図示している。

[0588]

表示パネル5701乃至表示パネル5703は、スピードメーターやタコメーター、走行距離、給油量、ギア状態、エアコンの設定など、その他様々な情報を提供することができる。また、表示パネルに表示される表示項目やレイアウトなどは、ユーザの好みに合わせて適宜変更することができ、デザイン性を高めることが可能である。表示パネル5701乃至表示パネル5703は、照明装置として用いることも可能である。

[0589]

表示パネル5704には、自動車5700に設けられた撮像装置（図示しない。）からの映像を映し出すことによって、ピラーで遮られた視界（死角）を補完することができる。すなわち、自動車5700の外側に設けられた撮像装置からの画像を表示することによって、死角を補い、安全性を高めることができる。また、見えない部分を補完する映像を映すことによって、より自然に違和感なく安全確認を行うことができる。表示パネル5704は、照明装置として用いることもできる。

[0590]

本発明の一態様のGPU又はコンピュータは人工知能の構成要素として適用できるため、例えば、当該コンピュータを自動車5700の自動運転システムに用いることができる。また、当該コンピュータを道路案内、危険予測などを行うシステムに用いることができる。表示パネル5701乃至表示パネル5704には、道路案内、危険予測などの情報を表示する構成としてもよい。

[0591]

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができ、これらの移動体に本発明の一態様のコンピュータを適用して、人工知能を利用したシステムを付与することができる。

[0592]

[放送システム]

本発明の一態様のGPU又はコンピュータは、放送システムに適用することができる。

[0593]

図36(F)は、放送システムにおけるデータ伝送を模式的に示している。具体的には、図36(F)は、放送局5680から送信された電波（放送信号）が、各家庭のテレビジョン受信装置（TV）5600に届くまでの経路を示している。TV5600は、受信装置を備え（図示しない）、アンテナ5650で受信された放送信号は、当該受信装置を介して、TV5600に送信される。

[0594]

図36(F)では、アンテナ5650は、UHF(Ultra High Frequency)アンテナを図示しているが、アンテナ5650としては、BS・110°CSアンテナ、CSアンテナなども適用できる。

[0595]

電波5675A、電波5675Bは地上波放送用の放送信号であり、電波塔5670は受信した電波5675Aを増幅して、電波5675Bの送信を行う。各家庭では、アンテナ5650で電波5675Bを受信することで、TV5600で地上波TV放送を視聴することができる。なお、放送システムは、図36(F)に示す地上波放送に限定せず、人工衛星を用いた衛星放送、光回線によるデータ放送などとしてもよい。

[0596]

上述した放送システムは、本発明の一態様のコンピュータを適用して、人工知能を利用した放送システムとしてもよい。放送局5680から各家庭のTV5600に放送データを送信するとき、エンコーダによって放送データの圧縮が行われ、アンテナ5650が当該放送データを受信したとき、TV5600に含まれる受信装置のデコーダによって当該放送データの復元が行われる。人工知能を利用することによって、例えば、エンコーダの圧縮方法の一である動き補償予測において、表示画像に含まれる表示パターンの認識を行うことができる。また、人工知能を利用したフレーム内予測などを行うこともできる。また、例えば、解像度の低い放送データを受信して、解像度の高いTV5600で当該放送データの表示を行うとき、デコーダによる放送データの復元において、アップコンバートなどの画像の補間処理を行うことができる。

[0597]

上述した人工知能を利用した放送システムは、放送データの量が増大する超高精細度テレビジョン(UHDTV:4K、8K)放送に対して好適である。

[0598]

また、TV5600側における人工知能の応用として、例えば、TV5600に人工知能を有する録画装置を設けてもよい。このような構成にすることによって、ユーザの好みを人工知能に学習させることで、当該録画装置にユーザの好みにあった番組を自動的に録画することができる。

[0599]

<並列計算機>

本発明の一態様のコンピュータを複数用いてクラスターを組むことで、並列計算機を構成することができる。

[0600]

図37(A)には、大型の並列計算機5400が図示されている。並列計算機5400には、ラック5410にラックマウント型の計算機5420が複数格納されている。

[0601]

計算機5420は、例えば、図37(B)に示す斜視図の構成とすることができる。図37(B)において、計算機5420は、マザーボード5430を有し、マザーボードは、複数のスロット5431、複数の接続端子などを有する。スロット5431には、PCカード5421が挿されている。加えて、PCカード5421は、接続端子5423、接続端子5424、接続端子5425を有し、それぞれ、マザーボード5430に接続されている。

[0602]

PCカード5421は、本発明の一態様に係る、CPU、GPU、記憶装置などを備えた処理ボードである。例えば、図37(C)では、PCカード5421が、ボード5422を有し、ボード5422が、接続端子5423、接続端子5424、接続端子5425と、チップ5426と、チップ5427と、接続端子5428と、を有する構成を示している。なお、図37(C)には、チップ5426、及びチップ5427以外のチップを図示しているが、それらのチップについては、以下に記載するチップ5426、及びチップ5427の説明を参酌する。

[0603]

接続端子5428は、マザーボード5430のスロット5431に挿することができる形状を有しており、接続端子5428は、PCカード5421とマザーボード5430とを接続するためのインターフェースとして機能する。接続端子5428の規格としては、例えば、PCIeなどが挙げられる。

[0604]

接続端子5423、接続端子5424、接続端子5425は、例えば、PCカード5421に対して電力供給、信号入力などを行うためのインターフェースとすることができる。また、例えば、PCカード5421によって計算された信号の出力などを行うためのインターフェースとすることができる。接続端子5423、接続端子5424、接続端子5425のそれぞれの規格としては、例えば、USB(Universal Serial Bus)、SATA(Serial ATA)、SCSI(Small Computer System Interface)などが挙げられる。また、接続端子5423、接続端子5424、接続端子5425から映像信号を出力する場合、それぞれの規格としては、HDMI(登録商標)などが挙げられる。

[0605]

チップ5426は、信号の入出力を行う端子(図示しない。)を有しており、当該端子をPCカード5421が備えるソケット(図示しない。)に対して差し込むことで、チップ5426とPCカード5421とを電氣的に接続することができる。チップ5426としては、例えば、本発明の一態様のGPUとすることができる。

[0606]

チップ5427は、複数の端子を有しており、当該端子をPCカード5421が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、チップ5427とPCカード5421とを電氣的に接続することができる。チップ5427としては、例えば、記憶装置、FPGA、CPUなどが挙げられる。

[0607]

本発明の一態様のコンピュータを、図37(A)に示す並列計算機5400の計算機5420に適用することで、例えば、人工知能の学習、及び推論に必要な大規模の計算を行うことができる。

[0608]

<サーバ、及びサーバを含むシステム>

本発明の一態様のコンピュータは、例えば、ネットワーク上で機能するサーバに適用することができる。また、これにより当該サーバを含むシステムを構成することができる。

[0609]

図38(A)は、一例として、本発明の一態様のコンピュータを適用したサーバ5100と、上記で説明した情報端末5500、及びデスクトップ型情報端末5300と、の間で通信を行う様子を模

式的に示している。なお、図38(A)では、通信を行う様子として、通信5110を図示している。

[0610]

このような形態を構成することにより、ユーザは、情報端末5500、デスクトップ型情報端末5300などからサーバ5100に対してアクセスすることができる。そして、ユーザは、インターネットを介した通信5110によって、サーバ5100の管理者が提供するサービスを受けることができる。当該サービスとしては、例えば、電子メール、SNS(Social Networking Service)、オンラインソフトウェア、クラウドストレージ、ナビゲーションシステム、翻訳システム、インターネットゲーム、オンラインショッピング、株・為替・債権などの金融取引、公共施設・商業施設・宿泊施設・病院などの予約、インターネット番組・講演・講義などの動画の視聴などが挙げられる。

[0611]

特に、本発明の一態様のコンピュータをサーバ5100に適用することによって、上述したサービスにおいて、人工知能を利用することができる場合がある。例えば、ナビゲーションシステムに人工知能を導入することによって、当該システムは、道路の混雑状況、電車の運行情報などに応じて臨機応変に目的地まで案内することができる場合がある。また、例えば、翻訳システムに人工知能を導入することによって、当該システムは、方言・スラングなど独特の言い回しを適切に翻訳することができる場合がある。また、例えば、病院などの予約のシステムに人工知能を利用することによって、当該システムは、ユーザの症状・怪我の度合いなどから判断して適切な病院・診療所などを紹介することができる場合がある。

[0612]

また、ユーザが人工知能の開発を行いたい場合、インターネットを介してサーバ5100にアクセスして、サーバ5100上で当該開発を行うことができる。これは、ユーザの手元にある情報端末5500、デスクトップ型情報端末5300などでは処理能力が足りない場合、情報端末5500、デスクトップ型情報端末5300などで開発環境を構築できない場合などに好適である。

[0613]

図38(A)では、サーバを含むシステムとして、情報端末とサーバ5100とによって構成されるシステムの一例を示しているが、別の一例として、情報端末以外の電子機器とサーバ5100とによって構成されるシステムであってもよい。つまり、電子機器をインターネットに接続したIoT(Internet of Things)の形態としてもよい。

[0614]

図38(B)は、一例として、図36で説明した電子機器(電気冷凍冷蔵庫5800、携帯ゲーム機5200、自動車5700、TV5600)とサーバ5100との間で通信を行う様子を模式的に示している。なお、図38(B)では、通信を行う様子として、通信5110を図示している。

[0615]

図36で説明したそれぞれの電子機器に人工知能を適用する場合、図38(B)に示すとおり、当該人工知能を動作するために必要な演算をサーバ5100で実行することができる。例えば、演算に必要な入力データが、通信5110によって、それぞれの電子機器の一からサーバ5100に送信されることで、サーバ5100が有する人工知能によって当該入力データを基に出力データが算出され、当該出力データは通信5110によってサーバ5100から電子機器の一に送信される。これにより、電子機器の一は、人工知能が出力したデータに基づいた動作を行うことができる。

[0616]

図38(B)に示す電子機器は一例であり、図38(B)に図示していない電子機器をサーバ5100に接続して、上述と同様に、相互に通信を行う構成としてもよい。

[0617]

本実施の形態で説明した電子機器、その電子機器の機能、人工知能の応用例、その効果などは、他の電子機器の記載と適宜組み合わせることができる。

[0618]

本実施の形態は、他の実施の形態や実施例などに記載した構成と適宜組み合わせて実施することが可能である。

[実施例]

[0619]

本実施例では、本発明の一態様に係る半導体装置として、図16に示す、トランジスタ200と同様の構成のトランジスタが複数設けられた試料1を作製した。当該半導体装置の電気特性、および信頼性を評価した結果について説明する。

[0620]

まず、試料1のトランジスタの構成について説明する。図16に示すように、試料1のトランジスタは、絶縁体214と、導電体205aと、導電体205bと、絶縁体216と、絶縁体220と、絶縁体222と、絶縁体224と、酸化物230aと、酸化物230bと、酸化物230cと、絶縁体250と、導電体260aと、導電体260bと、導電体242aと、導電体242bと、絶縁体254aと、絶縁体254bと、絶縁体244と、絶縁体280と、絶縁体274と、を有する。

[0621]

絶縁体214として、膜厚40nmの酸化アルミニウムを用いた。また、導電体205aとして、窒化タンタルを用いた。また、導電体205bとして、窒化チタンと、窒化チタン上に成膜したタンダステンを用いた。また、絶縁体216として、酸化窒化シリコンを用いた。

[0622]

絶縁体220として、膜厚5nmの酸化窒化シリコンを用いた。また、絶縁体222として、ALD法を用いて成膜した、膜厚10nmの酸化ハフニウムを用いた。また、絶縁体224として、膜厚30nmの酸化窒化シリコンを用いた。

[0623]

酸化物230aとして、DCスパッタリング法を用いて成膜した、膜厚が5nmのIn-Ga-Zn酸化物を用いた。なお、酸化物230aの成膜には、In:Ga:Zn=1:3:4[原子数比]ターゲットを用い、成膜ガスとして酸素ガス45sccmを用い、成膜圧力を0.7Pa(キャノンアネルバ製ミニチュアゲージMG-2によって計測した。)とし、成膜電力を500Wとし、基板温度を200℃とし、ターゲットー基板間距離を60mmとした。

[0624]

酸化物230bとして、DCスパッタリング法を用いて成膜した、膜厚が15nmのIn-Ga-Zn酸化物を用いた。なお、酸化物230bの成膜には、In:Ga:Zn=4:2:4.1[原子数比]ターゲットを用い、成膜ガスとして、アルゴンガス30sccm、酸素ガス15sccmを用い、成膜圧力を0.7Pa(キャノンアネルバ製ミニチュアゲージMG-2によって計測した。)とし、成膜電力を500Wとし、基板温度を200℃とし、ターゲットー基板間距離を60mmとした。

[0625]

導電体242aおよび導電体242bとして、膜厚25nmの窒化タンタルを用いた。また、絶縁体254aおよび絶縁体254bとして、スパッタリング法を用いて成膜した膜厚が5nmの酸化アルミニウムと、その上に成膜した、ALD法を用いて成膜した膜厚が3nmの酸化アルミニウムの積層膜を用いた。

[0626]

酸化物230cとして、DCスパッタリング法を用いて成膜した、膜厚が5nmのIn-Ga-Zn酸化物を用いた。なお、酸化物230cの成膜には、In:Ga:Zn=4:2:4.1〔原子数比〕ターゲットを用い、成膜ガスとして酸素ガス45sccmを用い、成膜圧力を0.7Pa（キャノンネルバ製ミニチュアゲージMG-2によって計測した。）とし、成膜電力を500Wとし、基板温度を130℃とし、ターゲット-基板間距離を60mmとした。

[0627]

絶縁体250として、膜厚10nmの酸化窒化シリコンを用いた。また、導電体260aとして、膜厚10nmの窒化チタンを用いた。また、導電体260bとして、膜厚30nmのタングステンをを用いた。

[0628]

絶縁体244として、ALD法を用いて成膜した膜厚が7nmの酸化アルミニウム膜を用いた。絶縁体244は、導電体260、絶縁体250、酸化物230、および導電体242を覆って形成されており、絶縁体244に形成された開口290はトランジスタ200を囲んでいる。

[0629]

絶縁体280として、酸化窒化シリコンを用いた。また、絶縁体274として、膜厚40nmの酸化アルミニウムを用いた。

[0630]

上記トランジスタは、設計値でチャネル長60nm、チャネル幅60nmとなる。試料1では、当該トランジスタが2.0個/ μm^2 の密度で配置されている。なお、試料1では、上記構成に加えて、さらに、絶縁体280中に導電体240等を有し、絶縁体274の上に、層間膜として機能する絶縁膜や、配線として機能する導電膜などを有している。

[0631]

次に、試料1のトランジスタの I_D-V_G 測定を行った。さらに、窒素雰囲気中400℃4時間の追加熱処理を行って、試料1のトランジスタの I_D-V_G 測定を、同じ条件で再度行った。トランジスタの I_D-V_G 測定は、トランジスタのドレイン電位 V_D を+0.1V、+1.2Vとし、ソース電位 V_S を0Vとし、トップゲート電位 V_G を-4.0Vから+4.0Vまで掃引することで行った。ボトムゲート電位 V_{BG} は0Vで行った。

[0632]

図39に、本実施例に係る試料1のトランジスタの V_D =+0.1Vおよび+1.2Vにおける I_D-V_G カーブを示す。図39(A)は、追加熱処理前の試料1のトランジスタの I_D-V_G カーブを示し、図39(B)は、追加熱処理後の試料1のトランジスタの I_D-V_G カーブを示す。また、各グラフの縦軸は I_D [A]を示し、横軸は V_G [V]を示す。

[0633]

図39(A)に示すように、本発明の一態様に係る半導体装置は、オンオフの取れた良好な電気特

性を示した。さらに、図39(B)に示すように、本発明の一態様に係る半導体装置は、長時間の追加熱処理を行っても、オンオフの取れた良好な電気特性を維持していることが確認された。このように、本実施例に係るトランジスタは、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。

[0634]

以上により、本発明の一態様である半導体装置は、熱処理によるトランジスタの特性変動を抑制できることを確認した。

[0635]

次に、試料1の信頼性の評価を行った。信頼性の評価は、+GBT (Gate Bias Temperature) ストレス試験により行った。+GBTストレス試験では、基板を加熱しながら、トランジスタのソース電極として機能する導電体242a、ドレイン電極として機能する導電体242b、およびボトムゲート電極として機能する導電体205は同電位とし、トップゲート電極として機能する導電体260には、導電体242a、導電体242b、および導電体205より高い電位を一定時間印加する。

[0636]

本実施例に係る+GBTストレス試験では、設定温度を125℃とし、ドレイン電位 V_D 、ソース電位 V_S 、およびボトムゲート電位 V_{BG} を0Vとし、トップゲート電位 V_G を+3.63Vとして、試料1にストレスをかけた。

[0637]

+GBTストレス試験中に一定時間ごとに I_D-V_G 測定を行った。 I_D-V_G 測定は、トランジスタのドレイン電位 V_D を+1.2Vにし、ソース電位 V_S を0Vにし、ボトムゲート電位 V_{BG} を0Vにし、ゲート電位 V_G を-3.3Vから+3.3Vまで掃引することで行った。なお、 I_D-V_G 測定には、キーサイトテクノロジー製半導体パラメータアナライザを用いた。また、+GBTストレス試験では、トランジスタの電気特性の変動量の指標として、測定開始時からのシフト電圧 V_{sh} の変化量を表す ΔV_{sh} を用いた。なお、シフト電圧 V_{sh} は、トランジスタの I_D-V_G カーブ（ I_D はlogスケールでとる。）において、カーブ上の傾きが最大である点における接線と、 $I_D=1\text{ pA}$ の直線との交点における V_G と定義する。

[0638]

試料1の+GBTストレス試験の結果を図40に示す。図40において、横軸はストレス時間 (stress time) [hr] を示し、縦軸は ΔV_{sh} [mV] を示す。

[0639]

図40に示すように、試料1は、上記ストレスがかかった状態で42時間経過しても、シフト電圧の変化量 ΔV_{sh} が100mV以下であった。

[0640]

以上、本実施例に示す構成、方法などは、少なくともその一部を本明細書中に記載する実施の形態と適宜組み合わせる実施することができる。

[符号の説明]

[0641]

200：トランジスタ、200a：トランジスタ、200b：トランジスタ、203：導電体、203a：導電体、203b：導電体、205：導電体、205a：導電体、205b：導電体、210：

絶縁体、212：絶縁体、214：絶縁体、216：絶縁体、218：導電体、220：絶縁体、222：絶縁体、224：絶縁体、230：酸化物、230a：酸化物、230A：酸化膜、230b：酸化物、230B：酸化膜、230c：酸化物、230C：酸化膜、230d：酸化物、231：領域、231a：領域、231b：領域、234：領域、240：導電体、240a：導電体、240A：導電膜、240b：導電体、242：導電体、242a：導電体、242A：導電膜、242b：導電体、243：領域、243a：領域、243b：領域、244：絶縁体、244A：絶縁膜、246：導電体、248：導電体、250：絶縁体、250A：絶縁膜、254a：絶縁体、254b：絶縁体、260：導電体、260a：導電体、260A：導電膜、260b：導電体、260B：導電膜、274：絶縁体、280：絶縁体、281：絶縁体、282：絶縁体、286：絶縁体、290：開口、292：酸素

請求の範囲

[請求項 1]

第 1 の絶縁体と、
前記第 1 の絶縁体の上に配置された、第 2 の絶縁体と、
前記第 2 の絶縁体の上に配置された、酸化物と、
前記酸化物上に、互いに離して配置された、第 1 の導電体、および第 2 の導電体と、
前記酸化物、前記第 1 の導電体、および前記第 2 の導電体の上に配置された、第 3 の絶縁体と、
前記第 3 の絶縁体の上に配置され、少なくとも一部が前記第 1 の導電体と前記第 2 の導電体の間の領域に重なるように配置された、第 3 の導電体と、
前記酸化物、前記第 1 の導電体、前記第 2 の導電体、前記第 3 の絶縁体、および前記第 3 の導電体、を覆って配置された、第 4 の絶縁体と、
前記第 4 の絶縁体の上に配置された、第 5 の絶縁体と、
前記第 5 の絶縁体の上に配置された、第 6 の絶縁体と、を有し、
前記第 4 の絶縁体は、少なくとも一部に、前記第 2 の絶縁体に達する開口が形成され、
前記第 5 の絶縁体は、前記開口を介して前記第 2 の絶縁体に接し、
前記第 1 の絶縁体、前記第 4 の絶縁体、および前記第 6 の絶縁体は、前記第 2 の絶縁体より酸素透過性が低い、
ことを特徴とする半導体装置。

[請求項 2]

請求項 1 において、
前記第 4 の絶縁体は、前記酸化物の側面、前記第 1 の導電体の側面、前記第 2 の導電体の側面、および前記第 2 の絶縁体の上面に接する、
ことを特徴とする半導体装置。

[請求項 3]

請求項 1 または請求項 2 において、
前記第 1 の絶縁体、前記第 4 の絶縁体、および前記第 6 の絶縁体は、アルミニウムおよびハフニウムの少なくとも一方を含む、酸化物である、
ことを特徴とする半導体装置。

[請求項 4]

請求項 1 において、
前記第 2 の絶縁体、前記酸化物、および前記第 1 の導電体と、前記第 3 の絶縁体および前記第 4 の絶縁体と、の間に第 7 の絶縁体が配置され、
前記第 2 の絶縁体、前記酸化物、および前記第 2 の導電体と、前記第 3 の絶縁体および前記第 4 の絶縁体と、の間に第 8 の絶縁体が配置され、
前記第 7 の絶縁体および前記第 8 の絶縁体は、前記第 2 の絶縁体より酸素透過性が低い、
ことを特徴とする半導体装置。

[請求項 5]

請求項 4 において、
前記第 7 の絶縁体または前記第 8 の絶縁体の側面は、前記第 4 の絶縁体に形成された前記開口の縁と概略一致する、

ことを特徴とする半導体装置。

[請求項 6]

請求項 4 または請求項 5 において、

前記第 7 の絶縁体および前記第 8 の絶縁体は、アルミニウムおよびハフニウムの少なくとも一方を含む、酸化物である、

ことを特徴とする半導体装置。

[請求項 7]

請求項 1 乃至請求項 6 のいずれか一項において、

前記酸化物は、 I_n と、元素M (MはAl、Ga、Y、またはSn) と、を有する、

ことを特徴とする半導体装置。

[請求項 8]

請求項 7 において、

前記酸化物は、 Z_n を有し、

前記酸化物に含まれる Z_n の原子数比は、前記酸化物に含まれる I_n の原子数比より小さい、

ことを特徴とする半導体装置。

[請求項 9]

請求項 1 乃至請求項 8 のいずれか一項において、

前記酸化物は、結晶性を有する、

ことを特徴とする半導体装置。

[請求項 10]

請求項 1 乃至請求項 9 のいずれか一項において、

前記第 1 の導電体、および前記第 2 の導電体は、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、およびランタンとニッケルを含む酸化物の少なくとも一を有する、

ことを特徴とする半導体装置。

[請求項 11]

第 1 の絶縁体と、

前記第 1 の絶縁体の上に配置された、第 2 の絶縁体と、

前記第 2 の絶縁体の上に配置され、少なくとも一部に、前記第 2 の絶縁体が露出した領域を有する、第 1 の酸化物と、

前記第 1 の酸化物の上に配置され、前記第 2 の絶縁体が露出した領域を介して、前記第 2 の絶縁体に接する、第 2 の酸化物と、

前記第 2 の酸化物の上に配置された、第 3 の酸化物と、

前記第 3 の酸化物上に、互いに離して配置された、第 1 の導電体、および第 2 の導電体と、

前記酸化物、前記第 1 の導電体、および前記第 2 の導電体の上に配置された、第 3 の絶縁体と、

前記第 3 の絶縁体の上に配置され、少なくとも一部が前記第 1 の導電体と前記第 2 の導電体の間の領域に重なるように配置された、第 3 の導電体と、

前記酸化物、前記第 1 の導電体、前記第 2 の導電体、前記第 3 の絶縁体、および前記第 3 の導電体、を覆って配置された、第 4 の絶縁体と、

前記第4の絶縁体の上に配置された、第5の絶縁体と、
前記第5の絶縁体の上に配置された、第6の絶縁体と、を有し、
前記第4の絶縁体は、少なくとも一部に、前記第2の絶縁体に達する開口が形成され、
前記第5の絶縁体は、前記開口を介して前記第2の絶縁体に接し、
前記第1の絶縁体、前記第4の絶縁体、および前記第6の絶縁体は、前記第2の絶縁体より酸素透過性が低く、
前記第1の酸化物は、前記第2の酸化物より酸素透過性が低い、
ことを特徴とする半導体装置。

[請求項12]

請求項11において、
前記第1の酸化物乃至前記第3の酸化物は、 I_n と、元素M（MはAl、Ga、Y、またはSn）と、Znと、を有し、
前記第1の酸化物に含まれる元素Mの原子数比は、前記第2の酸化物に含まれる元素Mの原子数比より大きく、
前記第3の酸化物に含まれる I_n の原子数比は、前記第2の酸化物に含まれる I_n の原子数比より大きい、
ことを特徴とする半導体装置。

[請求項13]

基板上に第1の絶縁膜、第2の絶縁膜、第1の酸化膜、第2の酸化膜、および第1の導電膜の順に成膜し、
前記第1の酸化膜、前記第2の酸化膜および前記第1の導電膜の一部を選択的に除去して、前記第2の絶縁膜の上に、酸化物、第1の導電体および第2の導電体を形成し、
前記第2の絶縁膜、前記酸化物、前記第1の導電体、および前記第2の導電体の上に、第3の絶縁膜および第2の導電膜の順に成膜し、
前記第3の絶縁膜および前記第2の導電膜の一部を選択的に除去して、第1の絶縁体および第3の導電体を形成し、
前記酸化物、前記第1の導電体、前記第2の導電体、前記第1の絶縁体、および前記第3の導電体を覆って、第4の絶縁膜を、ALD法を用いて成膜し、
前記第4の絶縁膜の一部を選択的に除去して、少なくとも一部に前記第2の絶縁膜に達する開口を形成し、
前記第4の絶縁膜の上に、第5の絶縁膜を成膜し、
前記第5の絶縁膜の上に、酸素を含む雰囲気でスパッタリング法を用いて第6の絶縁膜を成膜し、熱処理を行い、
前記第1の絶縁膜、前記第4の絶縁膜、および前記第6の絶縁膜は、前記第2の絶縁膜より酸素透過性が低い、
ことを特徴とする半導体装置の作製方法。

[請求項14]

基板上に第1の絶縁膜、第2の絶縁膜、第1の酸化膜、第2の酸化膜、および第1の導電膜の順に成膜し、
前記第1の酸化膜、前記第2の酸化膜および前記第1の導電膜の一部を選択的に除去して、前記第

2の絶縁膜の上に、酸化物、第1の導電体および第2の導電体を形成し、

前記第2の絶縁膜、前記酸化物、前記第1の導電体、および前記第2の導電体の上に、第3の絶縁膜および第2の導電膜の順に成膜し、

前記第3の絶縁膜および前記第2の導電膜の一部を選択的に除去して、第1の絶縁体および第3の導電体を形成し、

前記酸化物、前記第1の導電体、前記第2の導電体、前記第1の絶縁体、および前記第3の導電体を覆って、第4の絶縁膜を、ALD法を用いて成膜し、

前記第4の絶縁膜の一部を選択的に除去して、少なくとも一部に前記第2の絶縁膜に達する開口を形成し、

前記第4の絶縁膜の上に、第5の絶縁膜を成膜し、

イオン注入法を用いて、前記第5の絶縁膜の上から酸素を添加し、

前記第5の絶縁膜の上に、第6の絶縁膜を成膜し、

熱処理を行い、

前記第1の絶縁膜、前記第4の絶縁膜、および前記第6の絶縁膜は、前記第2の絶縁膜より酸素透過性が低い、

ことを特徴とする半導体装置の作製方法。

[請求項15]

基板上に第1の絶縁膜、第2の絶縁膜、第1の酸化膜、第2の酸化膜、および第1の導電膜の順に成膜し、

前記第1の酸化膜、前記第2の酸化膜および前記第1の導電膜の一部を選択的に除去して、前記第2の絶縁膜の上に、酸化物、第1の導電体および第2の導電体を形成し、

前記第2の絶縁膜、前記酸化物、前記第1の導電体、および前記第2の導電体の上に、第3の絶縁膜および第2の導電膜の順に成膜し、

前記第3の絶縁膜および前記第2の導電膜の一部を選択的に除去して、第1の絶縁体および第3の導電体を形成し、

前記酸化物、前記第1の導電体、前記第2の導電体、前記第1の絶縁体、および前記第3の導電体を覆って、第4の絶縁膜を、ALD法を用いて成膜し、

前記第4の絶縁膜の一部を選択的に除去して、少なくとも一部に前記第2の絶縁膜に達する開口を形成し、

前記第4の絶縁膜の上に、第5の絶縁膜を成膜し、

前記第5の絶縁膜の上に、第6の絶縁膜を成膜し、

イオン注入法を用いて、前記第6の絶縁膜の上から酸素を添加し、

熱処理を行い、

前記第1の絶縁膜、前記第4の絶縁膜、および前記第6の絶縁膜は、前記第2の絶縁膜より酸素透過性が低い、

ことを特徴とする半導体装置の作製方法。

[請求項16]

請求項13乃至請求項15のいずれか一項において、

前記第3の絶縁膜を成膜する前に、熱処理を行い、

当該熱処理後外気にさらすことなく、前記第3の絶縁膜を成膜する、

ことを特徴とする半導体装置の作製方法。

[請求項 17]

請求項 13 乃至請求項 16 のいずれか一項において、

前記酸化膜の成膜は、In と、元素M (MはAl、Ga、Y、またはSn) と、を有するターゲットを用いた、スパッタリング法で行う、

ことを特徴とする半導体装置の作製方法。

[請求項 18]

請求項 17 において、

前記ターゲットは、Zn を有し、

前記ターゲットに含まれるZnの原子数比は、前記ターゲットに含まれるInの原子数比より小さい、

ことを特徴とする半導体装置の作製方法。

[請求項 19]

請求項 17 または請求項 18 において、

前記酸化膜のスパッタリング成膜は、

酸素を含む雰囲気中、基板加熱しながら行う、

ことを特徴とする半導体装置の作製方法。

[請求項 20]

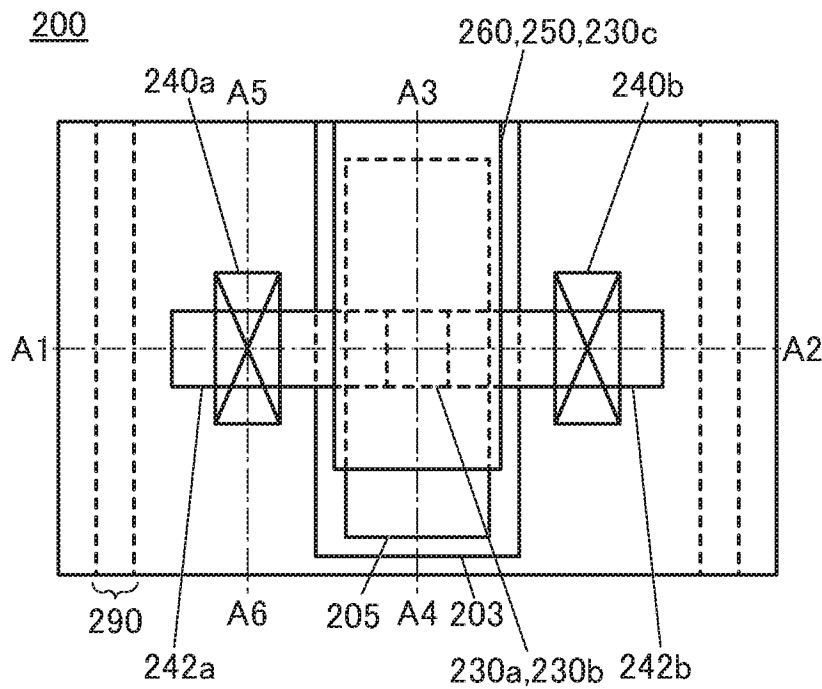
請求項 13 乃至請求項 19 のいずれか一項において、

前記第1の絶縁膜、前記第4の絶縁膜、および前記第6の絶縁膜は、アルミニウムおよびハフニウムの少なくとも一方を含む、酸化物である、

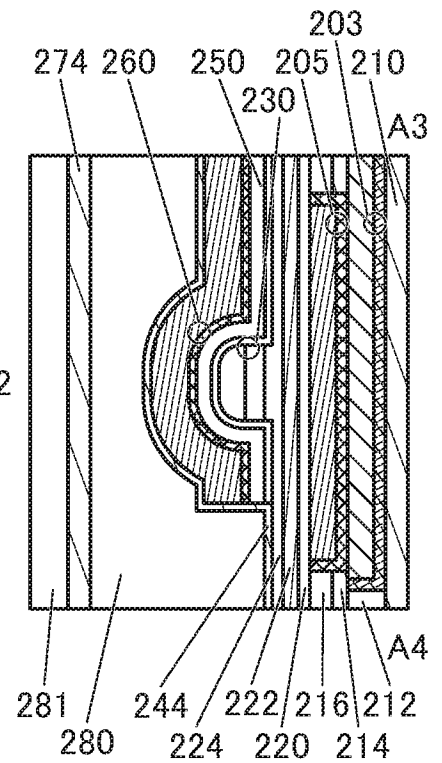
ことを特徴とする半導体装置の作製方法。

[ 1]

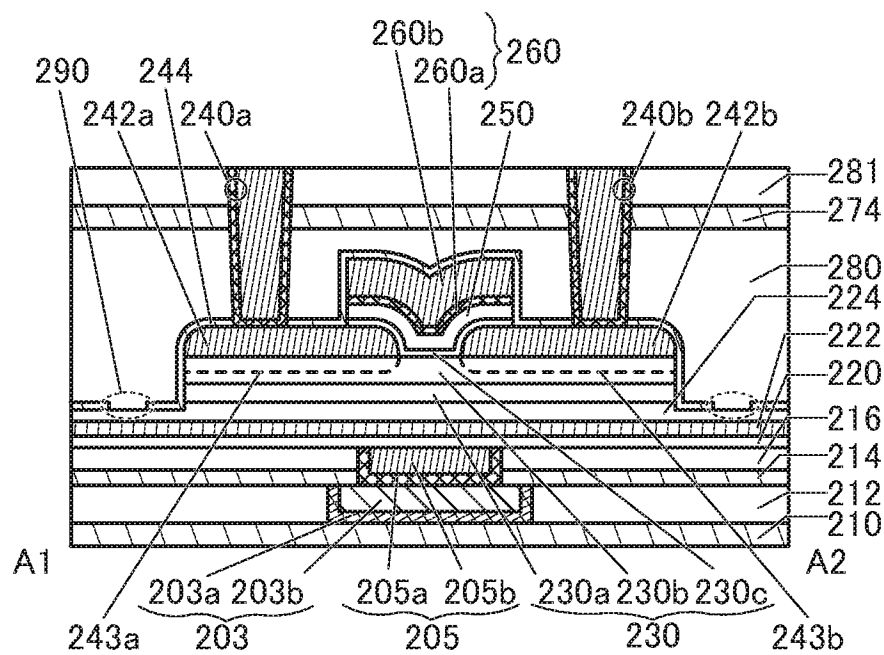
(A)



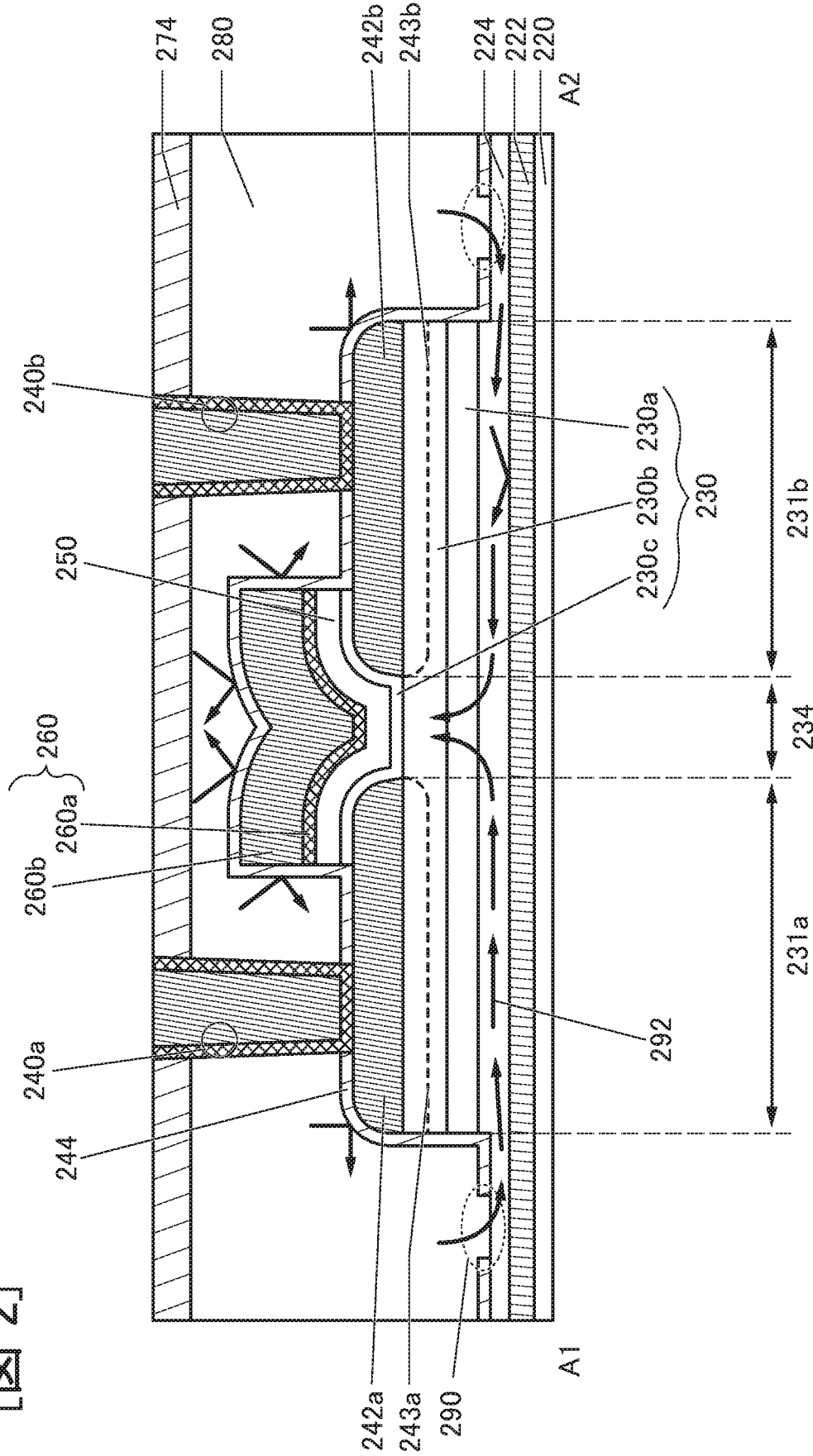
(C)



(B)

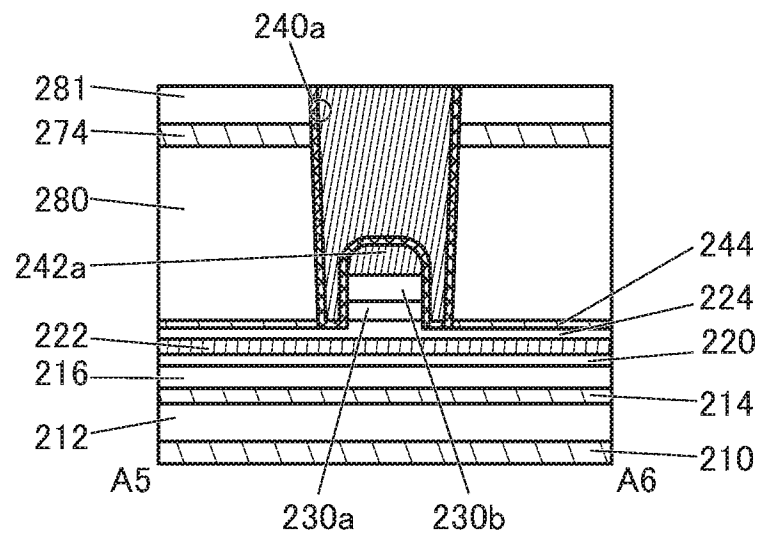


[図 2]

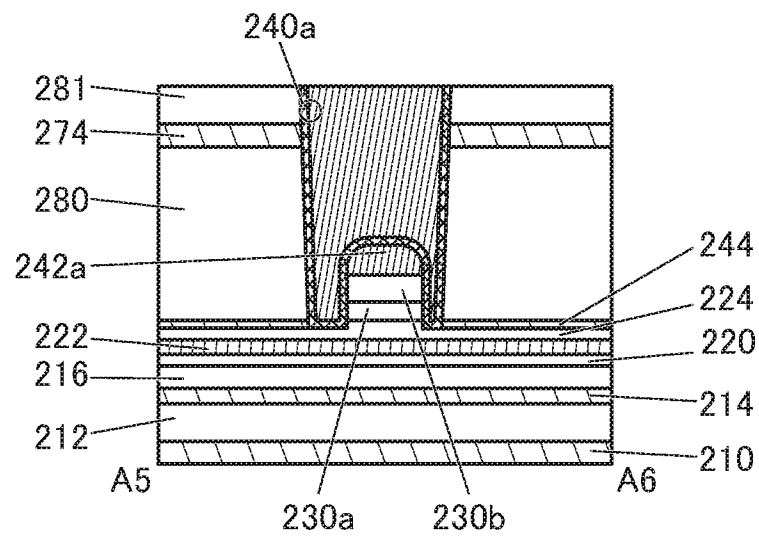


[図 3]

(A)

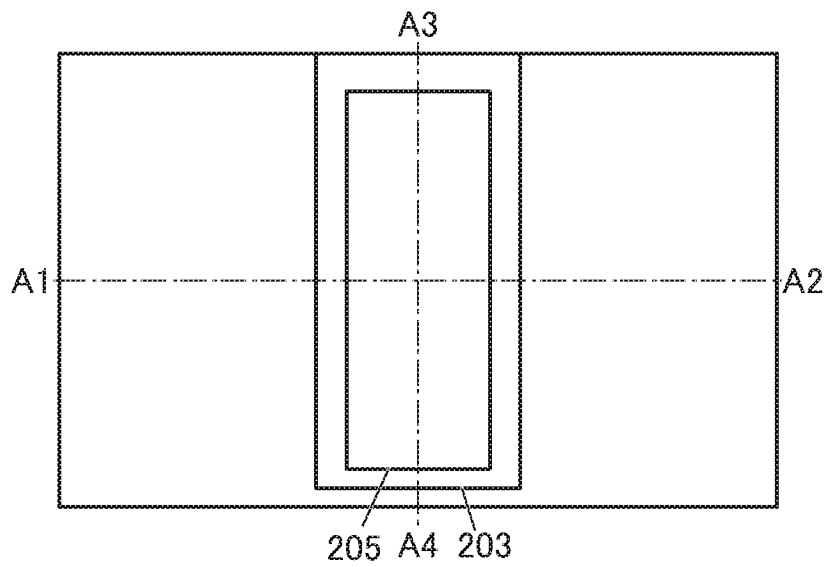


(B)

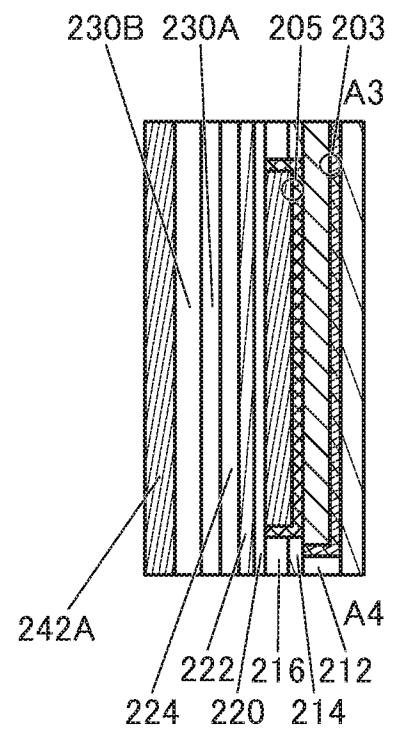


[ 4]

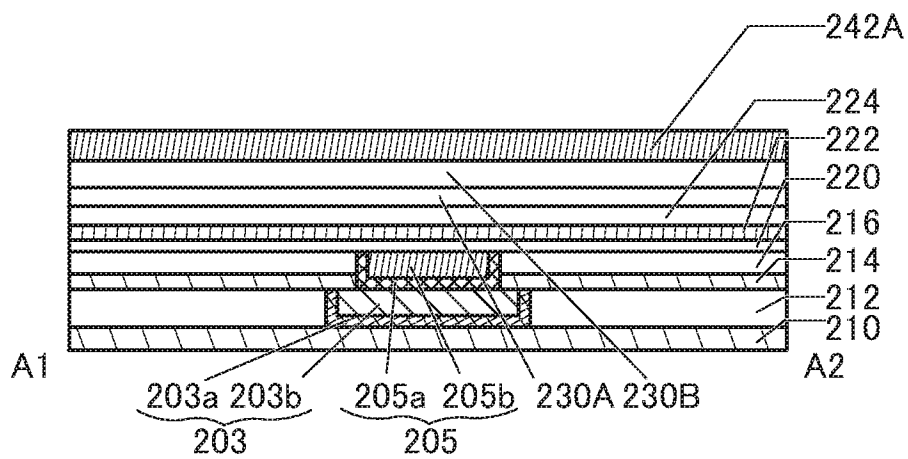
(A)



(C)

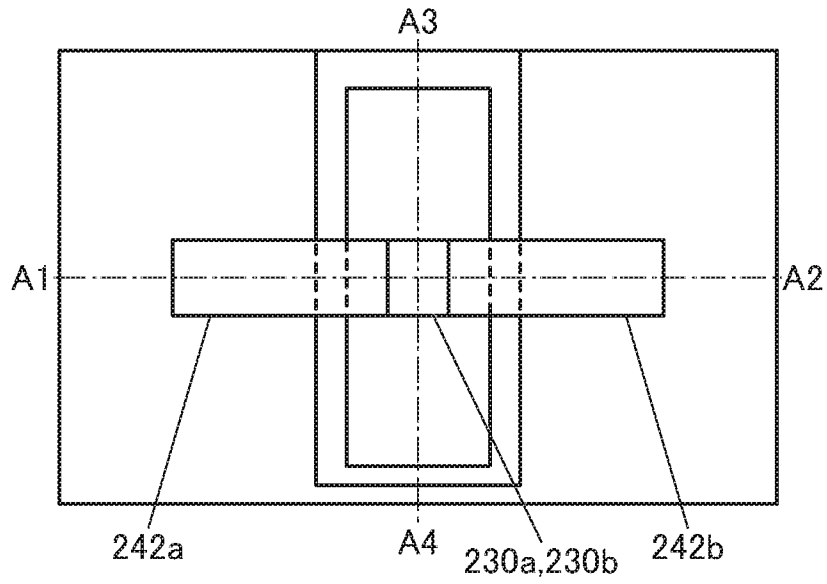


(B)

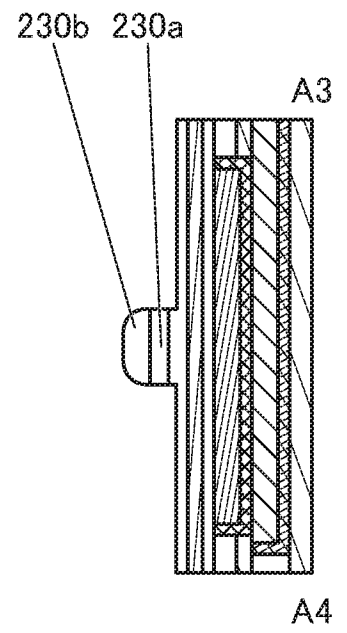


[図 5]

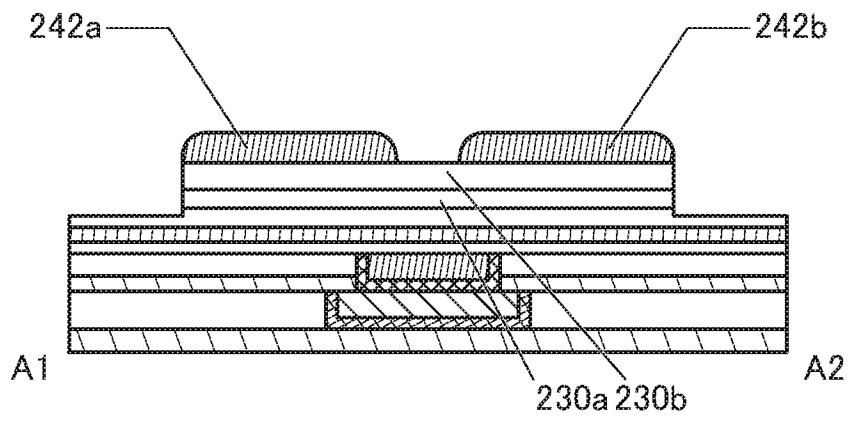
(A)



(C)

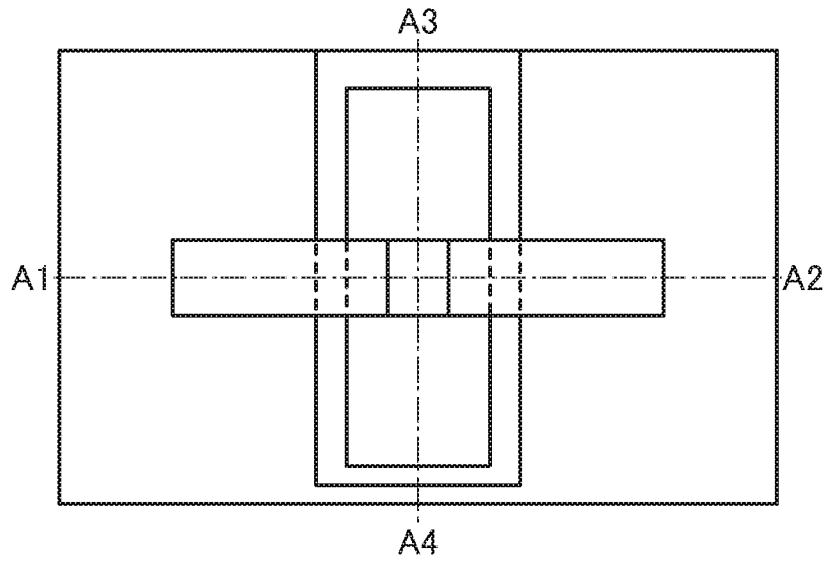


(B)

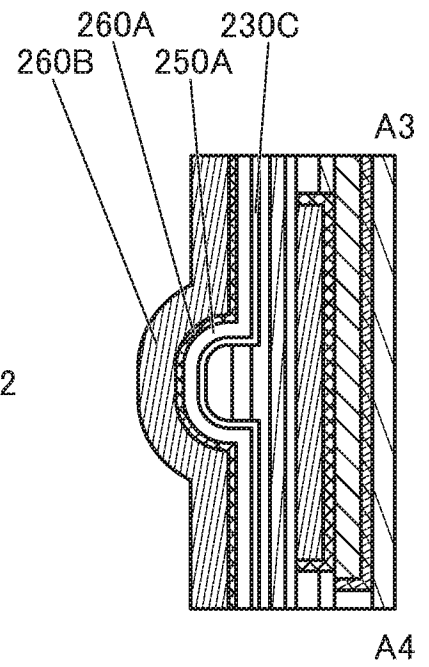


[ 6]

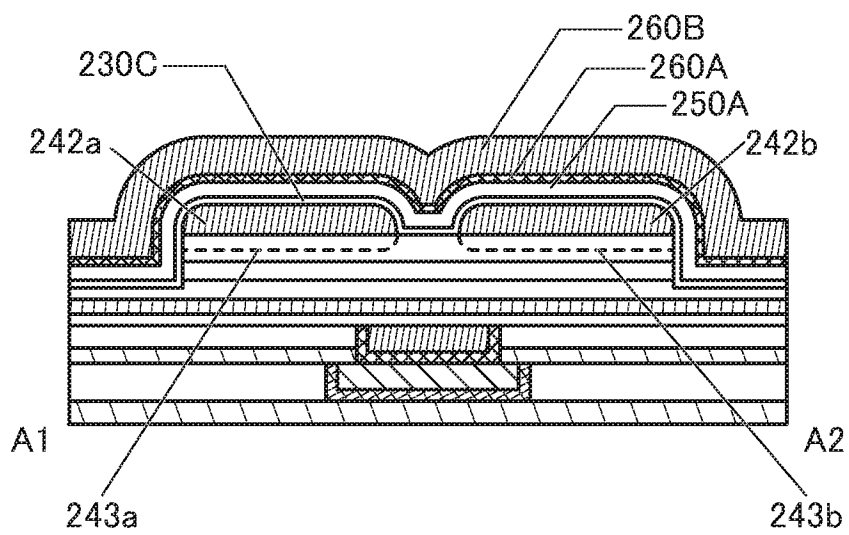
(A)



(C)

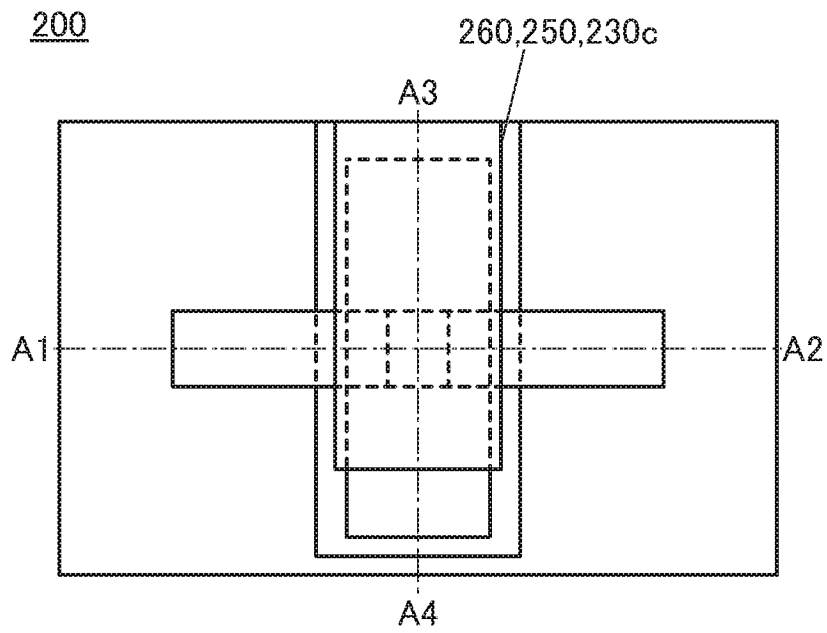


(B)

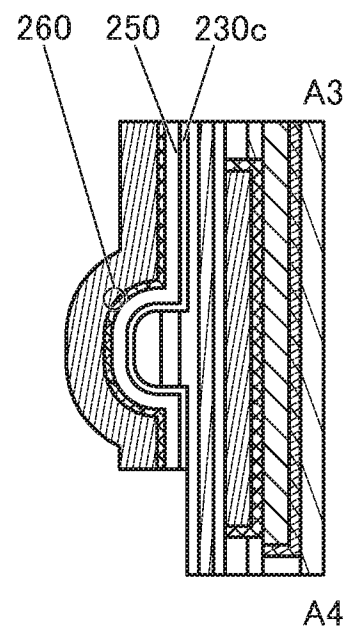


[ 7]

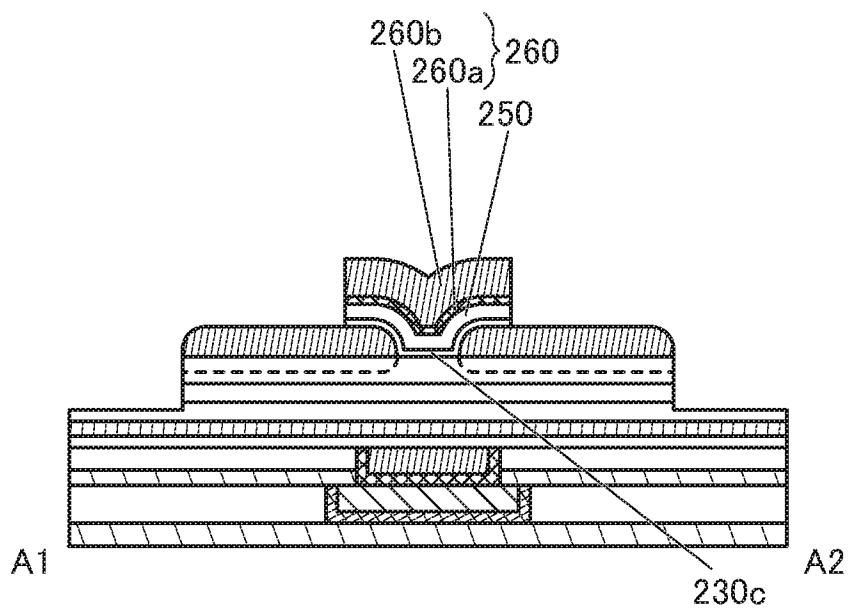
(A)



(C)



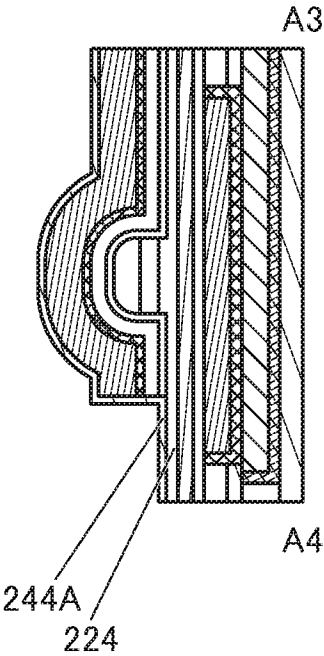
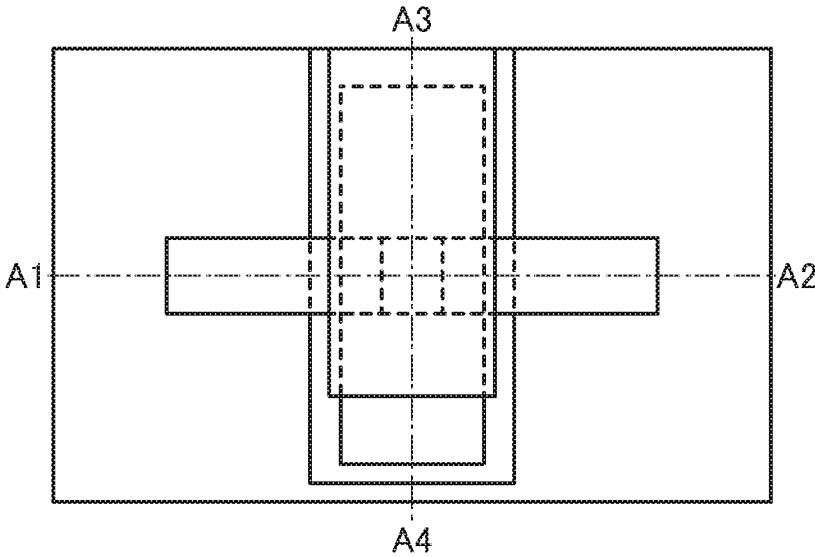
(B)



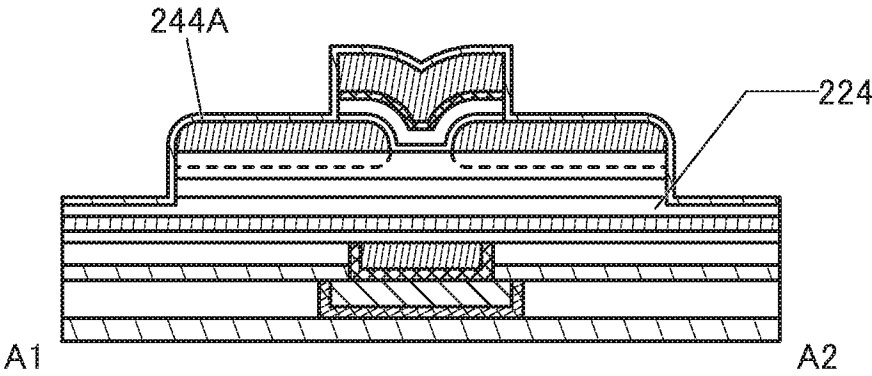
[ 8]

(A)

(C)



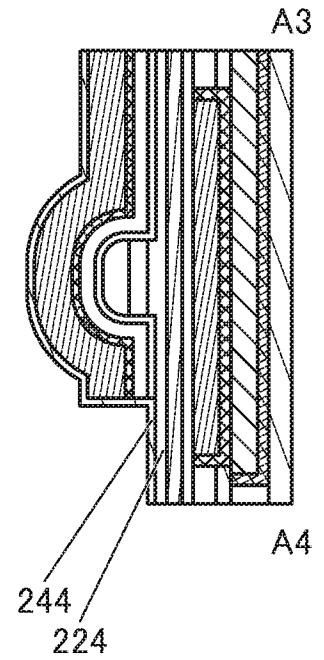
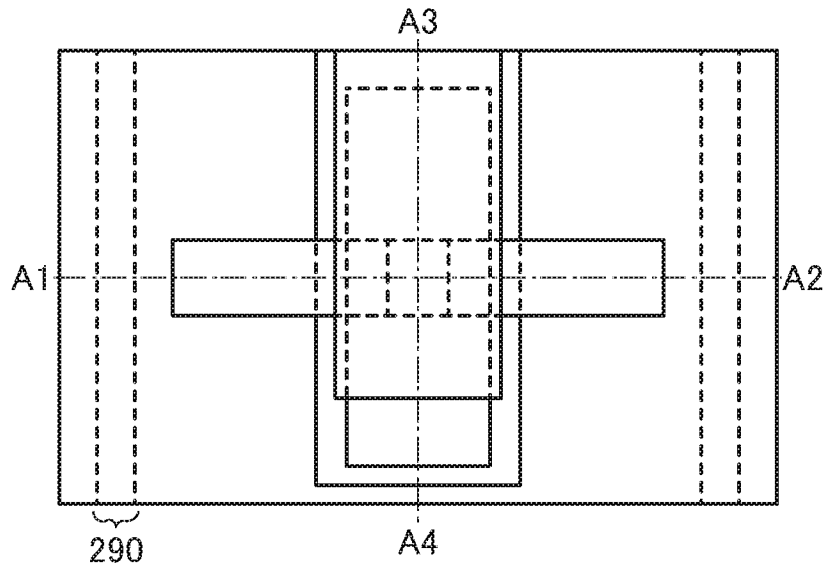
(B)



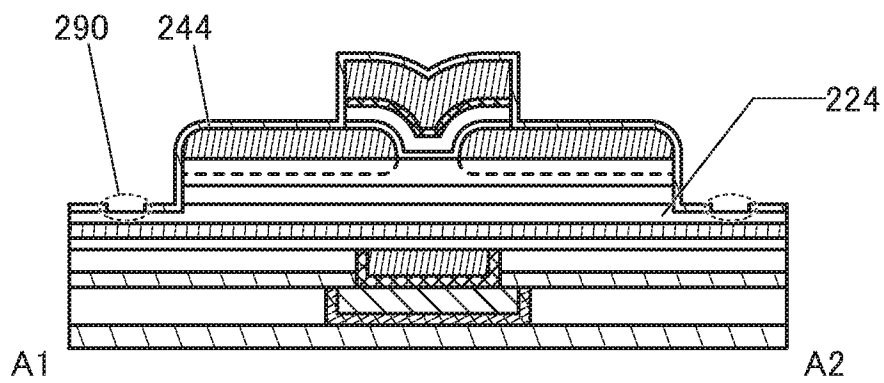
[ 9]

(A)

(C)



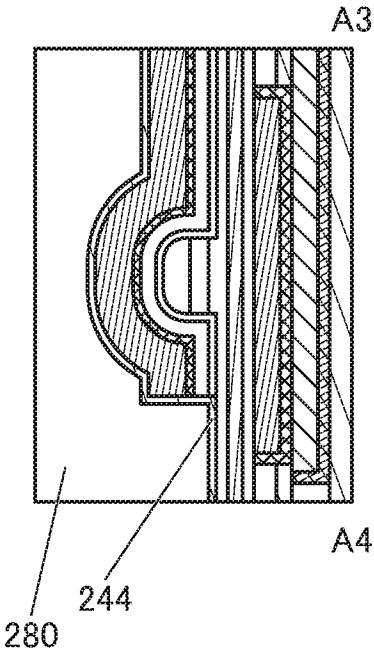
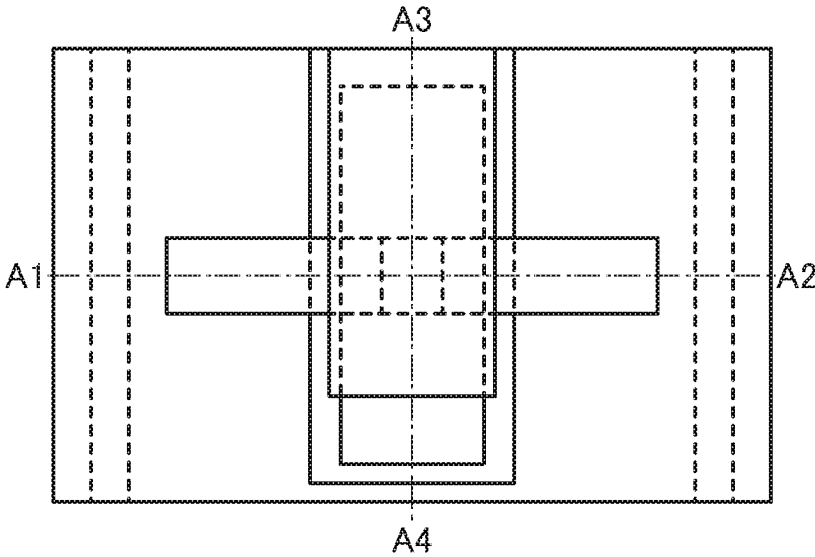
(B)



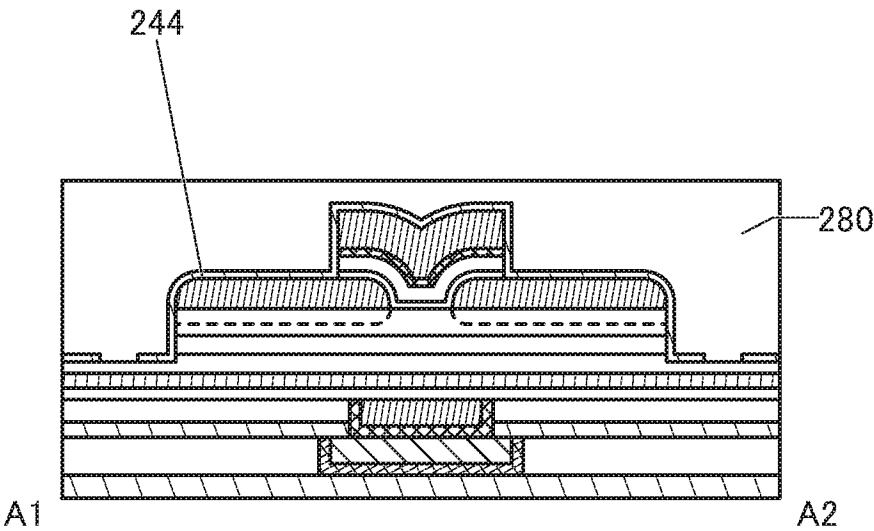
[ 10]

(A)

(C)



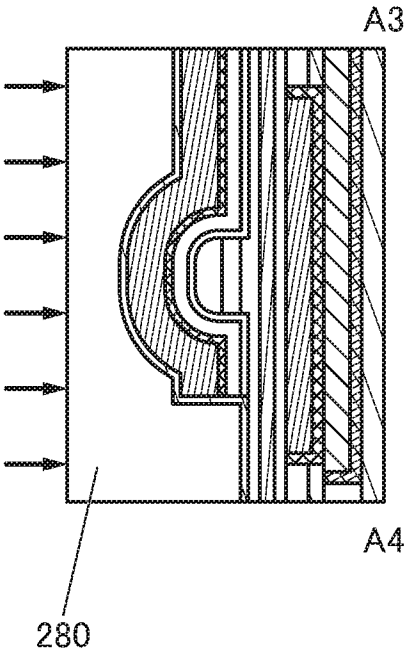
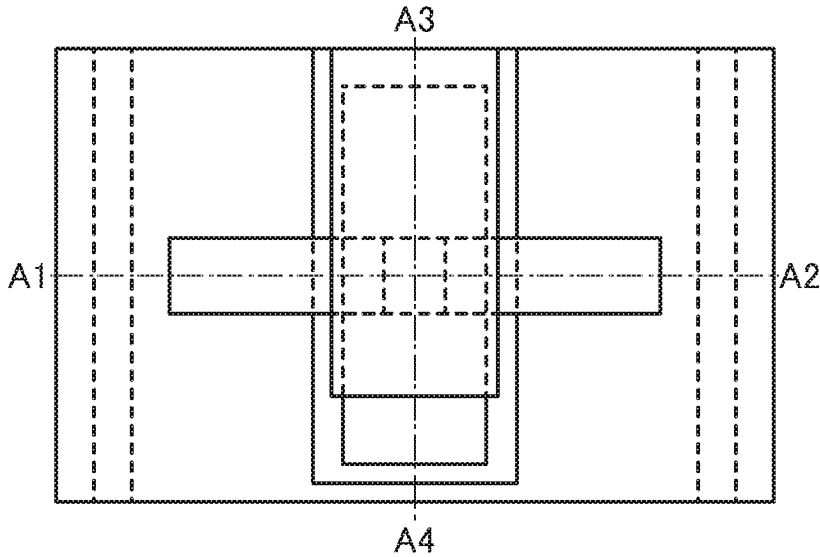
(B)



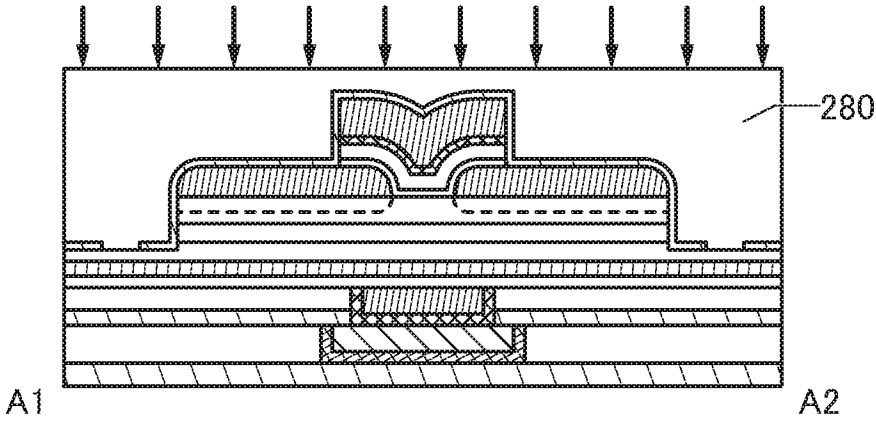
[ 11]

(A)

(C)

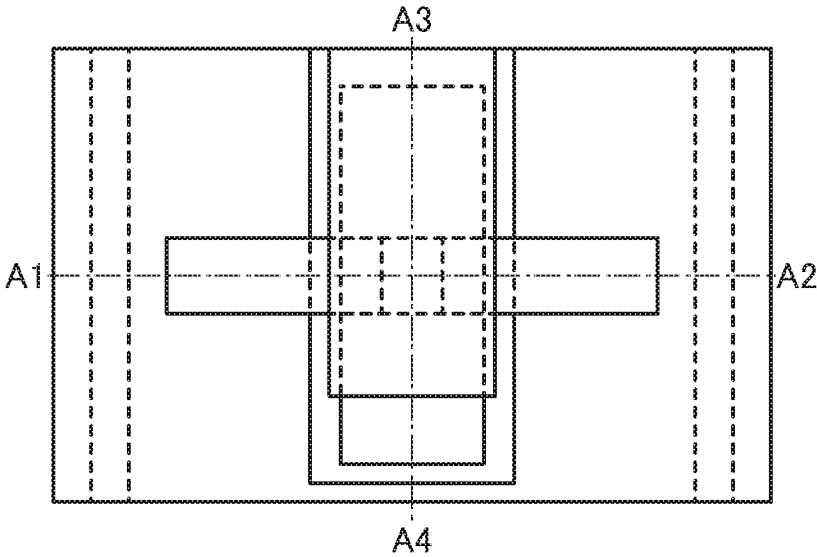


(B)

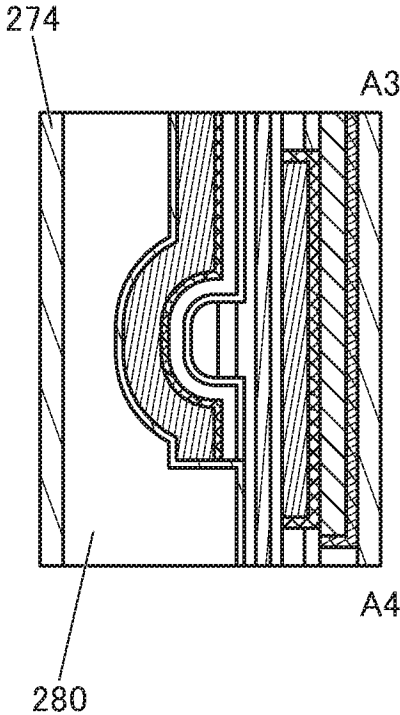


[図12]

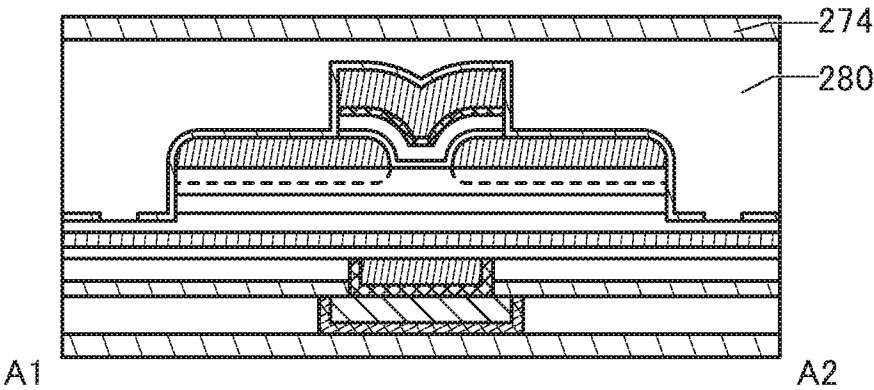
(A)



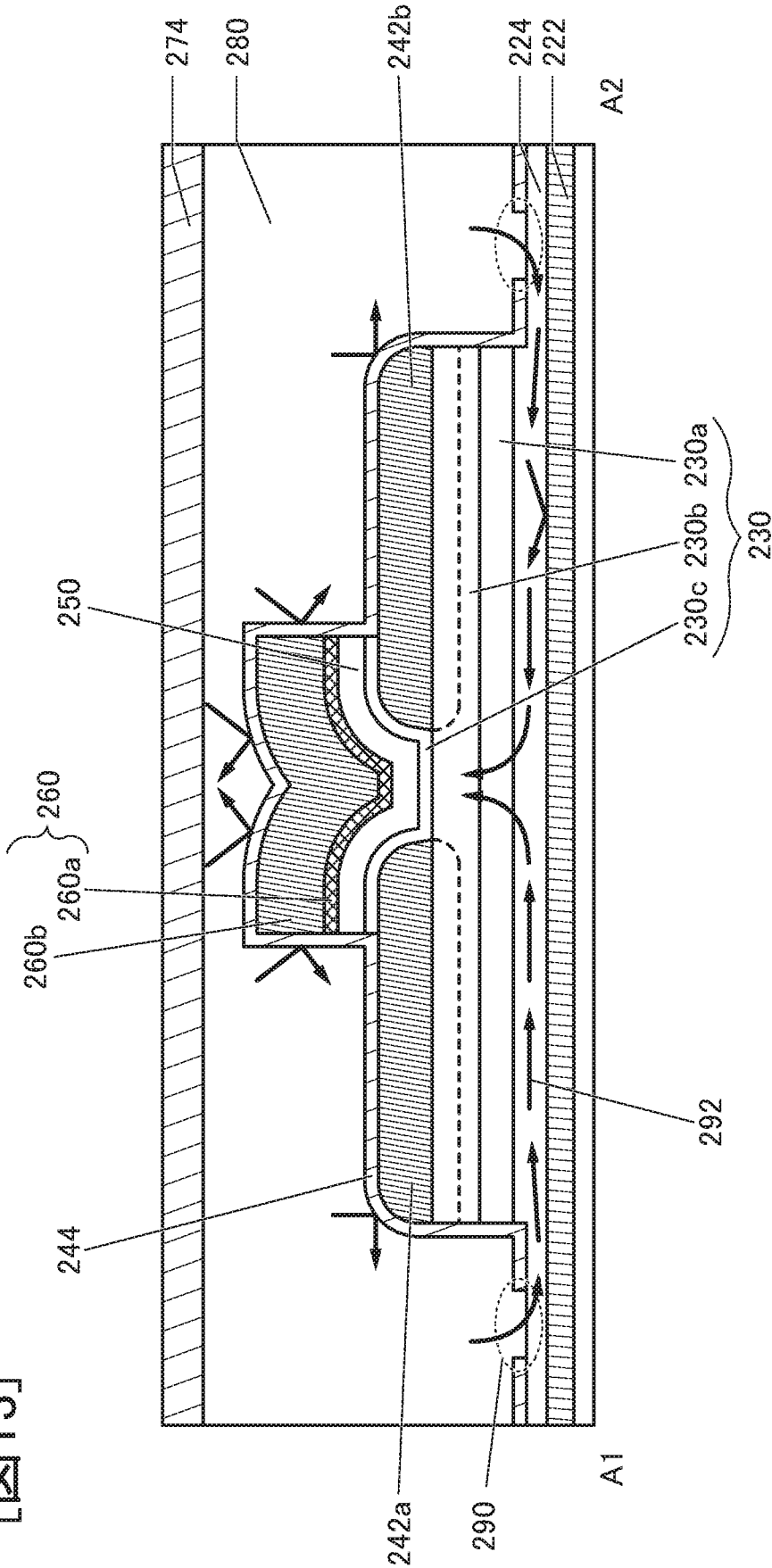
(C)



(B)



[図13]

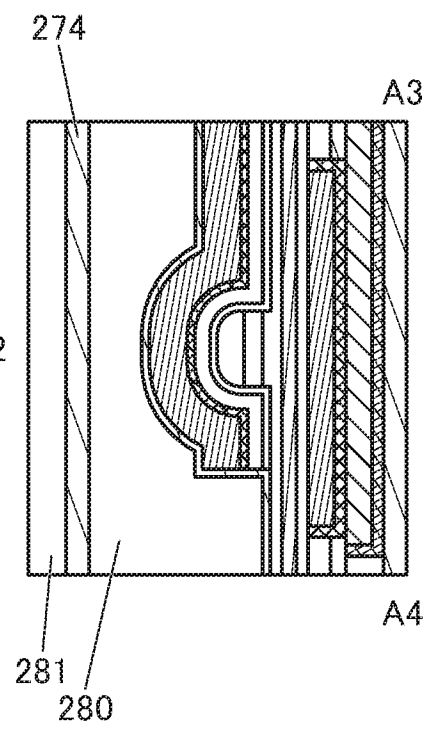
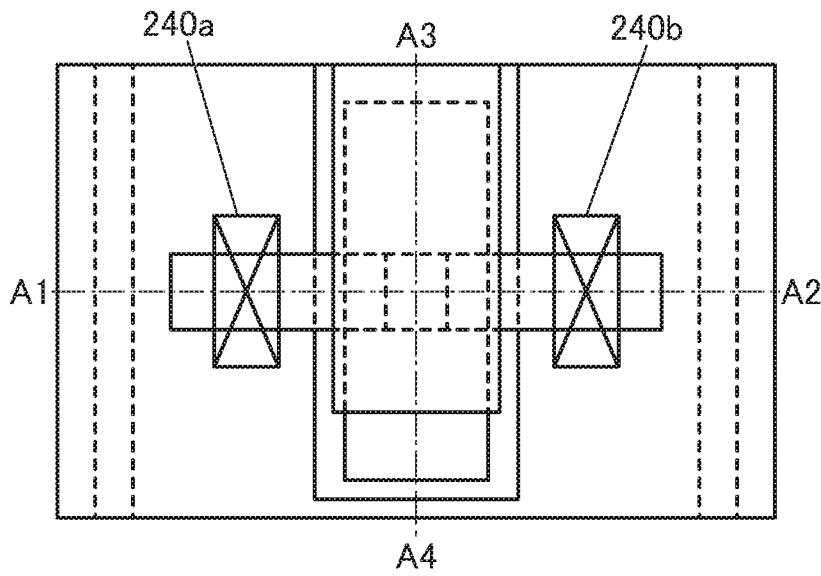


[ 14]

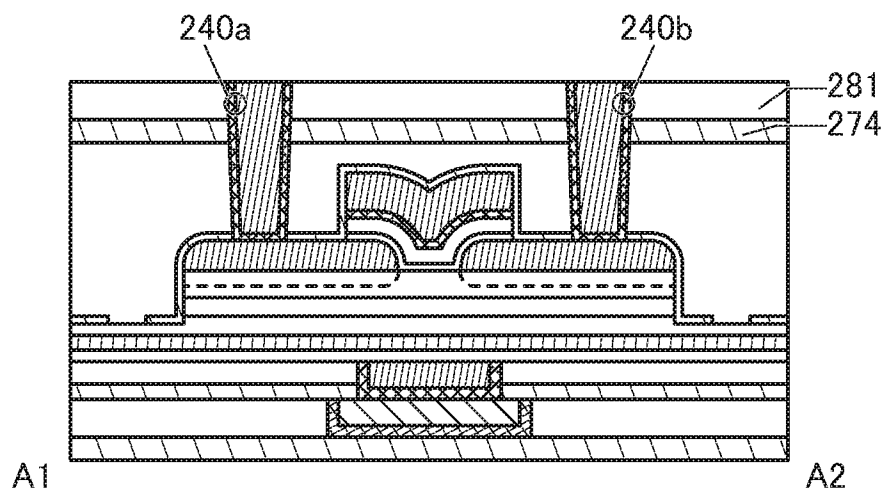
(A)

(C)

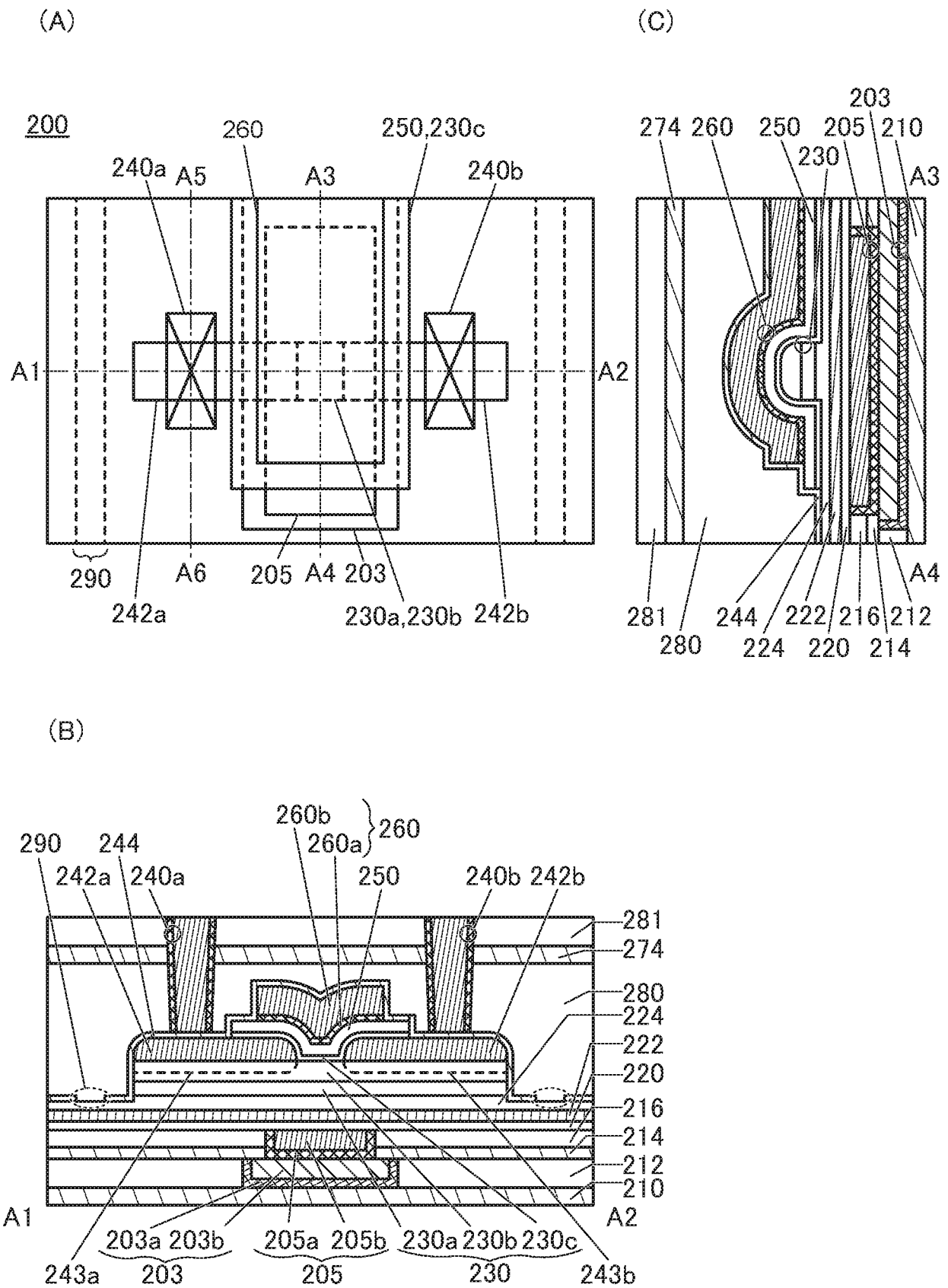
200



(B)

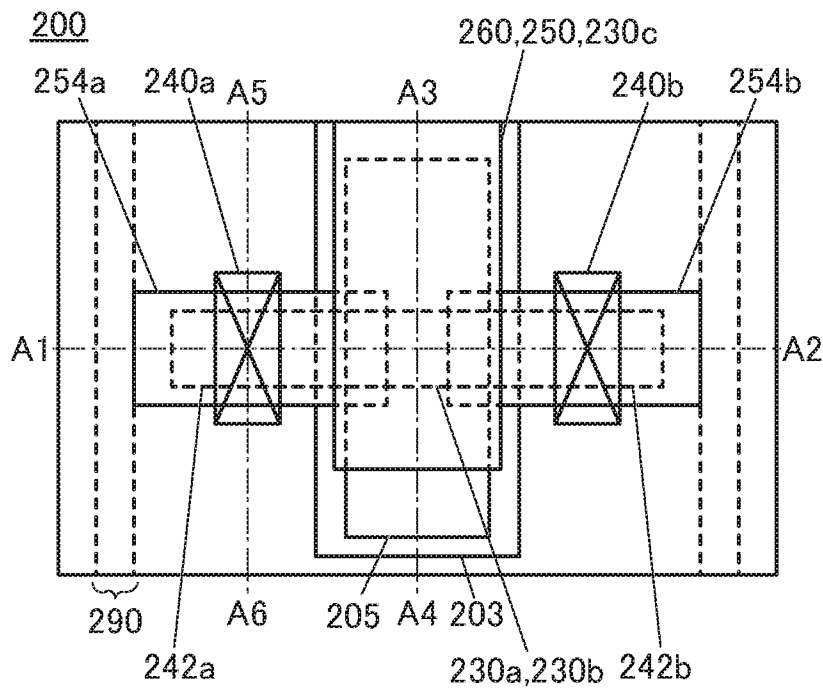


[図15]

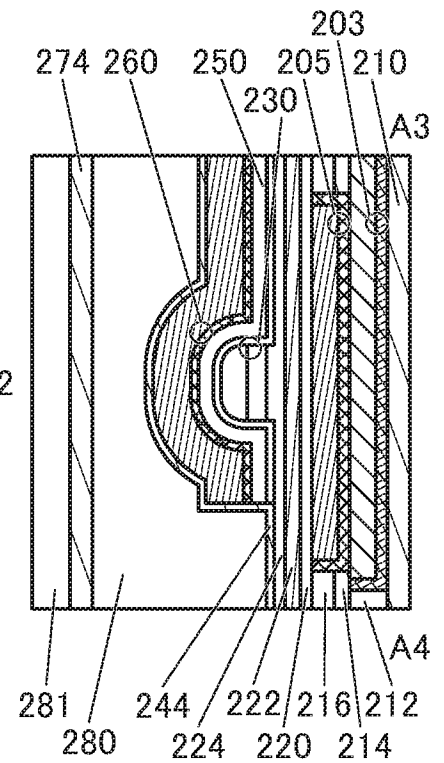


[図16]

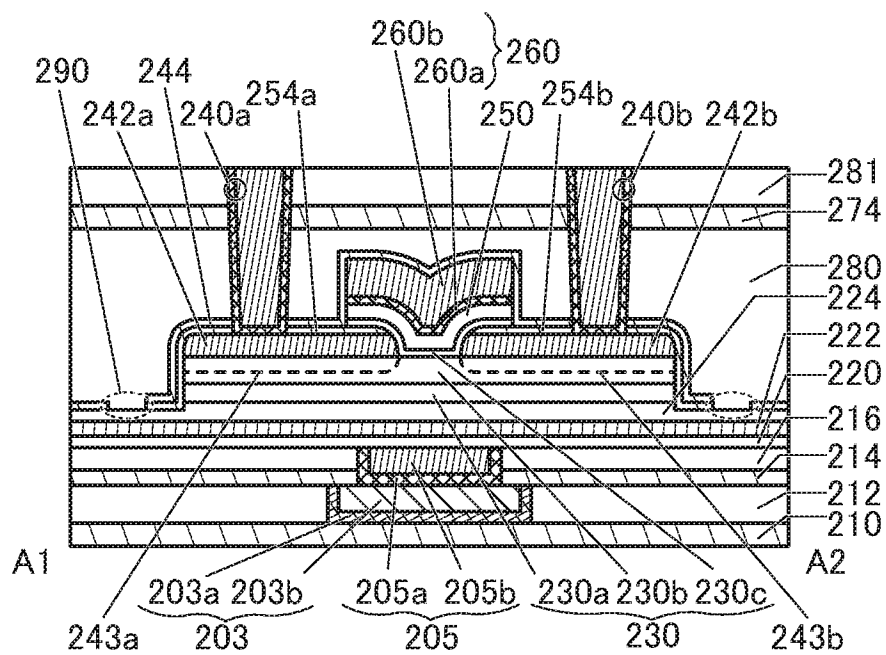
(A)



(C)

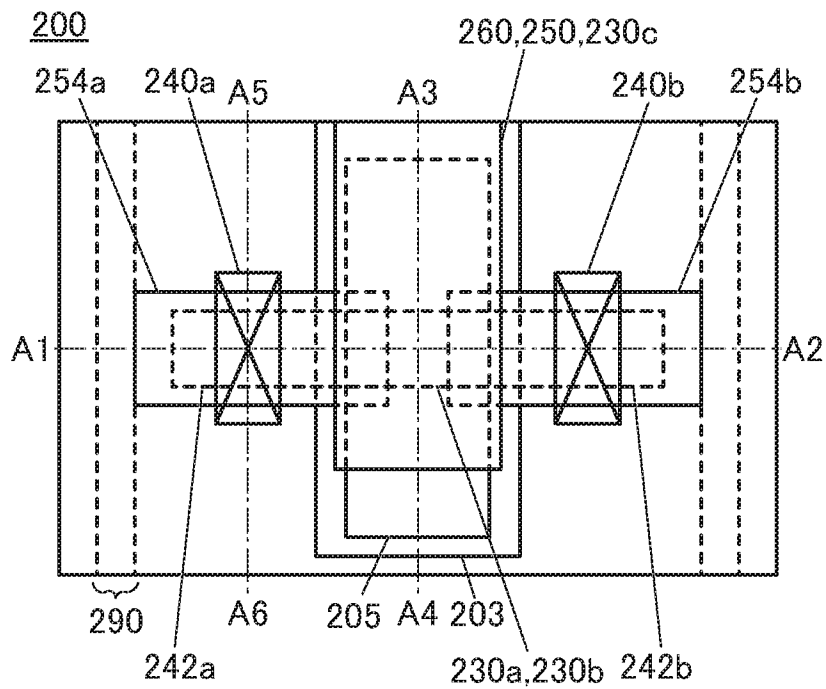


(B)

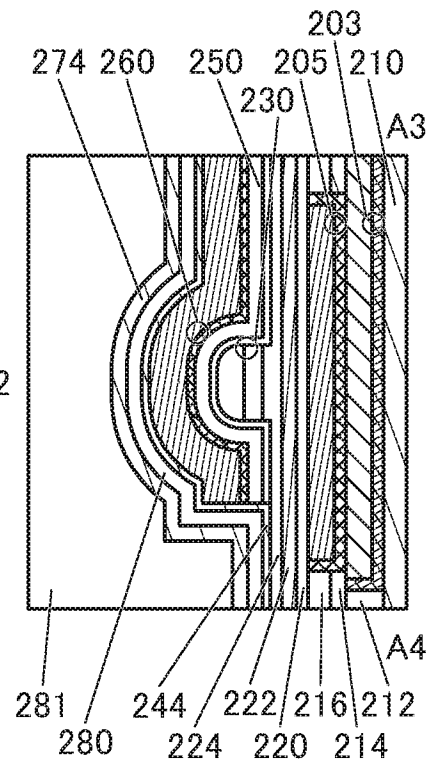


[図17]

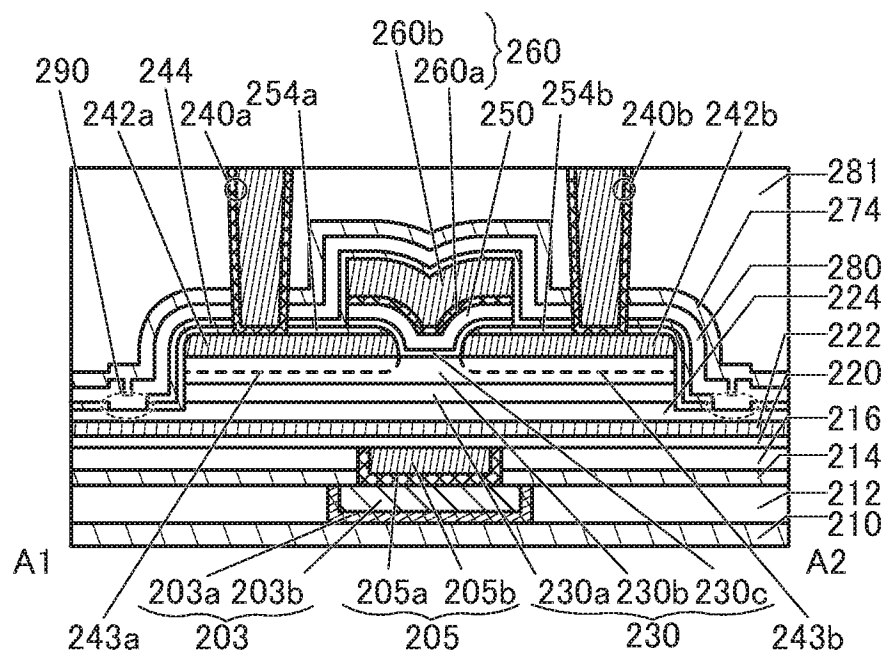
(A)



(C)

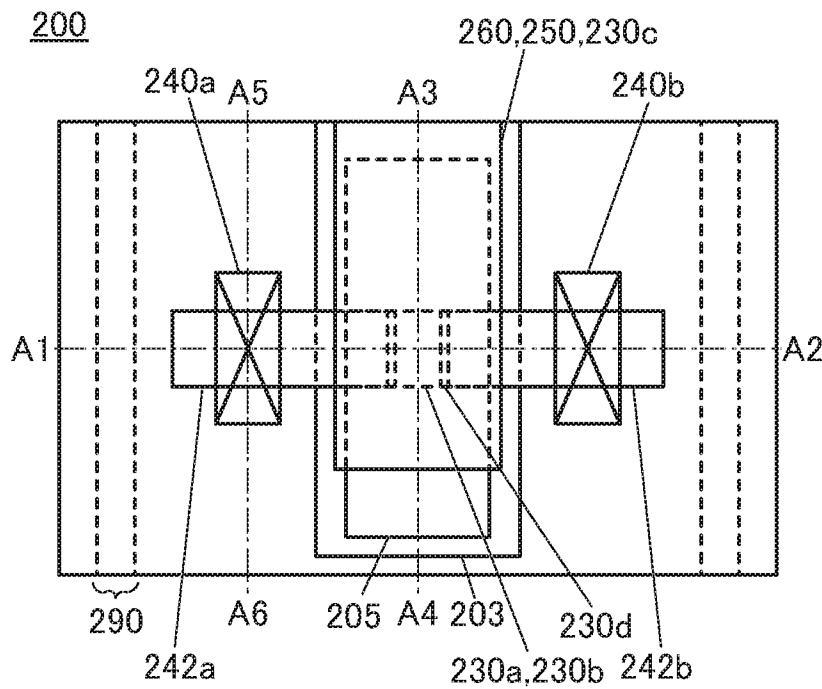


(B)

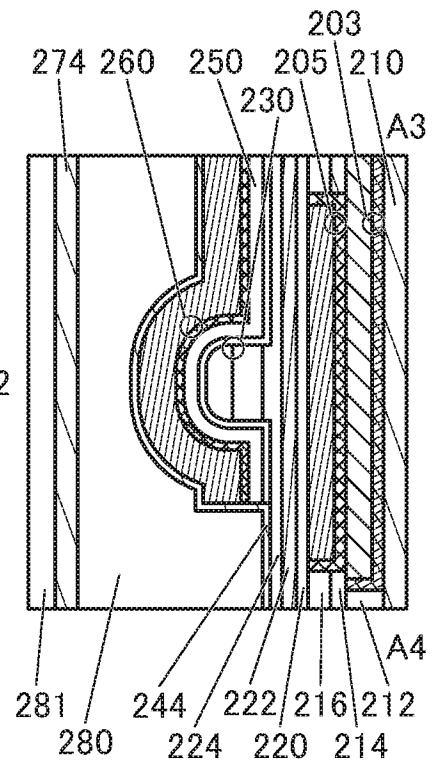


[図18]

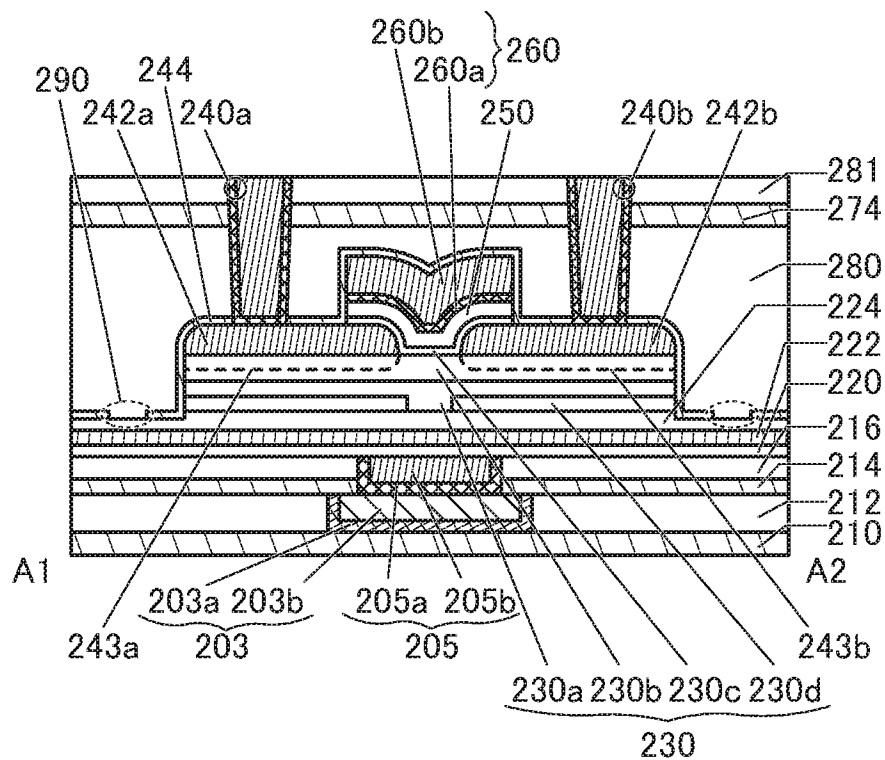
(A)



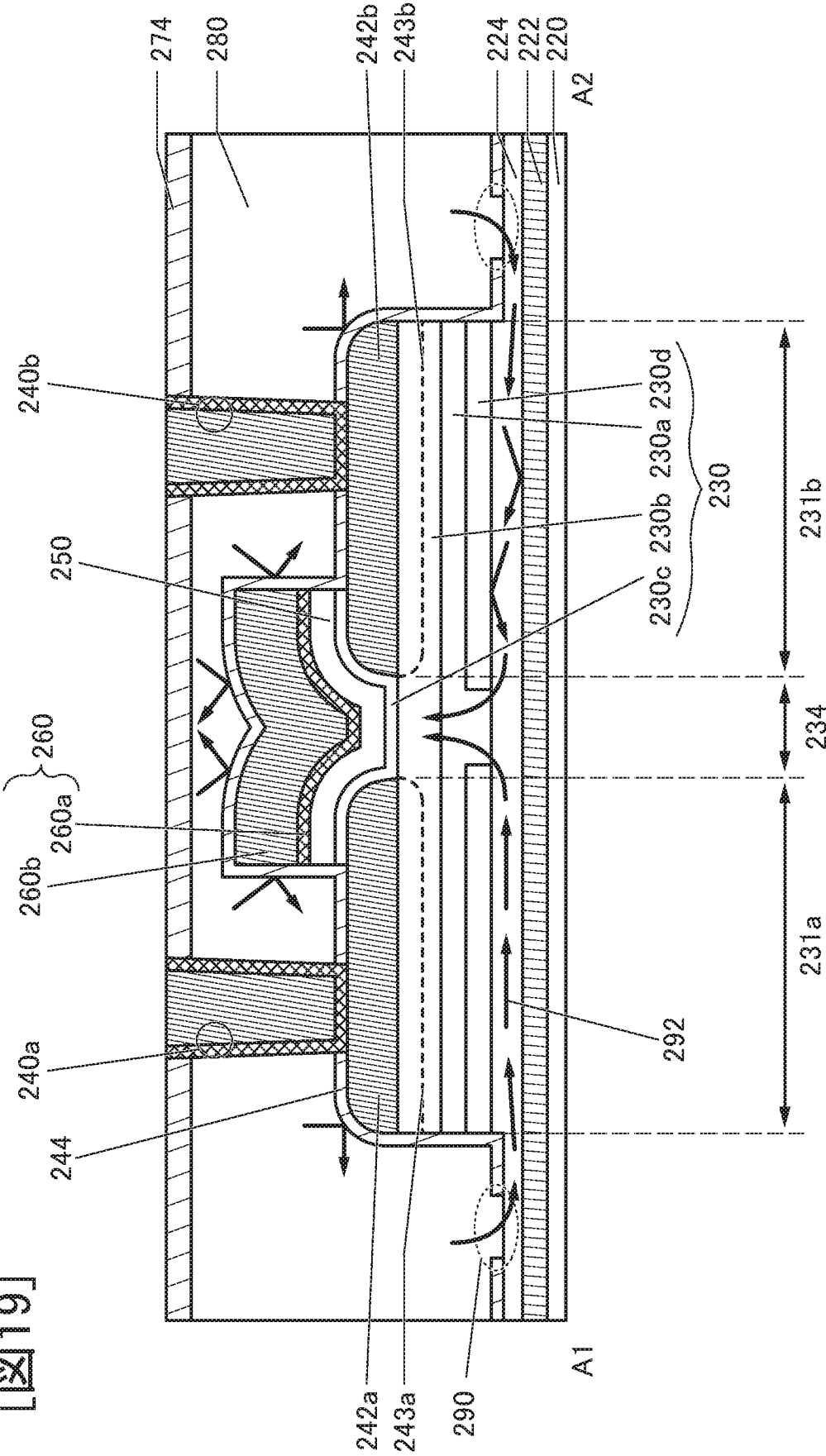
(C)



(B)

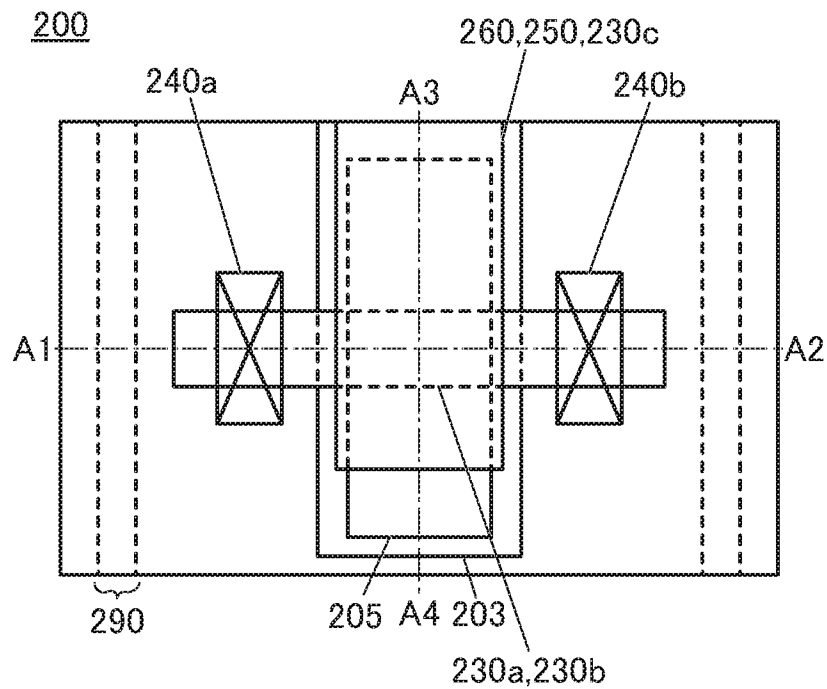


[図19]

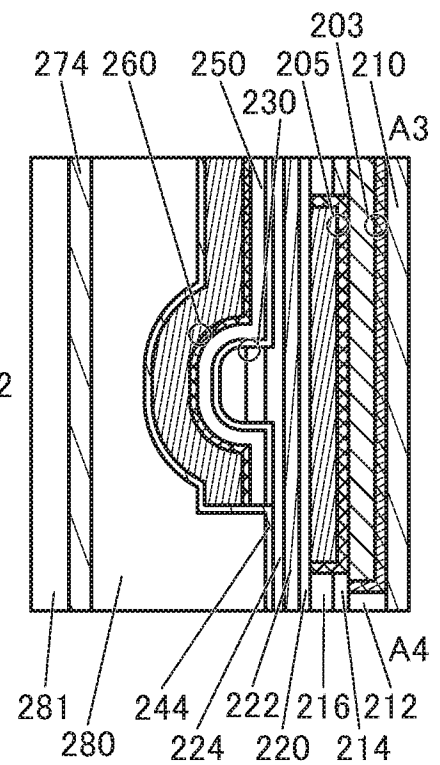


[図20]

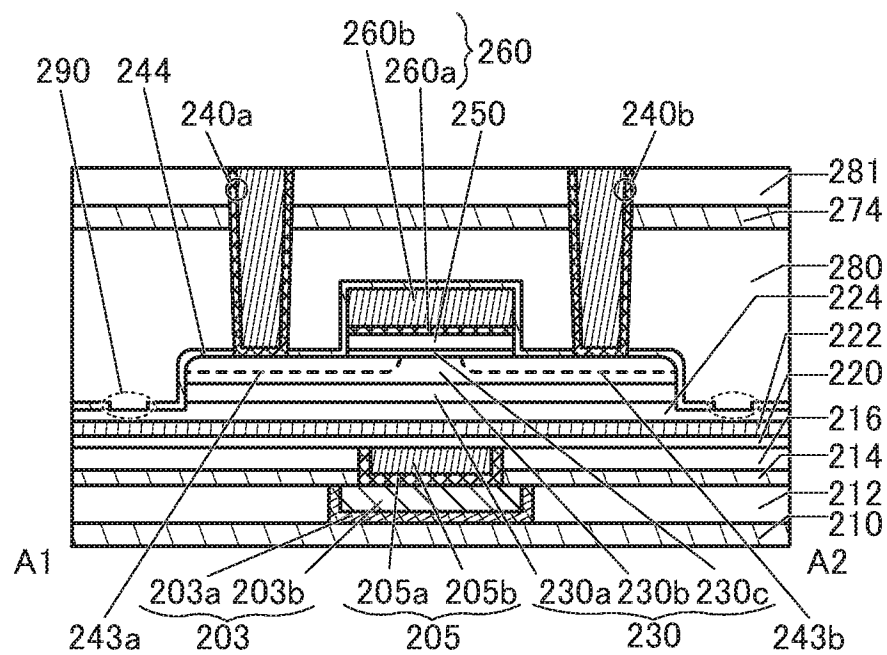
(A)



(C)

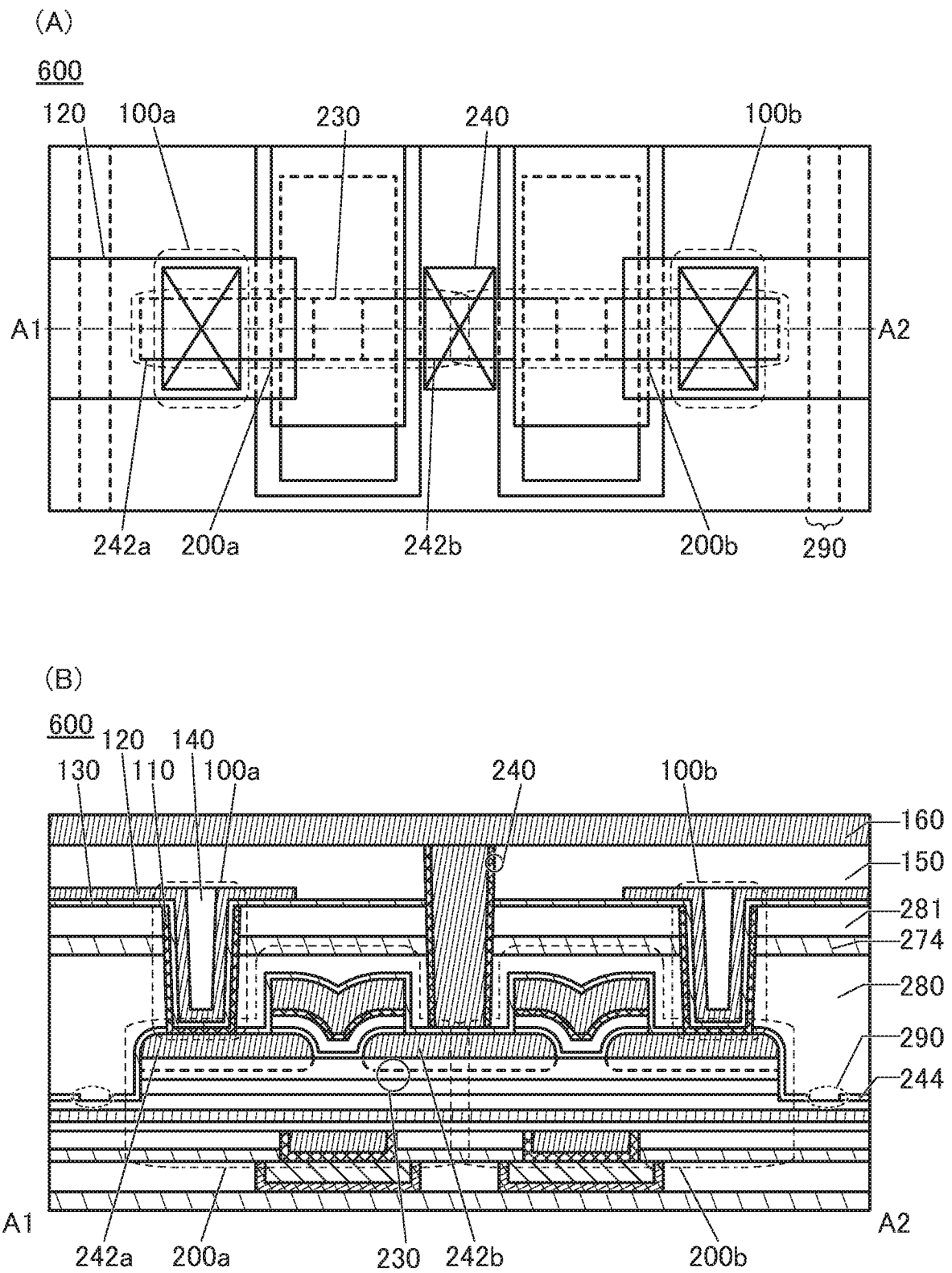


(B)

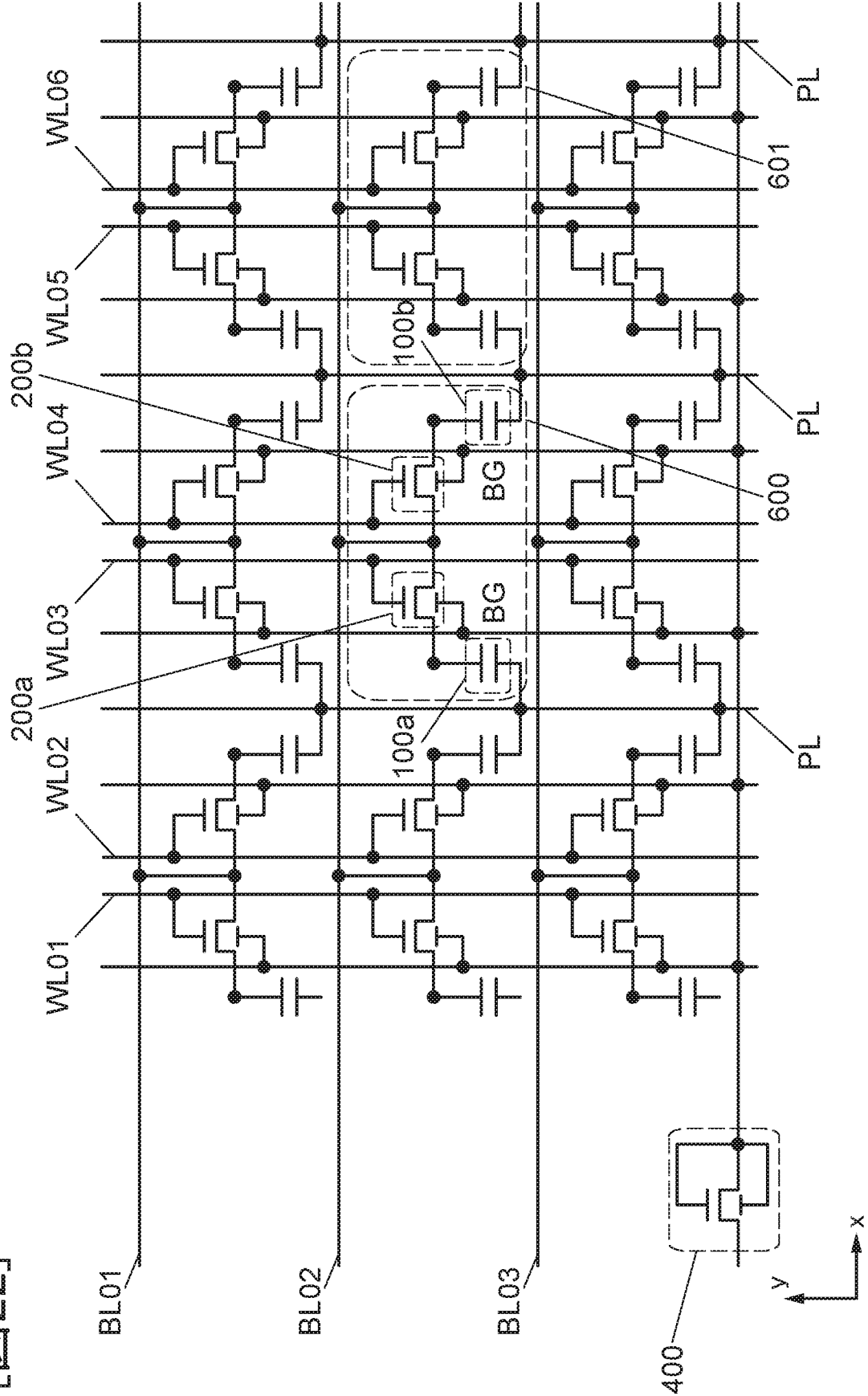


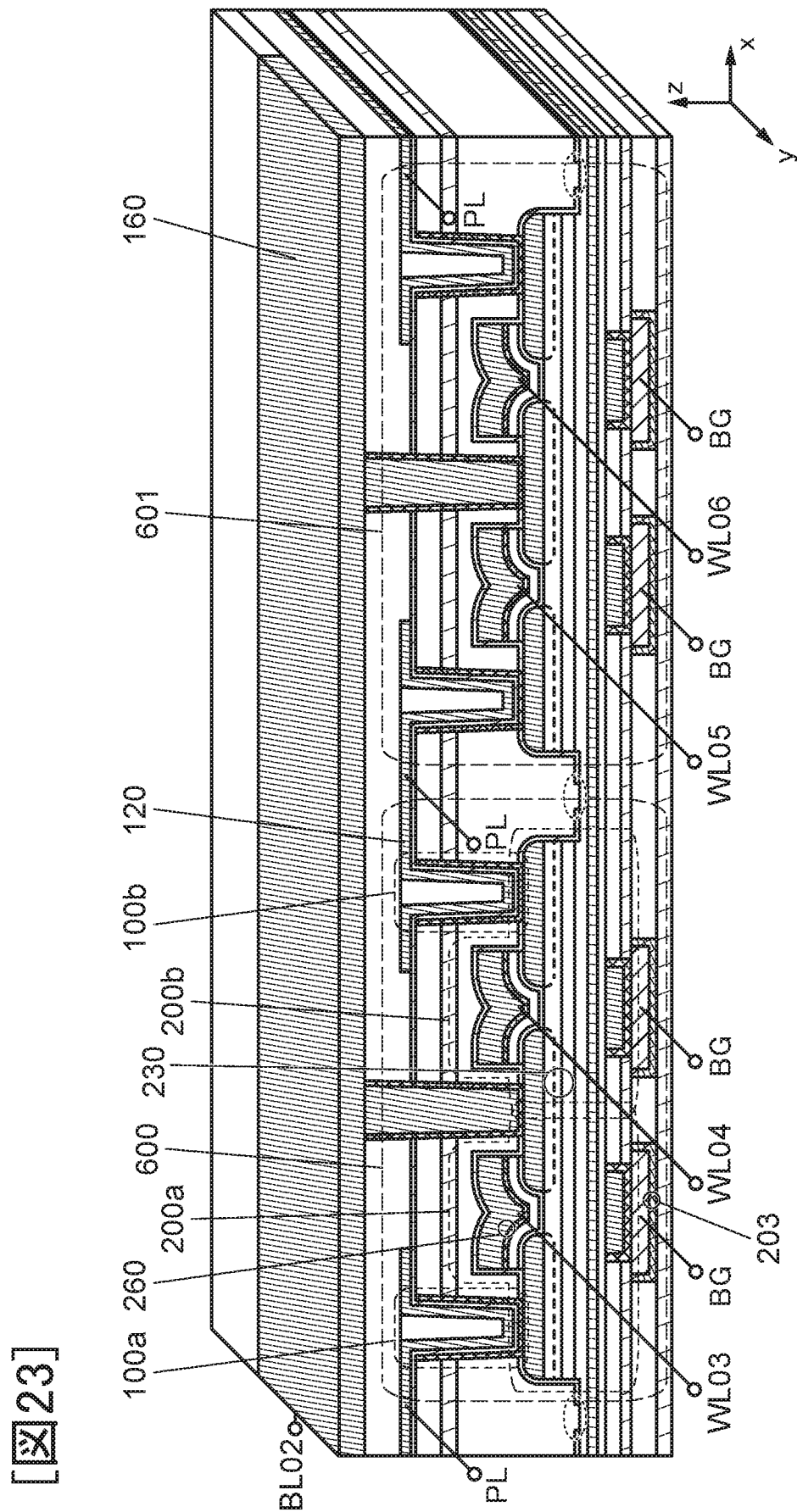
[図21]

21/40

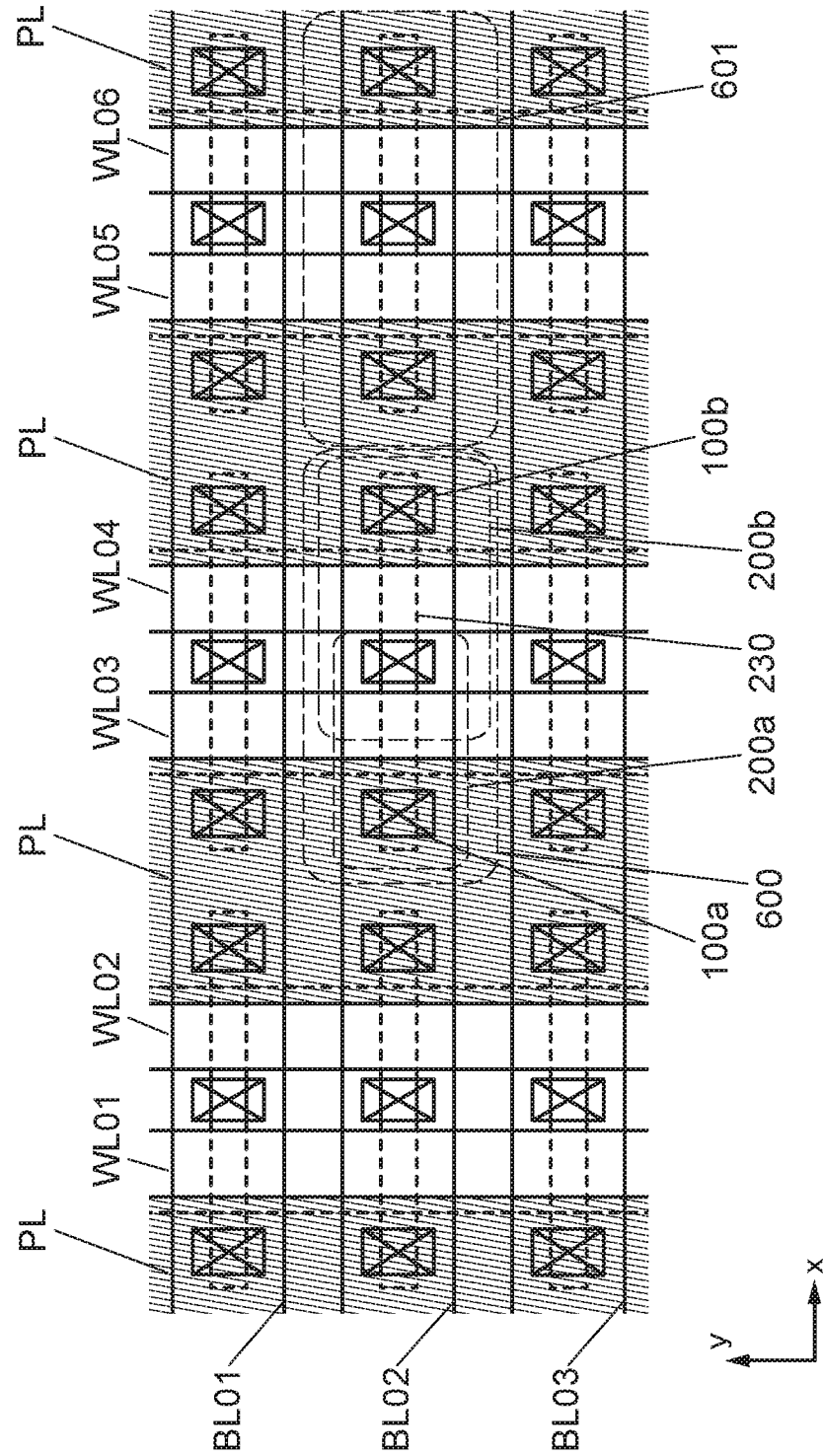


[図22]

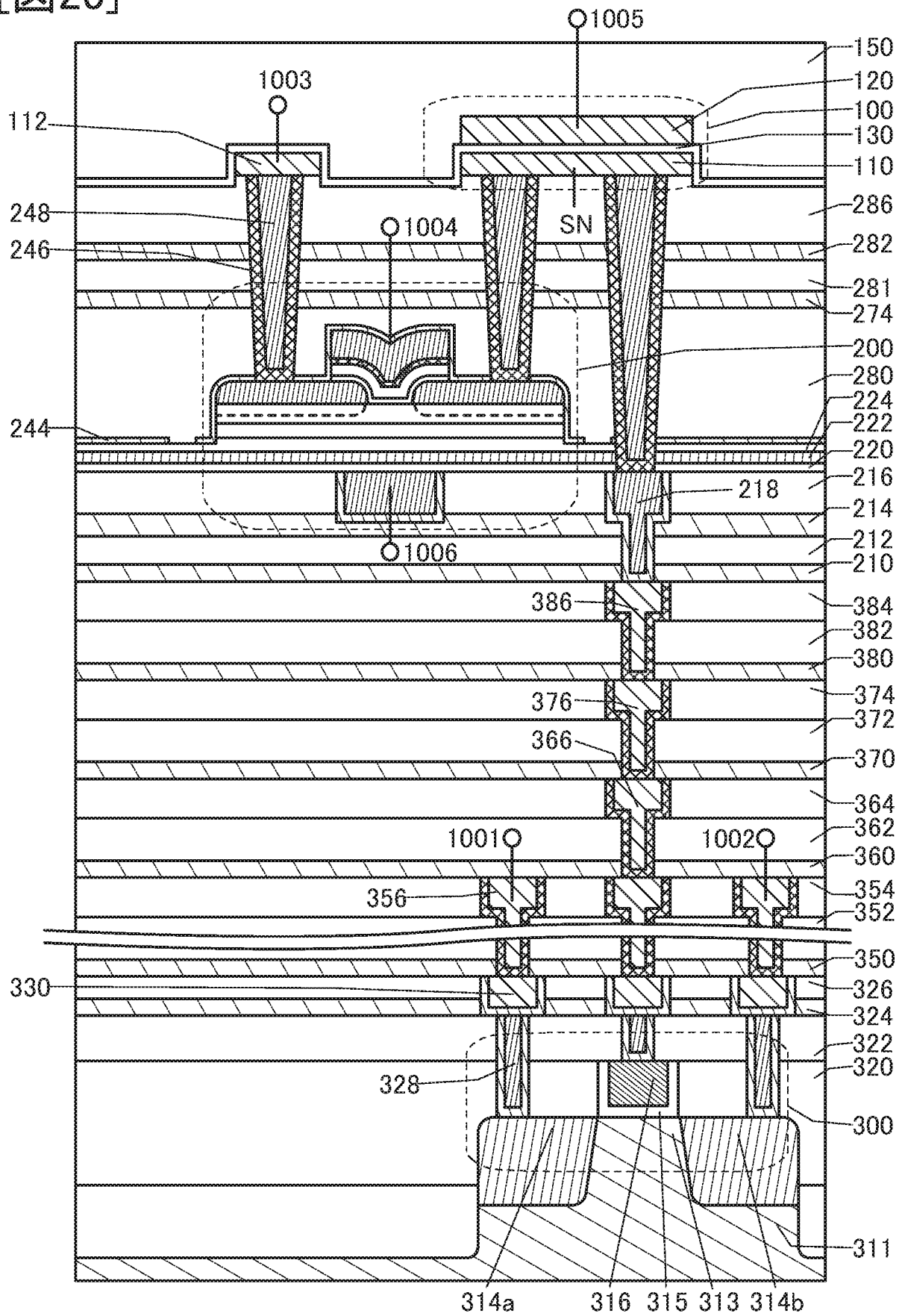




[図24]

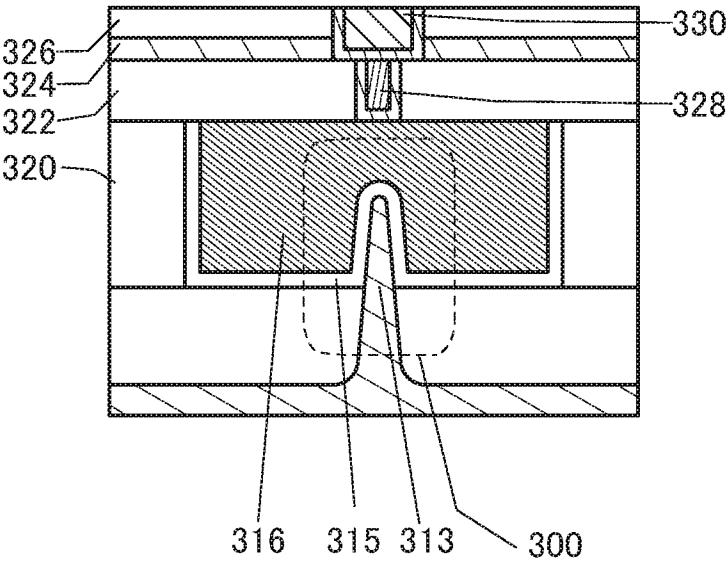


[図25]

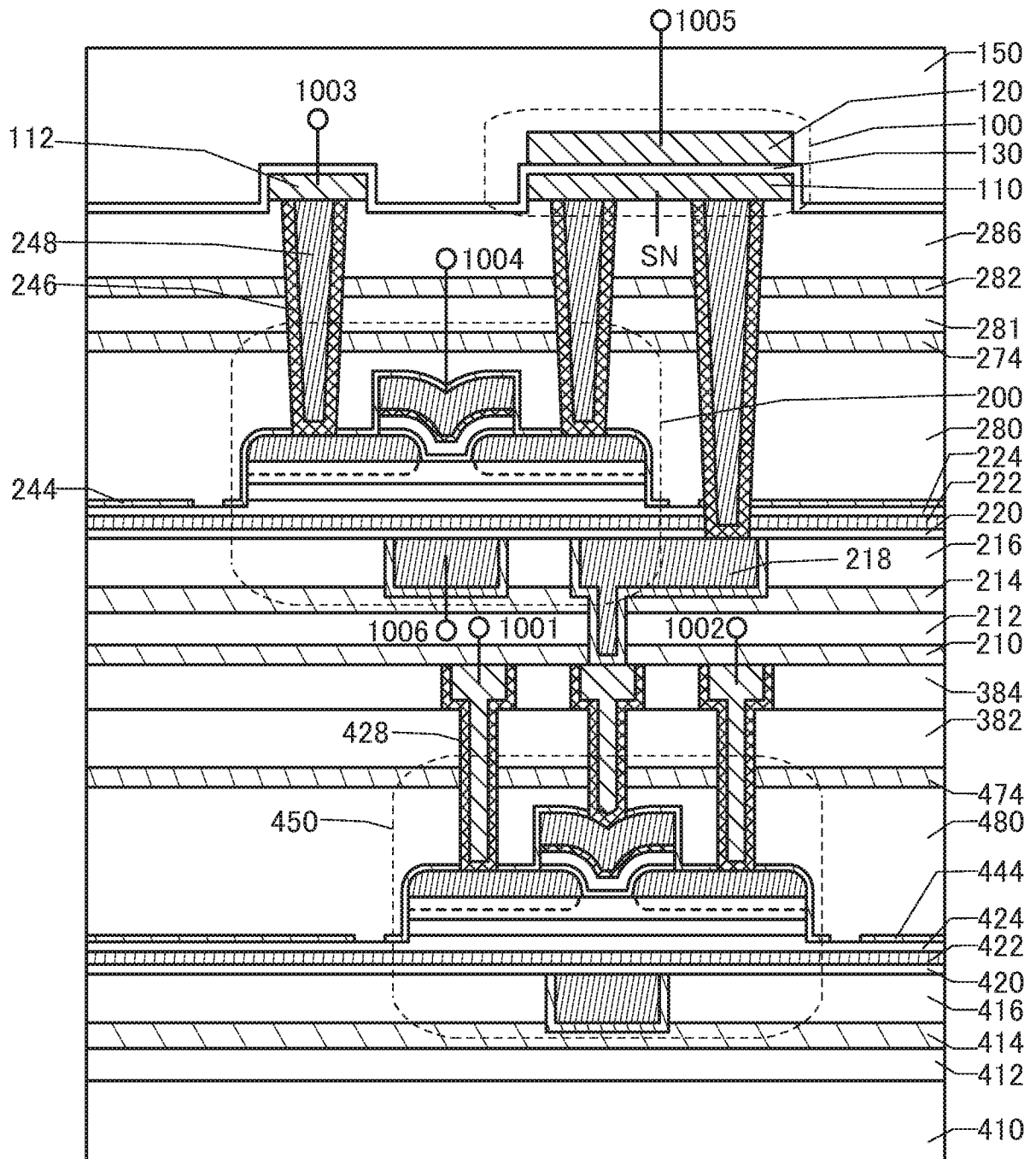


[図26]

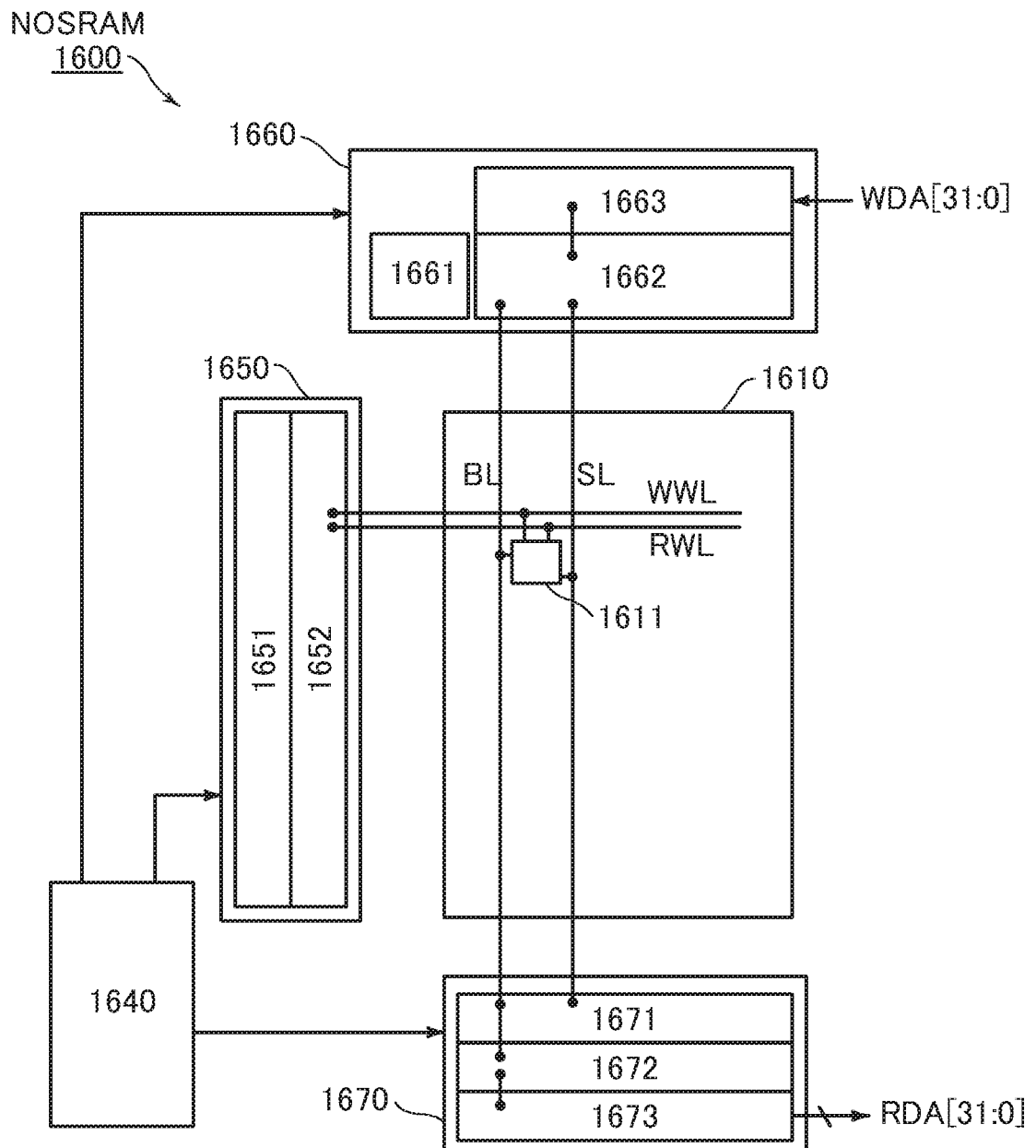
26/40



[图27]

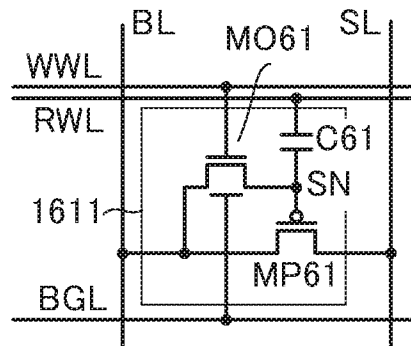


[図28]

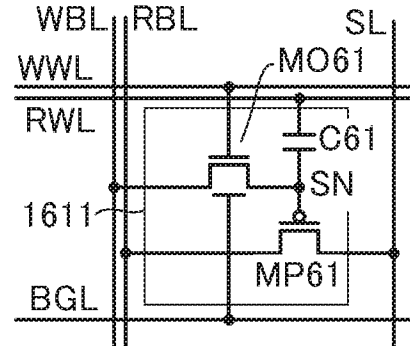


[図29]

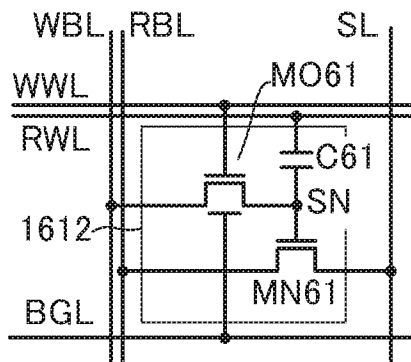
(A)



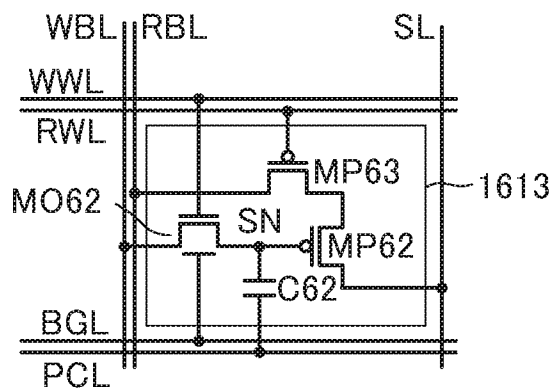
(B)



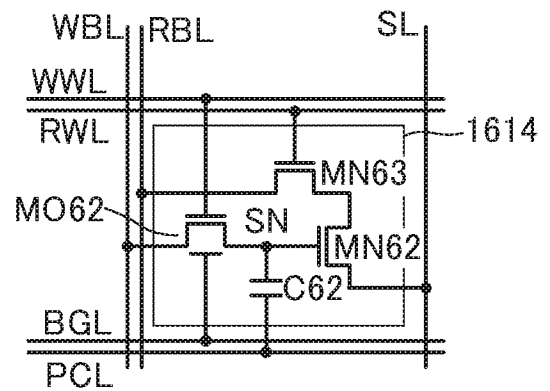
(C)



(D)

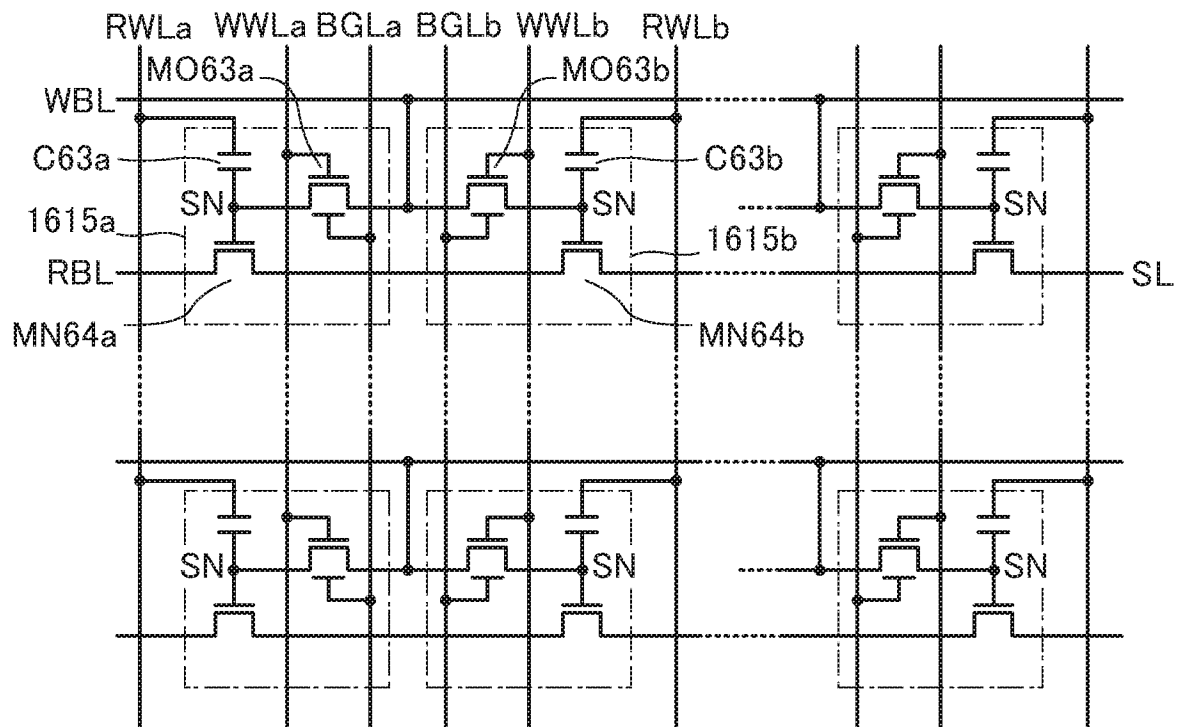


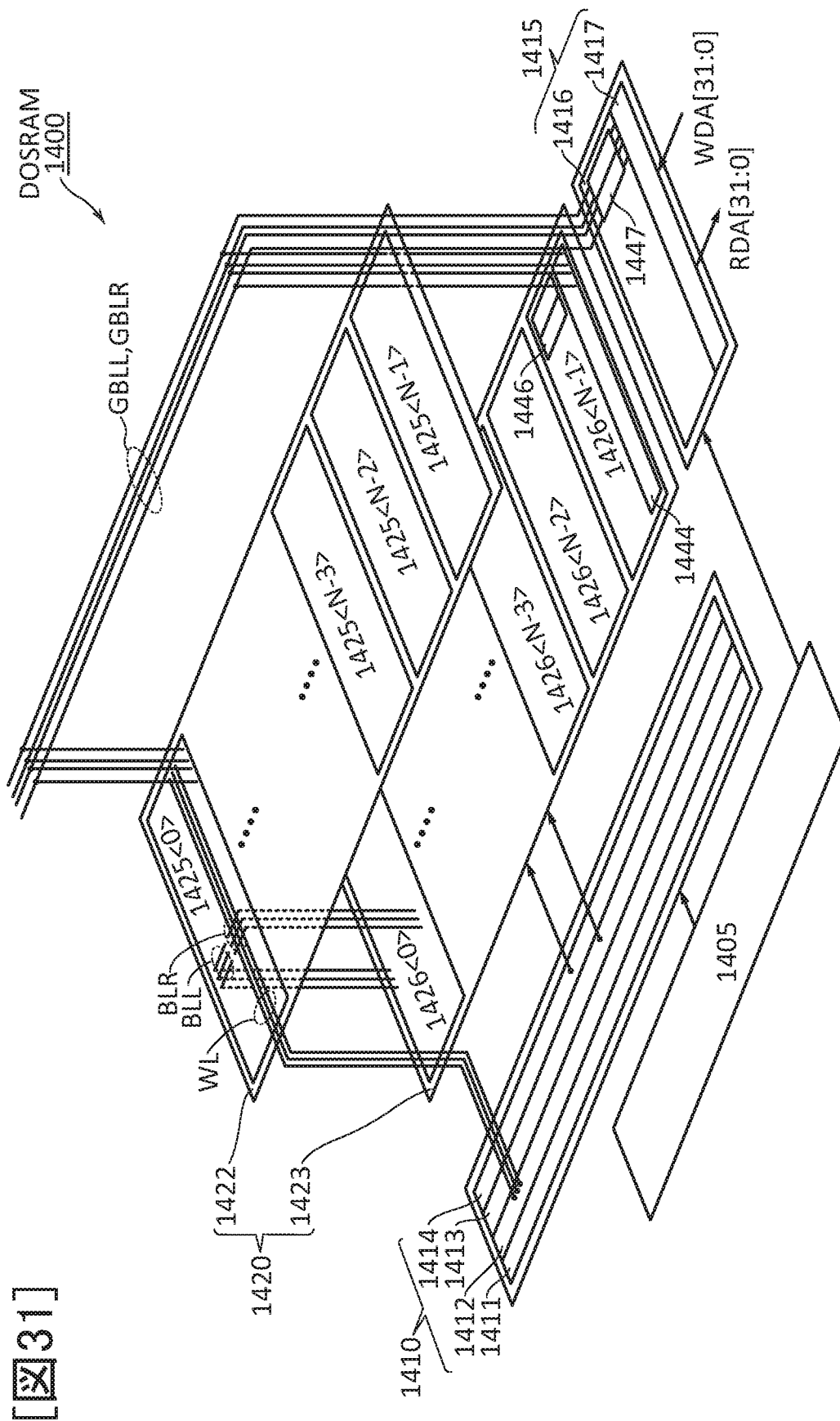
(E)



[図 30]

1610

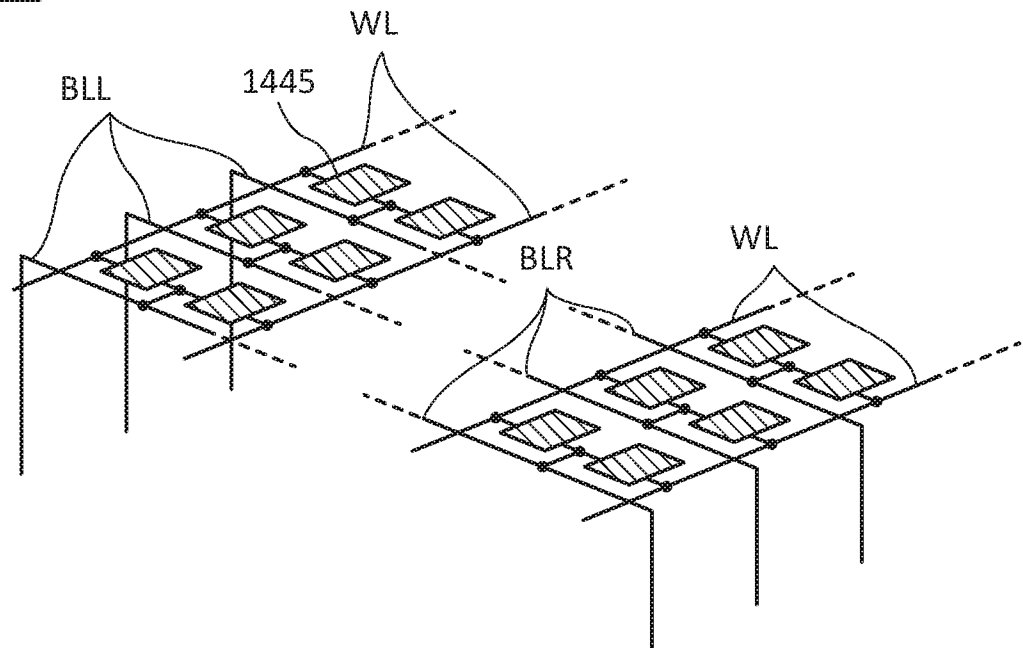




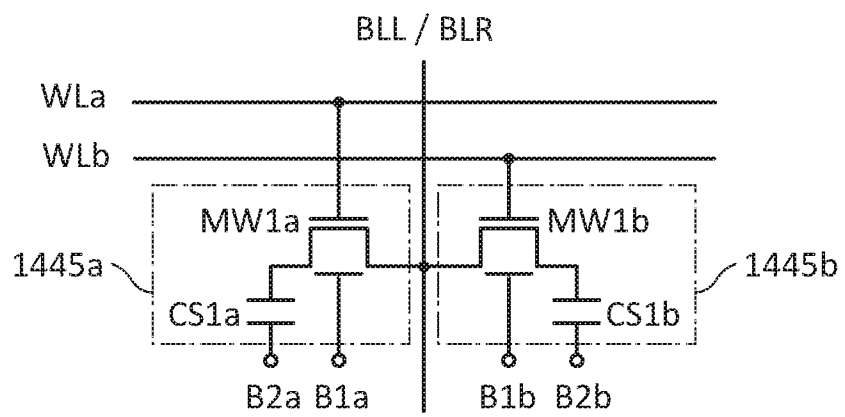
[図32]

(A)

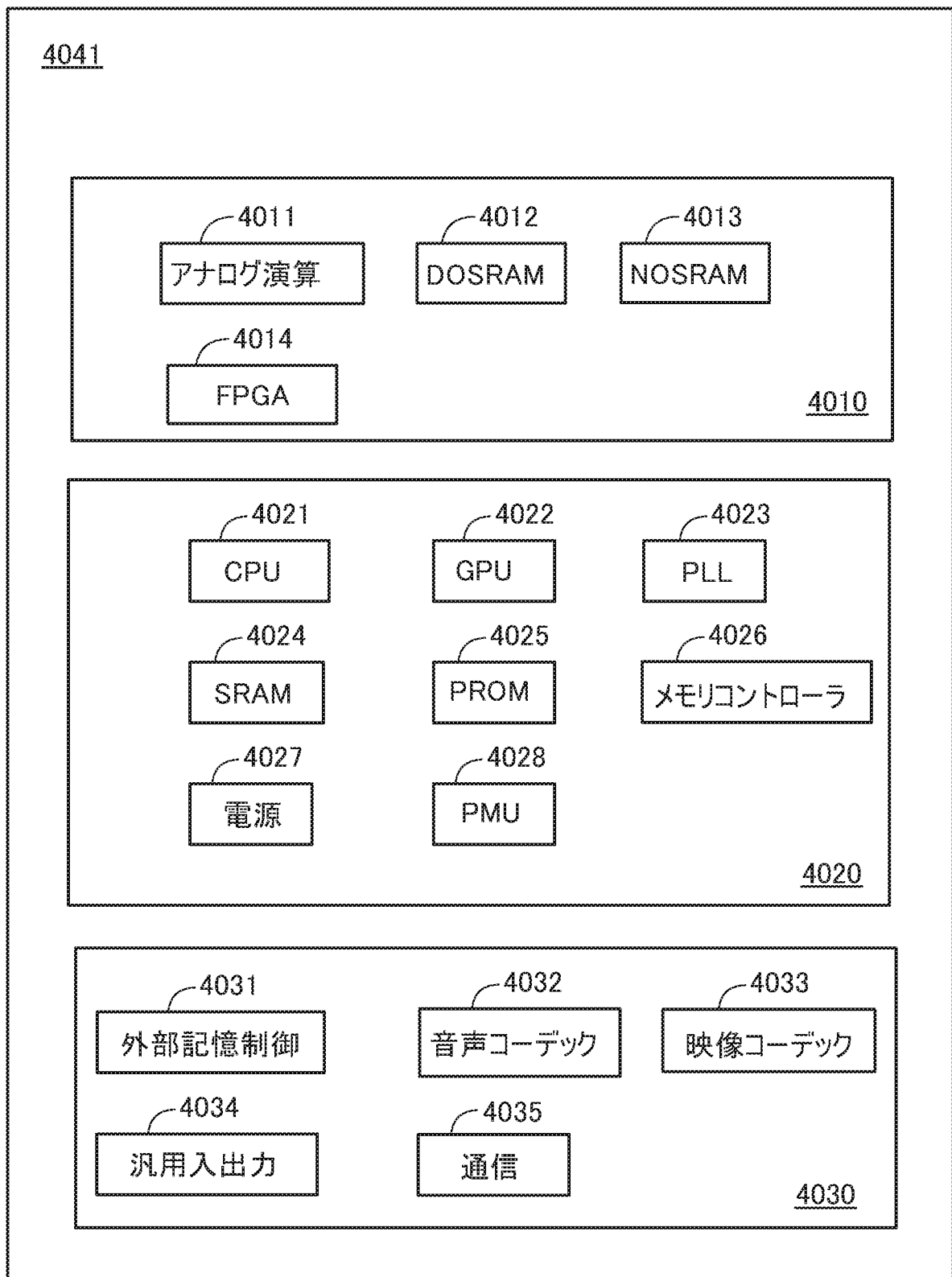
1425



(B)



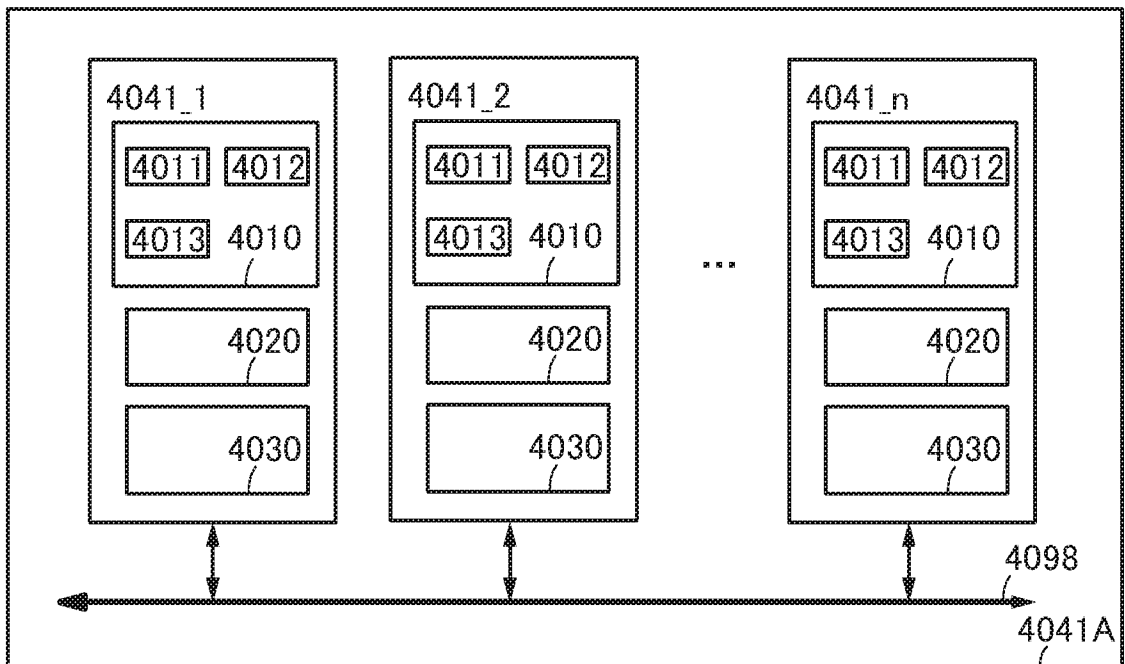
[図33]



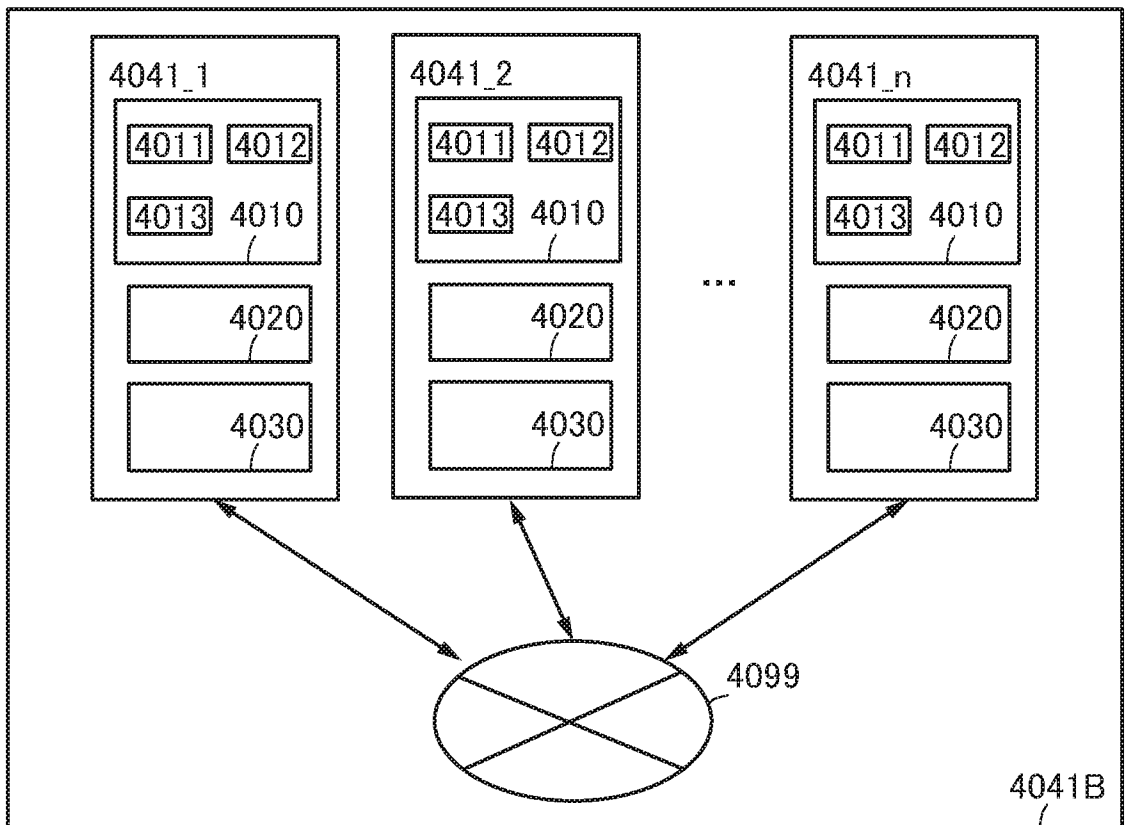
34/40

[図34]

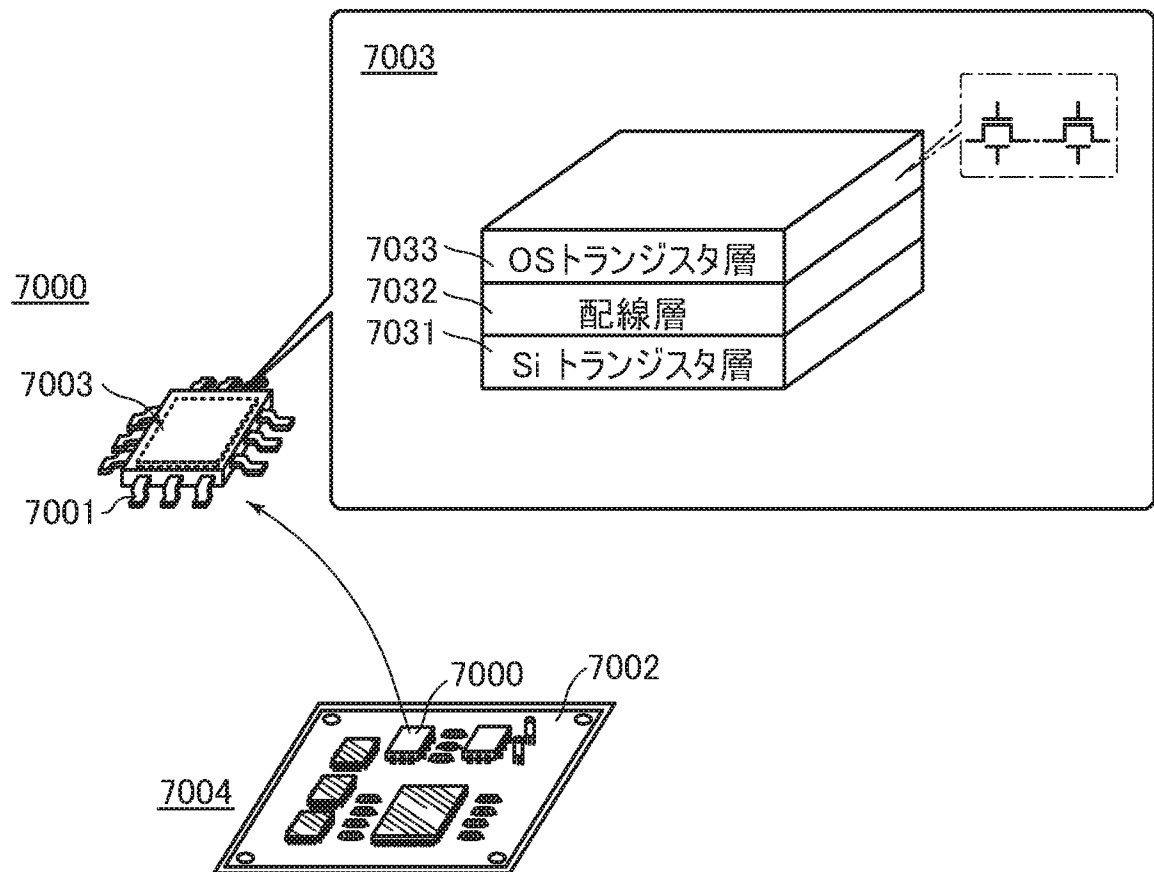
(A)



(B)



[図35]

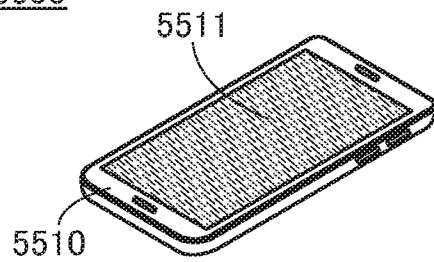


[図36]

36/40

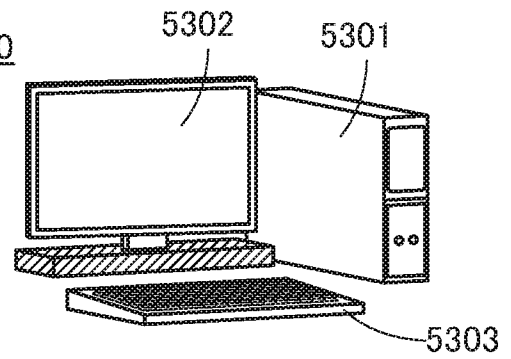
(A)

5500



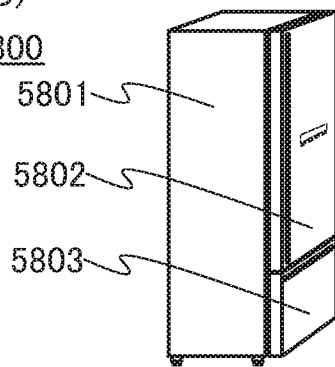
(B)

5300



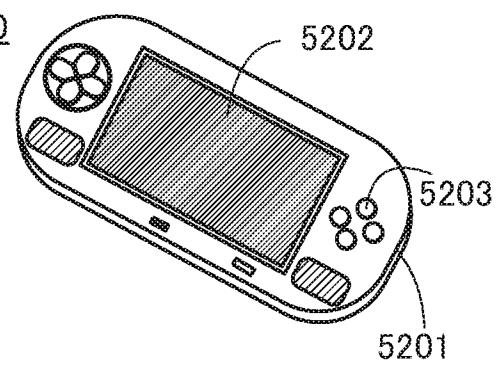
(C)

5800



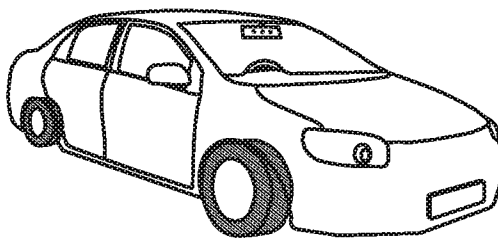
(D)

5200

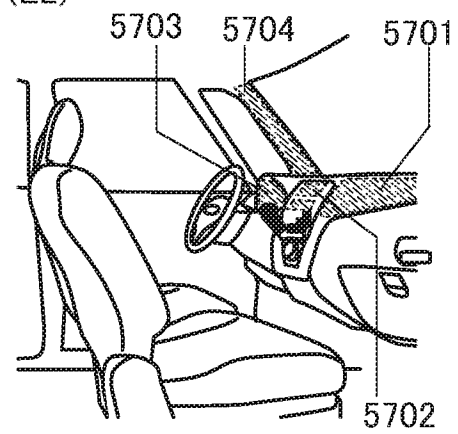


(E1)

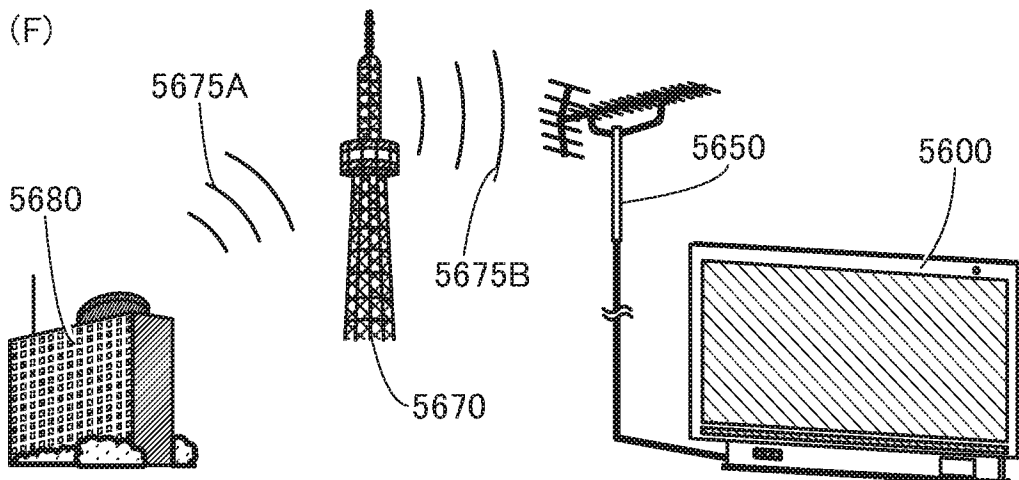
5700



(E2)

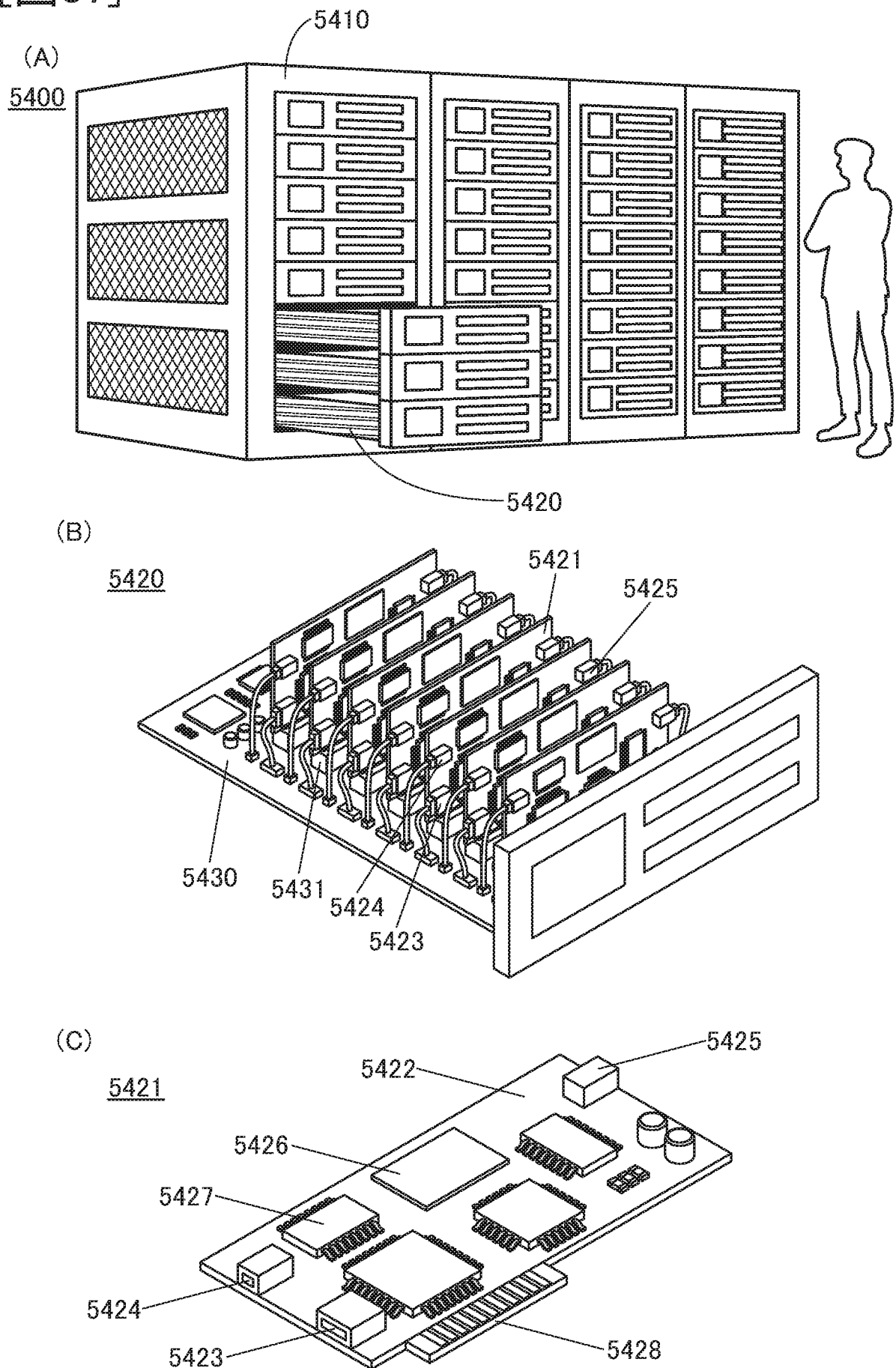


(F)



[図37]

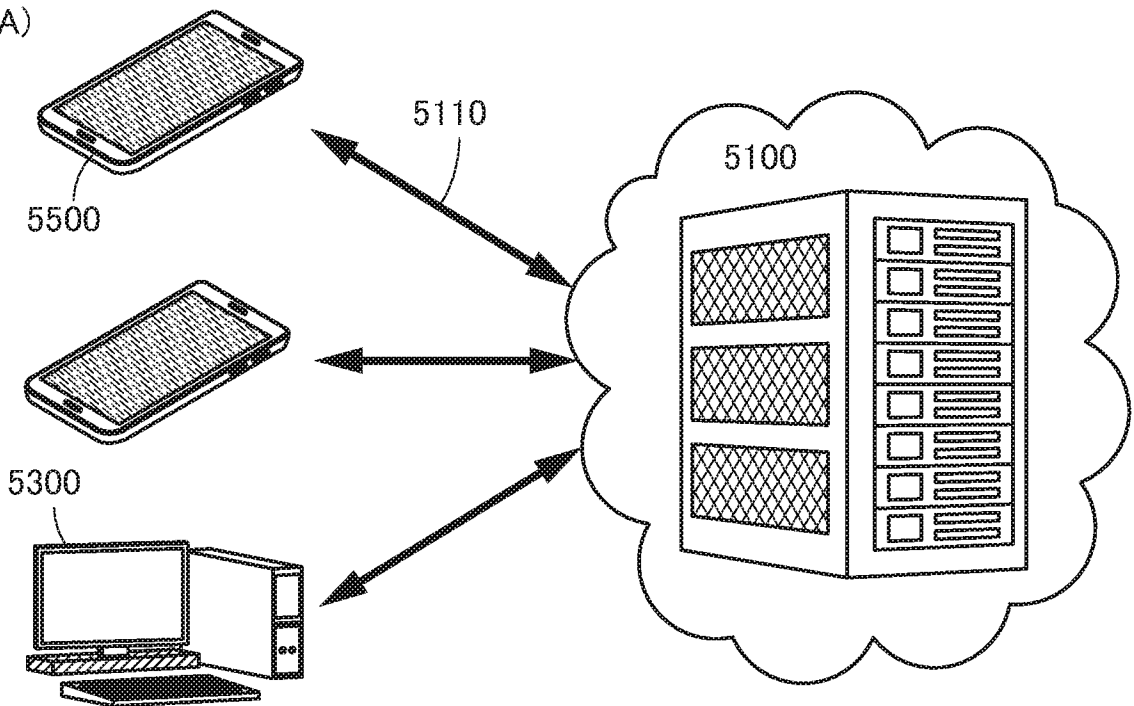
37/40



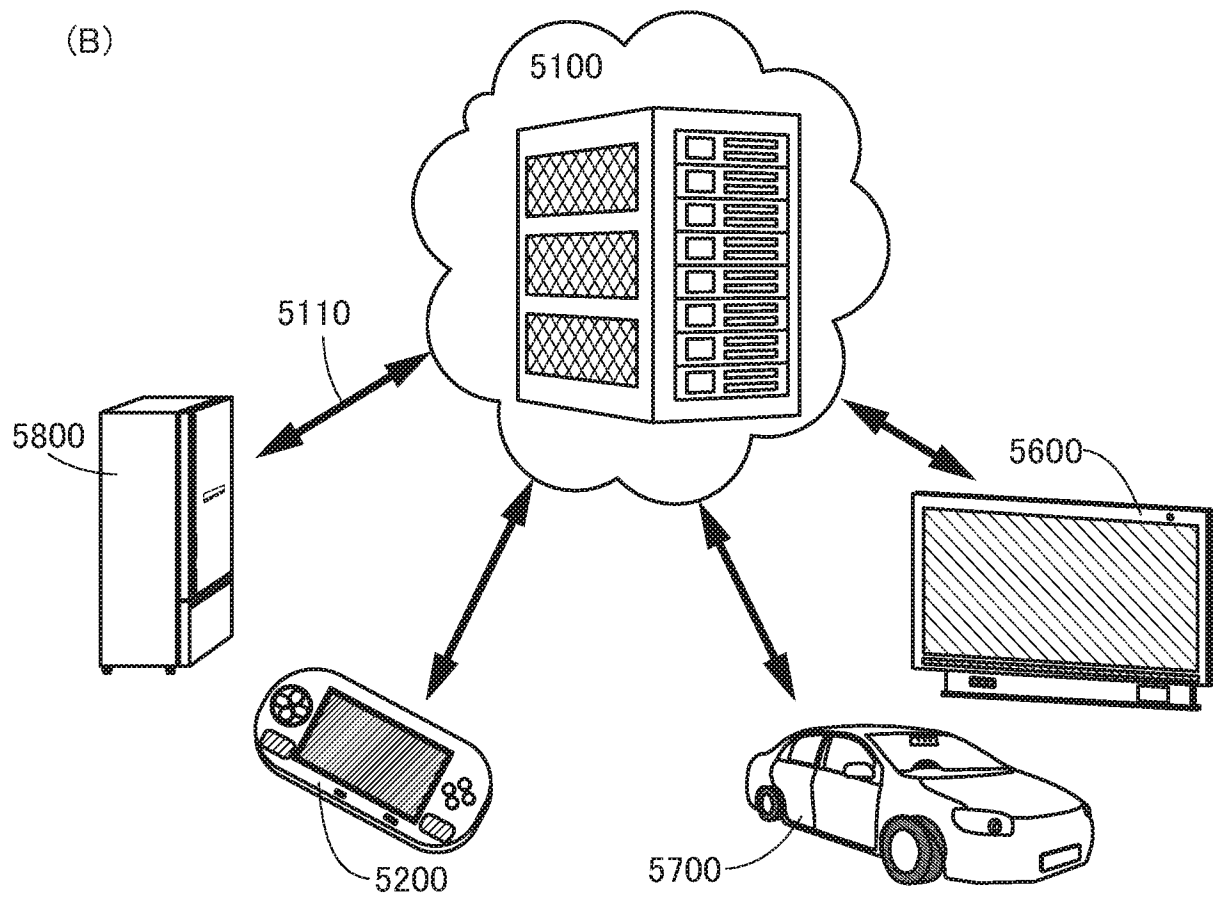
[図38]

38/40

(A)

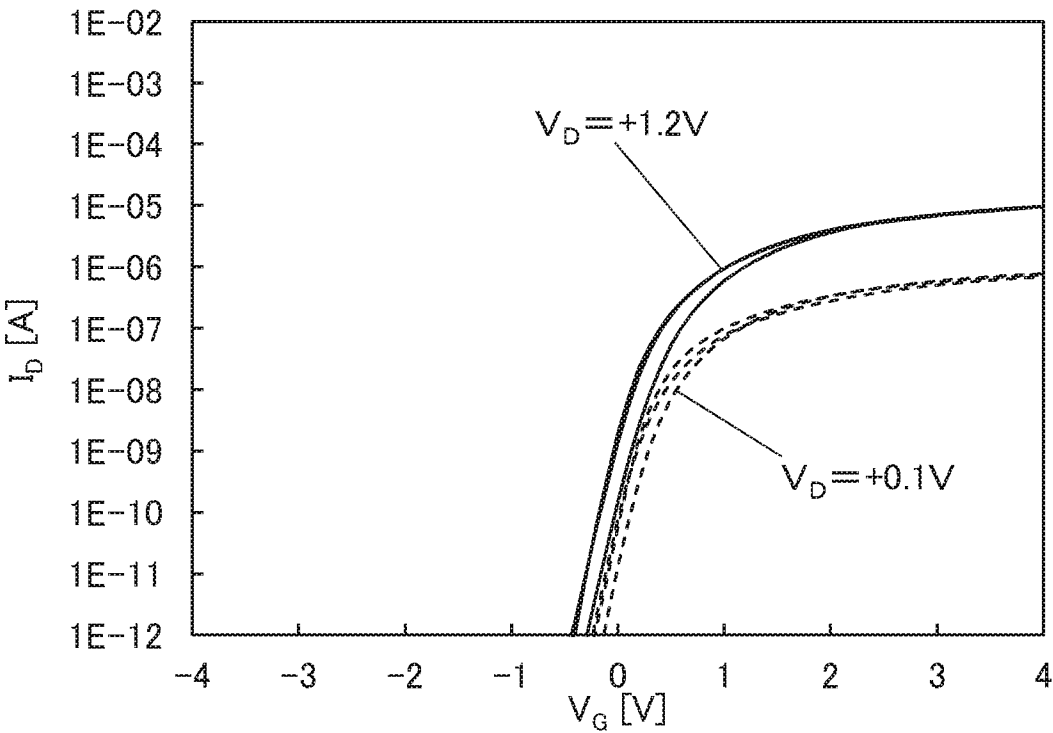


(B)

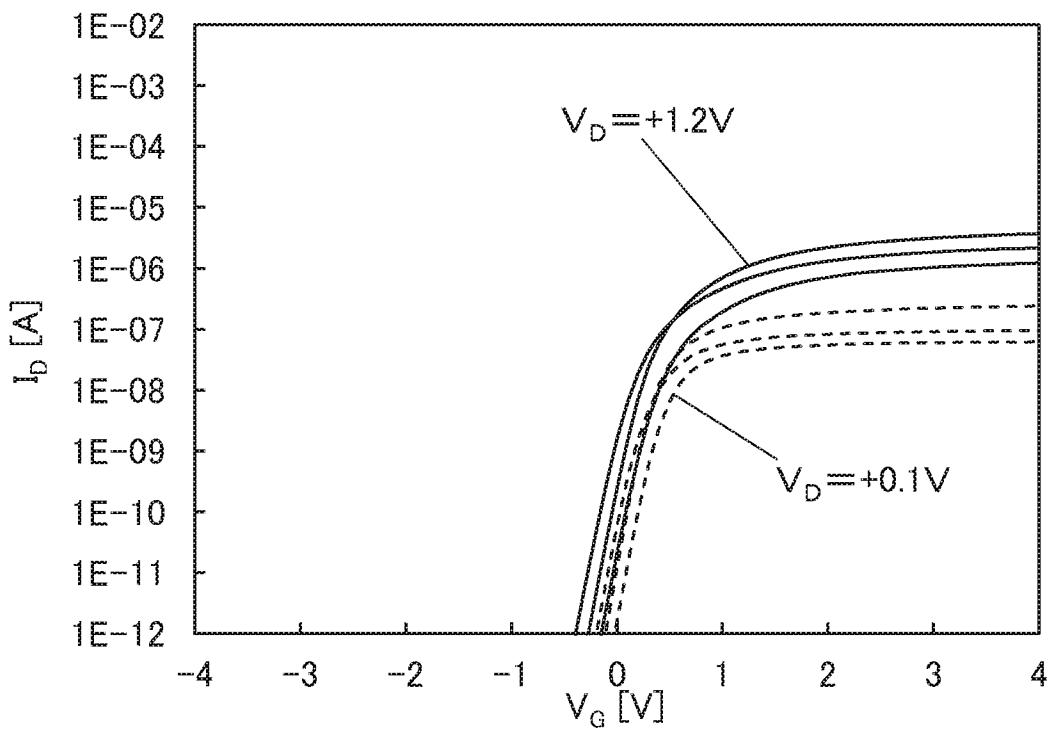


[図39]

(A)

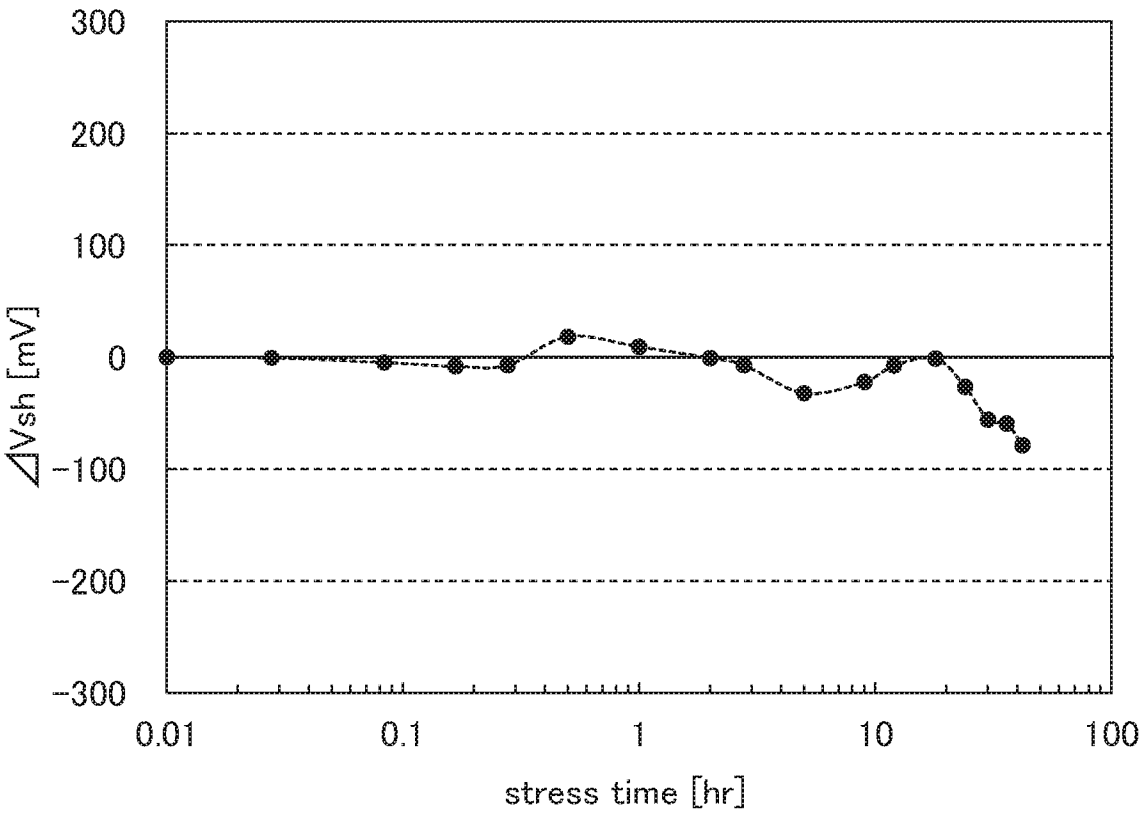


(B)



40/40

[図40]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2018/056414

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. See extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/336, H01L21/28, H01L21/316, H01L21/318, H01L21/363,
H01L21/8242, H01L27/108, H01L27/11519, H01L27/1156, H01L29/417,
H01L29/423, H01L29/49, H01L29/786, H01L29/788, H01L29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-98535 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 01 June 2017, entire text, all drawings (Family: none)	1-20
A	JP 2017-34258 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 09 February 2017, entire text, all drawings & US 2017/0040457 A1 & US 2018/0190827 A1	1-20
A	WO 2017/072627 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 04 May 2017, entire text, all drawings (Family: none)	1-20

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 December 2018 (04.12.2018)

Date of mailing of the international search report
18 December 2018 (18.12.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2018/056414

CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, H01L21/28(2006.01)i, H01L21/316(2006.01)i,
H01L21/318(2006.01)i, H01L21/363(2006.01)i, H01L21/8242(2006.01)i,
H01L27/108(2006.01)i, H01L27/11519(2017.01)i, H01L27/1156(2017.01)i,
H01L29/417(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i,
H01L29/786(2006.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. 特別ページ参照

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/336, H01L21/28, H01L21/316, H01L21/318, H01L21/363, H01L21/8242, H01L27/108, H01L27/11519, H01L27/1156, H01L29/417, H01L29/423, H01L29/49, H01L29/786, H01L29/788, H01L29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で利用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2017-98535 A（株式会社半導体エネルギー研究所） 2017.06.01, 全文, 全図（ファミリーなし）	1-20
A	JP 2017-34258 A（株式会社半導体エネルギー研究所） 2017.02.09, 全文, 全図 & US 2017/0040457 A1 & US 2018/0190827 A1	1-20
A	WO 2017/072627 A1（株式会社半導体エネルギー研究所） 2017.05.04, 全文, 全図（ファミリーなし）	1-20

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

04.12.2018

国際調査報告の発送日

18.12.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

市川 武宜

5 F

4056

電話番号 03-3581-1101 内線 3516

発明の属する分野の分類

H01L21/336(2006.01)i, H01L21/28(2006.01)i, H01L21/316(2006.01)i,
H01L21/318(2006.01)i, H01L21/363(2006.01)i, H01L21/8242(2006.01)i,
H01L27/108(2006.01)i, H01L27/11519(2017.01)i, H01L27/1156(2017.01)i,
H01L29/417(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i,
H01L29/786(2006.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i