

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3800404号  
(P3800404)

(45) 発行日 平成18年7月26日(2006.7.26)

(24) 登録日 平成18年5月12日(2006.5.12)

(51) Int. Cl.	F I	
<b>G09G 3/30 (2006.01)</b>	G09G 3/30	J
<b>G09F 9/30 (2006.01)</b>	G09F 9/30	338
<b>H01L 27/32 (2006.01)</b>	G09F 9/30	365Z
<b>G09G 3/20 (2006.01)</b>	G09G 3/20	612E
<b>H01L 51/50 (2006.01)</b>	G09G 3/20	612G

請求項の数 6 (全 19 頁) 最終頁に続く

(21) 出願番号	特願2001-385630 (P2001-385630)	(73) 特許権者	000005108
(22) 出願日	平成13年12月19日(2001.12.19)		株式会社日立製作所
(65) 公開番号	特開2003-186438 (P2003-186438A)		東京都千代田区丸の内一丁目6番6号
(43) 公開日	平成15年7月4日(2003.7.4)	(74) 代理人	100098017
審査請求日	平成15年11月19日(2003.11.19)		弁理士 吉岡 宏嗣
		(72) 発明者	三上 佳朗
			茨城県日立市大みか町七丁目1番1号
			株式会社日立製作所 日立研
			研究所内
		(72) 発明者	大内 貴之
			茨城県日立市大みか町七丁目1番1号
			株式会社日立製作所 日立研
			研究所内

最終頁に続く

(54) 【発明の名称】 画像表示装置

(57) 【特許請求の範囲】

【請求項1】

画像表示領域に分散して配置されて走査信号を伝送する複数の走査配線と、前記画像表示領域に前記複数の走査配線と交差して配置されて信号電圧を伝送する複数の信号配線と、前記各走査配線と前記各信号配線で囲まれた画素領域にそれぞれ配置されて共通電源に接続された複数の電流駆動型電気光学表示素子と、前記各電気光学表示素子と直列接続されて前記共通電源に接続されバイアス電圧の印加により前記各電気光学表示素子を表示駆動する複数の駆動素子と、前記走査信号に応答して前記信号電圧を保持し、前記保持した信号電圧を基に前記各駆動素子の駆動を制御する複数のメモリ制御回路とを備え、

前記各メモリ制御回路は、前記走査信号により導通して前記信号電圧をサンプリングする主サンプリングスイッチ素子と、前記サンプリングスイッチ素子によりサンプリングされた信号電圧を保持するサンプリング容量と、前記走査信号により導通して前記サンプリング容量の一方の端子を共通電極に接続する補助サンプリングスイッチ素子と、前記サンプリング容量の一方の端子と前記駆動素子の一方のバイアス電圧印加用電極に接続されて前記走査信号の極性反転時に導通する主駆動スイッチ素子と、前記サンプリング容量の他方の端子と前記駆動素子の他方のバイアス電圧印加用電極に接続されて前記走査信号の極性反転時に導通する補助駆動スイッチ素子とから構成されてなることを特徴とする画像表示装置。

【請求項2】

請求項1に記載の画像表示装置において、

10

20

前記各駆動素子は、p型薄膜トランジスタで構成され、前記各主サンプリングスイッチ素子と各補助サンプリングスイッチ素子は、n型薄膜トランジスタで構成され、前記各主駆動スイッチ素子と各補助駆動スイッチ素子はp型薄膜トランジスタで構成されてなることを特徴とする画像表示装置。

【請求項3】

請求項1に記載の画像表示装置において、

前記各走査配線と並行に配置されて前記走査信号とは逆極性の反転走査信号を伝送する複数の反転走査配線を備え、前記各メモリ制御回路は、前記走査信号により導通して前記信号電圧をサンプリングする主サンプリングスイッチ素子と、前記サンプリングスイッチ素子によりサンプリングされた信号電圧を保持するサンプリング容量と、前記走査信号により導通して前記サンプリング容量の一方の端子を共通電極に接続する補助サンプリングスイッチ素子と、前記サンプリング容量の一方の端子と前記駆動素子の一方のバイアス電圧印加用電極に接続されて前記反転走査信号により導通する主駆動スイッチ素子と、前記サンプリング容量の他方の端子と前記駆動素子の他方のバイアス電圧印加用電極に接続されて前記反転走査信号により導通する補助駆動スイッチ素子とから構成されてなることを特徴とする画像表示装置。

10

【請求項4】

請求項3に記載の画像表示装置において、

前記各駆動素子は、n型薄膜トランジスタで構成され、前記各主サンプリングスイッチ素子と各補助サンプリングスイッチ素子は、n型薄膜トランジスタで構成され、前記各主駆動スイッチ素子と各補助駆動スイッチ素子はn型薄膜トランジスタで構成されてなることを特徴とする画像表示装置。

20

【請求項5】

請求項1に記載の画像表示装置において、

前記各走査配線と並行に配置されて前記走査信号とは逆極性の反転走査信号を伝送する複数の反転走査配線を備え、前記各メモリ制御回路は、前記走査信号により導通して前記信号電圧をサンプリングする主サンプリングスイッチ素子と、前記主サンプリングスイッチ素子によりサンプリングされた信号電圧を保持するサンプリング容量と、前記走査信号により導通して前記サンプリング容量の一方の端子を共通電極に接続する補助サンプリングスイッチ素子と、前記サンプリング容量の一方の端子と前記駆動素子の一方のバイアス電圧印加用電極に接続されて前記反転走査信号により導通する主駆動スイッチ素子とから構成され、前記各サンプリング容量の他方の端子を前記各駆動素子の他方のバイアス電圧印加用電極に接続してなることを特徴とする画像表示装置。

30

【請求項6】

請求項5に記載の画像表示装置において、

前記各駆動素子は、n型薄膜トランジスタで構成され、前記各主サンプリングスイッチ素子と各補助サンプリングスイッチ素子は、n型薄膜トランジスタで構成され、前記各主駆動スイッチ素子はn型薄膜トランジスタで構成されてなることを特徴とする画像表示装置。

【発明の詳細な説明】

40

【0001】

【発明の属する技術分野】

本発明は、画像表示装置に係り、特に、電流駆動可能な表示素子、とりわけ有機LED (Light Emitting Diode) を用いて画像を表示するに好適な発光型画像表示装置に関する。

【0002】

【従来の技術】

画像表示装置として、有機ELを用いた平面型画像表示装置が知られている。この種の画像表示装置においては、高輝度アクティブマトリクス表示を実現するために、例えば、エスアイディー99テクニカルダイジェスト第372ページ～第375ページに記載されて

50

いるように、低温ポリシリコンTFT（薄膜トランジスタ）を用いた駆動方式が採用されている。この駆動方式を採用するに際しては、画素構造として、走査配線と、信号配線と、EL電源配線および容量基準電圧配線をそれぞれ交差するように配置する構造が採用されており、ELを駆動するためにn型の走査TFTとストレージコンデンサを用いた信号電圧の保持回路が形成されている。保持回路に保持された信号電圧は画素に設けられたpチャンネルの駆動用TFTのゲートに印加され、駆動用TFTの主回路のコンダクタンス、すなわちソース・ドレイン間の抵抗値を制御するようになっている。この場合EL電源配線から駆動用TFTの主回路と、有機EL素子が互いに直列に接続されLED共通配線に接続されている。

#### 【0003】

このように構成された画素を駆動するに際しては、走査配線から画素選択パルスを印加し、走査TFTを介して信号電圧をストレージコンデンサに書き込んで保持する。この保持した信号電圧をゲート電圧として駆動用TFTに印加し、電源配線に接続したソース電圧と、ドレイン電圧とから決定される駆動用TFTのコンダクタンスに応じてドレイン電流を制御し、結果として、EL素子の駆動電流を制御して表示輝度を制御するようになっている。この場合、画素では、電圧降下に伴う電源配線に、駆動用トランジスタのソース電極が接続されており、ドレイン電極には有機LED素子の一端が接続され、有機LEDの他端は全画素共通した共通電極に接続されている。駆動トランジスタのゲートには信号電圧が印加されており、信号電圧とソース電圧との差電圧によりトランジスタの動作点が制御され、階調表示を実現している。

#### 【0004】

しかし、前述した構成で大型パネルを構成しようとする、パネル中央部の画素を駆動する電圧がパネル端部の画素を駆動する電圧よりも低下する。すなわち有機LED素子は電流駆動であるため、電源からLED共通配線を介してパネル中央部の画素に電流を供給すると、配線抵抗により電圧降下が生じ、パネル中央部の画素を駆動する電圧が低くなる。この電圧降下は配線の長さおよび配線に接続された画素の表示状態により影響されるため、表示内容によっても変化する。

#### 【0005】

さらに、画素の駆動トランジスタの動作点はLED共通配線に接続された駆動トランジスタのソース電圧の変動に応じて大きく変化し、LEDを駆動する電流は大きく変動する。この電流の変動は、表示の輝度変動、すなわち表示むら、輝度の不均一を発生させる原因となり、またカラー表示においては、カラーバランスの面内不均一として表示不良の原因となる。

#### 【0006】

そこで、配線抵抗を低減し、配線の電圧降下を改善するようにしたものとして、例えば、特開2001-100655号公報が提案されている。この公報に記載されたものによれば、パネル全面に、画素ごとに開口部を有する導電性の遮光膜を配置し、電源共通線と接続することにより、配線抵抗を下げて表示の均一性を向上させている。

#### 【0007】

しかし、前記公報に記載されたものにおいては、画素部において、有機LEDを駆動するトランジスタの基準電圧となるソース電極はパネルに共通したLED共通電極に接続されているので、ソース電極と共通電極との間でいくぶんの電圧降下が生じる。このため、例え同一の信号電圧を印加しても、トランジスタの動作点を決定するゲート・ソース間電圧はソース電圧の変化に応じて変化し、表示の不均一性を取り除くことが困難である。

#### 【0008】

また、このシステムにおいては、電流を制御するためには同じ信号電圧を印加してもELを駆動する駆動用TFTのしきい値、オン抵抗が変動すると、ELの駆動電流が変化する性質があり、ばらつきが少なく特性の揃ったTFTが必要とされる。しかしながら、このような駆動回路を実現するためには、トランジスタとして移動度が高く、大型基板への適用が可能なレーザーアニールプロセスを用いた低温ポリシリコンTFTを用いることが余

10

20

30

40

50

儀なくされる。ところが、低温ポリシリコンTFTは少なからず素子特性のばらつきが発生することが知られており、有機EL駆動回路として用いるTFT特性のばらつきにより同一信号電圧を印加しても、画素ごとに輝度のばらつきが発生し、高精度の階調画像を表示するには十分ではない。

#### 【0009】

一方、前記課題を解決するための駆動方法として、例えば、特開平10-232649号公報に記載されているように、階調表示を得るために、1フレーム時間を表示時間が異なる8つのサブフレームに分割し、1フレーム時間内での発光時間を変化させることにより、平均輝度を制御する駆動方式が提案されている。この駆動方式によれば、画素を点灯・非点灯のデジタルの2値表示とすることにより、TFTの特性ばらつきが顕著に表示に反映するしきい値付近を動作点として使う必要がないので、輝度ばらつきを低減することができる。

10

#### 【0010】

##### 【発明が解決しようとする課題】

前記各従来技術においては、いずれも有機LEDの電源配線における電圧降下による輝度の不均一性については十分に配慮されておらず、特に、大型パネルの場合には、電源配線の電圧降下によって画質が低下する。

#### 【0011】

また、従来技術においては、LED共通配線における電圧変動に対応するためにはトランジスタのコンダクタンスを低くして、LED電源電圧を高く設定することにより、輝度の変動を少なくすることはできるが、電力効率が低くなり、画像表示装置の消費電力が増大する。またコンダクタンスの低いトランジスタはゲート長が長くなるので、トランジスタサイズが大きくなるので、高精細化の点で不利となる。

20

#### 【0012】

本発明の課題は、電源配線による電圧降下が発生しても画質の低下を抑制することができる画像表示装置を提供することにある。

#### 【0013】

##### 【課題を解決するための手段】

前記課題を解決するために、本発明は、画像表示領域に分散して配置されて走査信号を伝送する複数の走査配線と、前記画像表示領域に前記複数の走査配線と交差して配置されて信号電圧を伝送する複数の信号配線と、前記各走査配線と前記各信号配線で囲まれた画素領域にそれぞれ配置されて共通電源に接続された複数の電流駆動型電気光学表示素子と、前記各電気光学表示素子と直列接続されて前記共通電源に接続されバイアス電圧の印加により前記各電気光学表示素子を表示駆動する複数の駆動素子と、前記走査信号に応答して前記信号電圧を保持し、前記保持した信号電圧を基に前記各駆動素子の駆動を制御する複数のメモリ制御回路とを備え、前記各メモリ制御回路は、前記各駆動素子に対するバイアス電圧の印加を阻止した状態で前記信号電圧をサンプリングして保持し、その後、前記保持した信号電圧を前記バイアス電圧として前記駆動素子に印加してなる画像表示装置を構成したものである。

30

#### 【0014】

前記画像表示装置を構成するに際しては、前記複数のメモリ制御回路としては、以下の機能を有するもので構成することができる。

40

#### 【0015】

(1) 各メモリ制御回路は、前記各駆動素子との接続を遮断した状態で前記信号電圧をサンプリングして保持し、その後、前記遮断した状態を解除して前記保持した信号電圧を前記バイアス電圧として前記各駆動素子に印加してなる。

#### 【0016】

(2) 各メモリ制御回路は、前記走査信号に応答して前記信号電圧をサンプリングして保持するサンプリング動作と、前記サンプリング動作後、前記各信号線および各駆動素子と電氣的に絶縁された状態で前記信号電圧を保持するフローティング動作と、前記フローテ

50

ィング動作後、保持した信号電圧をバイアス電圧として前記各駆動素子に印加するバイアス電圧印加動作とを実行してなる。

【0017】

前記各画像表示装置を構成するに際しては、以下の要素を付加することができる。

【0018】

(1) 前記各メモリ制御回路は、前記走査信号により導通して前記信号電圧をサンプリングする主サンプリングスイッチ素子と、前記サンプリングスイッチ素子によりサンプリングされた信号電圧を保持するサンプリング容量と、前記走査信号により導通して前記サンプリング容量の一方の端子を共通電極に接続する補助サンプリングスイッチ素子と、前記サンプリング容量の一方の端子と前記駆動素子の一方のバイアス電圧印加用電極に接続されて前記走査信号の極性反転時に導通する主駆動スイッチ素子と、前記サンプリング容量の他方の端子と前記駆動素子の他方のバイアス電圧印加用電極に接続されて前記走査信号の極性反転時に導通する補助駆動スイッチ素子とから構成されてなる。

10

【0019】

(2) 前記各駆動素子は、p型薄膜トランジスタで構成され、前記各主サンプリングスイッチ素子と各補助サンプリングスイッチ素子は、n型薄膜トランジスタで構成され、前記各主駆動スイッチ素子と各補助駆動スイッチ素子はp型薄膜トランジスタで構成されてなる。

【0020】

(3) 前記各走査配線と並行に配置されて前記走査信号とは逆極性の反転走査信号を伝送する複数の反転走査配線を備え、前記各メモリ制御回路は、前記走査信号により導通して前記信号電圧をサンプリングする主サンプリングスイッチ素子と、前記サンプリングスイッチ素子によりサンプリングされた信号電圧を保持するサンプリング容量と、前記走査信号により導通して前記サンプリング容量の一方の端子を共通電極に接続する補助サンプリングスイッチ素子と、前記サンプリング容量の一方の端子と前記駆動素子の一方のバイアス電圧印加用電極に接続されて前記反転走査信号により導通する主駆動スイッチ素子と、前記サンプリング容量の他方の端子と前記駆動素子の他方のバイアス電圧印加用電極に接続されて前記反転走査信号により導通する補助駆動スイッチ素子とから構成されてなる。

20

【0021】

(4) 前記各駆動素子は、n型薄膜トランジスタで構成され、前記各主サンプリングスイッチ素子と各補助サンプリングスイッチ素子は、n型薄膜トランジスタで構成され、前記各主駆動スイッチ素子と各補助駆動スイッチ素子はn型薄膜トランジスタで構成されてなる。

30

(5) 前記各走査配線と並行に配置されて前記走査信号とは逆極性の反転走査信号を伝送する複数の反転走査配線を備え、前記各メモリ制御回路は、前記走査信号により導通して前記信号電圧をサンプリングする主サンプリングスイッチ素子と、前記主サンプリングスイッチ素子によりサンプリングされた信号電圧を保持するサンプリング容量と、前記走査信号により導通して前記サンプリング容量の一方の端子を共通電極に接続する補助サンプリングスイッチ素子と、前記サンプリング容量の一方の端子と前記駆動素子の一方のバイアス電圧印加用電極に接続されて前記反転走査信号により導通する主駆動スイッチ素子とから構成され、前記各サンプリング容量の他方の端子を前記各駆動素子の他方のバイアス電圧印加用電極に接続してなる。

40

【0022】

(6) 前記各駆動素子は、n型薄膜トランジスタで構成され、前記各主サンプリングスイッチ素子と各補助サンプリングスイッチ素子は、n型薄膜トランジスタで構成され、前記各主駆動スイッチ素子はn型薄膜トランジスタで構成されてなる。

【0023】

前記した手段によれば、各画素領域の画素に信号配線から信号電圧を書き込むに際して、各駆動素子に対するバイアス電圧の印加を阻止した状態で信号電圧をサンプリングして保持し、その後、保持した信号電圧をバイアス電圧として駆動素子に印加するようにしてい

50

るため、信号電圧をサンプリングするサンプリング動作後、信号配線および駆動素子と電氣的に絶縁されたフローティング状態で信号電圧を保持し、その後、保持した信号電圧を駆動素子にバイアス電圧として印加することができ、駆動素子に接続された電源配線で電圧降下が生じてても、この電圧降下の影響を受けることなく、保持した信号電圧をそのままバイアス電圧として駆動素子に印加することができ、指定の表示輝度で駆動素子を表示駆動することができ、良好な画像を表示することができる。この結果、大型パネルによる画像を表示する場合でも良好な画質による画像を表示することができる。

**【0024】**

また、電源電圧を高くしたり、コンダクタンスの低いトランジスタを用いたりすることなく良好な画像を表示することができるため、低電力、且つ高精細な画像を表示することができる。

10

**【0025】**

また、本発明は、画像表示領域に分散して配置されて走査信号を伝送する複数の走査配線と、前記画像表示領域に前記複数の走査配線と交差して配置されて信号電圧を伝送する複数の信号配線と、前記各走査配線と前記各信号配線で囲まれた画素領域にそれぞれ配置されて前記走査信号にตอบสนองして前記信号電圧を保持する複数のメモリ回路と、前記各画素領域に配置されて共通電源に接続された複数の電流駆動型電気光学表示素子と、前記各電気光学表示素子と直列接続されて前記共通電源に接続されバイアス電圧の印加により前記各電気光学表示素子を表示駆動する複数の駆動素子とを備え、前記各メモリ回路は、前記走査信号により導通して前記信号電圧をサンプリングするサンプリングスイッチ素子と、前記サンプリングスイッチ素子によりサンプリングされた信号電圧を保持するサンプリング容量とから構成され、前記各サンプリング容量の一方の端子は前記各駆動素子または電源配線を介して共通電源に接続され、前記各サンプリング容量の他方の端子は前記各駆動素子のゲート電極に接続されており、前記各メモリ回路のサンプリングスイッチ素子に信号電圧を保持させるサンプリング期間には、前記共通電源の電圧を変化させる或いは前記共通電源のうち各駆動素子共通の共通電極の電位をグランド電位に保って前記各駆動素子を非駆動状態にし、前記サンプリング期間経過後に、前記各駆動素子にバイアス電圧を印加してなる画像表示装置を構成したものである。

20

**【0026】**

前記画像表示装置を構成するに際しては、前記共通電源から前記各駆動素子への電力の供給を制御する複数の電源制御素子を設け、前記各元制御素子と前記メモリ回路として以下の機能を有するもので構成することができる。

30

**【0027】**

(1) 前記各メモリ回路は、前記走査信号により導通して前記信号電圧をサンプリングするサンプリングスイッチ素子と、前記サンプリングスイッチ素子によりサンプリングされた信号電圧を保持するサンプリング容量とから構成され、前記各サンプリング容量の一方の端子は前記各駆動素子または電源配線を介して共通電源に接続され、前記各サンプリング容量の他方の端子は前記各駆動素子のゲート電極に接続されており、前記各電源制御素子は、前記各メモリ回路のサンプリングスイッチ素子に信号電圧を保持させるサンプリング期間には、前記各駆動素子に対する電力の供給を停止し、前記サンプリング期間経過後に前記各駆動素子に対して電力を供給してなる。

40

**【0028】**

前記各画像表示装置を構成するに際しては、以下の要素を付加することができる。

**【0029】**

(1) 前記各サンプリングスイッチ素子と前記各駆動素子および前記各電源制御素子は、n型薄膜トランジスタで構成され、前記各電源制御素子は、前記サンプリング期間を外れた期間にハイレベルとなるリファレンス制御信号にตอบสนองして導通してなる。

**【0030】**

(2) 前記各サンプリングスイッチ素子と前記各駆動素子は、n型薄膜トランジスタで構成され、前記各電源制御素子は、p型薄膜トランジスタで構成され、前記サンプリング期

50

間を外れた期間にロウレベルとなる走査信号に応答して導通してなる。

【0031】

(3) 前記各サンプリングスイッチ素子と前記各駆動素子および前記各電源制御素子は、p型薄膜トランジスタで構成され、前記各電源制御素子は、前記サンプリング期間を外れた期間にロウレベルとなるリファレンス制御信号に応答して導通してなる。

【0032】

(4) 前記複数の電流駆動型電気光学表示素子はそれぞれ有機LEDで構成されてなる。

【0033】

前記した手段によれば、各信号配線からの信号電圧を各画素領域の各画素に書き込むに際して、サンプリングスイッチ素子に信号電圧を保持させるサンプリング期間には、共通電源の電圧を変化させるかあるいは共通電源のうち各駆動素子共通の共通電極の電位をほぼグランド電位に保って、1ライン分の駆動素子あるいは全ての駆動素子を非駆動状態にし、サンプリング期間経過後に、各駆動素子にバイアス電圧を印加したり、あるいは、サンプリングスイッチ素子に信号電圧を保持させるサンプリング期間には、各駆動素子に対する電力の供給を停止し、サンプリング期間経過後に各駆動素子に対して電力を供給するようにしているため、各駆動素子にバイアス電圧を印加するためのバイアス条件は、全ての駆動素子に対してほぼグランド電位を基準としたバイアス電圧とすることができ、電源電圧が変動したり、電源配線による電圧降下が生じたりしても、大型パネルに良好な画質による画像を表示することができる。

【0034】

【発明の実施の形態】

以下、本発明の一実施形態を図面に基づいて説明する。図1は本発明の一実施形態を示す画像表示装置の全体構成図である。図1において、表示パネルを構成する基板(図示省略)上の画像表示領域には、走査信号を伝送する複数の走査配線2が分散して配置されるとともに、信号電圧を伝送する複数の信号配線3が各走査配線と交差(直交)して配置されている。各走査配線2は走査駆動回路41に接続されており、各走査配線2には走査駆動回路41から走査信号が順次出力されるようになっている。また各信号配線3は信号駆動回路42に接続されており、各信号配線3には信号駆動回路42から画像情報に応じた信号電圧が印加されるようになっている。さらに各信号配線3と並行して複数の電源配線40が配線されており、各電源配線40の端末は電源12に接続されている。また画像表示領域の周囲には共通配線43が配線されている。

【0035】

一方、各信号配線3と各走査配線2で囲まれた画素領域には、電流駆動型電気光学表示素子として、例えば、有機LED(発光ダイオード)9が配置されている。電気光学表示素子としては、有機LED9の代わりに、無機LED、電気泳動素子、FED(Field Emission Display)などの発光素子を用いることができる。各有機LED9には、バイアス電圧の印加により有機LED9を表示駆動する駆動素子としての薄膜トランジスタ(図示省略)が直列に接続されて配置されている。さらに各画素領域には、走査信号に応答して信号電圧を保持し、保持した信号を基に各薄膜トランジスタの駆動を制御するメモリ制御回路(図示省略)配置されている。各薄膜トランジスタや有機LED9には電源12から配線抵抗8を介して直流電力が供給されており、各画素の薄膜トランジスタには配線抵抗8を介して電圧が印加されるようになっている。このため、パネルの位置によっては薄膜トランジスタに印加される直流電圧の値が異なることがり、配線抵抗8の電圧降下による影響を受けることなく、薄膜トランジスタに一定のバイアス電圧を印加するために、本発明では、メモリ制御回路において以下のような構成が採用されている。

【0036】

基本的には、図2に示すように、電源12と共通電源11との間に、配線抵抗8、p型薄膜トランジスタ(以下、駆動TFTと称する。)7、有機LED9、共通配線抵抗10が挿入されている回路を駆動するに際して、メモリ制御回路はn型薄膜トランジスタで構成

10

20

30

40

50

されたサンプリングTFT1、サンプリング容量5を備えているとともに、図3に示すように、サンプリングスイッチ20、駆動スイッチ21としての機能を備えて構成されており、駆動TFT7に対するバイアス電圧の印加を阻止した状態で、信号配線3から信号電圧を取り込んでサンプリングして保持し、その後、保持した信号電圧をバイアス電圧として駆動TFT7に印加するようになっている。

#### 【0037】

すなわち、図3に示すように、駆動スイッチ21を開いた状態でサンプリングスイッチ20を閉じ、走査配線2の走査信号にตอบสนองしてサンプリングTFT1が導通すると、信号配線3からの信号電圧がサンプリングTFT1を介してサンプリング容量5に印加され、サンプリング容量5に信号電圧が充電されて保持される。このあと、サンプリングスイッチ20を開くと、すなわちサンプリングTFT1がオフになると、信号配線3および駆動TFT7とは電氣的に絶縁されたフローティング状態6でサンプリング容量5に信号電圧が保持される。このフローティング動作が行われたあと、駆動スイッチ21を閉じると、サンプリング容量5に保持された信号電圧がバイアス電圧として駆動TFT7に印加され、駆動TFT7はバイアス電圧の印加により表示駆動することになる。この場合、サンプリング容量5に保持されていた信号電圧がそのまま駆動TFT7のソース・ゲート間に印加されるため、駆動TFT7のソース電位が配線抵抗8の電圧降下によって低くなっているにもかかわらず、TFT7のソース・ゲート間には一定のバイアス電圧を印加することができる。

#### 【0038】

次に、駆動素子としてp型の薄膜トランジスタ(駆動TFT)7を用いたときのメモリ制御回路の具体的構成を図4にしたがって説明する。このメモリ制御回路は、主サンプリングスイッチ素子20a、補助サンプリングスイッチ素子20b、サンプリング容量5、主駆動スイッチ素子21a、補助駆動スイッチ素子21bを備えて構成されており、主サンプリングスイッチ素子20a、補助サンプリングスイッチ素子20bはそれぞれn型薄膜トランジスタで構成され、主駆動スイッチ素子21a、補助駆動スイッチ素子21bはそれぞれp型薄膜トランジスタを用いて構成されている。

#### 【0039】

主サンプリングスイッチ素子20aはゲートが走査配線2に接続され、ドレインが信号配線3に接続され、ソースがサンプリング容量5に接続されており、補助サンプリングスイッチ素子20bはゲートが走査配線2に接続され、ドレインがサンプリング容量5に接続され、ソースが共通電極(各共通の電極)4に接続されている。主駆動スイッチ21aは走査信号の極性反転時に導通するために、ゲートが走査配線2に接続され、ドレインがサンプリング容量5の一方の端子に接続され、ソースが駆動TFT7のソース(一方のバイアス電圧印加用電極)に接続されており、補助駆動スイッチ21bはゲートが走査配線2に接続され、ドレインがサンプリング容量5の他方の端子に接続され、ソースが駆動TFT7のゲート(他方のバイアス電圧印加用電極)に接続されている。

#### 【0040】

次に図4に示すメモリ制御回路を用いた画像表示装置の作用を図5にしたがって説明する。まず、走査配線2に、図5(a)に示す走査信号が伝送されると、各サンプリングスイッチ素子20a、20bは走査信号がローレベルからハイレベルになることにตอบสนองして導通(オン)し、信号配線3を伝送する信号電圧Vsig1がサンプリングされ、サンプリングされた信号電圧はサンプリング容量5に保持される。この際、サンプリング容量5の他方の端子は補助サンプリングスイッチ素子20bの導通により、共通電極4に接続されるため、サンプリング容量5には共通電極4を基準とした信号電圧Vsig1が保持されることになる。この信号電圧は書き込み期間の間サンプリング容量5に保持され、走査信号がハイレベルからローレベルに移行する過程でフローティング状態となり、その後、走査信号の極性が反転すると(ハイレベルからローレベルになると)、各駆動スイッチ21a、21bが導通(オン)し、サンプリング容量5に保持された信号電圧Vsig1が駆動TFT7のソース・ゲート間にバイアス電圧として印加され、駆動TFT7の表示駆動により、有機LED9が発光することになる。この場合、駆動TFT7のソース電圧が、

10

20

30

40

50



配線抵抗 8 の電圧降下によって低くなっても、駆動 T F T 7 のソース・ゲート間には信号電圧  $V_{sig1}$  がバイアス電圧としてそのまま印加されるため、配線抵抗 8 の電圧降下の影響を受けることなく、一定の信号電圧  $V_{sig1}$  によって駆動 T F T 7 を駆動することができ、有機 L E D 9 を一定の発光強度で発光させることができ、良好な画質の画像を表示させることができる。

**【 0 0 4 1 】**

このあと電源線の電圧の変化によっては駆動 T F T 7 のソース電圧とゲート電圧は変化するが、駆動 T F T 7 のソース・ゲート間には一定の信号電圧  $V_{sig1}$  が印加される。さらに、このあとのサイクルで再び走査配線 2 に走査信号が印加されたときには次の書き込み処理として、信号電圧  $V_{sig2}$  が書き込まれ、この信号電圧  $V_{sig2}$  によるバイアス電圧が駆動 T F T 7 に印加され、有機 L E D 9 が発光することになる。この場合も、駆動 T F T 7 のソース・ゲート間にはバイアス電圧として一定の信号電圧  $V_{sig2}$  が印加されるため、配線抵抗 8 による電圧降下が生じて、指定の発光強度で有機 L E D 9 を発光させることができ、良好な画質による画像を表示させることができる。

10

**【 0 0 4 2 】**

本実施形態におけるメモリ制御回路においては、各サンプリングスイッチ素子 2 0 a、2 0 b に n 型薄膜トランジスタを用い、各駆動スイッチ素子 2 1 a、2 1 b に p 型薄膜トランジスタを用いているため、同一極性の走査信号を用いて駆動することができ、走査配線 2 を画素当たり 1 本にすることができる。

**【 0 0 4 3 】**

次に、本発明の第 2 実施形態に用いたメモリ制御回路を図 6 にしたがって説明する。

20

**【 0 0 4 4 】**

本実施形態においては、駆動素子として n 型薄膜トランジスタ ( 駆動 T F T ) 7 を用いることを考慮するとともに、全ての素子を n 型薄膜トランジスタとするために、各サンプリングスイッチ素子 2 0 a、2 0 b、各駆動スイッチ素子 2 1 a、2 1 b は n 型薄膜トランジスタを用いて構成されている。この場合、各サンプリングスイッチ素子 2 0 a、2 0 b と各駆動スイッチ素子 2 1 a、2 1 b を互いに相補駆動するために、各画素の走査配線 2 に並行して走査信号と極性の相異なる反転走査信号を伝送する反転走査信号配線 6 0 を配線し、各駆動スイッチ素子 2 1 a、2 1 b のゲートをそれぞれ反転走査信号配線 6 0 に接続するようになっており、他の構成は図 4 のものと同様である。

30

**【 0 0 4 5 】**

本実施形態における走査配線 2 には図 5 ( a ) に示すような走査信号が伝送し、反転走査信号配線 6 0 には図 5 ( b ) に示すような反転走査信号が伝送し、走査信号  $V_G$  がローレベルからハイレベルになったときに信号電圧のサンプリングが行われるとともに、サンプリングされた信号電圧  $V_{sig1}$  がサンプリング容量 5 に保持され、その後、走査信号がハイレベルからローレベルに移行する過程でフローティング状態となる。フローティング状態になったあと、反転走査信号  $V_G'$  がローレベルからハイレベルになったときには各駆動スイッチ 2 1 a、2 1 b が導通し、信号電圧  $V_{sig1}$  がバイアス電圧として駆動 T F T 7 のソース・ゲート間に印加される。この場合、配線抵抗 8 による電圧降下が生じ駆動 T F T 7 のソース電圧が変化しても、信号電圧  $V_{sig1}$  がそのままバイアス電圧として駆動 T F T 7 のソース・ゲート間に印加されるので、配線抵抗 8 による電圧降下が生じて、信号電圧  $V_{sig1}$  にしたがった輝度で有機 L E D 9 を発光させることができ、画質の良好な画像を表示させることができる。

40

**【 0 0 4 6 】**

本実施形態においては、全て n 型薄膜トランジスタを用いているため、薄膜トランジスタを製造するプロセスにおいて、プロセス温度が低く、より生産が容易なアモルファス T F T を用いることができ、安価で量産性の優れた画像表示装置を提供することができる。

**【 0 0 4 7 】**

また、本実施形態においては、サンプリング容量 5 と駆動 T F T 7 のゲートとの間に駆動スイッチ素子 2 1 a が挿入されているため、駆動 T F T 7 のドレン・ゲート間が容量結合

50

されて、電源線の電圧がゲートに電圧変動として現われても、この影響を駆動スイッチ素子 21a によって遮断することができる。

【0048】

次に、本発明の第3実施形態に用いたメモリ制御回路を図7にしたがって説明する。本実施形態は、図6に示す主駆動スイッチ21aを削除し、主サンプリングスイッチ素子20aを直接駆動TF T7のゲートに接続し、各画素における薄膜トランジスタの個数を5個から4個に低減したものであり、他の構成は図6のものと同様である。

【0049】

本実施形態においては、駆動TF T7のゲートをサンプリング容量5の一端に直接接続し、サンプリング動作時の信号電圧を、駆動TF T7のゲート容量により保持するようにしたため、前記実施形態のものよりも、薄膜トランジスタを1個少なくすることができ、画素の開口率を向上させることができる。

10

【0050】

次に、本発明の第4実施形態を図8にしたがって説明する。本実施形態は、前記各実施形態におけるメモリ制御回路の代わりに、メモリ回路を用い、駆動TF T7と有機LED9との間に電源制御素子として、n型リファレンス制御TF T81を挿入したものであり、他の構成は前記各実施形態と同様である。

【0051】

メモリ回路は、ソース信号により導通して信号電圧をサンプリングするサンプリングスイッチ素子としてのサンプリングTF T80と、サンプリングTF T80によりサンプリングされた信号電圧を保持するサンプリング容量5を備えて構成されている。サンプリングTF T80は、n型のダブルゲートによる薄膜トランジスタを用いて構成されており、ゲートが走査配線2に接続され、ドレインが信号配線3に接続され、ソースがn型の駆動TF T7のゲートとサンプリング容量5の一方の端子に接続されている。

20

【0052】

サンプリング容量5の他方の端子はリファレンス制御TF T81のソースと有機LED9のアノードに接続されている。リファレンス制御TF T81は、ドレインが駆動TF T7のソースに接続され、ゲートがリファレンス制御配線82に接続されている。

【0053】

メモリ回路は、走査信号に応答してサンプリングTF T80が導通して信号電圧を保持し、このサンプリング期間において、共通電源11の電圧を変化させるかあるいは共通電極1の電位をグランド電位に保って、1ラインあるいは全てのTF Tを非駆動状態にし、サンプリング期間経過後に各駆動TF T7にバイアス電圧を印加するかあるいは、サンプリング期間には、各駆動TF T7に対する電力の供給を制御し、サンプリング期間経過後に各駆動TF Tに対して電力を供給するように構成されている。

30

【0054】

以下、具体的な内容を図9のタイムチャートにしたがって説明する。まず、各走査配線の画素に信号電圧を書き込む際には、図9(a)、(b)に示すように、書き込み期間前に、リファレンス制御TF T81のゲートに供給するリファレンス制御信号TswVGをハイレベルからローレベルにし、1ラインまたは全ての画素の有機LED9を非点灯状態とし、その後、走査信号がローレベルからハイレベルになったことに応答してサンプリングTF T80が導通し、信号配線3からの信号電圧Vsig1を取り込んで信号電圧Vsig1をサンプリングし、サンプリングした信号電圧Vsig1をサンプリング容量5に保持させる。すなわち、サンプリング期間である書き込み期間に、信号電圧Vsig1をサンプリング容量5に保持させる。このときリファレンス制御TF T81はオフとなっているので、駆動TF T7には電力が供給されず、サンプリング容量5の一方の端子は有機LED9を介して共通電極11に接続される。この場合、サンプリング容量5の一方の端子の電圧VSは、共通電極11をグランド電位としたとき、有機LED9の順方向電圧分だけ高い電位となる。すなわち、サンプリング容量5の一方の端子はほぼグランド電位となり、サンプリング容量5には共通電極11を基準として信号電圧Vsig1が充電さ

40

50

れて保持されることになる。

【0055】

このあと走査信号のレベルがハイレベルからローレベルになって書き込み期間が終了すると、信号電圧  $V_{sig1}$  はサンプリング容量5に保持され、サンプリング容量5の両端電圧  $V_{CM}$  は信号電圧  $V_{sig1}$  となる。このあとリファレンス制御信号がローレベルからハイレベルになると、リファレンス制御  $TFT81$  がオン状態となり、リファレンス制御  $TFT81$  のソース・ドレイン電圧はほぼ0Vとなる。これにより、駆動  $TFT7$  のゲート・ソース間にはサンプリング容量5に保持された信号電圧  $V_{sig1}$  がバイアス電圧として印加され、駆動  $TFT7$  が導通する。この結果、有機  $LED9$  が導通して発光し、画像が表示されることになる。この場合、駆動  $TFT7$  のソース電圧は有機  $LED9$  のアノードの電圧とほぼ同じ電位になっており、駆動  $TFT7$  のゲート・ソース間には信号電圧  $V_{sig1}$  がバイアス電圧として印加されているため、ソース電位の上昇に伴って、ゲート電位も一定のバイアス電圧を保った状態で上昇し、さらに、駆動  $TFT7$  のドレイン電圧が変動しても、すなわち配線抵抗8による電圧降下があっても一定のバイアス電圧を保持し続けることができる。

10

【0056】

このように、駆動  $TFT7$  のソース電位の上昇に伴ってゲート電位も上昇するので、サンプリング  $TFT80$  は、駆動期間中は有機  $LED9$  の電源電圧よりも高い電圧となる。また画素内に有機  $LED9$  を制御するための信号電圧  $V_{sig1}$  をサンプリング容量5に保持し、この信号電圧  $V_{sig1}$  をバイアス電圧として駆動  $TFT7$  のソース・ゲート間に印加し、駆動  $TFT7$  を駆動するための駆動電圧を有機  $LED9$  のアノード側の電圧  $V_s$  よりも高い電圧  $V_s + V_{sig1}$  に変換しているため、この駆動電圧によって駆動  $TFT7$  を駆動することができる。

20

【0057】

本実施形態によれば、配線抵抗8による電圧降下があっても、駆動  $TFT7$  のソース・ゲート間には信号電圧  $V_{sig1}$  がそのままバイアス電圧（実際には  $V_s + V_{sig1}$ ）として印加されるため、大型パネルを表示する場合でも配線抵抗による電圧降下の影響を受けることなく、良好な画像を表示することができる。

【0058】

また、本実施形態においては、各画素における薄膜トランジスタとして  $n$  型の薄膜トランジスタを3個用いて回路を構成することができ、駆動回路を簡素化することができる。

30

【0059】

また、本実施形態においては、サンプリング  $TFT80$  としてダブルゲート  $TFT$  を用いているため、オフ電流を低減することができ、保持期間中の保持率を高めることで、良好な表示を行うことができる。すなわち、サンプリング  $TFT80$  としてシングルゲートのものを用いたときよりもダブルゲートのものを用いると、図10に示すように、 $0 < V_G$  領域におけるオフ電流がダブルゲート  $TFT$  では少なくなっており、サンプリング容量5に充電された信号電圧を良好に保持できることが分かる。

【0060】

また、前記実施形態においては、駆動  $TFT7$  を駆動するに際して、サンプリング容量5への信号電圧の書き込み時には、サンプリング容量5の一方の端子の電位  $V_S$  はほぼ共通電極11の電位となるため、共通電極11を全画素共通としておき、全面で電位を一定に保つことにより、面内（パネル全面）で均一な電位を基準として信号電圧を充電することができる。また、この電位  $V_S$  は、画素駆動回路において最も低い電位であるため、サンプリング回路の駆動電圧を低減することができる。

40

【0061】

さらに、リファレンス制御  $TFT81$  を制御するに際しては、1画面の書き込み期間は連続してオフ状態としておき、1画面の走査が終了したあとに、全画素のリファレンス制御  $TFT81$  を一斉にオン状態として駆動することもできる。このようにしてリファレンス制御  $TFT81$  を制御することにより、画面を間歇して表示することができ、動画像の表

50

示品質を改善できる。また画面を複数の領域に分割し、適宜走査が終わった部分ごとに順次点灯することによっても動画表示品質を改善することができる。

【0062】

また、図8に示した画素のレイアウトは図11に示すような構成となる。図11において、走査配線2と信号配線3とが互いに直交するように配置され、走査配線2の近傍にダブルゲートを用いたサンプリングTFT80が形成され、サンプリングTFT80の上方にサンプリング容量5が形成されている。サンプリング容量5の上方には駆動TFT7、リファレンス制御TFT81、リファレンス制御配線82、表示電極(サンプリング容量5の一方の端子と有機LED9のアノード側とを結ぶ電極)9aが配置され、信号配線3と平行に電源配線40が配置されている。いずれのTFTもn型の薄膜トランジスタであり、典型的なポリシリコンTFTを用いたコプレーナ構造である。サンプリング容量5はポリシリコン層と表示電極層との層間容量を用いて形成されている。

10

【0063】

また、前記実施形態においては、n型の薄膜トランジスタを用いたものについて述べたが、図12に示すように(本発明の第5実施形態)、サンプリングTFT170、駆動TFT171、リファレンス制御TFT81として全てp型の薄膜トランジスタを用いて構成することもできる。この場合、リファレンス制御TFT81のゲートには、図9に示すリファレンス制御信号とは逆極性のリファレンス制御信号が印加され、リファレンス制御TFT81は、サンプリング期間を外れた期間にローレベルとなるリファレンス制御信号に反応して導通することになる。

20

【0064】

次に、本発明の第6実施形態を図13にしたがって説明する。本実施形態は、図8に示すリファレンス制御TFT81の代わりに、p型リファレンス制御TFT160を用い、リファレンス制御TFT160のゲートを走査配線2に接続したものであり、他の構成は図8のものと同様である。この場合、リファレンス制御TFT160はサンプリング期間を外れた期間にローレベルとなる走査配線に反応して導通することになり、前記実施形態と同様に、書き込み期間中および書き込み期間の前と後にオフになることで、前記実施形態と同様な効果を奏することができる。

【0065】

さらに本実施形態においては、走査信号を用いてリファレンス制御TFT160を制御するようにしているため、リファレンス制御配線82が不要となり、配線本数の低減に伴って開口率が前記実施形態よりも向上するとともに、配線における交差部の面積が小さくなり、歩留まりの向上を図ることができる。

30

【0066】

本実施形態におけるマスクの構成を図14に示す。図14において、リファレンス制御TFT160のみがp型薄膜トランジスタで構成され、ダブルゲートのサンプリングTFT80の1つのゲートパターンを用いてリファレンス制御TFT160のゲートを構成しているため、画素内の配線面積が減少し、開口率が向上する。

【0067】

また、本実施形態における基板A-B部の断面形状を図15に示す。この部分は、ガラス基板140上に信号配線3もしくは電源配線40などの同じ配線層を用いてメモリ容量電極142を形成し、層間絶縁層141を介して、表示電極9aを形成することでサンプリング容量5を形成することができる。このような構造でサンプリング容量5を形成することにより、マトリクスと同じ耐圧が得られ、容易に高耐圧の容量を形成することができ、歩留まりの向上を図ることができる。

40

【0068】

次に、図13に示す画素の他のマスクパターンの構成を図16に、基板のA-B線に沿う断面構造を図17に示す。本実施形態における画素の回路構成は図13のものと同様であるが、サンプリング容量5のサンプリングTFT80側の端子に接続された端子部分を、図13に示すシールド161で保護している。すなわち、この端子部分は、他の端子から

50

の容量カップリングによっても電位の変動を受けやすいので、サンプリング容量5で保持している信号電圧のリークを低く押えるために、リーク電流が少なくする必要があります。このため、この端子を静電シールドおよび最寄りの配線からの容量結合を最小とすることで、高精度の信号電圧を保持できる。

**【0069】**

また、サンプリング容量5はポリシリコン層130と、ゲート絶縁層150と、ゲート電極層131とで形成されており、さらに配線層132、表示電極9aで覆われており、隣接する配線などからのカップリングを防止するとともに、遮光性の金属層で覆われているので、光導電効果によるMOS容量部への保持特性に対する影響を低減することができ、良好な保持特性を得ることができる。

10

**【0070】**

次に、以上の画素構成を用いた画像表示装置の全体構成を図18に示す。図18に示す画像表示装置における画素および信号配線の駆動は以上の説明で明らかになっており、画像表示装置を形成するために必要なリファレンス制御配線82を駆動するリファレンス制御配線駆動回路180の構成を示している。リファレンス制御配線駆動回路は、順次シフトするパルスが発生するためのシフトレジスタ、シフトパルスのパルス幅を広げるためのパルス幅制御回路、マトリクスに接続するリファレンス制御配線82を駆動するためのラインドライバから構成されている。

**【0071】**

以下、リファレンス制御配線駆動回路180の具体的構成を図19にしたがって説明する。リファレンス制御配線駆動回路180は、順次シフトするパルスが発生する多段シフトレジスタ190と、パルス出力端子191から最終段のシフトレジスタ190の出力パルスとRST配線からのパルスを取り込み、シフトレジスタ190からのパルスの幅を調整するためのパルス幅制御回路192と、多段のインバータ回路195から構成されるラインドライバ回路とを備え、パルス幅制御回路192は、AND回路193、RSラッチ回路194から構成されている。AND回路193一方の入力端子には全回路に共通接続されたRST配線からリセットパルスが印加されるようになっている。多段シフトレジスタ190は、2からなる2相クロックと、VSTからなる走査開始信号により駆動され、2相クロックと同期して、パルス出力端子に順次走査パルスが発生させる。パルス幅制御回路192においては、SRラッチ回路194のセット信号としてパルス出力端子からシフトパルスが入力されるとSRラッチ回路194がセット状態となる。次に、RST信号が入力されるとSRラッチ回路194はリセット状態となる。またパルス出力端子191はAND回路193の入力側にも接続されており、VST信号はセット状態のRSラッチ回路194でのみ有効となるようになっている。そして、順次走査パルスによりセットされた多段のRSラッチ回路194は、任意のクロックから遅延して印加されるRST信号によりリセットされるようになっている。このようにして、走査信号よりパルス幅の広いリファレンス制御信号TswVG信号を発生することができる。

20

30

**【0072】**

前述したように、各実施形態によれば、画素を全てn型あるいはp型の薄膜トランジスタを用いて駆動できるので、製造工程を簡略化でき、安価で歩留まりの高い画像表示装置を提供することができる。また画素内に容量を用いて駆動TFETにバイアス電圧を供給しているため、サンプリング系の駆動電圧範囲を低減することができる。

40

**【0073】****【発明の効果】**

以上説明したように、本発明によれば、信号電圧をサンプリングするサンプリング動作後、信号配線および駆動素子と電氣的に絶縁されたフローティング状態で信号電圧を保持し、その後、保持した信号電圧を駆動素子にバイアス電圧として印加しているため、駆動素子に接続された電源配線で電圧降下が生じて、この電圧降下の影響を受けることなく、保持した信号電圧をそのままバイアス電圧として駆動素子に印加することができ、指定の表示輝度で駆動素子を表示駆動することができ、大型パネルによる画像を表示する場合

50

も良好な画質による画像を表示することができる。

【 0 0 7 4 】

また、本発明によれば、サンプリングスイッチ素子に信号電圧を保持させるサンプリング期間には、共通電源の電圧を変化させるかあるいは共通電源のうち各駆動素子共通の共通電極の電位をほぼグランド電位に保って、1ライン分の駆動素子あるいは全ての駆動素子を非駆動状態にし、サンプリング期間経過後に、各駆動素子にバイアス電圧を印加したり、あるいは、サンプリングスイッチ素子に信号電圧を保持させるサンプリング期間には、各駆動素子に対する電力の供給を停止し、サンプリング期間経過後に各駆動素子に対して電力を供給するようにしているため、電源配線による電圧降下が生じても、大型パネルに良好な画質による画像を表示することができる。

10

【図面の簡単な説明】

【図1】本発明に係る画像表示装置の基本構成を説明するための構成図である。

【図2】画素の駆動原理を説明するための回路図である。

【図3】画素駆動回路の動作を説明するための回路構成図である。

【図4】本発明の第1実施形態を示す画素の回路構成図である。

【図5】図4に示す画素の作用を説明するためのタイムチャートである。

【図6】本発明の第2実施形態を示す画素の回路構成図である。

【図7】本発明の第3実施形態を示す画素の回路構成図である。

【図8】本発明の第4実施形態を示す画素の回路構成図である。

【図9】図8に示す回路の動作を説明するためのタイムチャートである。

20

【図10】シングルゲートとダブルゲートの特性を説明するため特性図である。

【図11】図8に示す画素のレイアウト例を示す図である。

【図12】本発明の第5実施形態を示す画素の回路構成図である。

【図13】本発明の第6実施形態を示す画素の回路構成図である。

【図14】図13に示す画素のレイアウト例を示す図である。

【図15】図14のA - B線に沿う断面図である。

【図16】図13に示す画素の他のマスクパターンのレイアウト例を示す図である。

【図17】図16のA - B線に沿う断面図である。

【図18】本発明に係る画像表示装置の全体構成を示す構成図である。

【図19】リファレンス制御配線駆動回路の回路構成図である。

30

【符号の説明】

1 サンプリング T F T

2 走査配線

3 信号配線

4 共通電極

5 サンプリング容量

7 駆動 T F T

8 配線抵抗

9 有機 L E D

10 共通配線抵抗

40

11 共通電源

12 電源

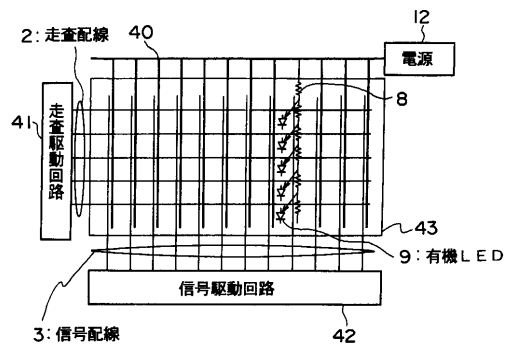
20a 主サンプリングスイッチ素子

20b 補助サンプリングスイッチ素子

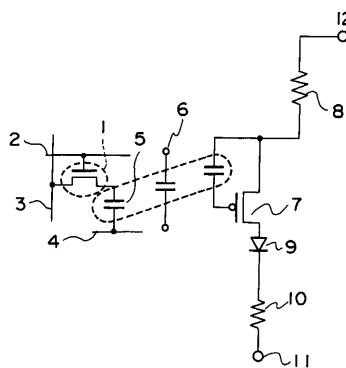
21a 主駆動スイッチ素子

21b 補助駆動スイッチ素子

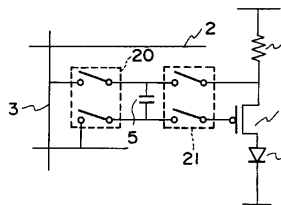
【図1】



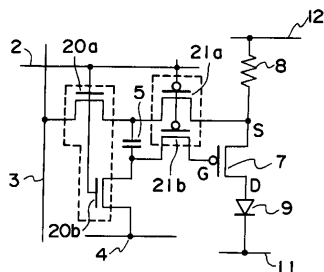
【図2】



【図3】

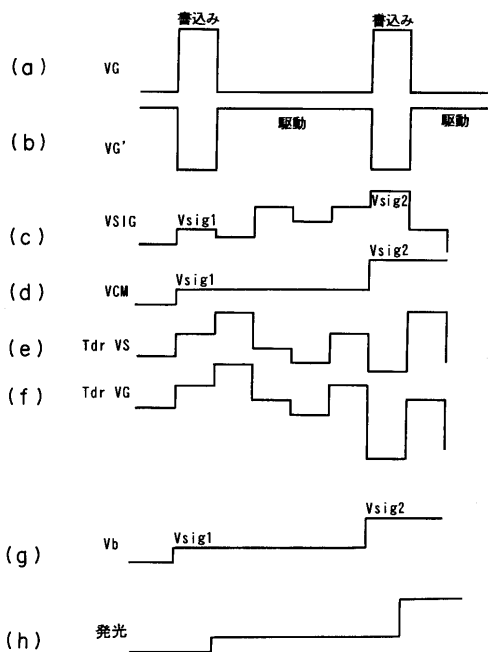


【図4】

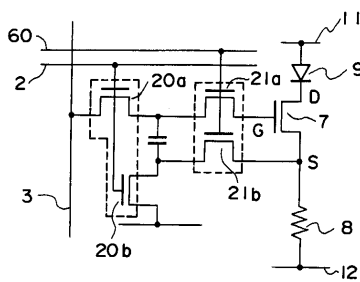


- 2: 走査配線
- 3: 信号配線
- 4: 共通電極
- 5: サンプル容量
- 7: 駆動TFT
- 9: 有機LED
- 20a: 主サンプリングスイッチ素子
- 20b: 補助サンプリングスイッチ素子
- 21a: 主駆動スイッチ素子
- 21b: 補助駆動スイッチ素子

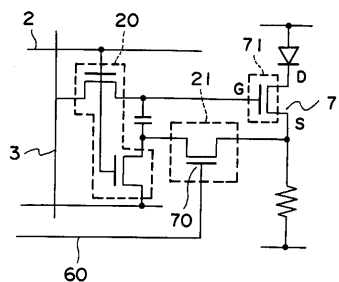
【図5】



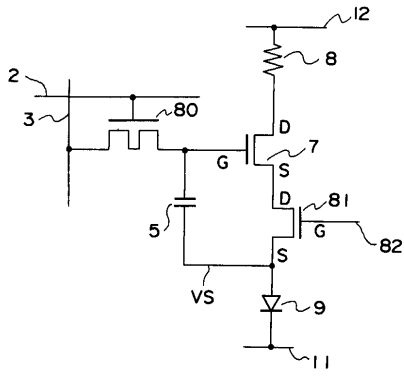
【図6】



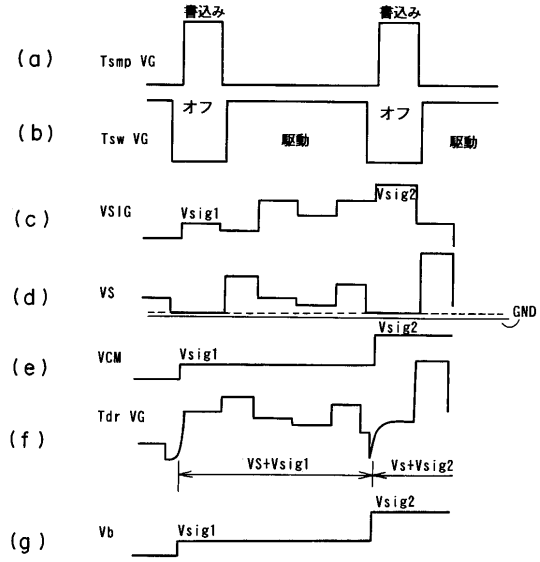
【図7】



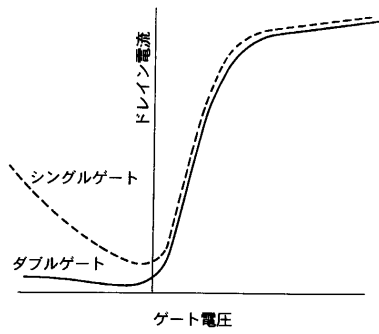
【 図 8 】



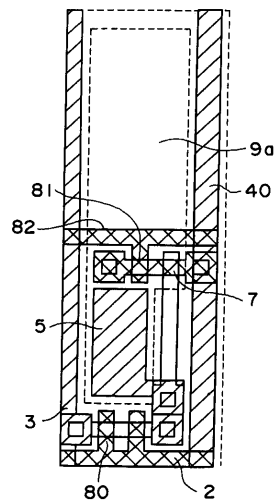
【 図 9 】



【 図 10 】

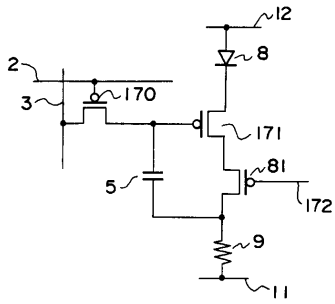


【 図 11 】

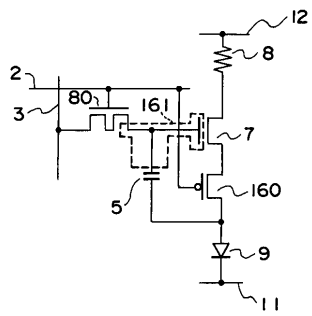




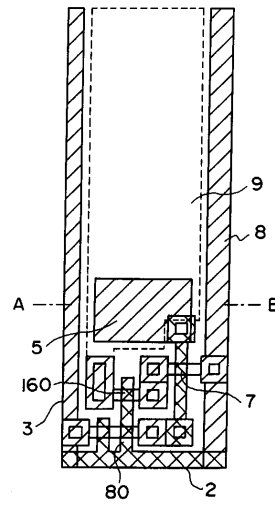
【図12】



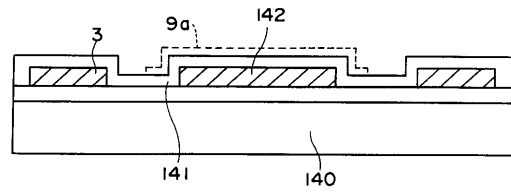
【図13】



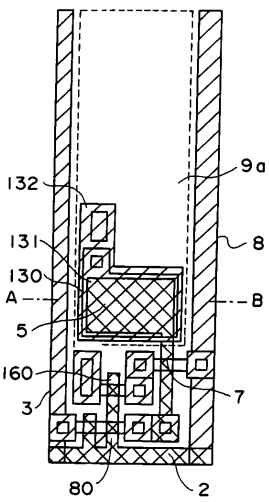
【図14】



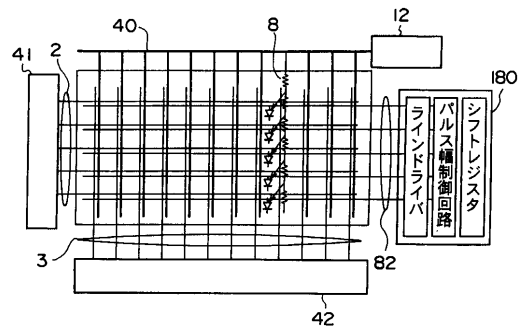
【図15】



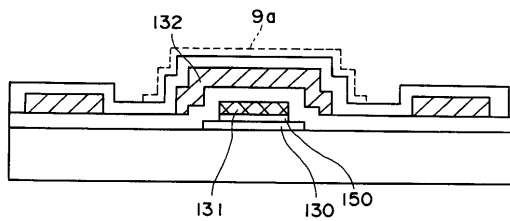
【図16】



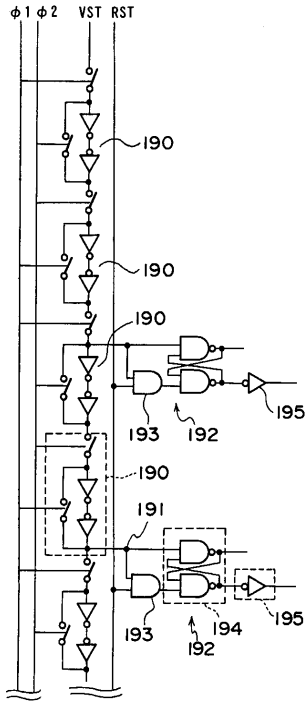
【図18】



【図17】



【 図 19 】



## フロントページの続き

(51) Int.Cl. F I  
 G 0 9 G 3/20 6 2 1 M  
 G 0 9 G 3/20 6 2 2 Q  
 G 0 9 G 3/20 6 2 4 B  
 G 0 9 G 3/20 6 4 2 A  
 G 0 9 G 3/20 6 4 2 C  
 G 0 9 G 3/20 6 8 0 G  
 H 0 5 B 33/14 A

(72)発明者 秋元 肇  
 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内  
 (72)発明者 佐藤 敏浩  
 千葉県茂原市早野3300番地 株式会社日立製作所 ディスプレイグループ内

審査官 橋本 直明

(56)参考文献 特開2002-287683(JP,A)  
 特開平04-328791(JP,A)  
 特開平10-333641(JP,A)  
 特開平10-312173(JP,A)  
 特開2001-343941(JP,A)  
 特開2002-278498(JP,A)  
 特開2002-202755(JP,A)  
 特開2002-287665(JP,A)  
 特開2002-341821(JP,A)  
 特開2002-341825(JP,A)  
 特開2003-099018(JP,A)  
 特開2003-150133(JP,A)  
 特開2003-177710(JP,A)  
 特開2003-195811(JP,A)  
 特開2003-177709(JP,A)  
 国際公開第01/06484(WO,A1)  
 特開平02-148687(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/30  
 G09F 9/30  
 G09G 3/20  
 H01L 27/32  
 H01L 51/50