



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I872516 B

(45)公告日：中華民國 114 (2025) 年 02 月 11 日

(21)申請案號：112114963

(22)申請日：中華民國 112 (2023) 年 04 月 21 日

(51)Int. Cl. : H10D30/01 (2025.01)

H01L21/76 (2006.01)

(30)優先權：2022/06/01 美國

17/830,266

(71)申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY, LTD. (TW)

新竹市新竹科學工業園區力行六路八號

國立臺灣大學 (中華民國) NATIONAL TAIWAN UNIVERSITY (TW)

臺北市大安區羅斯福路四段 1 號

(72)發明人：杜建德 TU, CHIEN-TE (TW)；劉致為 LIU, CHEE-WEE (TW)

(74)代理人：秦建譜

(56)參考文獻：

TW I574414B

審查人員：董柏昌

申請專利範圍項數：10 項 圖式數：26 共 70 頁

(54)名稱

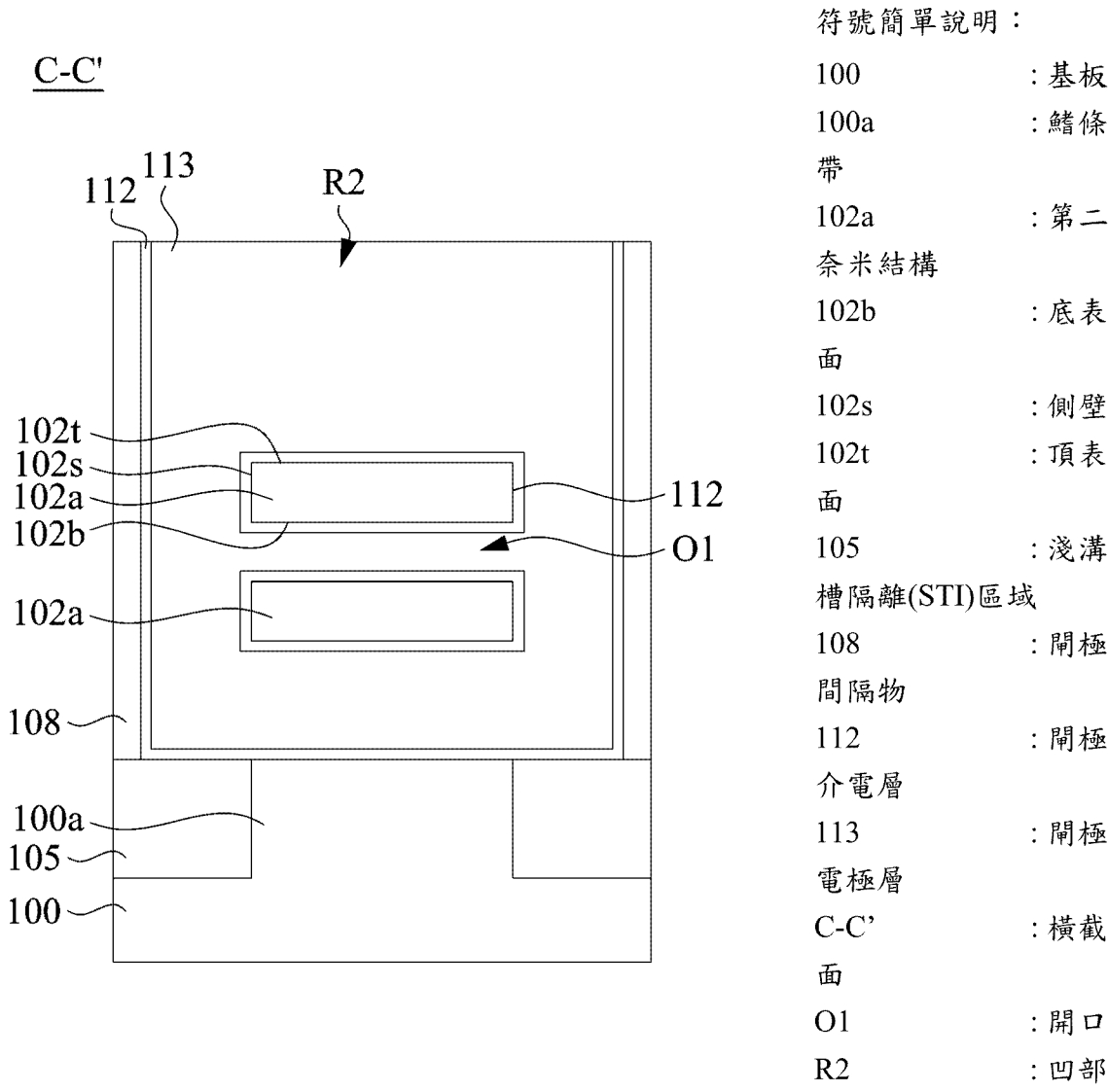
半導體裝置及其製造方法

(57)摘要

一種方法包括：在基板上形成半導體結構；對半導體結構執行第一蝕刻製程以在基板之上形成向上延伸的鰭形結構；執行第二蝕刻製程以修整鰭形結構以具有一倒梯形橫截面輪廓；在鰭形結構的多個對置區域上形成多個源極/汲極區域；在多個源極/汲極區域之間形成閘極結構。

A method includes forming a semiconductor structure on a substrate; performing a first etching process on the semiconductor structure to form a fin structure upwardly extending above the substrate; performing a second etching process to trim the fin structure to have a reverse-trapezoidal cross-sectional profile; forming source/drain regions on opposite regions of the fin structure; forming a gate structure between the source/drain regions.

指定代表圖：



第 12D 图



I872516

【發明摘要】

【中文發明名稱】

半導體裝置及其製造方法

【英文發明名稱】

SEMICONDUCTOR DEVICE AND
MANUFACTURING METHOD THEREOF

【中文】

一種方法包括：在基板上形成半導體結構；對半導體結構執行第一蝕刻製程以在基板之上形成向上延伸的鰭形結構；執行第二蝕刻製程以修整鰭形結構以具有一倒梯形橫截面輪廓；在鰭形結構的多個對置區域上形成多個源極/汲極區域；在多個源極/汲極區域之間形成閘極結構。

【英文】

A method includes forming a semiconductor structure on a substrate; performing a first etching process on the semiconductor structure to form a fin structure upwardly extending above the substrate; performing a second etching process to trim the fin structure to have a reverse-trapezoidal cross-sectional profile; forming source/drain regions on opposite regions of the fin structure; forming a gate structure between the source/drain regions.

【指定代表圖】第（12D）圖。

【代表圖之符號簡單說明】

1 0 0	:	基板
1 0 0 a	:	鰭條帶
1 0 2 a	:	第二奈米結構

1 0 2 b	:	底 表 面
1 0 2 s	:	側 壁
1 0 2 t	:	頂 表 面
1 0 5	:	淺 溝 槽 隔 離 (S T I) 區 域
1 0 8	:	閘 極 間 隔 物
1 1 2	:	閘 極 介 電 層
1 1 3	:	閘 極 電 極 層
C - C ’	:	橫 截 面
O 1	:	開 口
R 2	:	凹 部

【特徵化學式】

無

【發明說明書】

【中文發明名稱】

半 導 體 裝 置 及 其 製 造 方 法

【英文發明名稱】

S E M I C O N D U C T O R D E V I C E A N D
M A N U F A C T U R I N G M E T H O D T H E R E O F

【技術領域】

【0001】 本揭露係關於一種半導體裝置，特別係關於一種半導體裝置的製造方法。

【先前技術】

【0002】 半導體積體電路(integrated circuit, IC)產業已經歷指數式快速增長。IC材料及設計的技術進步已產生多代IC，其中每一代的電路比前一代更小且更複雜。然而，這些進步已使處理及製造IC的複雜性增加，且為了實現這些進步，需要IC處理及製造的類似發展。

【0003】 在IC演進的過程中，功能密度(即，每晶片面積的互連裝置的數目)已大體上增大，而幾何大小(即，使用製造製程可生產的最小組件(或線))已減小。這個比例縮小程序通常藉由提高生產效率及降低相關聯成本來提供益處。此種比例縮小亦產生相對高的功率耗散值，此可藉由使用諸如互補金屬氧化物半導體(complementary metal-oxide-semiconductor, CMOS)裝置的低功率耗散裝置來解決。

【發明內容】

【0004】 於一些實施方式中，一種半導體裝置的製造方法包括：在基板上形成半導體結構；對半導體結構執行第一蝕刻製程以在基板之上形成向上延伸的鰭形結構；執行第二蝕刻製程以修整鰭形結構以具有倒梯形橫截面輪廓；在鰭形結構的多個對置區域上形成多個源極/汲極區域；在多個源極/汲極區域之間形成閘極結構。

【0005】 於一些實施方式中，一種半導體裝置的製造方法包括：在基板上交替地沉積多個第一半導體層及多個第二半導體層，多個第一半導體層中的處於一較低位置的第一半導體層具有比多個第一半導體層中的處於一較高位置的第二第一半導體層高的銻原子濃度；在第一壓力下對多個第一半導體層及多個第二半導體層執行第一蝕刻製程以在基板上形成鰭形結構，鰭形結構具有交替的多個第一奈米結構及多個第二奈米結構，多個第一奈米結構包含多個第一半導體層的多個剩餘部分，且多個第二奈米結構包含多個第二半導體層的多個剩餘部分；使用含溴氣體，在高於第一壓力的第二壓力下對鰭形結構執行第二蝕刻製程；在鰭形結構的任一側上形成多個磊晶結構；移除鰭形結構的多個第一奈米結構，使得該多個結構的多個第二奈米結構懸掛在基板上方；形成閘極結構以圍繞多個懸掛的第二奈米結構中的每一者。

【0006】 於一些實施方式中，半導體裝置包括基板、多個源極/汲極區域、多個通道層及閘極結構。多個源極/汲極區

域在基板之上。多個通道層在第一方向上在多個源極/汲極區域之間延伸且配置在實質上垂直於基板的頂表面的第二方向上。當在沿著垂直於第一方向的第三方向截取的一橫截面中觀察時，多個通道層中的第一通道層具有比多個通道層中的第二通道層的一橫向尺寸小的一橫向尺寸。閘極結構沿著第三方向延伸且圍繞多個通道層中的第一通道層及第二通道層中的每一者。

【圖式簡單說明】

【0007】 本揭示內容的態樣將在結合附圖閱讀時自以下詳細描述最佳地瞭解。請注意，根據產業中的標準方法，各種特徵未按比例繪製。實際上，為了論述清楚起見，各種特徵的尺寸可任意地增大或減小。

第 1 A 圖至第 1 2 D 圖根據本揭示內容的一些實施例圖示半導體裝置形成中的中間階段的示意視圖。

【實施方式】

【0008】 以下揭示內容提供用於實現所提供標的之不同特徵的許多不同實施例或實例。組件及配置的特定實例將在下文描述以簡化本揭示內容。當然，這些僅為實例且不欲為限制性的。舉例而言，在隨後的描述中的第一特徵形成於第二特徵上方或上可包括第一特徵及第二特徵係直接接觸地形成的實施例，且亦可包括額外特徵可形成於第一特徵與第二特徵之間，使得第一特徵及第二特徵不可直接接觸的實施例。另外，本揭示內容可在各種實例中重複參考數字及/或字母。此重複係出於簡單及清楚的目的且本身並

不規定所論述的各種實施例及/或組態之間的關係。

【0009】 此外，為了方便用於描述如諸圖中圖示的一個元件或特徵與另一元件或特徵的關係的描述，在本文中可使用空間相關術語，諸如「在... ..下面」、「在... ..下」、「下部」、「在... ..之上」、「上部」及類似術語。空間相關術語意欲涵蓋除了諸圖中所描繪的定向以外的裝置在使用或操作時的不同定向。設備可另外定向(旋轉 90 度或處於其他定向)，且本文中所使用的空間相關描述符可類似地加以相應解釋。

【0010】 如本文所用，「左右」、「約」、「近似」或「實質上」可意味著在給定值或範圍的 20 百分比內或 10 百分比內或 5 百分比內。然而，熟習此項技術者將認識到，遍及描述所列舉的值或範圍僅為實例，且可利用縮小積體電路來減小。本文中給出的數量為近似值，意味著術語「左右」、「約」、「近似」或「實質上」可在未明確說明的情況下推斷。

【0011】 除非另有定義，否則本文中所用的所有術語(包括技術及科學術語)具有與一般熟習本揭示內容所屬技術的人員通常所理解的意義相同的意義。將進一步理解，術語，諸如通常所用的詞典中所定義的那些術語，應解釋為具有與該些術語在相關技術及本揭示內容的上下文中的意義一致的意義，且不應從理想化或過度正式的意義上來解釋，除非本文中明確如此定義。

【0012】 閘極全環(gate all around, GAA)電晶體結構

可藉由任何方法來圖案化。舉例而言，該些結構可使用包括雙重圖案化製程或多次圖案化製程的一或多個光微影製程來圖案化。通常，雙重圖案化製程或多次圖案化製程組合光微影製程及自對準製程，從而允許創造具有例如小於使用單一的直接光微影製程另外可獲得的間距的間距的圖案。舉例而言，在一個實施例中，犧牲層形成於基板上方且使用光微影製程來圖案化。間隔物係使用自對準製程沿著圖案化的犧牲層形成。然後將犧牲層移除，且剩餘間隔物可接著用於對 G A A 結構進行圖案化。

【0013】 本揭示內容係關於積體電路 (integrated circuit, IC) 結構及其形成方法。更特別地，本揭示內容的一些實施例係關於閘極全環 (gate-all-around, G A A) 裝置，該些 G A A 裝置包括經改良的隔離結構以減少自通道至基板的電流洩漏。G A A 裝置包括閘極結構或其部分形成於通道區域的四個側面上 (例如，包圍通道區域的一部分) 的裝置。G A A 裝置的通道區域可包括奈米片通道、棒形通道及 / 或其他合適的通道組態。在一些實施例中，G A A 裝置的通道區域可具有垂直地間隔的多個水平奈米片或水平棒，從而使 G A A 裝置成為堆疊式水平 G A A (stacked horizontal G A A, S-H G A A) 裝置。本文中呈現的 G A A 裝置包括堆疊在一起的 p 型金屬氧化物半導體 G A A 裝置及 n 型金屬氧化物半導體 G A A 裝置。此外，G A A 裝置可具有與單一的相連閘極結構或多個閘極結構相關聯的一或多個通道區域 (例如，奈米片)。一般熟習此項技術者可認

識到可自本揭示內容的態樣獲益的半導體裝置的其他實例。在一些實施例中，奈米片可視其幾何形狀而可互換地稱為奈米線、奈米板、奈米環或具有奈米級大小(例如，幾奈米)的奈米結構。然而，另外，本揭示內容的實施例亦可應用於多種金屬氧化物半導體電晶體(例如，互補場效電晶體(complementary-field effect transistor, CFET)及鰭式場效電晶體(fin field effect transistor, FinFET))。

【0014】本文中論述的一些實施例係在使用後閘極(gate-last)製程形成的奈米FET的上下文中論述。在其他實施例中，可使用先閘極(gate-first)製程。此外，一些實施例考慮用於諸如平面FET的平面裝置中或鰭式場效電晶體(fin field-effect transistor, FinFET)中的態樣。舉例而言，FinFET可包括在基板上的鰭狀物，該些鰭狀物充當FinFET的通道區域。類似地，平面FET可包括基板，基板的多個充當平面FET的通道區域。

【0015】在IC演進的過程中，提供GAA裝置以減少自通道至基板的電流洩漏。形成GAA裝置包括形成包括交替的通道層及犧牲層的鰭形結構、接著移除該些犧牲層以釋放該些通道層及接著環繞該些釋放的通道層形成閘極結構。然而，在用於移除犧牲層的蝕刻製程期間，蝕刻製程可非故意地修整通道層。通道層位置越高，通道層在蝕刻製程中蝕刻地越快，因此通道層可具有不同尺寸(即，關於寬度/厚度的非均勻通道大小)，此反過來產生奈米FET的 V_t

變異且導致 CMOS 電路設計的問題。

【0016】 因此，在各種實施例中，本揭示內容在移除犧牲層之前提供對鰭形結構的額外蝕刻製程。額外的蝕刻製程將鰭形結構修整為具有倒楔形輪廓。如先前所論述，用於移除犧牲層的後續蝕刻製程可能非故意地修整通道層，且非故意地修整第二通道層的蝕刻速率將自鰭頂部至鰭底部減小，此意味著通道層位置越高，在非故意修整中在通道層上發生的尺寸減小越大。然而，由於倒楔形輪廓，通道層位置越高，通道層越寬。因此，由倒楔形輪廓引起的通道層寬度差可充當幫助對抗由通道釋放蝕刻製程造成的尺寸減小差(即，蝕刻速率差)的平衡。因此，在執行通道釋放蝕刻製程之後，通道層中的尺寸差(例如，寬度/厚度差)可減小，由此改良通道層中的尺寸一致性，使得奈米 FET 中的 V_t 差可減小，且奈米 FET 中的每佔地面積的 I_{ON} 可得到改良。

【0017】 第 1 A 圖、第 2 A 圖、第 3 A 圖、第 4 A 圖、第 5 A 圖、第 6 A 圖、第 7 A 圖、第 8 A 圖、第 9 A 圖、第 10 A 圖、第 11 A 圖及第 12 A 圖根據本揭示內容的一些實施例圖示半導體裝置形成中的中間階段的平面圖(俯視圖)。第 1 B 圖、第 2 B 圖、第 3 B 圖、第 4 B 圖、第 5 B 圖、第 6 B 圖、第 7 B 圖、第 8 B 圖、第 9 B 圖、第 10 B 圖、第 11 B 圖及第 12 B 圖分別圖示自第 1 A 圖、第 2 A 圖、第 3 A 圖、第 4 A 圖、第 5 A 圖、第 6 A 圖、第 7 A 圖、第 8 A 圖、第 9 A 圖、第 10 A 圖、第 11 A 圖及第 12 A 圖中的參考橫截

面 B - B' 獲得的橫截面圖。第 1 C 圖、第 2 C 圖、第 3 C 圖、第 4 C 圖、第 5 C 圖、第 6 C 圖、第 7 C 圖、第 8 C 圖、第 9 C 圖、第 10 C 圖、第 11 C 圖及第 12 C 圖分別圖示自第 1 A 圖、第 2 A 圖、第 3 A 圖、第 4 A 圖、第 5 A 圖、第 6 A 圖、第 7 A 圖、第 8 A 圖、第 9 A 圖、第 10 A 圖、第 11 A 圖及第 12 A 圖中的參考橫截面 C - C' 獲得的橫截面圖。

【0018】 參考第 1 A 圖、第 1 B 圖及第 1 C 圖。提供基板 100 以用於形成奈米 FET。基板 100 可為半導體基板，諸如體半導體、絕緣體上半導體基板 (semiconductor-on-insulator, SOI) 或類似者，該基板可為經摻雜 (例如，具有 p 型或 n 型雜質) 或未摻雜的。基板 100 可為晶圓，諸如矽晶圓。通常，SOI 基板為形成於絕緣體層上的一層半導體材料。絕緣體層可為例如埋入式氧化物 (buried oxide, BOX) 層、氧化矽層或類似層。絕緣體層設置在基板，矽或玻璃基板，上。亦可使用其他基板，諸如多層或梯度基板。在一些實施例中，基板 100 可為一材料，諸如 III-V 化合物半導體、II-VI 化合物半導體或類似物。在一些實施例中，基板 100 的半導體材料可包括：矽；鍺；化合物半導體，包括碳化矽、砷化鎵、鎵錫、磷化鎵、磷化銦、砷化銦及 / 或銻化銦；合金半導體，諸如矽鍺、磷砷化鎵、砷化鋁銦、砷化鋁鎵、砷化鎵銦、磷化鎵銦及 / 或磷砷化鎵銦；其組合；或類似物。

【0019】 基板 100 具有 n 型區域及 p 型區域。n 型區域可用於形成 n 型裝置，諸如 NMOS 電晶體，例如，n 型奈米

FET，且 p 型區域可用於形成 p 型裝置，諸如 PMOS 電晶體，例如，p 型奈米 FET。n 型區域可與 p 型區域實體地分開（未分開圖示），且任何數目個裝置特徵（例如，其他主動裝置、摻雜區域、隔離結構等）可安置在 n 型區域與 p 型區域之間。

【0020】 基板 100 可輕摻雜具有 p 型或 n 型雜質。可對基板 100 的上部部分執行反沖穿 (anti-punch-through, APT) 佈植以形成 APT 區域。在 APT 佈植期間，雜質可佈植在基板 100 中。雜質可具有與將後續形成於 n 型區域及 p 型區域中的每一者中的源極/汲極區域的導電型相反的導電型。APT 區域可在奈米 FET 中的源極/汲極區域下延伸。APT 區域可用於減少自源極/汲極區域至基板 100 的洩漏。在一些實施例中，APT 區域中的摻雜濃度可在約 10^{18} cm^{-3} 至約 10^{19} cm^{-3} 的範圍內。

【0021】 參考第 2A 圖、第 2B 圖及第 2C 圖。多層堆疊 120（參見第 2B 圖及第 2C 圖）形成於基板 100 上方。多層堆疊 120 包括第一半導體層 101 及在第一半導體層 101 之上的交替的第二半導體層 120 及第三半導體層 103。第一半導體層 101 由第一半導體材料形成，該些第二半導體層 102 由第一半導體材料形成，且該些第三半導體層 103 由第三半導體材料形成。第一半導體材料、第二半導體材料及第三半導體材料可各自選自基板 100 的候選半導體材料。在一些實施例中，多層堆疊 120 包括具有第二半導體層 102 及第三半導體層 103 中的每一者的兩個層。應瞭解，

多層堆疊 120 可包括任何數目個第二半導體層 102 及第三半導體層 103。

【0022】 在一些實施例中，第一半導體層 101 在組成上可不同於基板 100 且可用於在與基板 100 的界面處創造晶格應變。因此，第一半導體層 101 能夠可互換地稱為應變鬆弛緩衝 (strain relaxed buffer, SRB) 層。舉例而言，基板 100 可包括矽且實質上不含銻，而第一半導體層 101 可包括矽銻 (SiGe)。在一些實施例中，第一半導體層 101 可由矽銻 (SiGe) 製成，且特別地，由組合物 $\text{Si}_{(1-x)}\text{Ge}_x$ 形成，其中 x 為在 0 至 1 範圍內的數字，指示銻的原子百分比。舉例而言， $\text{Si}_{0.5}\text{Ge}_{0.5}$ 對應於具有百分之 50 銻的矽銻化合物。在一些實施例中，SRB 層 101 具有銻原子濃度梯度。舉例而言，SRB 層 101 可具有隨著與基板 50 的頂表面的距離增大而減小的分級銻原子濃度。

【0023】 在一些實施例中，且如隨後將更詳細地描述，第一半導體層及第三半導體層 101 及 103 將被移除且第二半導體層 102 將經圖案化以在基板 50 上方形成奈米 FET 的通道區域。在一些實施例中，第二半導體層 102 可互換地稱為通道層，且第一半導體層及第三半導體層 101 及 103 可互換地稱為犧牲層 (或虛設層)，該些犧牲層將在後續處理中移除以暴露第二半導體層 102 的頂表面及底表面。第一半導體層及第三半導體層 101 及 103 的第一半導體材料及第三半導體材料可由具有不同於第二半導體層 102 的高蝕刻選擇性的材料製成，使得可移除第一半導體層及第三半

導體層 101 及 103 而不移除第二半導體層 102。在一些實施例中，第三半導體層 103 可由與第一半導體層 101 不同的材料製成。在一些實施例中，第三半導體層 103 可由與第一半導體層 101 相同的材料製成。舉例說明而非限制，第二半導體層 102 的第二半導體材料可包括適合於 n 型裝置及 p 型裝置兩者的材料，諸如矽，且第一半導體層及第三半導體層 101 及 103 的第一半導體材料及第三半導體材料可包括矽銻。在一些實施例中，第一半導體層 101 可具有比第三半導體層 103 厚的厚度。在一些實施例中，第三半導體層 103 中的處於較低位置的第三半導體層可具有比第三半導體層 103 中的處於較高位置的第三半導體層厚的厚度。

【0024】 多層堆疊 120 的層中的每一者可藉由諸如氣相磊晶 (vapor phase epitaxy, VPE) 或分子束磊晶 (molecular beam epitaxy, MBE) 的製程來生長，藉由諸如化學氣相沉積 (chemical vapor deposition, CVD) 或原子層沉積 (atomic layer deposition, ALD) 或類似者的製程來沉積。該些層中的每一者可具有小厚度，諸如在約 5 nm 至約 30 nm 的範圍內的厚度。在一些實施例中，一些層 (例如，第三半導體層 103) 形成為比其他層 (例如，第二半導體層 102) 薄。舉例而言，在第三半導體層 103 為犧牲層 (或虛設層) 且第二半導體層 102 經圖案化以在 n 型區域及 p 型區域兩者中形成奈米 FET 的通道區域的一些實施例中，第一半導體層 101 或第三半導體層 103

可具有第一厚度，且第二半導體層 102 可具有第二厚度，且第二厚度比第一厚度小約 30% 至約 60%。形成第二半導體層 102 至較小厚度允許通道區域以較大密度形成。在一些實施例中，第一半導體層 101 形成為比多層堆疊 120 中的其他層（例如，第二半導體層及第三半導體層 102 及 103）厚。

【0025】 參考第 3A 圖、第 3B 圖及第 3C 圖。在一些實施例中，對基板 100 及多層堆疊 120 執行第一蝕刻製程 P1 以形成溝槽 T1。溝槽 T1 界定鰭條帶 100a 及在鰭條帶 100a 上的鰭形結構 120a。鰭條帶 100a 為在基板 100 中圖案化的半導體條帶。鰭形結構 120a 包括一第一奈米結構 101a、多個第二奈米結構 102a 及多個第三奈米結構 103a，該些奈米結構分別包括第一半導體層、第二半導體層及第三半導體層 101、102 及 103 的剩餘部分。溝槽 T1 可藉由諸如反應離子蝕刻 (reactive ion etch, RIE)、中性束蝕刻 (neutral beam etch, NBE)、類似者或其組合的任何可接受的蝕刻製程來圖案化。蝕刻可為各向異性的。在一些實施例中，第一蝕刻製程 P1 可為乾式蝕刻，諸如反應離子蝕刻 (reactive ion etch, RIE) 製程。在一些實施例中，第一蝕刻製程 P1 可在一壓力下執行，該壓力在約 3 至 8 托的範圍內，諸如約 3、4、5、6、7 或 8 托。在一些實施例中，第一蝕刻製程 P1 可藉由使用含氯氣體作為蝕刻氣體來執行。在一些實施例中，第一蝕刻製程 P1 可藉由使用沒有含溴氣體的蝕刻氣體來執行。

【0026】 鰭條帶 100a 及第一奈米結構、第二奈米結構及第三奈米結構 101a、102a 及 103a 可藉由任何合適方法來圖案化。舉例而言，鰭條帶 100a 及第一奈米結構、第二奈米結構及第三奈米結構 101a、102a 及 103a 可藉由使用包括雙重圖案化製程或多次圖案化製程的一或多種光微影製程來圖案化。通常，雙重圖案化製程或多次圖案化製程組合光微影製程及自對準製程，從而允許創造具有例如小於使用單一的直接光微影製程另外可獲得的間距的間距的圖案。舉例而言，在一些實施例中，犧牲層形成於基板上方且使用光微影製程來圖案化。間隔物係使用自對準製程沿著圖案化的犧牲層形成。然後移除犧牲層，且可將剩餘的間隔物用作硬遮罩層 104 以對鰭條帶 100a 及第一奈米結構、第二奈米結構及第三奈米結構 101a、102a 及 103a 進行圖案化。在一些實施例中，硬遮罩層 104（或其他層）可保留在第一奈米結構、第二奈米結構及第三奈米結構 101a、102a 及 103a 上。在一些實施例中，硬遮罩層 104 可由諸如氧化矽的氧化物、諸如氮化矽的氮化物、類似物或其組合製成。在一些實施例中，在如第 3C 圖所示的橫截面圖中，鰭條帶 100a 及第一奈米結構、第二奈米結構及第三奈米結構 101a、102a 及 103a 可各自具有在約 8 nm 至約 40 nm 的範圍內的寬度。在一些實施例中，鰭條帶 100a 及第一奈米結構、第二奈米結構及第三奈米結構 101a、102a 及 103a 具有實質上相等的寬度。

【0027】 參考第 4A 圖、第 4B 圖及第 4C 圖。淺溝槽隔離

(shallow trench isolation, STI)區域 105 形成於基板 100 上方且橫向地圍繞鰭條帶 100a，使得第一奈米結構、第二奈米結構及第三奈米結構 101a、102a 及 103a 可突出於 STI 區域 105。在一些實施例中，STI 區域 105 的頂表面與鰭條帶 100a 的頂表面共面(在製程變異內)。在一些實施例中，STI 區域 105 的頂表面在鰭條帶 100a 的頂表面之上或下。在一些實施例中，STI 區域 105 可將鄰近裝置的特徵分開。

【0028】 STI 區域 105 可藉由任何合適方法形成。舉例而言，絕緣材料可在基板 100 及第一奈米結構、第二奈米結構及第三奈米結構 101a、102a 及 103a 上方形成。絕緣材料可為諸如氧化矽的氧化物、諸如氮化矽的氮化物、類似物或其組合，絕緣材料可藉由諸如高密度電漿 CVD (high density plasma CVD, HDP-CVD)、可流動化學氣相沉積(flowable chemical vapor deposition, FCVD)、類似者或其組合的化學氣相沉積(chemical vapor deposition, CVD)製程來形成。可使用由任何可接受的製程形成的其他絕緣材料。在一些實施例中，絕緣材料為藉由 FCVD 形成的氧化矽。退火製程可在絕緣材料形成後立即執行。在一些實施例中，絕緣材料形成，使得過量絕緣材料覆蓋第一奈米結構、第二奈米結構及第三奈米結構 101a、102a 及 103a。儘管 STI 區域 105 各自圖示為單一層，但一些實施例可利用多個層。舉例而言，在一些實施例中，襯裡(未分開圖示)可首先沿著基板 100、

鰭條帶 100a 及第一奈米結構、第二奈米結構及第三奈米結構 101a、102a 及 103a 的表面形成。此後，諸如先前描述的那些材料的填充材料可在襯裡上方形成。

【0029】 接著將移除製程應用於絕緣材料以移除第一奈米結構、第二奈米結構及第三奈米結構 101a、102a 及 103a 上方的過量絕緣材料。在一些實施例中，可利用平坦化製程，諸如化學機械研磨(chemical mechanical polish，CMP)、回蝕製程、其組合或類似者。在硬遮罩層 104 保留在第一奈米結構、第二奈米結構及第三奈米結構 s 101a、102a 及 103a 上的實施例中，平坦化製程可暴露硬遮罩層 104 或移除硬遮罩層 104。在平坦化製程之後，絕緣材料及硬遮罩層 104 或第一奈米結構、第二奈米結構及第三奈米結構 101a、102a 及 103a 的頂表面共面(在製程變異內)。因此，硬遮罩層 104 或第一奈米結構、第二奈米結構及第三奈米結構 101a、102a 及 103a 的頂表面經由絕緣材料暴露。在一些實施例中，沒有遮罩保留在第一奈米結構、第二奈米結構及第三奈米結構 101a、102a 及 103a 上。接著使絕緣材料凹陷以形成 STI 區域 105。使絕緣材料凹陷，使得第一奈米結構、第二奈米結構及第三奈米結構 101a、102a 及 103a 的至少一部分突出於絕緣材料。此外，STI 區域 105 的頂表面可具有如圖示的平面、凸面、凹面(諸如碟形)或其組合。STI 區域 105 的頂表面可藉由適當蝕刻而形成為平、凸及/或凹的。可使用任何可接受的蝕刻製程來移除絕緣材料，該蝕刻製程諸如對絕緣材料的

材料具有選擇性(例如,以比鰭條帶 100a 及第一奈米結構、第二奈米結構及第三奈米結構 101a、102a 及 103a 的材料快的速率選擇性地蝕刻 STI 區域 105 的絕緣材料)的蝕刻製程。舉例而言,氧化物移除可使用稀釋的氫氟(dilute hydrofluoric, dHF)酸來執行。

【0030】 先前描述的製程僅為可如何形成鰭條帶 100a 及第一奈米結構、第二奈米結構及第三奈米結構 101a、102a 及 103a 的一個實例。在一些實施例中,鰭條帶 100a 及第一奈米結構、第二奈米結構及第三奈米結構 101a、102a 及 103a 可使用遮罩及磊晶生長製程來形成。舉例而言,介電層可在基板 100 的頂表面上方形成,且溝槽可經由介電層來蝕刻以暴露下伏的基板 100。磊晶結構可在溝槽中以磊晶方式生長,且介電層可凹陷,使得磊晶結構突出於介電層以形成鰭條帶 100a 及/或基板 100 的頂表面。磊晶結構可包括先前描述的交替的半導體材料,諸如第一半導體材料及第二半導體材料。在磊晶結構以磊晶方式生長的一些實施例中,磊晶生長的材料可在生長期間原位摻雜,此可消除先前及/或後續的佈植,儘管原位及佈植摻雜可一起使用。此外,適當的井(未分開圖示)可形成於基板 100 的頂表面、鰭條帶 100a 及/或基板 100 中。該些井可具有與將後續形成於鰭條帶 100a 中的源極/汲極區域的導電型相反的導電型。

【0031】 在 IC 演進的過程中,可提供奈米 FET 以減少自通道至基板的電流洩漏。形成奈米 FET 可包括形成包括第

一奈米結構 101a 及在第一奈米結構 101a 上的交替的第二奈米結構 102a 及第三奈米結構 103a 的鰭形結構 120a (參見第 3A 圖～第 3C 圖)，然後移除第一奈米結構及第三奈米結構 101a 及 103a (參見第 11A 圖～第 11C 圖)以釋放第二奈米結構 102a，然後形成環繞釋放的第二奈米結構 102a 的閘極結構(參見第 12A 圖～第 12C 圖)。然而，在用於移除第一奈米結構及第三奈米結構 101a 及 103a 的後續蝕刻製程(亦稱作通道釋放製程)期間，蝕刻製程可能非故意地修整第二奈米結構 102a。在通道釋放製程中，第二奈米結構 10a 位置越高，第二奈米結構 102 蝕刻地越快，因此第二奈米結構 102a 可具有不同尺寸(即，關於寬度/厚度的非均勻通道大小)，此反過來產生奈米 FET 的 V_t 變異且導致 CMOS 電路設計的問題。

【0032】 因此，各種實施例中的本揭示內容在通道釋放製程之前提供對鰭形結構 120a 的蝕刻製程 P2(參見第 5A 圖～第 5C 圖)。蝕刻製程 P2 可修整鰭形結構 120a 以形成倒楔形橫截面輪廓 P (參見第 5C 圖)。在一些實施例中，倒楔形橫截面輪廓 P 可互換地稱為倒梯形橫截面輪廓。此外，第二奈米結構 102a 越高，第二奈米結構 102a 在鰭形結構 120a 中的厚度越大(參見第 5B 圖及第 5C 圖，例如，厚度 t_2 大於厚度 t_1)。第二奈米結構 102a 之間的厚度差由形成第二半導體層 102 的不同沉積步驟引起。請注意，第 11A 圖～第 11C 圖所示的用於移除第一奈米結構及第三奈米結構 101a 及 103a 的後續蝕刻製程(即，通道

釋放製程)可能非故意地修整第二奈米結構 102a，且蝕刻製程的蝕刻速率將自鰭頂部至鰭底部減小，此意味著第二奈米結構 102a 位置越高，在非故意修整中在第二奈米結構 102a 上發生的尺寸減小越大。然而，由於倒楔形輪廓 P，第二奈米結構 102a 位置越高，第二奈米結構 102a 越大。因此，第二奈米結構 102a 之間的尺寸差可充當幫助對抗由通道釋放蝕刻製程造成的尺寸減小差(即，蝕刻速率差)的平衡。因此，在對倒楔形輪廓 P 執行通道釋放蝕刻製程之後，第二奈米結構 102a 之間的尺寸差(例如，寬度/厚度差)可減小，由此改良第二奈米結構 102a 中的尺寸一致性，使得第二奈米結構 102a 中的任何兩個之間的 V_t 差可減小，且奈米 FET 中的每佔地面積的 I_{ON} 可得到改良。

【0033】 參考第 5A 圖、第 5B 圖及第 5C 圖。對鰭形結構 120a 執行第二蝕刻製程 P2 以將鰭形結構 120a 修整為當在沿著垂直於第二奈米結構 102a 的縱向軸線的方向截取的橫截面中觀察時的倒楔形輪廓 P。在一些實施例中，第二蝕刻製程 P2 可為乾式蝕刻，諸如反應離子蝕刻(reactive ion etch, RIE)製程。因此，倒楔形鰭形結構可藉由包括第一蝕刻製程 P1(參見第 3A 圖～第 3C 圖)及第二蝕刻製程 P2(參見第 5A 圖～第 5C 圖)的兩步 RIE 製程來形成。對鰭形結構 120a 執行的第二蝕刻製程 P2 的蝕刻速率隨著自鰭形結構 120a 的頂端向下的距離增大而提高。不同位準高度上的關於鰭形結構 120a 的第二蝕刻製程 P2 的蝕刻速率的變化可由鰭形結構 120a 的組成及/

或第二蝕刻製程 P2 的壓力/蝕刻劑種類來控制。

【0034】 確切地說，鰭形結構 120a 中的鍺原子濃度越高，第二蝕刻製程 P2 的蝕刻速率越大。在一些實施例中，第一奈米結構及第三奈米結構 101a 及 103a 可由矽鍺製成，且第二奈米結構 102a 可由矽製成。第一奈米結構 101a 可具有比第三奈米結構 103a 高的鍺原子濃度。舉例說明而非限制，第三奈米結構 103a 可具有在約 5 原子百分比至約 30 原子百分比的範圍內的鍺濃度，諸如約 5、10、15、20、25、30 或 40 原子百分比。在一些實施例中，第一奈米結構 101a 可具有在約 0 原子百分比至約 100 原子百分比的範圍內的鍺濃度，諸如約 10、20、30、40、50、60、70、80、90 或 100 原子百分比。在一些實施例中，第一奈米結構 101a 可具有隨著與基板 50 的頂表面的距離增大而減小的分級鍺原子濃度。在一些實施例中，第三奈米結構 103a 中的處於較低位置的第三奈米結構可具有比第三奈米結構 103a 中的處於較高位置的另一第三奈米結構高的鍺原子濃度。

【0035】 在一些實施例中，由矽鍺製成的第三奈米結構 103a 可充當下伏的由矽製成的第二奈米結構 102a 的遮罩層。因此，當第三奈米結構 103a 縮短以暴露下伏的第二奈米結構 102a 時，第三奈米結構 103a 不能保護暴露的第二奈米結構 102a，因此暴露的第二奈米結構 102a 隨後將被蝕刻。在一些實施例中，在第二蝕刻製程 P2 之後，第二奈米結構 102a 可具有與第三奈米結構 103a 的側壁毗

連的傾斜側壁 102s，如第 5C 圖所示。

【0036】 在一些實施例中，第二蝕刻製程 P2 可藉由使用含氯氣體與含溴氣體的氣體混合物作為蝕刻氣體來執行。與第一蝕刻製程 P1 相比，蝕刻製程 P2 的蝕刻氣體可使用含溴氣體，而第一蝕刻製程 P1 不使用含溴氣體。舉例說明而非限制，第二蝕刻製程 P2 可使用 Cl_2/HBr 作為蝕刻氣體來執行。在一些實施例中，第二蝕刻製程 P2 可在高於第一蝕刻製程 P1 的壓力下執行，如第 3A 圖～第 3C 圖所示。舉例說明而非限制，第二蝕刻製程 P2 的壓力可在約 8 至 12 托的範圍內，諸如約 8 托、9 托、10 托、11 托或 12 托。因為第二蝕刻製程 P2 的蝕刻氣體中的組分處在高壓狀態下，此又使該些組分彼此碰撞的機會增大，所以第二蝕刻製程 P2 傾向於為各向同性的。

【0037】 鰭形結構 120a 的組成及第二蝕刻製程 P2 的壓力/蝕刻劑種類導致對鰭形結構 120a 的第二蝕刻製程 P2 的蝕刻速率隨著自鰭形結構 120a 的頂端向下的距離增大而提高，由此形成當在垂直於第二奈米結構 102a 的縱向軸線的方向上觀察時的倒楔形輪廓 P。因此，如第 5C 圖所示，第二奈米結構 102a 中的下部奈米結構可具有比第二奈米結構 102a 中的上部奈米結構的寬度 w_2 窄的寬度 w_1 。確切地說，第二奈米結構 102a 中的下部奈米結構具有比第二奈米結構 102a 中的上部奈米結構的最大橫向尺寸小的最大橫向尺寸。在一些實施例中，當在垂直於第二奈米結構 102a 的縱向軸線的方向上觀察時，第二奈米結構 102a

中的下部奈米結構的最大橫向尺寸小於緊接第二奈米結構 102a 中的下部奈米結構的第二奈米結構 102a 中的上部奈米結構的橫向最小尺寸。在一些實施例中，第二奈米結構 102a 各自可具有傾斜側壁 102s。因此，在第二奈米結構 102a 中的一者的下部位置中的橫向尺寸可小於在第二奈米結構 102a 中的該同一者的上部位置中的另一橫向尺寸。在一些實施例中，第二蝕刻製程 P2 將最少地消耗鰭條帶 100a，且因此，當在垂直於第二奈米結構 102a 的縱向軸線的方向上觀察時，鰭條帶 100a 具有大於第二奈米結構 102a 的橫向尺寸 w_3 。

【0038】 參考第 6A 圖、第 6B 圖及第 6C 圖。虛設閘極層形成於鰭條帶 100a 及第一奈米結構、第二奈米結構及第三奈米結構 101a、102a 及 103a 上。將形成虛設閘極 106 的虛設閘極層包括一虛設閘極介電層及在該虛設閘極介電層上方的一虛設閘極電極層。虛設閘極介電層可由諸如氧化矽、氮化矽、其組合或類似者的介電材料形成，介電材料可根據可接受技術來沉積或熱生長。虛設閘極電極層可由諸如以下各者的導電材料或非導電材料形成：非晶矽、多晶矽(聚矽)、多晶矽鍺(聚 SiGe)、金屬、金屬氮化物、金屬矽化物、金屬氧化物或類似者，虛設閘極電極層可藉由物理氣相沉積(physical vapor deposition, PVD)、CVD 或類似者來沉積。

【0039】 隨後，藉由任何可接受的蝕刻技術將形成於虛設閘極層上的硬遮罩層 107 的圖案轉印至虛設閘極層以形成虛

設閘極 106。虛設閘極 106 覆蓋第一奈米結構、第二奈米結構及第三奈米結構 101a、102a 及 103a 的部分，該些部分將在後續處理中暴露以形成通道區域。確切地說，虛設閘極 106 沿著第二奈米結構 102a 的部分延伸，該些部分將經圖案化以形成通道區域 102c (參見第 6B 圖)。虛設閘極 106 亦可具有垂直於鰭條帶 100a 的長度方向的長度方向(在製程變異內)。硬遮罩層 107 可視情況在圖案化之後諸如藉由任何可接受的蝕刻技術移除。在一些實施例中，硬遮罩層 107 可由諸如氮化矽、氮氧化矽、氧碳氮化矽(SiOCN)、類似物或其組合製成。

【0040】 參考第 7A 圖、第 7B 圖及第 7C 圖。閘極間隔物 108 在第一奈米結構、第二奈米結構及第三奈米結構 101a、102a 及 103a 及硬遮罩層 104 上方及虛設閘極 106 及硬遮罩層 107 的暴露側壁上形成。閘極間隔物 108 可藉由保形地沉積一或多種介電材料且隨後蝕刻該(該些)介電材料來形成。可接受的介電材料可包括氧化矽、氮化矽、氮氧化矽、氧碳氮化矽或類似物，該些材料可藉由諸如化學氣相沉積(chemical vapor deposition, CVD)、電漿增強化學氣相沉積(plasma-enhanced chemical vapor deposition, PECVD)、原子層沉積(atomic layer deposition, ALD)、電漿增強原子層沉積(plasma-enhanced atomic layer deposition, PEALD)或類似者的保形沉積製程來形成。可使用由任何可接受的製程形成的其他絕緣材料。在一些實施例中，閘極間隔物 10

8 各自包括多個層，例如，第一間隔物層 108A 及第二間隔物層 108B（參見第 7B 圖）。在一些實施例中，第一間隔物層 108A 及第二間隔物層 108B 由氧碳氮化矽（例如， $\text{SiO}_x\text{N}_y\text{C}_{1-x-y}$ ，其中 x 及 y 在 0 至 1 的範圍內）形成，其中第一間隔物層 108A 由組成與第二間隔物層 108B 類似或不同的氧碳氮化矽形成。可執行諸如乾式蝕刻、濕式蝕刻、類似者或其組合的任何可接受的蝕刻製程以對介電材料進行圖案化。蝕刻可為各向異性的。介電材料在蝕刻後具有留在虛設閘極 106 的側壁上的部分（因此形成閘極間隔物 108）。在蝕刻之後，閘極間隔物 108 可具有筆直側壁（如圖示）或可具有彎曲側壁（未分開圖示）。

【0041】 參考第 8A 圖、第 8B 圖及第 8C 圖。源極/汲極凹部 R1 形成於第一奈米結構、第二奈米結構及第三奈米結構 101a、102a 及 103a 中。在一些實施例中，源極/汲極凹部 R1 延伸穿過第一奈米結構、第二奈米結構及第三奈米結構 101a、102a 及 103a 且延伸到鰭條帶 100a 的頂表面而不蝕刻鰭條帶 100a。在一些實施例中，源極/汲極凹部 R1 亦可延伸至鰭條帶 100a 中，使得源極/汲極凹部 R1 的底表面安置在 STI 區域 105 的頂表面下；或類似情況。源極/汲極凹部 R1 可藉由使用諸如 RIE、NBE 或類似者的乾式蝕刻製程對第一奈米結構、第二奈米結構及第三奈米結構 101a、102a 及 103a 進行蝕刻來形成。在一些實施例中，蝕刻可為各向異性的。閘極間隔物 108 及虛設閘極 106 在用於形成源極/汲極凹部 R1 的蝕刻製程期間共同

遮蔽鰭條帶 100a 及 / 或第一奈米結構、第二奈米結構及第三奈米結構 101a、102a 及 103a 的部分。單一蝕刻製程可用於對第一奈米結構、第二奈米結構及第三奈米結構 101a、102a 及 103a 中的每一者進行蝕刻，或多個蝕刻製程可用於對第一奈米結構、第二奈米結構及第三奈米結構 101a、102a 及 103a 進行蝕刻。定時蝕刻製程可用於在源極 / 汲極凹部 R1 達到所要深度之後停止源極 / 汲極凹部 R1 的蝕刻。

【0042】 視情況，內部間隔物 109 形成於第一奈米結構及第三奈米結構 101a 及 103a 的剩餘部分的側壁(例如，由源極 / 汲極凹部 R1 暴露的那些側壁)上。如隨後將更詳細地描述，源極 / 汲極區域將隨後形成於源極 / 汲極凹部 R1 中，且第一奈米結構及第三奈米結構 101a 及 103a 隨後將由對應的閘極結構替換。內部間隔物 109 充當隨後形成的源極 / 汲極區域與隨後形成的閘極結構之間的隔離特徵。此外，內部間隔物 109 可用於實質上防止對藉由後續蝕刻製程而隨後形成的源極 / 汲極區域的傷害，後續蝕刻製程諸如用於隨後移除第一奈米結構及第三奈米結構 101a 及 103a 的蝕刻製程。

【0043】 作為形成內部間隔物 109 的一實例，源極 / 汲極凹部 R1 可橫向地擴展。確切地說，由源極 / 汲極凹部 R1 暴露的第一奈米結構及第三奈米結構 101a 及 103a 的側壁的部分可相對於第二奈米結構 102a 的側壁 102w (參見第 8B 圖)凹入。儘管第一奈米結構及第三奈米結構 101a 及 1

03a 的側壁圖示為筆直的，但該些側壁可為凹或凸的。可藉由任何可接受的蝕刻製程來使側壁凹陷，該蝕刻製程諸如對第一奈米結構及第三奈米結構 101a 及 103a 的材料具有選擇性(例如，以比第二奈米結構 102a 的材料快的速率選擇性地蝕刻第一奈米結構及第三奈米結構 101a 及 103a 的材料)的蝕刻製程。在一些實施例中，可蝕刻鄰近於第二奈米結構 102a 的奈米結構 102a 的部分。蝕刻可為各向同性的。舉例而言，當第二奈米結構 102a 由矽形成且第一奈米結構及第三奈米結構 101a 及 103a 由矽鍺形成時，蝕刻製程可為使用四甲基氫氧化銨(tetramethylammonium hydroxide, TMAH)、氫氧化銨(NH₄OH)或類似物的濕式蝕刻。在一些實施例中，蝕刻製程可為使用諸如氟化氫(HF)氣體的基於氟的氣體的乾式蝕刻。在一些實施例中，相同的蝕刻製程可連續地執行以形成源極/汲極凹部 R1 且使第一奈米結構及第三奈米結構 101a 及 103a 的側壁凹陷。

【0044】 隨後，可藉由保形地形成一絕緣材料且隨後蝕刻該絕緣材料來形成內部間隔物 109。絕緣材料可為氮化矽、矽碳氮化物(SiCN)、氧碳氮化矽(SiOCN)、氮氧化矽，或可利用任何合適材料，諸如具有小於約 3.5 的 k 值的低介電常數(低 k)材料。可藉由諸如 ALD、CVD 或類似者的保形沉積製程來沉積絕緣材料。絕緣材料的蝕刻可為各向異性的。舉例而言，蝕刻製程可為乾式蝕刻，諸如 RIE、NBE 或類似者。儘管內部間隔物 109 的外側壁圖示為相對

於閘極間隔物 108 的側壁齊平，但內部間隔物 109 的外側壁可延伸超出閘極間隔物 108 的側壁或自閘極間隔物 108 的側壁凹陷。換言之，內部間隔物 109 可部分填充、完全填充或過度填充側壁凹部。此外，儘管內部間隔物 109 的側壁圖示為筆直的，但內部間隔物 109 的側壁可為凹或凸的。

【0045】 參考第 9A 圖、第 9B 圖及第 9C 圖。磊晶源極/汲極區域 110 形成於源極/汲極凹部 R1 中。磊晶源極/汲極區域 110 形成於源極/汲極凹部 R1 中，使得每一虛設閘極 106 (及對應的通道區域 102c) 安置在磊晶源極/汲極區域 110 之間。在一些實施例中，閘極間隔物 108 及內部間隔物 109 用於將磊晶源極/汲極區域 110 分別與虛設閘極 106 及第二奈米結構 102a 分開恰當的橫向距離，使得磊晶源極/汲極區域 110 不因為所得奈米 FET 的後續形成的閘極而短路。磊晶源極/汲極區域 110 的材料可經選擇以在各自的通道區域 102c 中施加應力，由此改良效能。

【0046】 磊晶源極/汲極區域 110 以磊晶方式在源極/汲極凹部 R1 中生長。磊晶源極/汲極區域 110 可包括適合諸如 n 型裝置的任何可接受的材料。舉例而言，n 型區域中的磊晶源極/汲極區域 110 可包括對通道區域 102c 施加拉伸應變的材料，諸如矽、碳化矽、磷摻雜的碳化矽、磷化矽或類似物。n 型區域中的磊晶源極/汲極區域 110 可被稱為「n 型源極/汲極區域」。磊晶源極/汲極區域 110 可包括適合諸如 p 型裝置的任何可接受的材料。舉例而言，p 型區域

中的磊晶源極/汲極區域 110 可包括對通道區域 102c 施加壓縮應變的材料，諸如矽鍺、硼摻雜的矽鍺、鍺、鍺錫或類似物。p 型區域中的磊晶源極/汲極區域 110 可被稱為「p 型源極/汲極區域」。磊晶源極/汲極區域 110、第二奈米結構 102a 及/或鰭條帶 100a 可佈植具有雜質，接著進行退火製程。該些源極/汲極區域可具有在約 10^{19} cm^{-3} 至約 10^{21} cm^{-3} 的範圍內的雜質濃度。在一些實施例中，磊晶源極/汲極區域 110 可在生長期間經原位摻雜。磊晶源極/汲極區域 110 可具有自鰭條帶 100a 及第一奈米結構、第二奈米結構及第三奈米結構 101a、102a 及 103a 的相應表面升高的表面，且可具有小面。

【0047】 參考第 10A 圖、第 10B 圖及第 10C 圖。層間介電質(inter-layer dielectric, ILD)層 111 安置在磊晶源極/汲極區域 110、閘極間隔物 108、硬遮罩層 107 及虛設閘極 106 上方。ILD 層 111 可由一介電材料形成，可藉由諸如 CVD、電漿增強 CVD (plasma-enhanced CVD, PECVD)、FCVD 或類似者的任何合適方法來沉積該介電材料。可接受的介電材料可包括氧化矽、氮化矽、磷矽酸鹽玻璃(phospho-silicate glass, PSG)、硼矽酸鹽玻璃(boro-silicate glass, BSG)、硼摻雜磷矽酸鹽玻璃(boron-doped phospho-silicate glass, BPSG)、未摻雜矽酸鹽玻璃(undoped silicate glass, USG)或類似物。可使用由任何可接受的製程形成的其他絕緣材料。

【0048】 在一些實施例中，接觸蝕刻終止層(`contact etch stop layer`，`CESL`) 114 可形成於 `ILD` 層 111 與磊晶源極/汲極區域 110、閘極間隔物 108 及硬遮罩層 107 或虛設閘極 106 之間。`CESL` 114 可由對於 `ILD` 層 111 的蝕刻具有高蝕刻選擇性的介電材料形成，該介電材料諸如氮化矽、氧化矽、氮氧化矽或類似物。`CESL` 114 可藉由諸如 `CVD`、`ALD` 或類似者的任何合適方法形成。

【0049】 隨後，執行移除製程以使 `ILD` 層 111 的頂表面與硬遮罩層 107 或虛設閘極 106 的頂表面一樣高。在一些實施例中，可利用平坦化製程，諸如化學機械研磨(`chemical mechanical polish`，`CMP`)、回蝕製程、其組合或類似者。平坦化製程亦可移除虛設閘極 106 上的硬遮罩層 107，及沿著硬遮罩層 107 的側壁的閘極間隔物 108 的部分。在平坦化製程之後，閘極間隔物 108、`ILD` 層 111、`CESL` 111 及硬遮罩層 107 或虛設閘極 106 的頂表面共面(在製程變異內)。因此，硬遮罩層 107 或虛設閘極 106 的頂表面經由 `ILD` 層 111 暴露。在一些實施例中，硬遮罩層 107 保留，且平坦化製程使 `ILD` 層 111 的頂表面與硬遮罩層 107 的頂表面一樣高。

【0050】 參考第 11A 圖、第 11B 圖及第 11C 圖。硬遮罩層 107 及虛設閘極 106 在蝕刻製程中被移除，使得凹部 R2 形成。在一些實施例中，蝕刻製程可為各向異性乾式蝕刻製程。舉例而言，蝕刻製程可包括使用反應氣體的乾式蝕刻製程，其以比 `ILD` 層 111、`CESL` 114 及閘極間隔

物 108 快的速率選擇性地蝕刻虛設閘極 106 (參見第 10B 圖及第 10C 圖)。在移除期間，當蝕刻虛設閘極 106 時，硬遮罩層 104 (參見第 10B 圖)可用作蝕刻終止層。接著移除硬遮罩層 104 的暴露部分。凹部 R2 暴露及/或上覆於奈米結構 103a 的部分。

【0051】 接著移除第一奈米結構及第二奈米結構 101a 及 103a 的剩餘部分以擴展凹部 R2，使得開口 O1 (參見第 11B 圖及第 11C 圖)形成於第二奈米結構 102a 之間。第一奈米結構及第二奈米結構 101a 及 103a 的剩餘部分(參見第 10B 圖及第 10C 圖)可藉由第三蝕刻製程 P3 來移除，第三蝕刻製程 P3 以比第二奈米結構 102a 的材料快的速率選擇性地蝕刻第一奈米結構及第二奈米結構 101a 及 103a 的材料。因此，第三蝕刻製程 P3 可選擇性地移除犧牲奈米結構 101a、103c，同時在閘極溝槽中留下奈米結構 102a 以充當 GAA 電晶體的通道層。第三蝕刻製程 P3 可因此可互換地稱為通道釋放製程。在一些實施例中，第三蝕刻製程 P3 可為使用諸如基於氟的氣體(例如，全氟甲烷(CF_4)氣體)的乾式蝕刻製程，且可為各向異性的。在一些實施例中，第三蝕刻製程 P3 可為各向同性的。舉例而言，當第一奈米結構及第二奈米結構 101a 及 103a 由矽鍺形成且第二奈米結構 102a 由矽形成時，蝕刻製程可為使用四甲基氫氧化銨(tetramethylammonium hydroxide, TMAH)、氫氧化銨(NH_4OH)或類似物的濕式蝕刻。

【0052】 第三蝕刻製程 P3 可能非故意地修整第二奈米結構

102a 的側壁 102s (參見第 11C 圖)。非故意地修整第二奈米結構 102a 的蝕刻速率自較高位置至較低位置減小，此意味著第二奈米結構 102a 位置越高，在非故意修整中發生在第二奈米結構 102a 上的寬度減小越大。然而，由於倒楔形輪廓，第二奈米結構 102a 位置越高，第二奈米結構 102a 越寬。因此，由倒楔形輪廓引起的寬度差可充當幫助對抗由通道釋放蝕刻製程造成的尺寸減小差(即，蝕刻速率差)的平衡。因此，在對倒楔形輪廓 P (參見第 5C 圖)執行第三蝕刻製程 P3 之後，第二奈米結構 102a 之間的寬度差度可減小，由此改良第二奈米結構 102a 中的尺寸一致性，使得第二奈米結構 102a 之間的 V_t 差可減小且奈米 FET 中的每佔地面積的 I_{ON} 可得到改良。在一些實施例中，在第三蝕刻製程 P3 之後，第二奈米結構 102a 中的下部奈米結構的寬度 w_1 可比第二奈米結構 102a 中的上部奈米結構的寬度 w_2 窄，但接近寬度 w_2 ，使得奈米 FET 中的 V_t 差可忽略不計。在一些實施例中，在第三蝕刻製程 P3 之後，第二奈米結構 102a 中的下部奈米結構的寬度 w_1 可與第二奈米結構 102a 中的上部奈米結構的寬度 w_2 實質上相同。

【0053】 在一些實施例中，在第三蝕刻製程 P3 之前，第二奈米結構 102a 越高，第二奈米結構 102a 在鰭形結構 120a 中的厚度越大。舉例而言，第二奈米結構 102a 中的下部奈米結構具有比第二奈米結構 102a 中的上部奈米結構的厚度 t_2 薄的厚度 t_1 。此外，第三蝕刻製程 P3 造成的

非故意地修整第二奈米結構 102a 的蝕刻速率自較高位置至較低位置減小，此意味著第二奈米結構 102a 位置越高，在第三蝕刻製程 P3 中發生在第二奈米結構 102a 上的厚度減小越大。然而，上部奈米結構厚度 t_2 大於下部奈米結構厚度 t_1 ，且因此厚度差可充當幫助對抗第三蝕刻製程 P3 所造成的厚度減小差（即，蝕刻速率差）的平衡。因此，在對鰭形結構 120a 執行第三蝕刻製程 P3 之後，第二奈米結構 102a 之間的厚度差可減小，由此改良第二奈米結構 102a 中的尺寸一致性，使得第二奈米結構 102a 中的任何兩個之間的 V_t 差可減小且奈米 FET 中的每佔地面積的 I_{ON} 可得到改良。在一些實施例中，在第三蝕刻製程 P3 之後，第二奈米結構 102a 中的下部奈米結構的厚度 t_1 可比第二奈米結構 102a 中的上部奈米結構的厚度 t_2 薄，但接近厚度 t_2 ，使得奈米 FET 中的 V_t 差可忽略不計。在一些實施例中，在第三蝕刻製程 P3 之後，第二奈米結構 102a 中的下部奈米結構的厚度 t_1 可與第二奈米結構 102a 中的上部奈米結構的厚度 t_2 實質上相同。

【0054】 參考第 12A 圖～第 12C 圖。閘極介電層 112 形成於凹部 R2 中。閘極電極層 113 形成於閘極介電層 112 上。閘極介電層 112 及閘極電極層 113 為替換閘極的層，且每一者環繞第二奈米結構 102a 的所有（例如，四個）側面（參見第 12C 圖）。

【0055】 閘極介電層 112 安置在以下各者上：鰭條帶 100a 的頂表面；第二奈米結構 102a 的頂表面 102t、側壁 102s

及底表面 102b；及閘極間隔物 108 的側壁。閘極介電層 112 亦可形成於 ILD 111 及閘極間隔物 108 的頂表面上。閘極介電層 112 可包括諸如氧化矽或金屬氧化物的氧化物、諸如金屬矽酸鹽的矽酸鹽、其組合、其多層或類似者。閘極介電層 112 可包括具有大於約 7.0 的 k 值的介電材料，諸如金屬氧化物或鈐、鋁、銦、鐳、錳、鋇、鈦、鉛的矽酸鹽及其組合。儘管在第 12A 圖～第 12C 圖中圖示出單層的閘極介電層 112，但閘極介電層 112 可包括任何數目個界面層及任何數目個主要層。

【0056】 閘極電極層 113 可包括含金屬的材料，諸如鈦、氮化鈦、氧化鈦、鎢、鈷、鈦、鋁、其組合、其多層或類似物。儘管在第 12A 圖～第 12C 圖中圖示出單層的閘極電極層 113，但閘極電極層 113 可包括任何數目個工作函數調諧層、任何數目個阻障層、任何數目個膠層及填充材料。

【0057】 參考第 11D 圖及第 12D 圖。第 11D 圖根據本揭示內容的一些替代實施例圖示處在對應於第 11A 圖～第 11C 圖的階段的另一奈米 FET 以圖示在第三蝕刻製程 P3 之後的第二奈米結構(即，通道層)的不同輪廓。第 12D 圖根據本揭示內容的一些替代實施例圖示處在對應於第 12A 圖～第 12C 圖的階段的另一奈米 FET 以圖示在形成替換閘極之後的奈米 FET 的不同輪廓。

【0058】 如第 11D 圖所示，在第三蝕刻製程 P3 之後，第二奈米結構 102a 可被消耗，使得當在垂直於第二奈米結

構 102a 的縱向軸線的方向上觀察時，奈米結構 102a 中的任何兩個可實質上具有彼此相同的橫向尺寸或彼此相同的厚度。在一些實施例中，第二奈米結構 102a 各自可具有垂直側表面，如第 11D 圖所示。因此，第二奈米結構 102a 中的尺寸一致性可得到改良，此又使第二奈米結構 102a 中的任何兩個之間的 V_t 差減至最小且使奈米 FET 中的每佔地面積的 I_{ON} 達到最大。如第 12D 圖所示，在形成替換閘極的閘極介電層 112 及閘極電極層 113 之後，閘極介電層 112 作為第二奈米結構 102a 的垂直側壁 102s 的襯裡。在一些實施例中，第二奈米結構 102a 上的閘極介電層 112 的垂直部分可彼此重疊且可具有彼此相同的垂直尺寸。

【0059】 因此，基於以上論述，可以看出，本揭示內容提供多個優點。然而，要理解，其他實施例可提供多個額外優點，且並非所有優點都要在本文中揭示，且沒有特定優點係所有實施例必需的。一個優點為 GAA FET 的通道尺寸一致性可得到改良。另一優點為接通電流 (I_{ON}) 可由於改良的通道尺寸一致性而增大。

【0060】 在一些實施例中，一種方法包括：在一基板上形成一半導體結構；對該半導體結構執行一第一蝕刻製程以在該基板之上形成向上延伸的一鰭形結構；執行一第二蝕刻製程以修整該鰭形結構以具有一倒梯形橫截面輪廓；在該鰭形結構的多個對置區域上形成多個源極/汲極區域；在該些源極/汲極區域之間形成一閘極結構。在一些實施例中，

在比該第一蝕刻製程高的一壓力下執行該第二蝕刻製程。在一些實施例中，藉由使用包括一含溴氣體的一氣體混合物來執行該第二蝕刻製程，但該第一蝕刻製程不使用該含溴氣體。在一些實施例中，該方法進一步包括：在執行該第一蝕刻製程之後且在執行該第二蝕刻製程之前，圍繞該鰭形結構的一下部部分形成一淺溝槽隔離結構。在一些實施例中，在該基板上形成該半導體結構包含：交替地沉積多種犧牲材料及多種通道材料以在該基板上形成一多層堆疊，且該鰭形結構包含交替的多個犧牲層及多個通道層，該些犧牲層包含該些犧牲材料的多個剩餘部分且該些通道層包含該些通道材料的多個剩餘部分。在一些實施例中，該些犧牲層中的處於一較低位置的一第一犧牲層具有比該些犧牲層中的處於一較高位置的一第二犧牲層高的一銻原子濃度。在一些實施例中，該些犧牲層中的該第一犧牲層具有在約 40 至 100 原子百分比的一範圍內的一銻原子濃度，且該些犧牲層中的該第二犧牲層具有在約 5 至 40 原子百分比的一範圍內的一銻原子濃度。在一些實施例中，該些犧牲層中的該第一犧牲層的該銻原子濃度隨著與該基板的一距離增大而減小。在一些實施例中，該些犧牲層中的處於一較低位置的一第一犧牲層具有比該些犧牲層中的處於一較高位置的一第二犧牲層厚的一厚度。

【0061】 在一些實施例中，一種方法包括：在一基板上交替地沉積多個第一半導體層及多個第二半導體層，該些第一半導體層中的處於一較低位置的一第一半導體層具有比該

些第一半導體層中的處於一較高位置的一第二第一半導體層高的一鍺原子濃度；在一第一壓力下對該些第一半導體層及該些第二半導體層執行一第一蝕刻製程以在該基板上形成一鰭形結構，該鰭形結構具有交替的多個第一奈米結構及多個第二奈米結構，該些第一奈米結構包含該些第一半導體層的多個剩餘部分，且該些第二奈米結構包含該些第二半導體層的多個剩餘部分；使用一含溴氣體，在高於該第一壓力的一第二壓力下對該鰭形結構執行一第二蝕刻製程；在該鰭形結構的任一側上形成多個磊晶結構；移除該鰭形結構的該些第一奈米結構，使得該鰭形結構的該些第二奈米結構懸掛在該基板上方；形成一閘極結構以圍繞該些懸掛的第二奈米結構中的每一者。在一些實施例中，該第一蝕刻製程及該第二蝕刻製程均為反應離子蝕刻製程。在一些實施例中，該第二蝕刻製程蝕刻製程具有自一上部位置至一下部位置減小的一蝕刻速率。在一些實施例中，該第二壓力在約 8 至 12 托的一範圍內。在一些實施例中，該含溴氣體包含 HBr 氣體。在一些實施例中，藉由使用沒有該含溴氣體的一蝕刻氣體來執行該第一蝕刻製程。在一些實施例中，在執行該第二蝕刻製程之後，該鰭形結構的一下部部分具有比該鰭形結構的一上部部分小的一橫向尺寸。

【0062】 在一些實施例中，一種半導體裝置包括一基板、多個源極/汲極區域、多個通道層及一閘極結構。該些源極/汲極區域在該基板之上。該些通道層在一第一方向上在該

些源極 / 汲極區域之間延伸且配置在實質上垂直於該基板的一頂表面的一第二方向上。當在沿著垂直於該第一方向的一第三方向截取的一橫截面中觀察時，該些通道層中的一第一通道層具有比該些通道層中的一第二通道層的一橫向尺寸小的一橫向尺寸。該閘極結構沿著該第三方向延伸且圍繞該些通道層中的該第一通道層及該第二通道層中的每一者。在一些實施例中，該些通道層中的下部通道層具有比該些通道層中的上部通道層小的一厚度。在一些實施例中，該些通道層中的該第一通道層處在比該些通道層中的該第二通道層低的一位置上。在一些實施例中，該些通道層各自具有一傾斜側表面。

【0063】 前述內容概述幾個實施例的特徵，使得熟習此項技術者可更好地理解本揭露的態樣。熟習此項技術者應瞭解，該些技術者可容易將本揭露用作為設計或修改用於實現與本文中介绍的實施例的相同目的及 / 或達成與本文中介绍的實施例的相同優點的其他製程及結構的基礎。熟習此項技術者亦應認識到，此等等效構造不背離本揭露的精神及範疇，且該些技術者可在不背離本揭露的精神及範疇的情況下作出本文中的各種改變、取代及改動。

【符號說明】

【0064】

- 1 0 0 : 基板
- 1 0 0 a : 鰭條帶
- 1 0 1 : 第一半導體層 / 應變鬆弛緩

衝 (S R B) 層

1 0 1 a	:	第一奈米結構
1 0 2	:	第二半導體層
1 0 2 a	:	第二奈米結構
1 0 2 b	:	底表面
1 0 2 c	:	通道區域
1 0 2 s	:	側壁
1 0 2 t	:	頂表面
1 0 2 w	:	側壁
1 0 3	:	第三半導體層
1 0 3 a	:	第三奈米結構
1 0 4	:	硬遮罩層
1 0 5	:	淺溝槽隔離 (S T I) 區域
1 0 6	:	虛設閘極
1 0 7	:	硬遮罩層
1 0 8	:	閘極間隔物
1 0 8 A	:	第一間隔物層
1 0 8 B	:	第二間隔物層
1 0 9	:	內部間隔物
1 1 0	:	磊晶源極 / 汲極區域
1 1 1	:	層間介電質 (I L D) 層
1 1 2	:	閘極介電層
1 1 3	:	閘極電極層
1 1 4	:	接觸蝕刻終止層 (C E S L)

1 2 0	:	多層堆疊
1 2 0 a	:	鰭形結構
B - B ’	:	橫截面
C - C ’	:	橫截面
O 1	:	開口
P	:	倒楔形橫截面輪廓
P 1	:	第一蝕刻製程
P 2	:	第二蝕刻製程
P 3	:	第三蝕刻製程
R 1	:	源極 / 汲極凹部
R 2	:	凹部
T 1	:	溝槽
t 1	:	厚度
t 2	:	厚度
w 1	:	寬度
w 2	:	寬度
w 3	:	橫向尺寸

【生物材料寄存】

國內寄存資訊 (請依寄存機構、日期、號碼順序註記)

無

國外寄存資訊 (請依寄存國家、機構、日期、號碼順序註記)

無

【發明申請專利範圍】

【請求項 1】一種半導體裝置的製造方法，該方法包含以下步驟：

在一基板上形成一半導體結構，該半導體結構包含交替堆疊的多個第一半導體層及多個第二半導體層，該些第一半導體層中的處於一較低位置的一第一者具有比該些第一半導體層中的處於一較高位置的一第二者高的一鍺原子濃度；

在一第一壓力下對該半導體結構執行一第一蝕刻製程以在該基板之上形成向上延伸的一鰭形結構，該鰭形結構具有交替堆疊的多個第一奈米結構及多個第二奈米結構，該些第一奈米結構包含該些第一半導體層的多個剩餘部分，且該些第二奈米結構包含該些第二半導體層的多個剩餘部分；

使用一含溴氣體，在高於該第一壓力的一第二壓力下執行一第二蝕刻製程以修整該鰭形結構以具有一倒梯形橫截面輪廓；

在該鰭形結構的多個對置區域上形成多個源極/汲極區域；

移除該鰭形結構的該些第一奈米結構，使得該鰭形結構的該些第二奈米結構懸掛在該基板上方；及

在該些源極/汲極區域之間形成一閘極結構，該閘極結構圍繞該些懸掛的第二奈米結構中的每一者。

【請求項 2】如請求項 1 所述之方法，其中該第一蝕刻製程不使用該含溴氣體。

【請求項 3】如請求項 1 所述之方法，該方法進一步包含以下步驟：

在執行該第一蝕刻製程之後且在執行該第二蝕刻製程之前，圍繞該鰭形結構的一下部部分形成一淺溝槽隔離結構。

【請求項 4】如請求項 1 所述之方法，其中該些第一半導體層中的該第一者具有在約 40 至 100 原子百分比的一範圍內的一鍺原子濃度，且第一半導體層中的該第二者具有在約 5 至 40 原子百分比的一範圍內的一鍺原子濃度。

【請求項 5】如請求項 4 所述之方法，其中該些第一半導體層中的該第一者的該鍺原子濃度隨著與該基板的一距離增大而減小。

【請求項 6】一種半導體裝置的製造方法，該方法包含以下步驟：

在一基板上交替地沉積多個第一半導體層及多個第二半導體層，該些第一半導體層中的處於一較低位置的一第一半導體層具有比該些第一半導體層中的處於一較高位置的一第二第一半導體層高的一鍺原子濃度；

在一第一壓力下對該些第一半導體層及該些第二半導體層執行一第一蝕刻製程以在該基板上形成一鰭形結構，該鰭形結構具有交替的多個第一奈米結構及多個第二奈米結構，該些第一奈米結構包含該些第一半導體層的多個剩餘部分，且該些第二奈米結構包含該些第二半導體層的多個剩餘部分；

使用一含溴氣體，在高於該第一壓力的一第二壓力下對該鰭形結構執行一第二蝕刻製程；

在該鰭形結構的任一側上形成多個磊晶結構；

移除該鰭形結構的該些第一奈米結構，使得該鰭形結構的該些第二奈米結構懸掛在該基板上方；及

形成一閘極結構以圍繞該些懸掛的第二奈米結構中的每一者。

【請求項 7】如請求項 6 所述之方法，其中該第二蝕刻製程蝕刻製程具有自一上部位置至一下部位置減小的一蝕刻速率。

【請求項 8】如請求項 6 所述之方法，其中在執行該第二蝕刻製程之後，該鰭形結構的一下部部分具有比該鰭形結構的一上部部分小的一橫向尺寸。

【請求項 9】一種半導體裝置，該半導體裝置包含：
一基板；

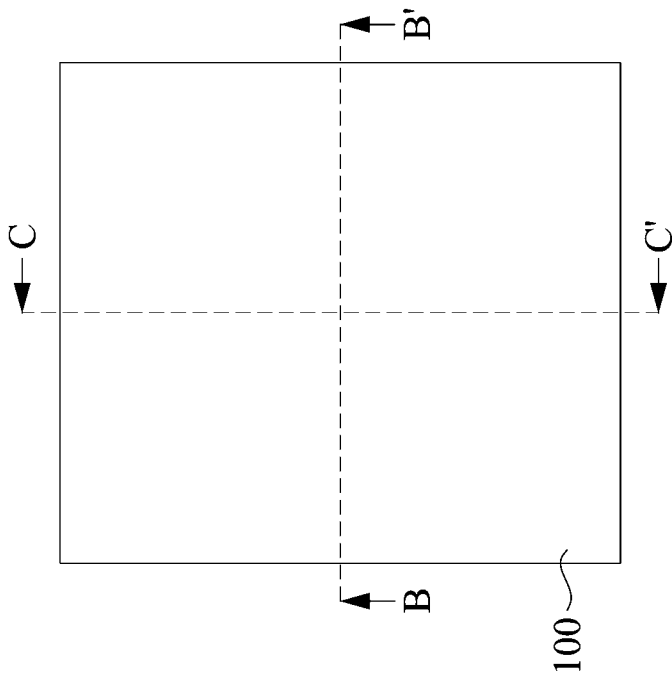
在該基板之上的多個源極/汲極區域；

多個通道層，該些通道層在一第一方向上在該些源極/汲極區域之間延伸，且配置在實質上垂直於該基板的一頂表面的一第二方向上，該些通道層彼此相互分離，且包含一第一通道層以及一第二通道層，該些通道層中的該第一通道層的位置低於該些通道層中的該第二通道層的位置，其中當在沿著垂直於該第一方向的一第三方向截取的一橫截面中觀察時，該些通道層中的該第一通道層的一最大橫向尺寸，係小於該些通道層中的該第二通道層的一最大橫向尺寸；及

一閘極結構，該閘極結構沿著該第三方向延伸且圍繞該些通道層中的該第一通道層及該第二通道層中的每一者。

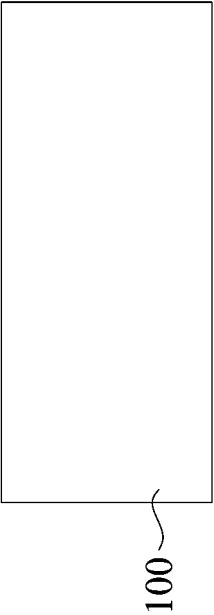
【請求項 10】如請求項 9 所述之半導體裝置，其中該些通道層中的該第一通道層具有比該些通道層中的該第二通道層小的一厚度。

【發明圖式】



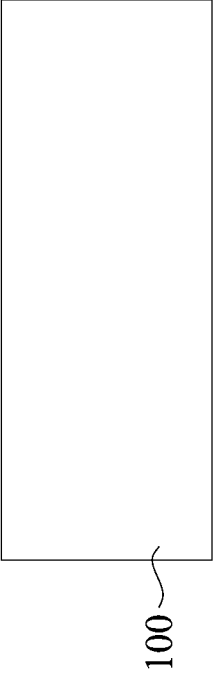
第 1A 圖

B-B'

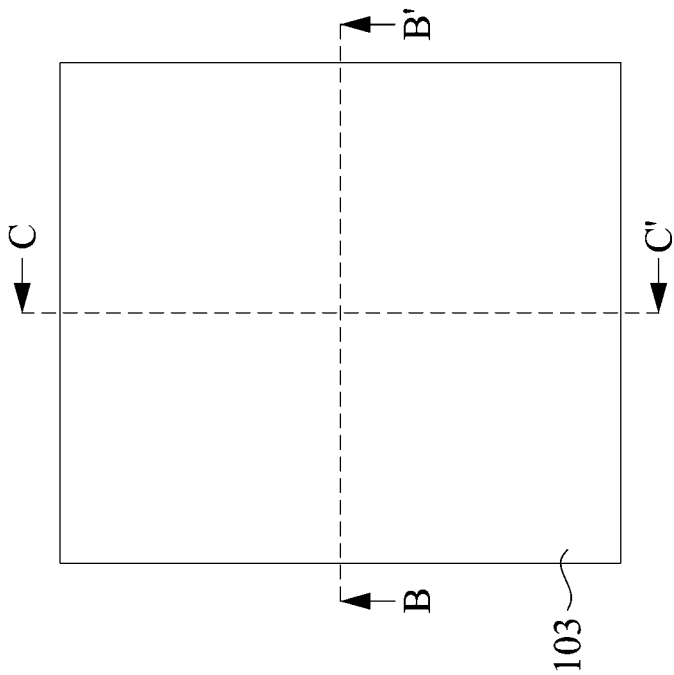


第 1B 圖

C-C'

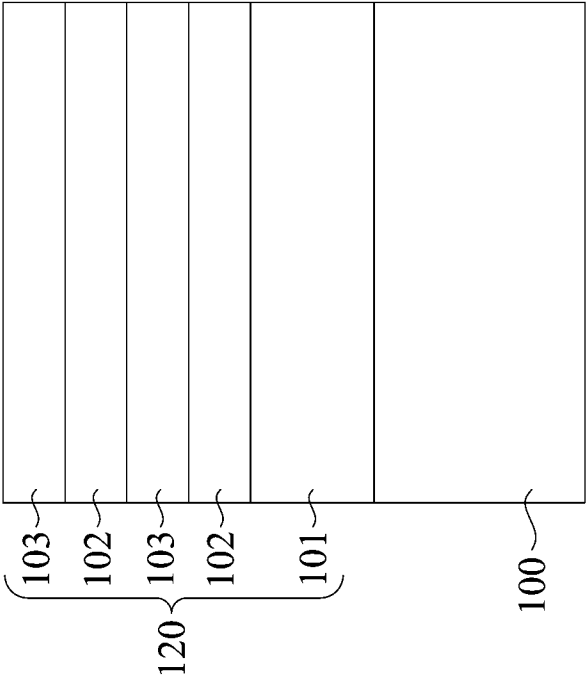


第 1C 圖



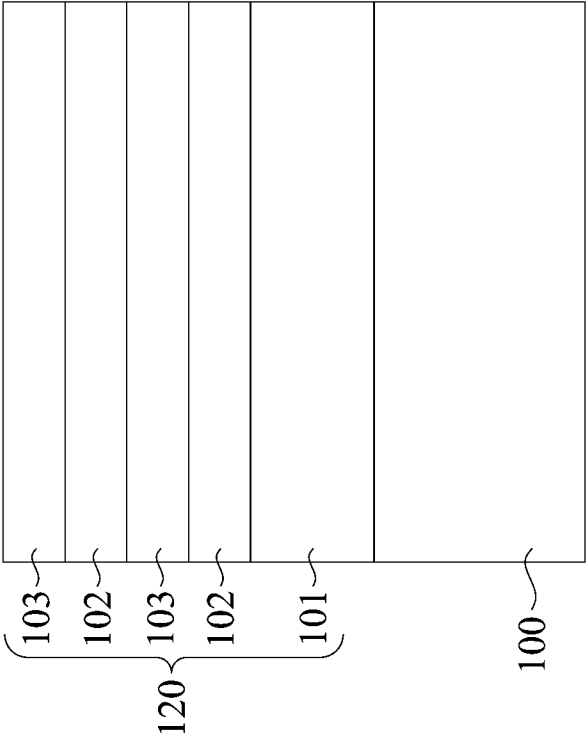
第 2A 圖

B-B'

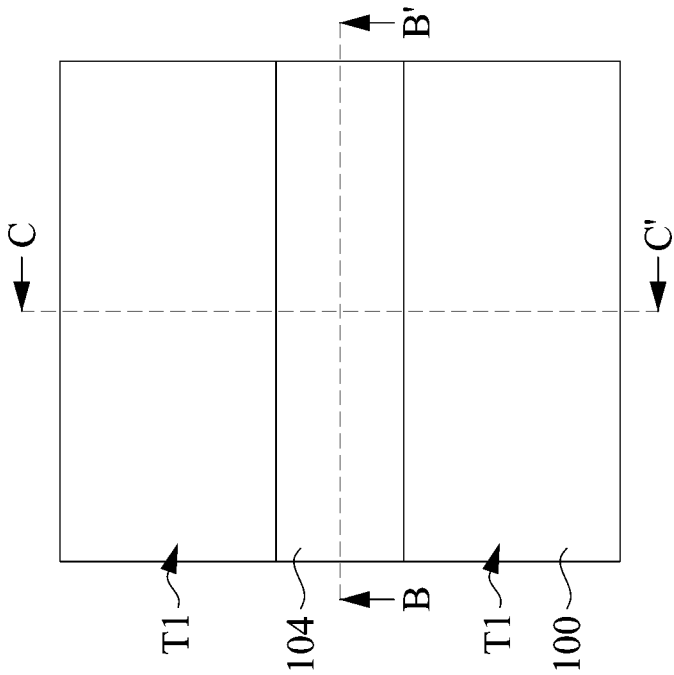


第 2B 圖

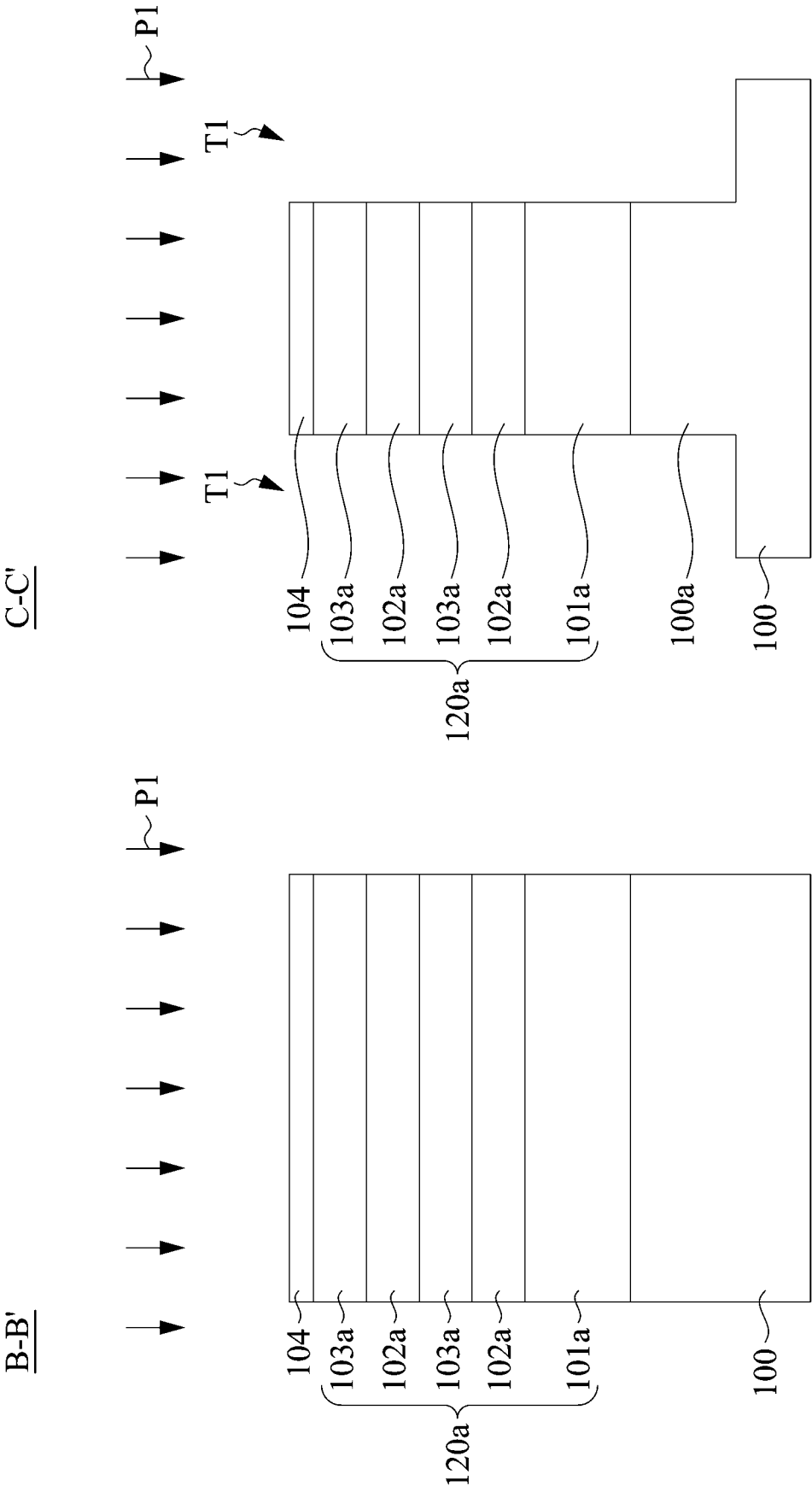
C-C'



第 2C 圖

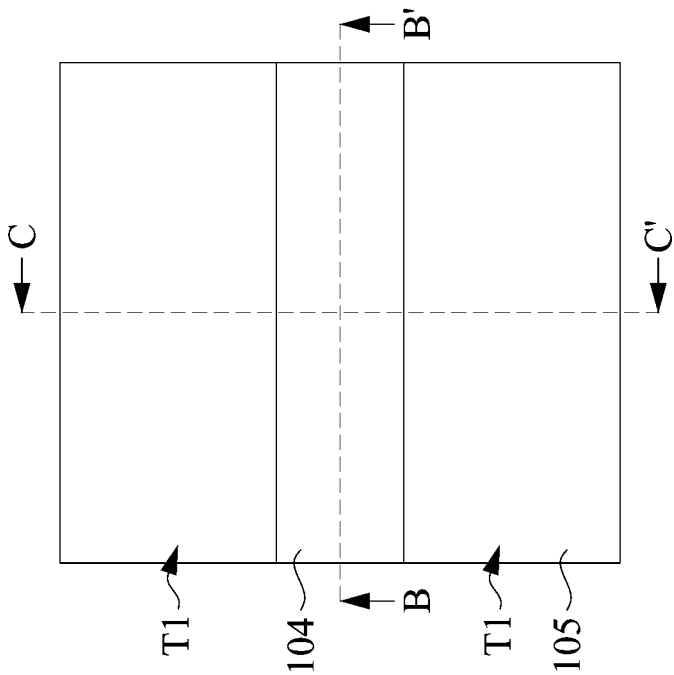


第3A圖



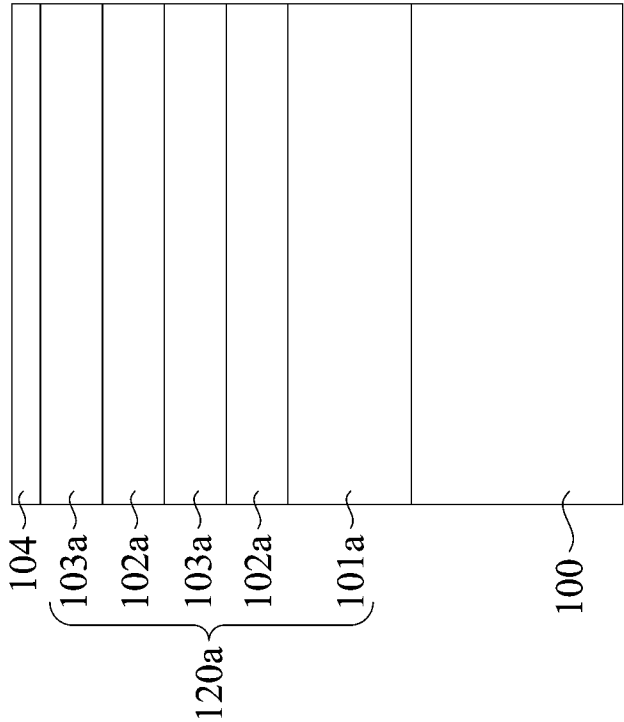
第3C圖

第3B圖

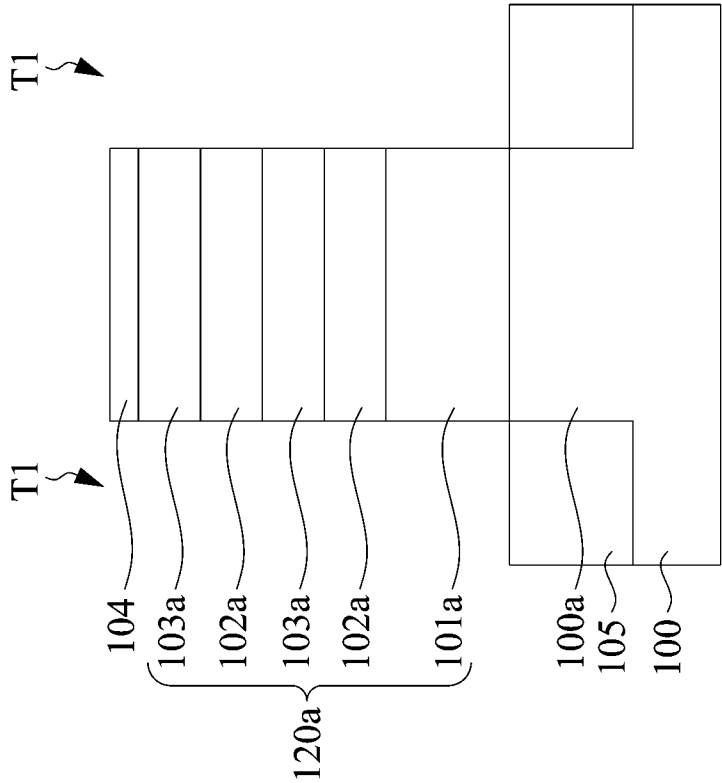


第 4A 圖

B-B'

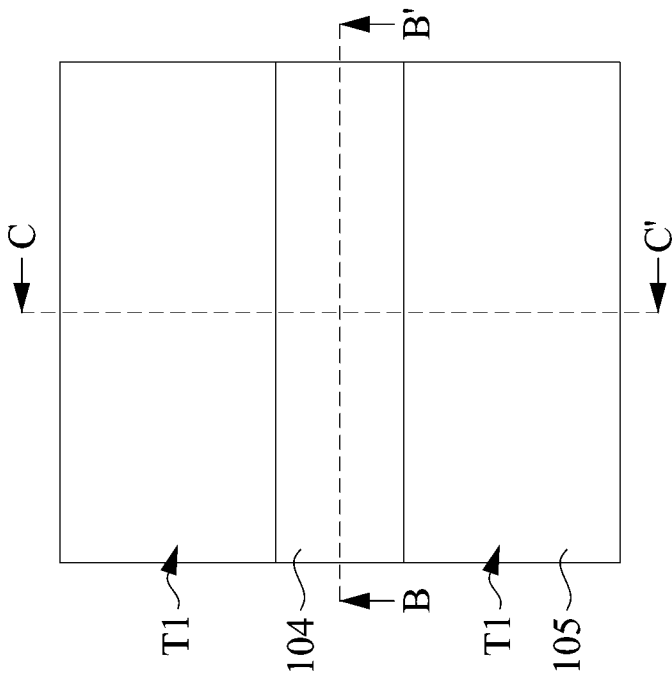


C-C'



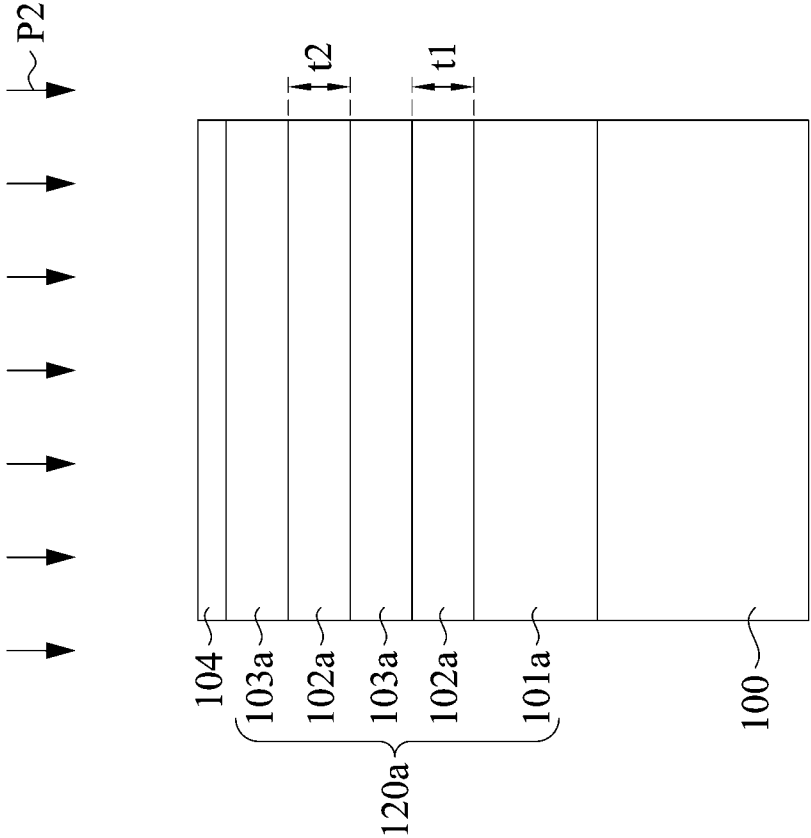
第 4B 圖

第 4C 圖



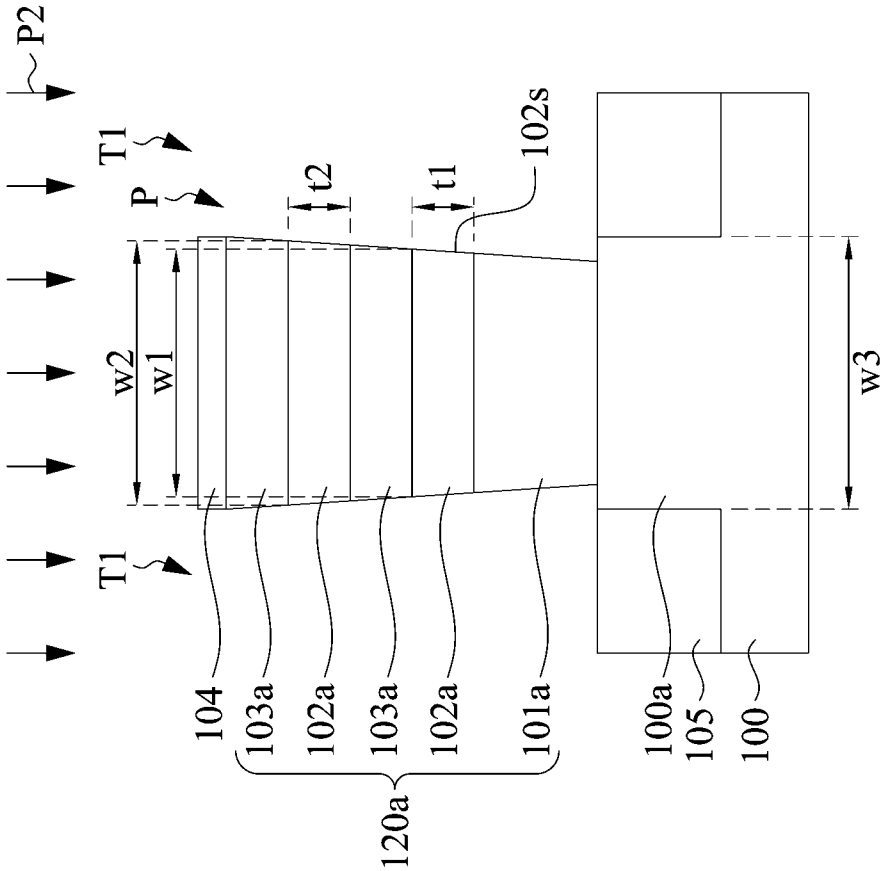
第 5A 圖

B-B'

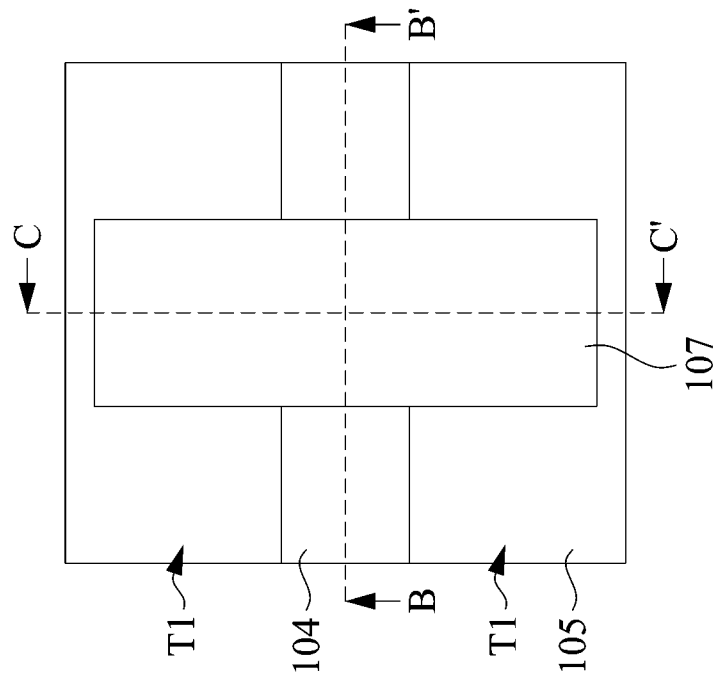


第 5B 圖

C-C'

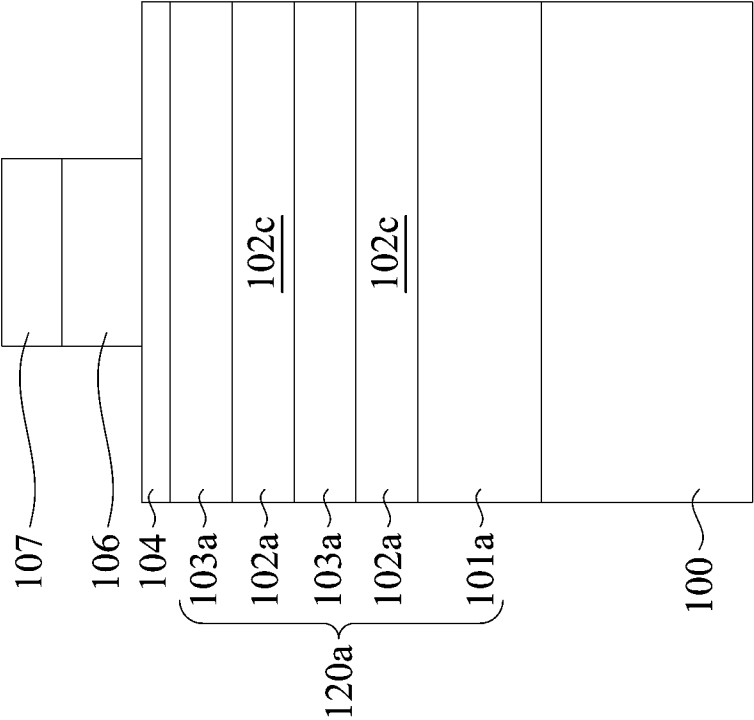


第 5C 圖

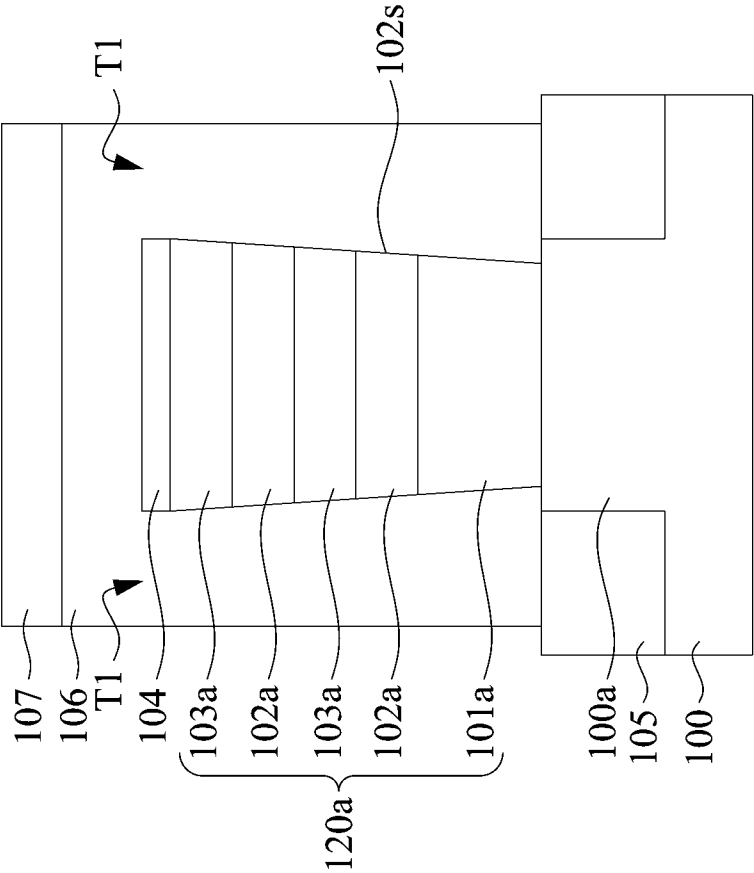


第6A圖

B-B'

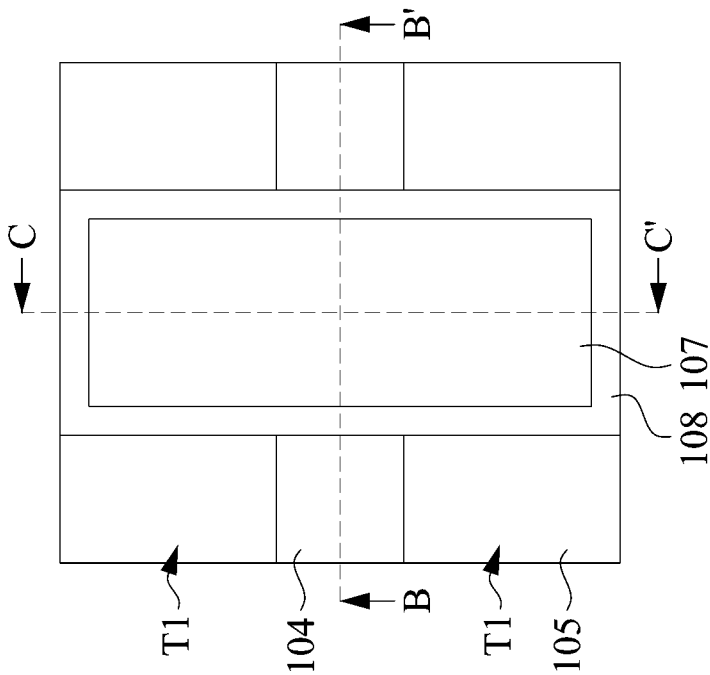


C-C'



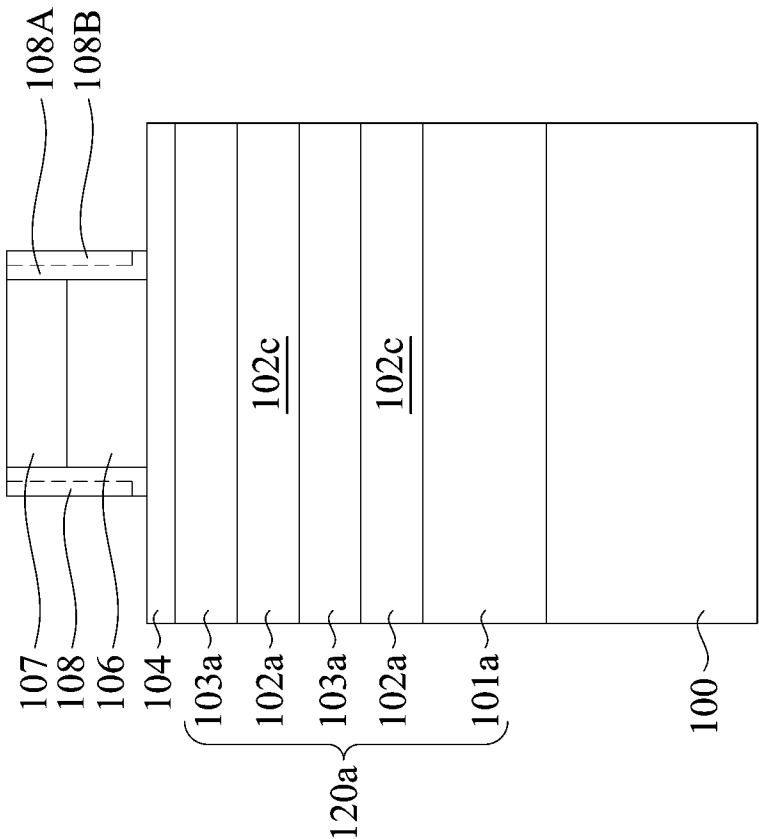
第 6B 圖

第 6C 圖

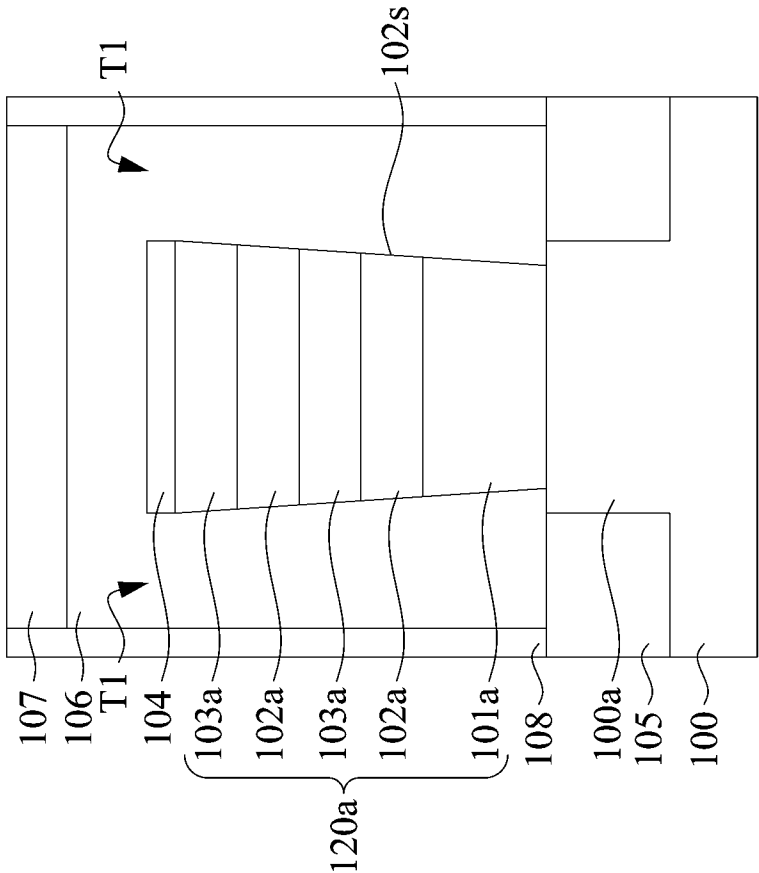


第 7A 圖

B-B'

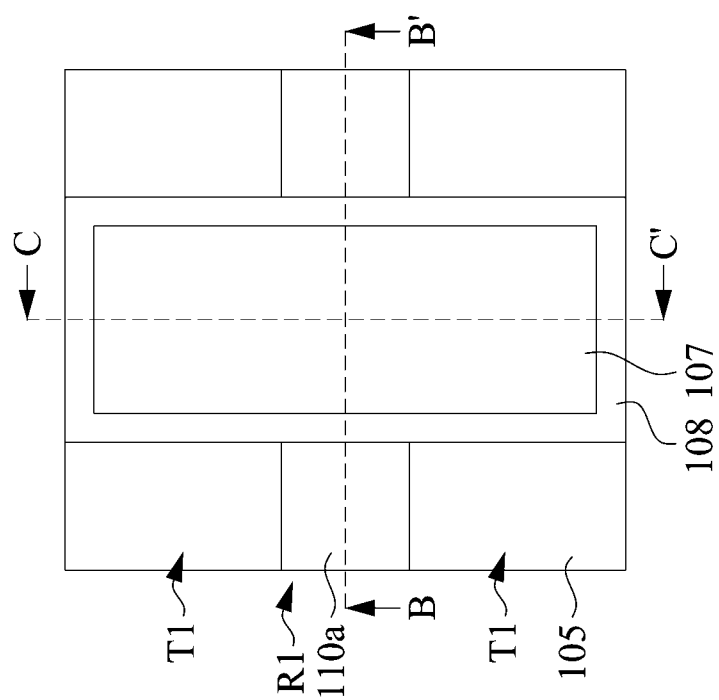


C-C'



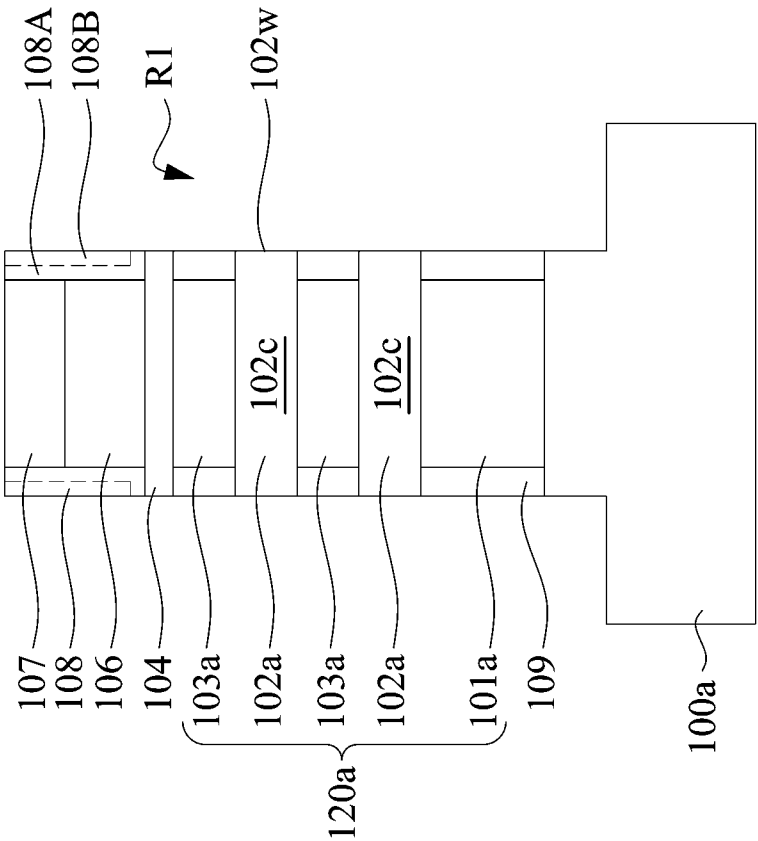
第7B圖

第7C圖

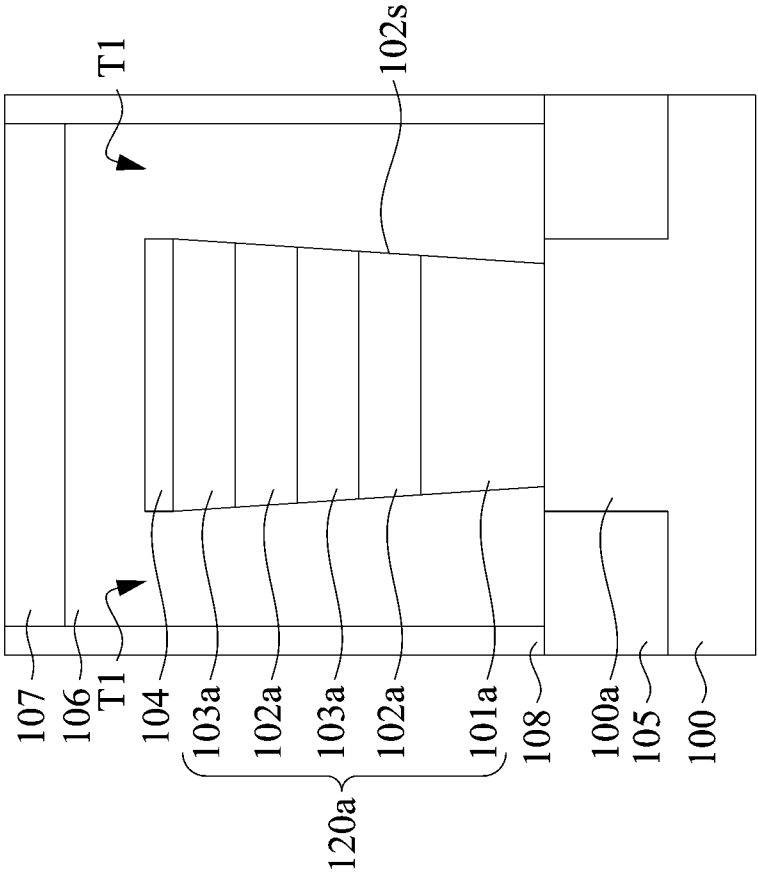


第 8 A 圖

B-B'

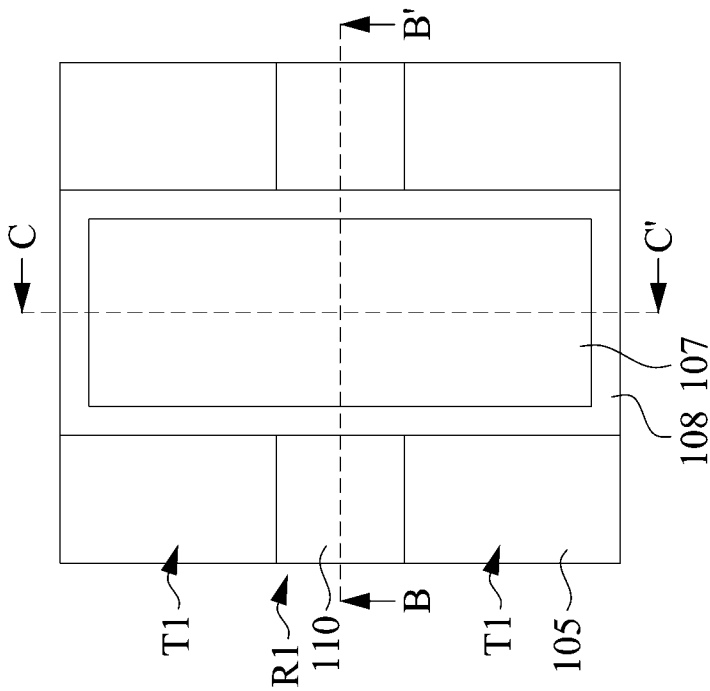


C-C'



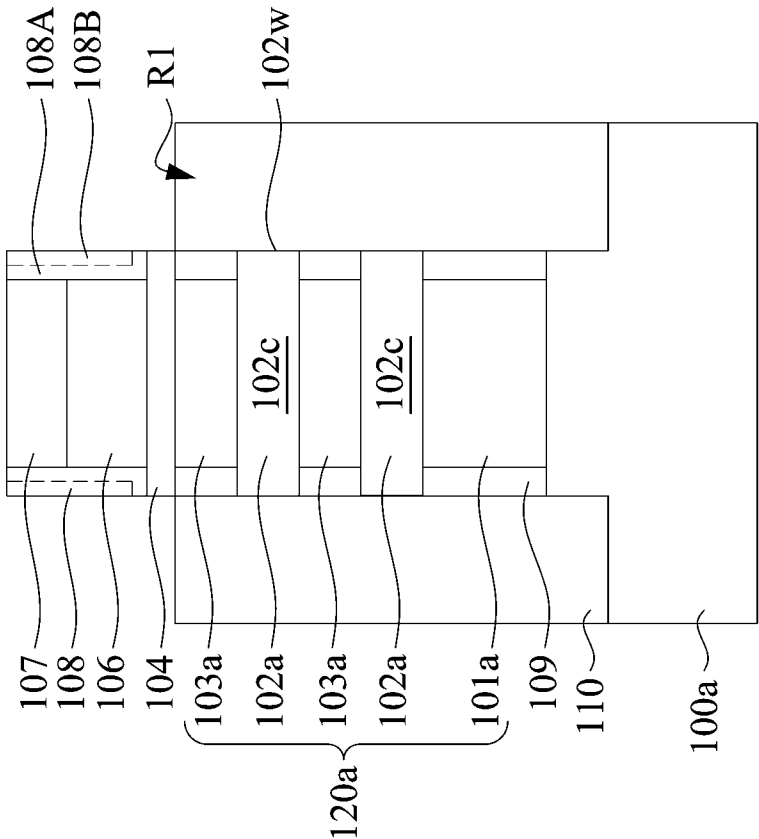
第 8B 圖

第 8C 圖

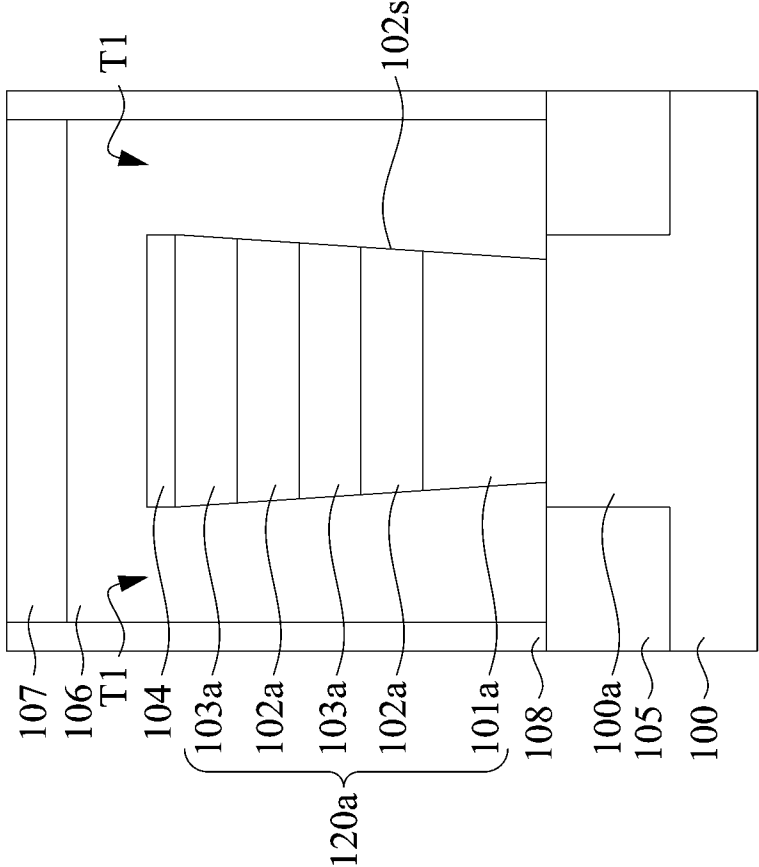


第 9A 圖

B-B'

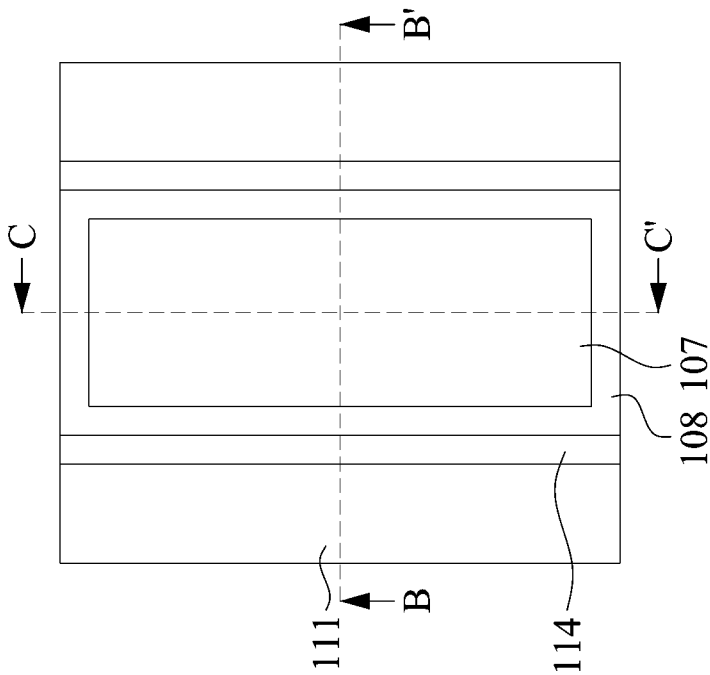


C-C'

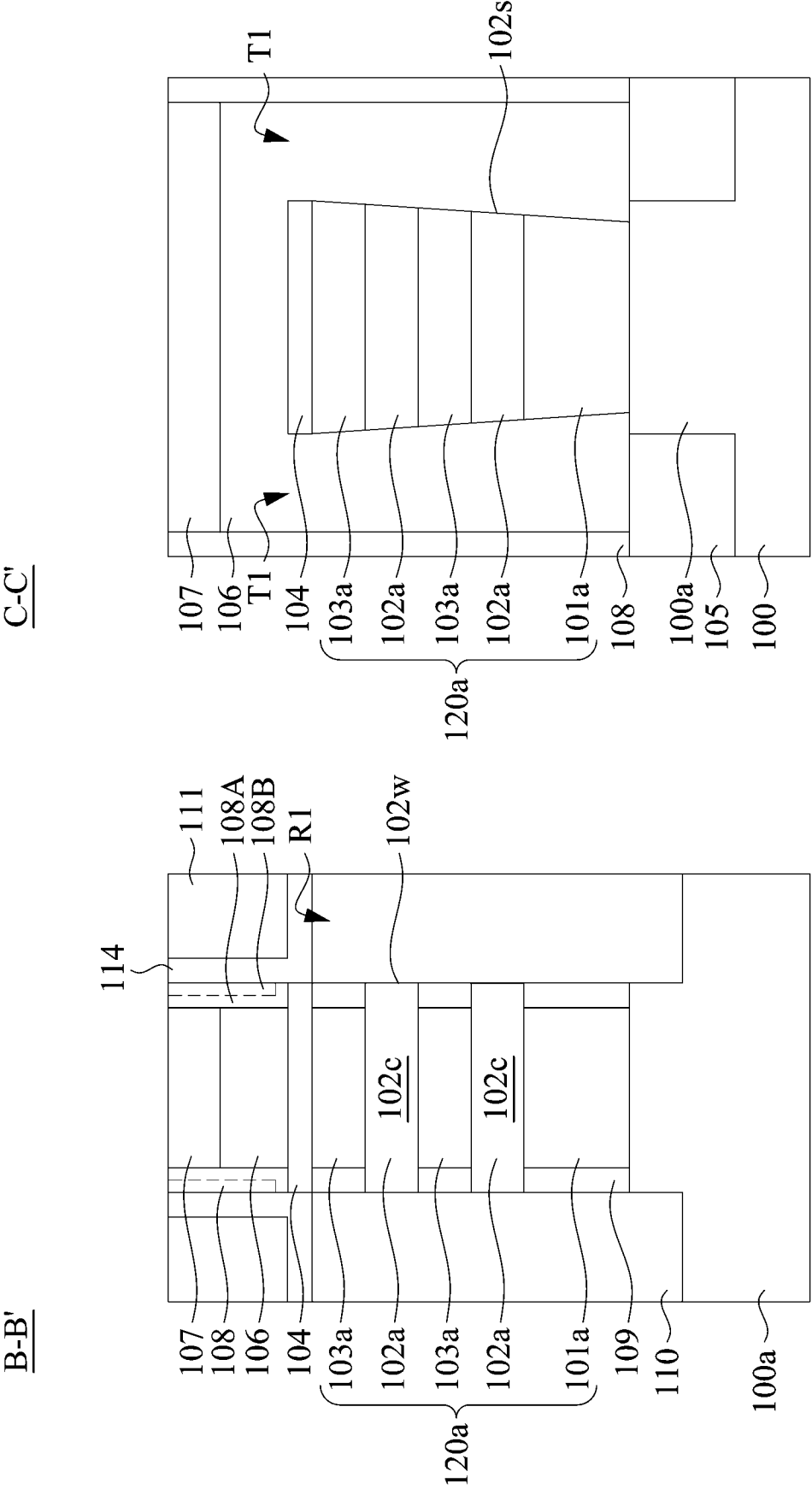


第9B圖

第9C圖

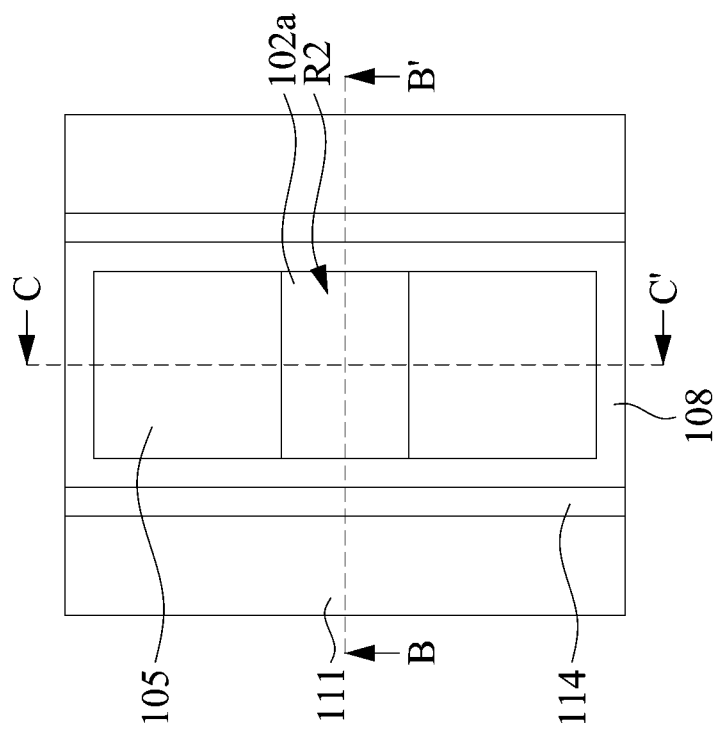


第 10A 圖

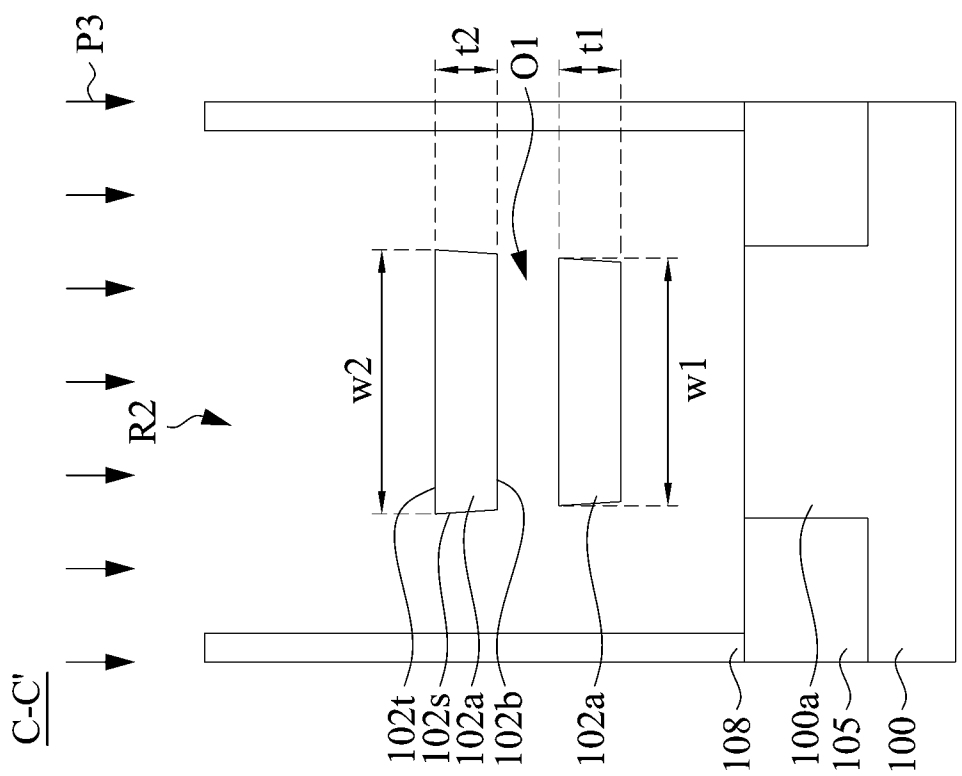


第 10C 圖

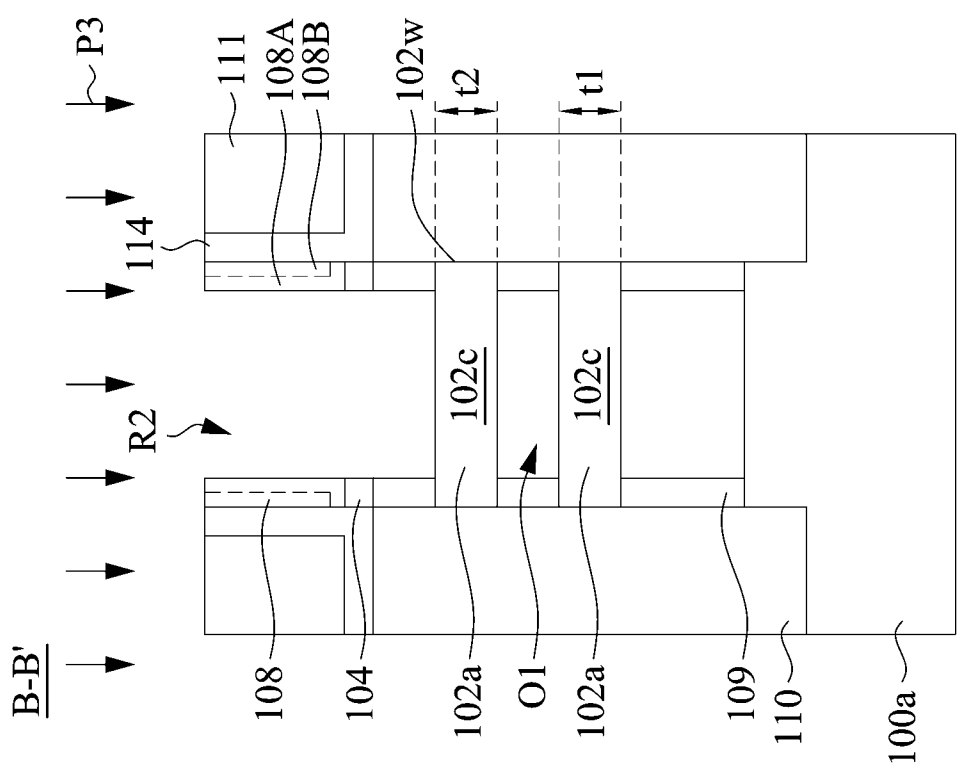
第 10B 圖



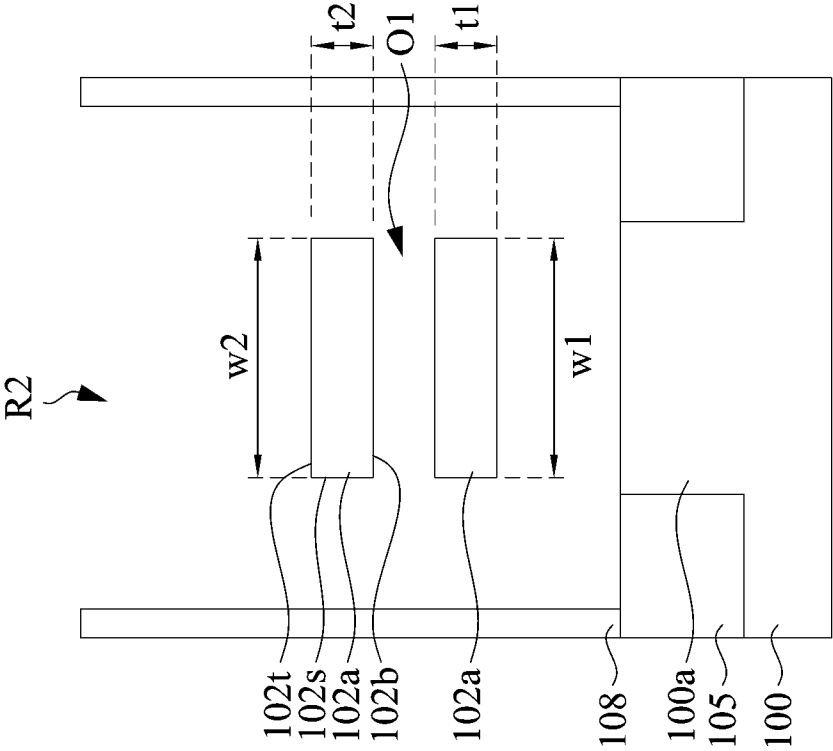
第 11A 圖



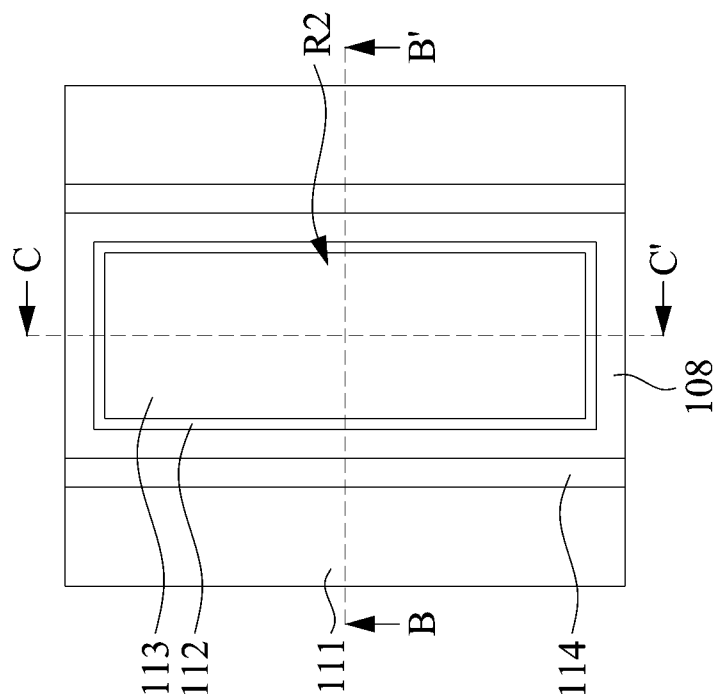
第 11C 圖



第 11B 圖

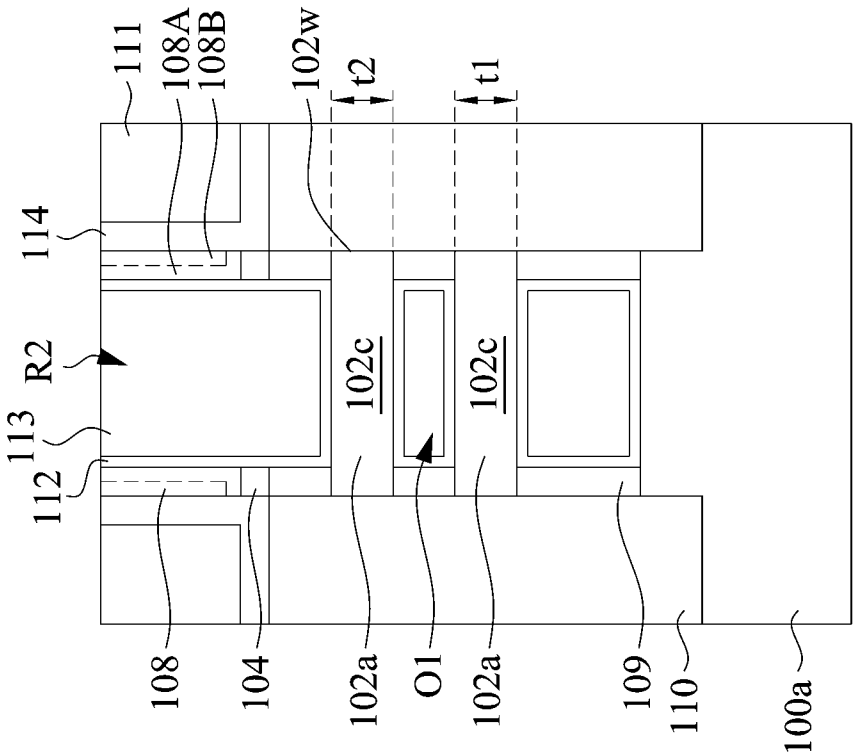


第 11D 圖



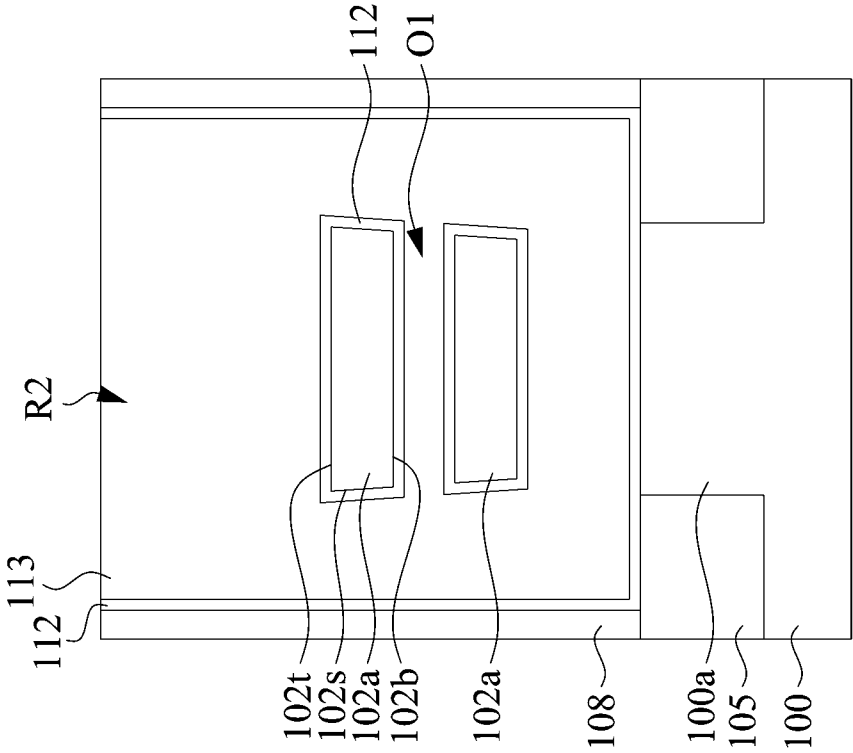
第 12A 圖

B-B'



第 12B 圖

C-C'



第 12C 圖

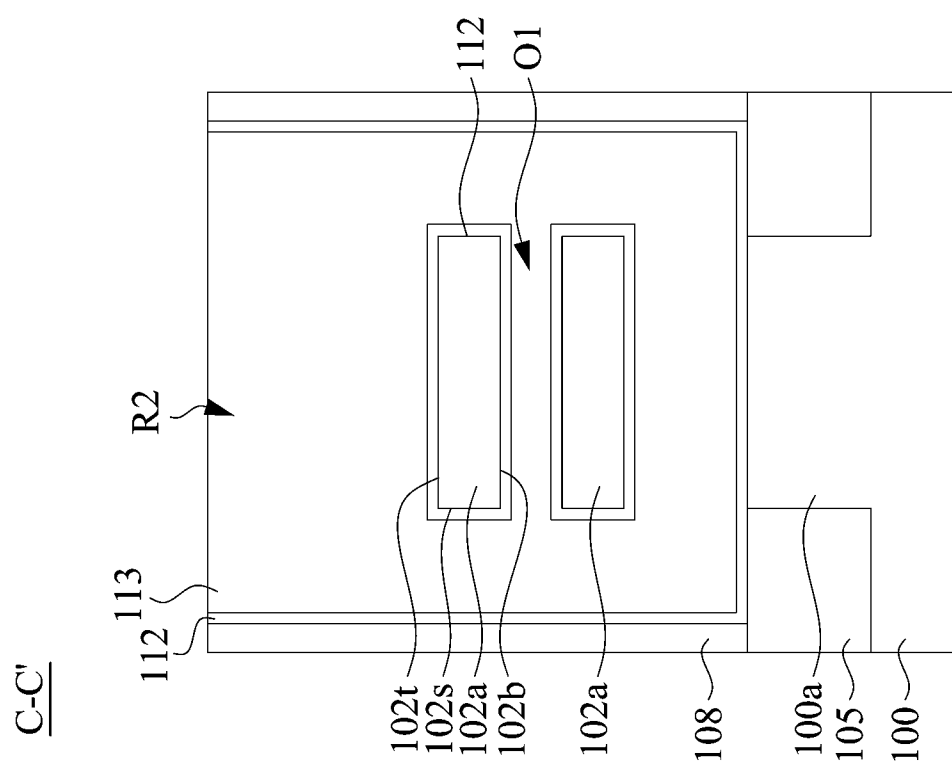


圖 12D