

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：94130717

※ 申請日期：94.9.7

※IPC 分類：H04L 1/08 (2006.01)

G06F 13/42 (2006.01)

一、發明名稱：(中文/英文)

用於多位元率串列通訊之方法與系統

METHODS AND APPARATUS FOR MULTIPLE BIT RATE SERIAL COMMUNICATION

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

英特爾公司/INTEL CORPORATION

代表人：(中文/英文)

塞門 大衛/SIMON, DAVID

住居所或營業所地址：(中文/英文)

美國加州聖塔克萊拉市密遜大學道2200號

2200 Mission College Blvd., Santa Clara, CA 95052, USA

國 籍：(中文/英文)

美國/USA

三、發明人：(共 1 人)

姓 名：(中文/英文)

崔林 艾利/STERIN, ELI

國 籍：(中文/英文)

以色列/Israel

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國; 2004,09,09; 10/936,556

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於用於多位元率串列通訊之方法與系統。

5 【先前技術】

發明背景

一些由有線或無線媒體所載送之電氣信號，可能會互相作用，以及可能會使彼此畸變。一信號之此種畸變，可能會在一使用此信號之系統中，造成暫時之故障情況或資訊之誤解。特言之，一由有線媒體所載送且與積體電路間之高位元率通訊有關的電氣信號，可能會干擾到一由無線媒體所載送且與無線通訊有關之電氣信號的接收和/或傳輸。

舉例而言，一些遵照舉例而言PCI特殊業務小組(SIG)在2003年三月31日所頒佈而在2.5 GHz之位元率下工作的週邊構件互連快速標準(PCI)規格修訂版1.0a，係可使與一工作在大體上等於2.4 GHz之載波頻率下的無線通訊相干涉。

【發明內容】

20 本發明揭露一種方法，其係包含有下列步驟：藉由在一傳輸位元序列中，以N個連續位元之一群集，來表示多個符元之每一位元，而準備好可供傳輸之該等符元，其中該等連續位元係同於該每一位元；以一特定位元率傳輸該傳輸位元序列；在該特定位元率下，接收多個接收到之位元

的一接收位元序列，該接收位元序列在無錯誤時，係與該
傳輸位元序列相同；以及藉由以下程序自該等接收位元之
接收位元序列重建該等符元：a)藉由比較相鄰之接收位
元，來識別該接收位元序列內之N個接收位元的多個群集之
5 邊界；以及b)選擇該等N個接收位元之每一群集的一個內位
元，作為一重建符元的一個位元。

圖式簡單說明

本發明之實施例，係藉由範例加以例示，以及並非受
限於所附諸圖之圖表，其中，相似之參考數字，係指示對
10 應、類似、或相似之元件，以及其中：

第1圖係一種依據本發明之某些實施例的一個包含有
兩個能透過傳導性媒體進行通訊的積體電路之裝置和一個
選用之附加裝置的簡化方塊圖；

第2圖係一種依據本發明之某些實施例在一降低的有
15 效位元率模式中運作之傳輸單元及接收單元中的位元傳播
之範例性簡化策略；

第3圖係一種依據本發明之某些實施例用以控制透過
一傳導性媒體的通訊之範例性方法的流程圖；而

第4圖則係一種依據本發明之某些實施例的範例性位
20 元抽取器之簡化方塊圖。

理應瞭解的是，為例示之單純和清晰計，諸圖中所示
之元件，並未必然按比例顯示。舉例而言，某些元件之尺
寸，為清晰計可能係相對於其他元件加以誇大。

【實施方式】

較佳實施例之詳細說明

在下文之詳細說明中，眾多之特定細節在列舉上，係為提供本發明之實施例的完全瞭解。然而，本技藝之一般從業人員理應理解的是，本發明之實施例在實現上，係可毋須此等特定細節。在其他實例中，一些習見之方法、程序、組件、和電路，並未詳細加以說明，藉以不使本發明之實施例模糊化。

第1圖係一種依據本發明之某些實施例的一個包含有兩個能透過一傳導性媒體8進行通訊的積體電路4和6之裝置2和一個選用之附加裝置10的簡化方塊圖。

該裝置2有關之範例的非盡舉性列表係包含有：桌上型個人電腦、工作站、伺服器電腦、膝上型電腦、筆記型電腦、掌上型電腦、個人數位助理(PDA)、行動電話、蜂巢式無線電話、遊戲機、數位相機、數位錄影機、視訊接收器、膝上型電腦有關之擴充基座、記憶卡(PC CARD)、通訊交換機、通訊寬頻分享器、通訊伺服器、等等。

該積體電路4和積體電路6之範例的非盡舉性列表係包含有：實地可程式規劃閘極陣列(FPGA)、特定用途積體電路(ASIC)、標準型特殊應用產品(ASSP)、中央處理單元(CPU)、數位信號處理器(DSP)、精簡指令集電腦(RISC)、複雜指令集電腦(CISC)、圖形處理器、網路處理器、交換器、訊框器、記憶體控制器中心(MCH)、輸入/輸出控制器中心(ICH)、橋接器、北橋、南橋、區域網路(LAN)裝置、無線

區域網路(WLAN)裝置、周邊裝置、等等。

該積體電路4係可包含有一傳輸單元12，其可能包含有一可將電氣信號驅動至傳導性媒體8上面之線路驅動器14，以及該積體電路6係可包含有一接收單元16，其可能包含有一可接收來自傳導性媒體8之電氣信號的線路接收器18。

舉例而言，該傳導性媒體8，係可為一印刷電路板(PCB)跡線之差分對、該線路驅動器14，可能係一差動驅動器，該線路接收器18，可能係一差動接收器，以及該等電氣信號，可能係一些低電壓差動訊號傳輸(LVDS)信號。

雖然本發明並非受限於此一特徵，該等傳輸單元12、接收單元16、和線路驅動器14透過傳導性媒體8所傳送之對應電氣信號，係可能遵照PCI特殊業務小組(SIG)在2003年3月31日所頒佈該週邊構件互連快速標準(PCI)規格修訂版1.0a、和/或此等規格之延續、和/或其他與此等規格或其之延續有關的標準。此外，該傳輸單元12，係可在一大體上等於每秒2.5千兆位元(Gbps)之位元率下，透過傳導性媒體8，來傳輸電氣信號。

該積體電路4，係可透過附加之傳導性媒體，使與該積體電路6進行通訊，該等積體電路4和/或積體電路6中，可能存在有一個以上之傳輸單元，以及該等積體電路4和/或積體電路6中，可能存在有一個以上之接收單元。此等附加之傳導性媒體、傳輸單元、和接收單元，並未顯示在第1圖中，藉以不使本發明之實施例的說明模糊化。

該裝置2可能包含有一天線20，以及可透過一無線通訊通道22，與該選用裝置10進行通訊。該裝置2係可選擇性地包含有一可輸出一要透過無線通訊通道22被天線20傳輸之射頻(RF)信號26的發射器24，以及係可選擇性地包含有一可接收一透過無線通訊通道22被天線20接收之射頻(RF)信號30的接收器28。

該天線20有關之範例的非盡舉性列表係包含有：偶極天線、環形天線、SHOT(碟形)天線、雙天線、全向性天線、和任何其他合適之天線。

10 雖然本發明並非受限於此一特徵，裝置2和10可能為一蜂巢式通訊系統之一部分，而使該等裝置2、10中的一個為基地臺，以及另一個為行動臺，或者使該等裝置2、10均為行動臺或基地臺。

15 替代地，以及雖然本發明並非受限於此一特徵，該等裝置2和10，可能為一無線區域網路(WLAN)之一部分，而使該等裝置2、10中的一個為固定臺，以及另一個為行動臺，或者使該等裝置2、10均為行動臺或固定臺。

20 一些意使在本發明之界定範圍內的WLAN之類型有關的範例之非盡舉性列表，係包含有一些符合下列之標準或其他現有或未來之相關標準的WLAN：

- 無線LAN媒體存取控制器(MAC)和實體層(PHY)規格有關之ANSI/IEEE標準802.1：
 - 1999年所頒佈5千兆赫茲(GHz)頻帶中之高速實體層擴充有關的Rev.a(修訂版a)，

- o 1999年所頒佈2.4 GHz頻帶中之高速實體層擴充有關的Rev.b(修訂版b)，
 - o 2003年所頒佈2.4 GHz頻帶中之高資料率擴充有關的Rev.g(修訂版g)，
- 5 ● BLUETOOTH™特殊業務小組(SIG)在2003年十一月發行之BLUETOOTH™核心規格v1.2；和
- 2003年五月頒佈有關低資料率WLAN之IEEE標準草案802.15.4。

該傳輸單元12，可在一大體上等於2.5 Gbp的三分之一，亦即每秒833.33個百萬位元(Mbps)，的有效位元率下，透過該傳導性媒體8，來傳輸電氣信號，以及該接收單元16，可在一大體上等於833.33 Mbps之有效位元率下，接收來自傳導性媒體8之電氣信號。

在某些情況中，該傳輸單元12透過傳導性媒體8在一大體上等於833.33 Mbps之位元率下所傳輸的電氣信號，相對上述天線20透過無線通訊通道22在一大體上等於2.4 GHz之載波頻率下所傳輸或接收的信號，比起相對該傳輸單元12透過傳導性媒體8在一大體上等於2.5 GHz之位元率下所傳輸的電氣信號，可能係感應較少之干涉。

20 茲加上參照第2圖，其係一種依據本發明之某些實施例在一降低的有效位元率模式(在下文中加以界定)中運作之傳輸單元12及接收單元16中的範例性簡化位元傳播策略。

該傳輸單元12可能包含有：一編碼器32、一串化器34、一多工器(MUX) 36、一MUX 38、和一有限狀態機(FSM)

40。該編碼器32係可接收彼等資訊位元42，以及可輸出一些編碼符元44。該編碼器32可使用舉例而言一如1994年1月1日所頒佈之標準ANSI X3.230-1994中所界定的“8b/10b”傳輸碼，將八資訊位元42之位元組，編碼成10位元之編碼符元44。舉例而言，誠如第2圖中所示，該編碼器32可將資訊位元42之位元組100，編碼成一10位元編碼符元104，以及可將資訊位元42之位元組102，編碼成一10位元編碼符元106。

在下文之說明，一10位元編碼符元(ES)之單一位元，係分別被稱為“ES/9”、“ES/8”、“ES/7”、“ES/6”、“ES/5”、“ES/4”、“ES/3”、“ES/2”、“ES/1”和“ES/0”。

該裝置2可具有至少兩個通訊模式，以及該MUX 38之運作，可至少部份由該通訊模式來決定。

在第一通訊模式中，該編碼器32係可在一舉例而言以每秒250個百萬編碼符元之速率下，輸出該等編碼符元44，以及該MUX 38係可將該等編碼符元44，傳遞給該串化器34。該串化器34係可接收該等編碼符元44，以及係可串列地輸出一對應串列位元流46之位元，其中，該等編碼符元44之單一位元，係可以對應之單一位元來表示。該串化器34輸出一串列位元流46所處之有效位元率，係可為2.5 Gbps。

在第二通訊模式中，該編碼器32可在舉例而言第一通訊模式之速率的三分之一下，例如，每秒83.33個百萬編碼符元之速率下，輸出該等編碼符元44。

一10位元匯流排50，係可載送該等編碼符元44之下列位元串：ES/9-ES/9-ES/9-ES/8-ES/8-ES/8-ES/7-ES/7-ES/7-ES/6。

此外，一10位元匯流排52，係可載送該等編碼符元44之下列位元串：ES/6-ES/6-ES/5-ES/5-ES/5-ES/4-ES/4-ES/3-ES/3。

此外，一10位元匯流排54，係可載送該等編碼符元44之下列位元串：ES/3-ES/2-ES/2-ES/2-ES/1-ES/1-ES/1-ES/0-ES/0-ES/0。

該MUX 36係可將匯流排50、52、和54中的一個，傳遞至一10位元匯流排48。在該FSM 40之控制下，響應該編碼器32之輸出該等編碼符元44的一個編碼符元，該MUX 36可將匯流排50所載送之字串、接著是匯流排52所載送之字串、接著是匯流排54所載送之字串，傳遞至該匯流排48。該FSM 40將可控制該MUX 36，藉以在一可能等於該編碼器32在第一通訊模式中輸出編碼符元44所處之速率的頻率下，舉例而言，250 MHz下，在該等匯流排50、52、和54之間交換。

結果，該編碼器32在每秒83.33個百萬編碼符元之速率下所輸出的編碼符元44，係可以每秒250個百萬字串之速率下由MUX 36所輸出的對應三個10位元字串而表現在該匯流排48上面，以及此等三個字串中之三個相等位元的群集，各可表示該等編碼符元44之對應單一位元。

該串化器34係可接收來自上述匯流排48之字串，以及可將此等接收自上述匯流排48之字串的位元，串列地輸出

成一串列位元流46，其中，每一群集之三個連續的相等位元，係表示一編碼符元44之單一位元。舉例而言，誠如第2圖中所示，該10位元編碼符元104，係可以該串化器34分別接收自匯流排50、52、和54之每一個10位元群組108、110、和112，表示成一串列位元流46。該10位元編碼符元106，係可以該串化器34分別接收自匯流排50、52、和54之每一個10位元群組114、116、和118，表示成一串列位元流46。在該串列位元流46中，該等字串位元，係可在一如同第一通訊模式中之位元率的2,5 Gbps之速率下輸出，以及結果，在該串列位元流46中，該等群集係可在每秒833.33個百萬群集之速率下輸出，該串行器34係如箭頭120之方向所表示，可輸出群組108、接著是群組110、接著是群組112、接著是群組114、接著是群組116、接著是群組118。

理應注意的是，由於在該串列位元流46中，每一群集之三個連續相等位元，係可表示一編碼符元44之單一位元，一串列位元流46，係可在833.33 Mbps之有效位元率下，來載送該編碼符元44之位元。

該串列位元流46在第一和第二通訊模式中所載送之編碼符元44的位元所處之有效位元率，在下文中係分別指為“基本之有效位元率”和“降低之有效位元率”。該第一通訊模式，在下文中係指為基本之有效位元率，以及該第二通訊模式，在下文中係指為降低之有效位元率。

在該等兩者通訊模式中，該線路驅動器14，可接收該串列位元流46，以及可將對應之電氣信號，驅動至該傳導

性媒體8上面。該線路接收器18，可接收該串列位元流46，以及可輸出一可使串列位元流46實質重現之串列位元序列58。理應瞭解的是，該串列位元流46之一個位元在串列位元序列58中會不正確重現的可能性，可能係相當低，以及可能舉例而言約為 10^{-12} 或 10^{-14} 。

該接收單元16可能包含有：一解串化器60、一位元抽取器62、和一MUX 64。該MUX 64之運作，至少係可部份由上述接收單元16之通訊模式來加以決定。

該解串化器60，係可接收該串列位元序列58，可將該串列位元序列58之位元包封成字組，以及可輸出此等字組之字組串列68。該字組之尺寸舉例而言，可使等於上述編碼符元之尺寸，舉例而言，10位元。結果，該解串化器60係可在每秒250個百萬字組之字組率下輸出該等字組。

在上述基本之有效位元率的模式中，一10位元編碼符元，係可以該字組串列68之一個或兩個字組內所包含的對應十個位元來表示，以及該MUX 64係可設定使在每秒250個百萬字組之字組率下，將該字組串列68傳遞給信號70。即使一字組內之位元數，可能等於一編碼符元內之位元數，該等編碼符元，可能並非必然與字組排齊，一數位電路78，可被設定在250 MHz下運作，藉以在每秒250個百萬字組之字組率下，自該等信號70接收該字組串列68，以及可藉由決定該字組串列68內之編碼符元的邊界，而自該字組串列68，抽取該等編碼符元。

在上述降低之有效位元率的模式中，誠如上文所解

釋，一編碼符元之單一位元，係可以該字組串列68之位元群集來表示，舉例而言，三個位元，以及結果，一編碼符元係可以該字組串列68之三個或四個字組內所包含的對應三個10位元字串來表示。舉例而言，誠如第2圖中所示，該字組串列68，係可能包含有字組122、接著是字組124、接著是字組126、接著是字組128、接著是字組130、接著是字組132、接著是字組134、接著是字組136、接著是字組138。該編碼符元104，係以該等字組122、124、126、和128內所包含之三個10位元字串來表示。該編碼符元106，係以該等字組128、130、132、和134內所包含之三個10位元字串來表示。即使一字組內之位元數，係可等於一字串內之位元數，該等字串並非必然使與字組相排齊。舉例而言，該字組122係包含有一些表示上述編碼符元104之位元，但亦可為四個表示串列位元流46內領前該編碼符元104之不同編碼符元而以“Y”指明的位元。同理，該字組134係包含有一些表示上述編碼符元106之位元，但亦可為六個表示串列位元流46內緊接該編碼符元106之不同編碼符元而以“X”指明的位元。

該位元抽取器62，係可接收該字組串列68，可抽取來自該字組串列68之對應群集的編碼符元之單一位元，可將此等抽取之編碼位元，包封成編碼之字組，以及可輸出一抽取之字組串列74內的抽取之字組，其中，一編碼符元之單一位元，係以一對應之單一位元來表示。該MUX 64係可設定來將抽取之字組串列74，傳遞給該信號70，以及該數

位電路78，係可接收來自該信號70之抽取的字組串列74。舉例而言，誠如第2圖中所示，該位元抽取器62，可自該等字組122、124、和126，選擇該等以粗線標出之位元，以及可輸出該等被選定之位元內所包含的抽取之字組140。同理，該位元抽取器62，可自該等字組128、130、和132，選擇該等以粗線標出之位元，以及可輸出該等被選定之位元內所包含的抽取之字組142。同理，該位元抽取器62，可自該等字組134、136、和138，選擇該等以粗線標出之位元，以及可在輸出上述抽取之字組142後，輸出該等被選定之位元內所包含的抽取之字組144。

依據本發明之某些實施例，在上述降低之有效位元率的模式中，上述被抽取之字組率，可能等於該字組率除以群集尺寸，舉例而言，每秒83.33個百萬之抽取字組，以及一特定之抽取字組，可呈現在該信號70上面，使大體上長達一段12奈秒之周期。該數位電路78，可至少依據該通訊模式而加以控制。在上述基本之有效位元率的模式中，該數位電路78，可被設定在250 MHz下運作，藉以在每秒250個百萬字組之字組率下，接收該字組串列68，以及在上述降低之有效位元率的模式中，該數位電路78，可被設定在83.33 MHz下運作，藉以在每秒83.33個百萬之抽取的字組之速率下，接收上述抽取之字組串列74，以及可藉由決定該抽取之字組串列74內的編碼符元之邊界，而自該抽取之字組串列74，抽取該等編碼符元。

依據本發明之另一實施例，在上述降低之有效位元率

的模式中，上述被抽取之字組率，可能等於該字組率除以群集尺寸，舉例而言，每秒83.33個百萬之抽取字組，以及一特定之抽取字組，可呈現在該信號70上面，使長達一段等於上述對應於抽取之字組除以一群集內之位元數的時間

5 周期，例如，大體上之4奈秒。該位元抽取器62，可輸出一信號76，以便藉由舉例而言，在有一被抽取之字組在信號70上面出現的4奈秒期間，使具有一邏輯值“1”，以及否則使具有一邏輯值“0”，而證明該等抽取之字組的資格。該接收單元16，可能包含有一MUX 66，其係可接收該信號76，

10 以及可在上述降低之有效位元率的模式中時，將該信號76傳遞給一信號72。在上述降低之有效位元率的模式中，該數位電路78，可被設定在大體上如同上述基本之有效位元率的模式中之頻率，例如250 MHz，下運作，以及可在每秒83.33個百萬之抽取的字組之速率下，接收上述抽取之字

15 組串列74。該數位電路78，可接收上述之信號72，以及可藉由使用該信號72，來決定該抽取之字組串列74內的編碼符元之邊界，而自該抽取之字組串列74，抽取該等編碼符元。

在上述基本之有效位元率的模式中，該MUX 66係可設定來將一大體上固定之邏輯值“1”，傳遞給該信號70。

20

第3圖係一種依據本發明之某些實施例用以控制透過一傳導性媒體的通訊之範例性方法的流程圖。

在一初始階段下，該無線通訊係尚未使用，以及該有線通訊係被設定來在其基本之有效位元率下，舉例而言，

2.5 GHz (160)下工作。只要該無線媒體上面之通訊不需要，該有線通訊可保持被配置來在上述基本之有效位元率下工作(162)。然而，若該無線媒體上面之通訊一旦發生，該有線通訊便被設定來在上述降低之有效位元率下舉例而言，833.33 Hz下工作(164)，以及一無線通訊會期，接著便可使開始(166)，在該無線通訊會期完成之後(168)，該有線通訊便被設定來在上述基本之有效位元率下工作(170)，以及此方法可自區塊162重新開始。

第4圖係一種依據本發明之某些實施例的範例性位元抽取器200之簡化方塊圖。該位元抽取器200，可接收該字組串列68，其中，在上述降低之有效位元率的模式中，該等10位元編碼符元之位元，係藉由三個連續相等之位元的對應群集來重現。該位元抽取器200，係可產生及輸出上述抽取之字組串列74，其中，在上述降低之有效位元率的模式中，該等編碼符元之位元，係藉由一些對應之單一位元來重現。此外，該位元抽取器200，係可產生及輸出該信號76。

該位元抽取器200，可能包含有記憶體元件202、204、和206，彼等舉例而言可為暫存器或邏輯門，以及各可包含有十個位元。通常，該等記憶體元件之數目，可能係等於一群集內之位元數，以及每一記憶體元件內之位元數，可能係等於一編碼符元內之位元數。

為解釋之清晰計，該等記憶體元件202、204、和206，在下文係分別稱作“暫存器A”、“暫存器B”、和“暫存器C”。

此外，該等暫存器A、B、和C內之位元，係使用0、1、2、3、4、5、6、7、8、和9來指稱。舉例而言，該暫存器B內之位元編號7，係稱為位元B/7。

該暫存器A係可接取及儲存上述字組串列68之十個連續位元。該暫存器B係可接取及儲存上述暫存器A之值，以及該暫存器C係可接取及儲存上述暫存器B之值。

一10位元匯流排208，係可包含有位元A/9、A/6、A/3、A/0、B/7、B/4、B/1、C/8、C/5、和C/2，一10位元匯流排210，係可包含有位元A/8、A/5、A/2、B/9、B/6、B/3、B/0、C/7、C/4、和C/1，以及一10位元匯流排212，係可包含有位元A/7、A/4、A/1、B/8、B/5、B/2、C/9、C/6、C/3、和C/0。

一MUX 214係可接收信號216和該等匯流排208、210、和212，而作為輸入，以及可依據該等信號216上面之值，將該等匯流排208、210、和212中的一個，傳遞給一10位元匯流排218。

該位元抽取器200，係可包含有比較器220、221、222、223、224、225、226、227和228，彼等舉例而言，可為一些具有兩個輸入端和一個輸出端之XOR邏輯閘。該等比較器220、221、222、223、224、225、226、227、和228中之一的輸出之邏輯值，舉例而言，可在其兩個輸入之邏輯值不相等時為邏輯“1”，以及可在其兩個輸入之邏輯值相等時為邏輯“0”。

該比較器220係可使位元A/9與位元A/8相比較，該比較

器221係可使位元A/8與位元A/7相比較，該比較器222係可使位元A/7與位元A/6相比較，該比較器223係可使位元A/6與位元A/5相比較，該比較器224係可使位元A/5與位元A/4相比較，該比較器225係可使位元A/4與位元A/3相比較，該比較器226係可使位元A/3與位元A/2相比較，該比較器227係可使位元A/2與位元A/1相比較，以及該比較器228係可使位元A/1與位元A/0相比較。

該等比較器220、221、222、223、224、225、226、227、和228，各可形成三群組之三個比較器。該第一群組係可包含有比較器220、223、和226，該第二群組係可包含有比較器221、224、和227，以及該第三群組係可包含有比較器222、225、和228。

該位元抽取器200，係可包含有加法器230、232、和234。該加法器230係可接收該等比較器220、223、和226之輸出，以及可輸出一等於該等比較器220、223和226具有不相等之輸入的數目之數字。同理，該加法器232係可接收該等比較器221、224、和227之輸出，以及可輸出一等於該等比較器221、224、和227具有不相等之輸入的數目之數字。此外，該加法器234係可接收該等比較器222、225、和228之輸出，以及可輸出一等於該等比較器222、225、和228具有不相等之輸入的數目之數字。

該位元抽取器200，係可包含有MUX 236、238、和240，以及係可包含有計數器242、244、和246。該等MUX 236、238、和240，可分別接收一些輸入信號248、250、和252，

以及係可接收該等加法器230、232、和234之輸出，而作為輸入，該MUX 236係可依據上述信號248上面接收到之值，將該等加法器230、232、和234之一的輸出，輸出給該計數器242。同理，該MUX 238係可依據上述信號250上面接收到之值，將該等加法器230、232、和234之一的輸出，輸出給該計數器244，以及該MUX 240係可依據上述信號252上面接收到之值，將該等加法器230、232、和234之一的輸出，輸出給該計數器246。

該等計數器242、244、和246，係可能含有一些不低於一舉例而言可能為數字零之低臨界值且不高於一舉例而言可能為一臨界值暫存器254中所儲存之值的高臨界值。該等計數器242、244、和246，係可響應上述信號256上面接收到之指令，以及分別相對於該等MUX 236、238、和240之輸出，來改變彼等之值。

該計數器242舉例而言，在該MUX 236之輸出等於零時，可使其內所含之值增加一。同理，該計數器244舉例而言，在該MUX 238之輸出大於零時，可使其內所含之值增加一，彼等在該MUX 238之輸出等於零時，可使其內所含之值減少一。此外，該計數器246舉例而言，在該MUX 240之輸出大於零時，可使其內所含之值增加一，彼等在該MUX 240之輸出等於零時，可使其內所含之值減少一。

通常，該等比較器之群組數、加法器之數目、MUX之數目、和計數器之數目，全可使等於一群集內之位元數。

一邏輯區塊258，可接收該等計數器242、244、和246

內所儲存之值，可接收該臨界值暫存器254之值，以及可輸出該等信號216給多工器214。若該計數器242，係具有一高於該等計數器244和246之值的值，該邏輯區塊258，將可控制該MUX 214，藉以將匯流排212傳遞給匯流排218。若該

5 計數器244，係具有一高於該等計數器244和246之值的值，該邏輯區塊258，將可控制該MUX 214，藉以將匯流排208傳遞給匯流排218。若該計數器246，係具有一高於該等計數器244和246之值的值，該邏輯區塊258，將可控制該MUX 214，藉以將匯流排210傳遞給匯流排218。

10 該位元抽取器200，係可包含有一有限狀態機(FSM) 260，藉以產生及輸出該等信號76、248、250、252、和256。因此，該等信號76、248、250、252、和256，作為一群組，係可為三種狀態中的一個，在此係任意編號為狀態#0、#1、和#2。通常，該FSM 260就其輸出信號所產生之狀態的數

15 目，可使等於一群集內之位元數。

在狀態#0下，該FSM 260係可設定該等信號248、250、和252，而使該等MUX 236、238、和240，分別輸出該等加法器232、234、和230之輸出，該FSM 260可命令該等計數器242、244和246計數，以及該FSM 260可輸出一邏輯值“0”

20 至該信號76上面。

在狀態#1下，該FSM 260係可設定該等信號248、250、和252，而使該等MUX 236、238、和240，分別輸出該等加法器234、230、和232之輸出，該FSM 260可命令該等計數器242、244和246計數，以及該FSM 260可輸出一邏輯值“0”

至該信號76上面。

在狀態#2下，該FSM 260係可設定該等信號248、250、和252，而使該等MUX 236、238、和240，分別輸出該等加法器230、232、和234之輸出，該FSM 260可命令該等計數器242、244和246計數，以及該FSM 260可輸出一邏輯值“1”至該信號76上面。

一旦響應該位元抽取器200接收到之字組串列68的一個字組，該FSM 260係可使該等信號76、248、250、252、和256之狀態交換。此外，該FSM 260可在一預定之順序中，舉例而言，其可為自狀態#0至狀態#1、自狀態#1至狀態#2、以及自狀態#2至狀態#0，使該等信號76、248、250、252、和256之狀態交換。

由於該位元抽取器200之結構和產生該等信號76、248、250、252、和256之方法所致，該暫存器A內接收到之字組串列68的字組，係以該等比較器220、221、222、223、224、225、226、227、和228，來核對連續位元之相等性。該等加法器230、232、和234，可使來自該等比較器之對應群組的結果加總，以及該等計數器242、244、和246，係據以遞增或遞減，該MUX 214係可依據該等計數器242、244、和246之值，而被設定來傳遞該等匯流排208、210、和212中的一個，以及每三個字組信號76一次，可具有一邏輯“1”值，而給該信號數位電路78，藉以接收一來自該匯流排218之抽取的字組。

該等信號216對242、244、和246中之值的改變之靈敏

度，可使與上述臨界值暫存器254中之值相關。此值愈接近上述之低臨界值，該等信號216對上述暫存器A內之編碼符元的排齊中之變化便愈靈敏。

5 雖然本發明之某一定特徵，本說明書已加以例示及說明，本技藝之一般從業人員，如今將可想見眾多之實施例，係可完成眾多之修飾體、替代體、變更形式、和等效體。所以，理應理解的是，所附之專利請求項，係意使涵蓋所有在本發明之精神內的此等修飾體、和變更形式。

【圖式簡單說明】

10 第1圖係一種依據本發明之某些實施例的一個包含有兩個能透過傳導性媒體進行通訊的積體電路之裝置和一個選用之附加裝置的簡化方塊圖；

第2圖係一種依據本發明之某些實施例在一降低的有效位元率模式中運作之傳輸單元及接收單元中的位元傳播
15 之範例性簡化策略；

第3圖係一種依據本發明之某些實施例用以控制透過一傳導性媒體的通訊之範例性方法的流程圖；而

第4圖則係一種依據本發明之某些實施例的範例性位元抽取器之簡化方塊圖。

20 【主要元件符號說明】

2...裝置	14...線路驅動器
4、6...積體電路	16...接收單元
8...傳導性媒體	18...線路接收器
10...附加裝置	20...天線
12...傳輸單元	22...無線通訊通道

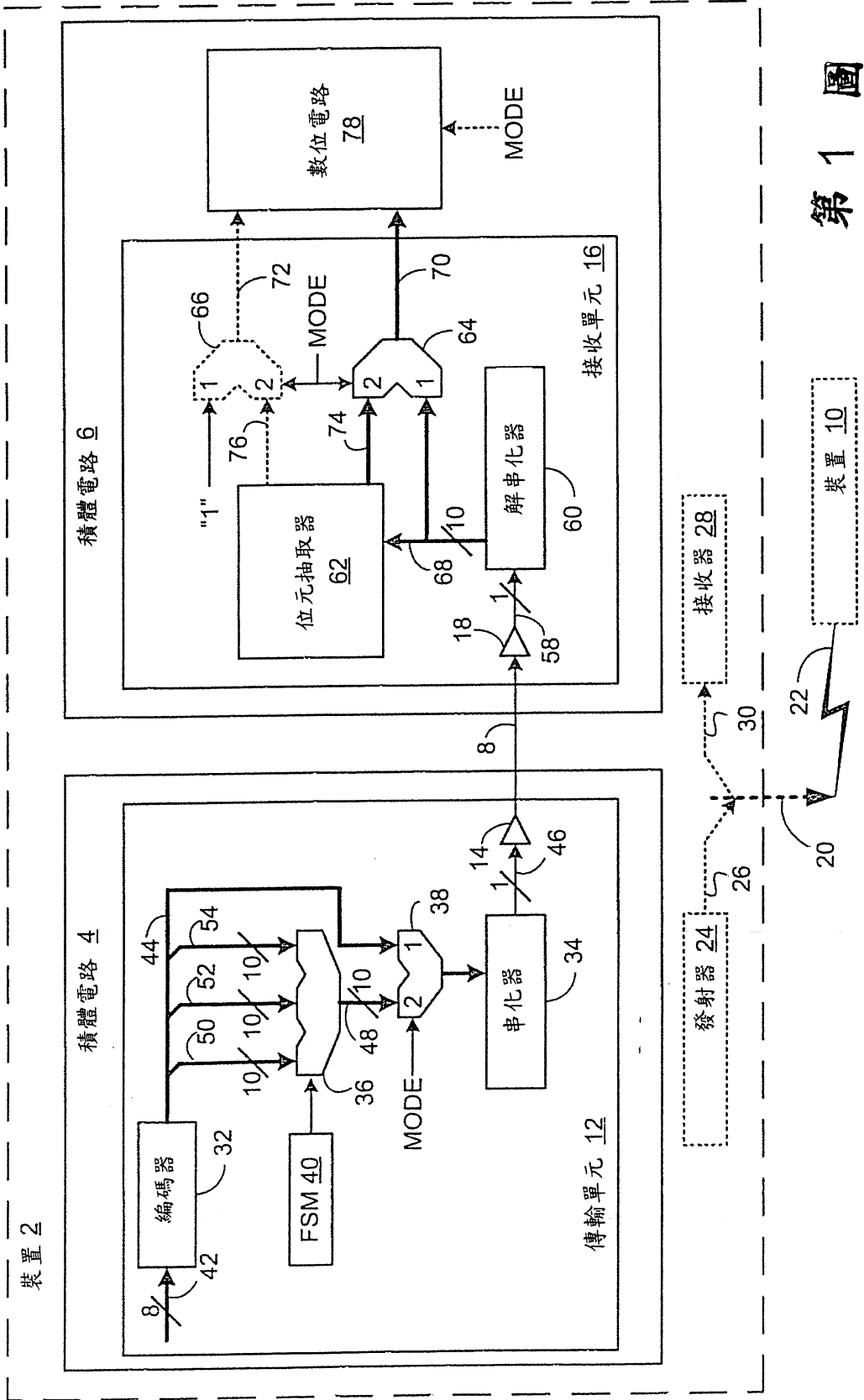
- 24...發射器
- 26...射頻(RF)信號
- 28...接收器
- 30...射頻(RF)信號
- 32...編碼器
- 34...串化器
- 36...多工器(MUX)
- 38...MUX(多工器)
- 40...有限狀態機(FSM)
- 42...資訊位元
- 44...編碼符元
- 46...串列位元流
- 48...10位元匯流排
- 50、52、54...匯流排
- 58...串列位元序列
- 60...解串化器
- 62...位元抽取器
- 64...MUX(多工器)
- 66...MUX(多工器)
- 68...字組串列
- 70...信號
- 72...信號
- 74...字組串列
- 76...信號
- 78...數位電路
- 100...位元組
- 42...資訊位元
- 44...編碼符元
- 46...串列位元流
- 68、74...字組串列
- 100、102...位元組
- 104、106...10位元編碼符元
- 108、110、112...10位元群組
- 114、116、118...10位元群組
- 122、124、126、128、130、132、
134、136、138、140、142、144
...字組
- 200...位元抽取器
- 202、204、206...記憶體元件
- 208...10位元匯流排
- 210...10位元匯流排
- 212...10位元匯流排
- 214...MUX(多工器)
- 216...信號
- 218...匯流排
- 220、221、222、223、224、225、
226、227、228...比較器
- 230、232、234...加法器
- 236、238、240...MUX(多工器)
- 242、244、246...計數器
- 248、250、252...輸入信號
- 254...臨界值暫存器
- 258...邏輯區塊
- 260...FSM(有限狀態機)

五、中文發明摘要：

多個符元藉由在傳輸位元序列中，以多個連續位元的一群集來表示該等符元之每一位元，而準備好供傳輸；其中該等連續位元係同於該每一位元。該傳輸位元序列係以一特定位元率被傳輸。一接收位元序列之多個接收位元在上述特定位元率下被接收，以及該接收位元序列在無錯誤時係與該傳輸位元序列相同。該等符元係藉由識別該接收位元序列內之接收位元的群集之邊界，以及藉由選擇每一群集之接收位元的一個內位元作為一重建之符元的一個位元，而自該等接收位元之接收位元序列來加以重建。該邊界識別係涉及相鄰接收位元之比較。上述傳輸位元序列之傳輸，和上述接收位元序列之接收，係可遵照週邊構件互連快速(PCI Express)規格。

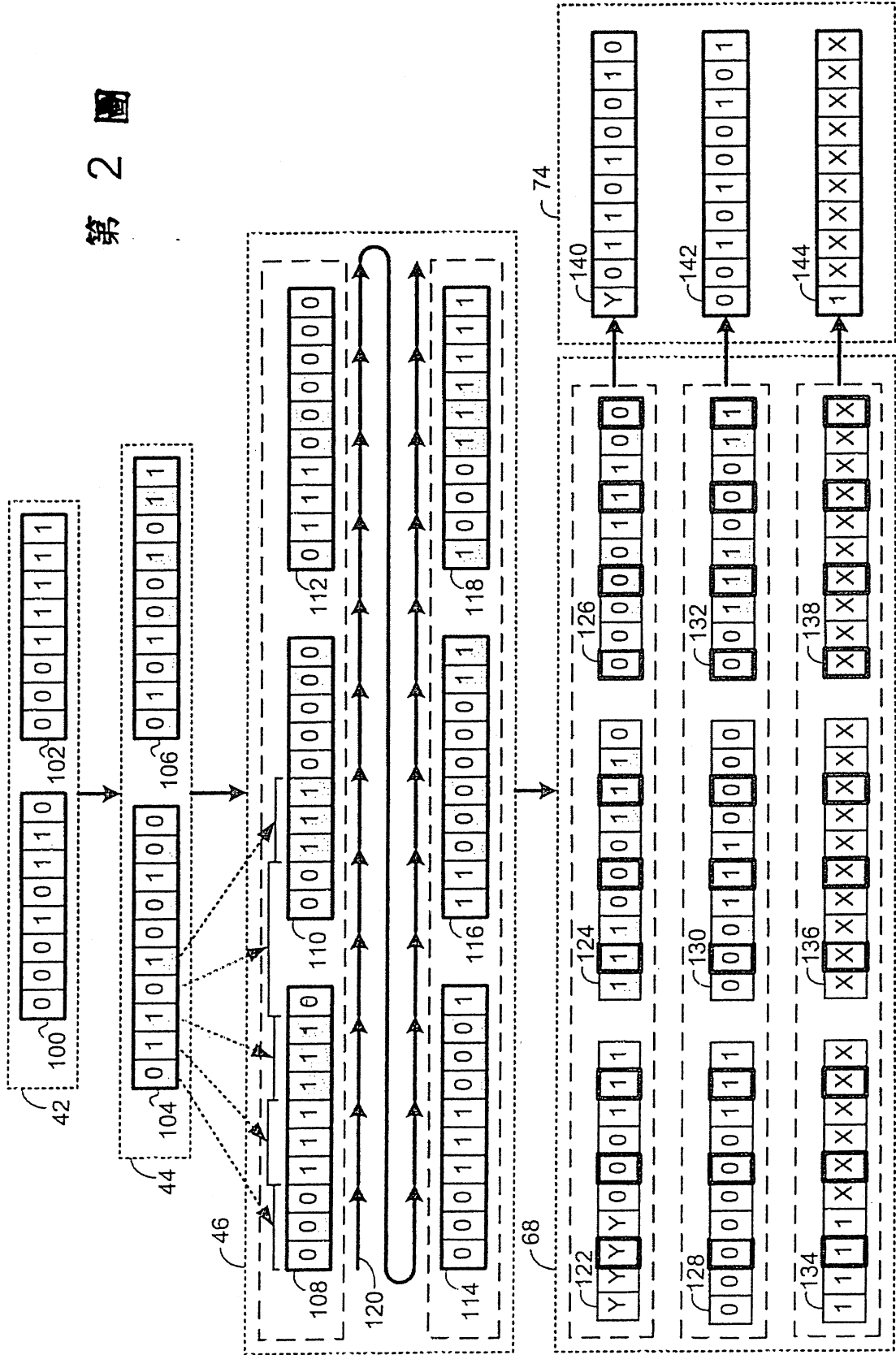
六、英文發明摘要：

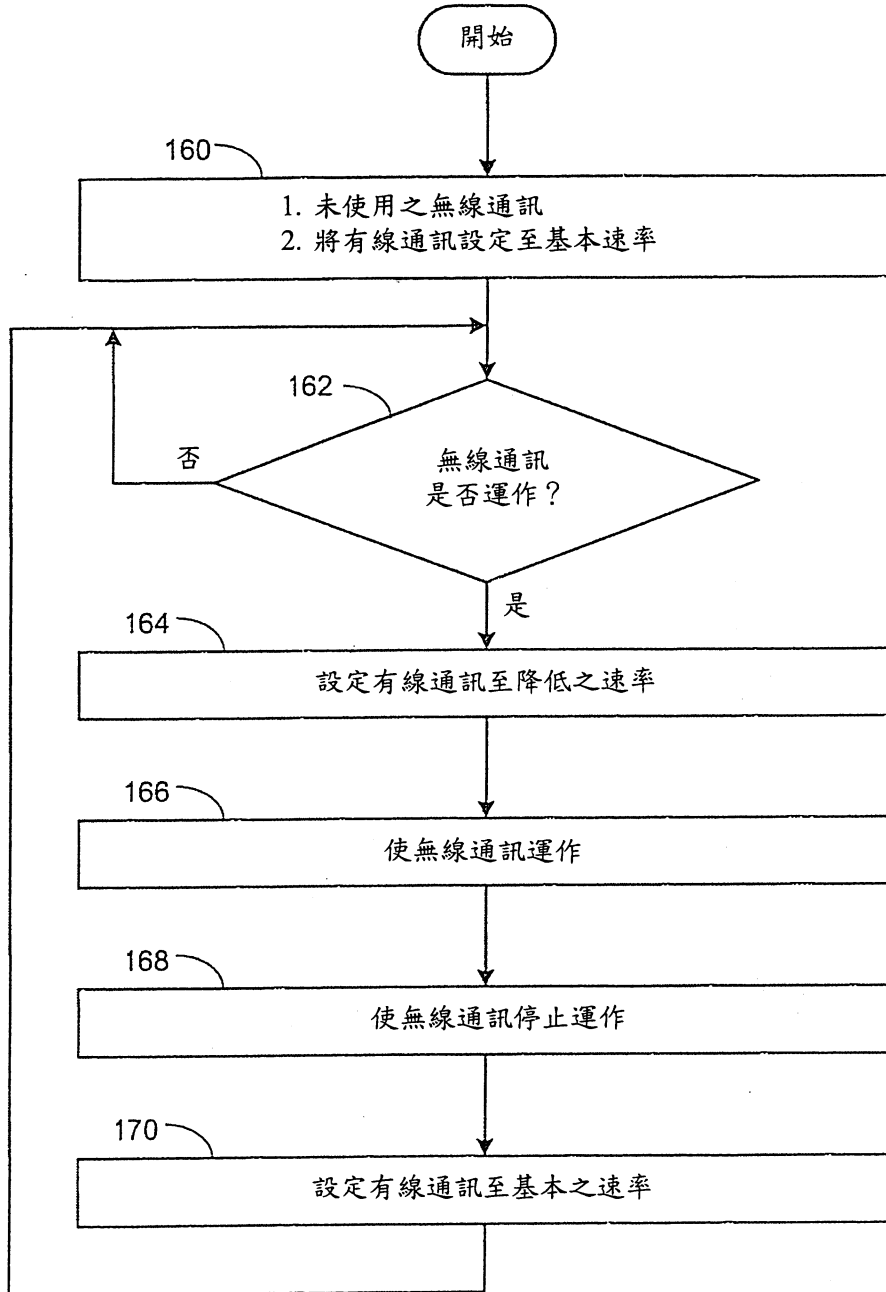
Symbols are prepared for transmission by representing each bit of the symbols by a cluster of consecutive bits, identical to the bit, in a transmission bit sequence. The transmission bit sequence is transmitted at a particular bit rate. A reception bit sequence of received bits is received at the particular bit rate, and the reception bit sequence is identical to the transmission bit sequence in the absence of errors. The symbols are reconstructed from the reception bit sequence of received bits by identifying boundaries of clusters of received bits in the reception bit sequence and selecting an inner bit of each of the clusters of received bits as a bit of a reconstructed symbol. The boundary identification involves comparing neighboring received bits. The transmission of the transmission bit sequence and reception of the reception bit sequence may conform to the Peripheral Components Interconnect (PCI) Express Specifications.



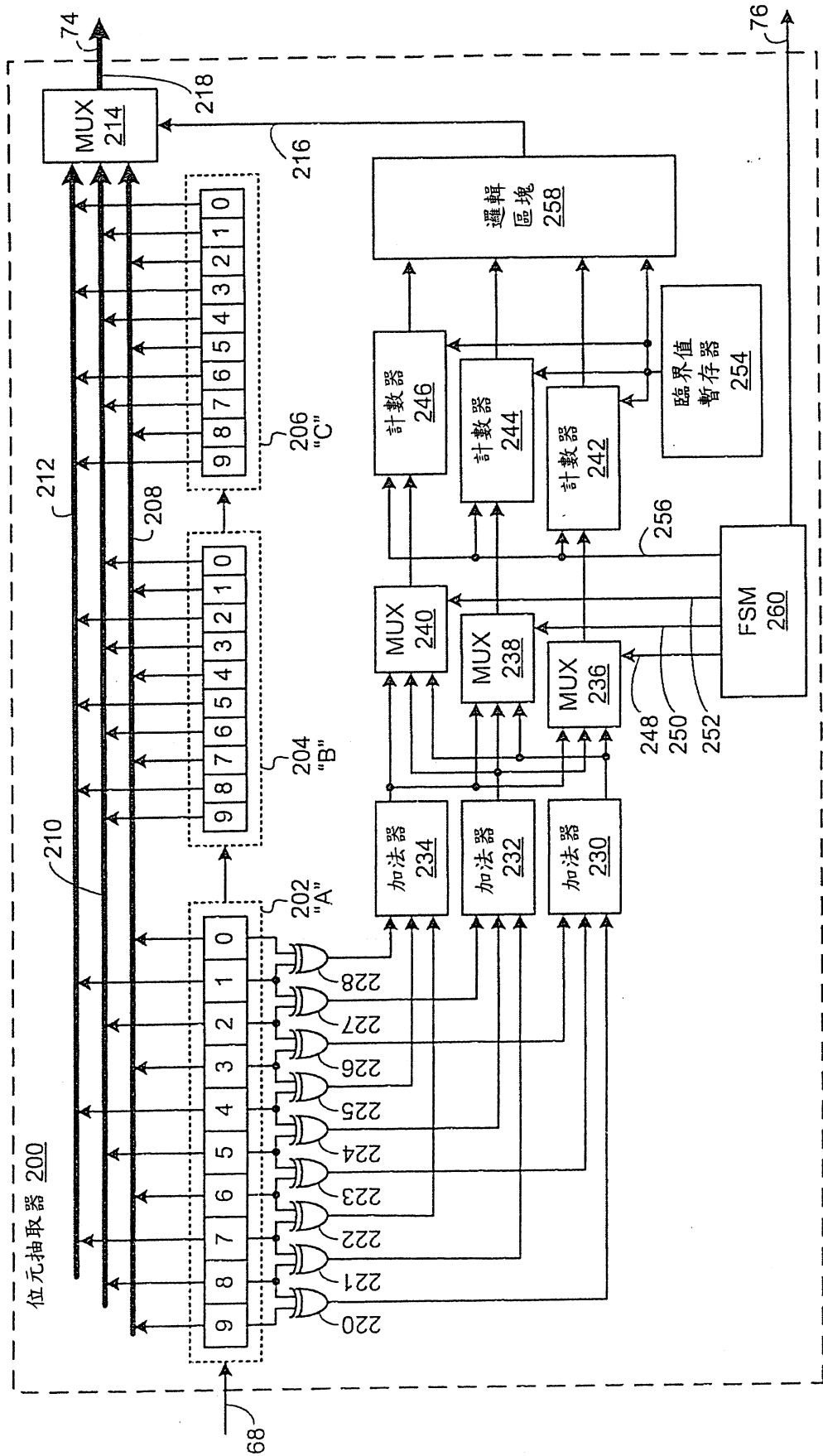
第 1 圖

第 2 圖





第 3 圖



第 4 圖

七、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

42...資訊位元

44...編碼符元

46...串列位元流

68、74...字組串列

100、102...位元組

104、106...10位元編碼符元

108、110、112...10位元群組

114、116、118...10位元群組

122、124、126、128、130、132、134、136、138、140、142、144...字組

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

十、申請專利範圍：

第94130717號申請案申請專利範圍修正本 96.12.31.

1. 一種用以通訊之方法，該方法包含有下列步驟：

藉由在一傳輸位元序列中，以N個連續位元之一群
5 集，來表示多個符元之每一位元，而準備好可供傳輸之
該等符元，其中該等連續位元係同於該每一位元；

以一特定位元率傳輸該傳輸位元序列；

在該特定位元率下，接收多個接收到之位元的一接
收位元序列，該接收位元序列在無錯誤時，係與該傳輸
10 位元序列相同；以及

藉由以下程序自該等接收位元之接收位元序列重
建該等符元：

a) 藉由比較相鄰之接收位元，來識別該接收位
元序列內之N個接收位元的多個群集之邊界；以及

15 b) 選擇該等N個接收位元之每一群集的一個
內位元，作為一重建符元的一個位元。

2. 如申請專利範圍第1項之方法，其中，識別該接收位元
序列內之N個接收位元的該等群集之邊界的步驟包括有
下列步驟：

20 計數連續之接收位元間的差異；

產生該接收位元序列內之N個可能的群集邊界排齊
之可能性；以及

依據該等N個可能群集邊界排齊中具有最高可能性
的一個，來識別該等邊界。

3. 如申請專利範圍第2項之方法，其中，產生該等可能性之步驟係包括：

確保該等可能性不超過一可規劃臨界值，該可規劃臨界值可決定邊界識別相對於邊界排齊中之變化的一種靈敏度。

4. 如申請專利範圍第1項之方法，其中，該傳輸位元序列之傳輸和該接收位元序列之接收，係遵照週邊構件互連(PCI)特殊業務小組(SIG)在2003年3月31日所頒佈之週邊構件互連(PCI)快速標準規格1.0a版。

5. 一種積體電路，其係包含有：

一線路接收器，用於以一特定位元率，透過一傳導性媒體，來接收多個接收位元之一接收位元序列，其中，該接收位元序列在無錯誤之狀況下，係與以該特定位元率透過該傳導性媒體所傳輸之一傳輸位元序列相同，以及其中，該傳輸位元序列係包括有用於要被傳輸之一符元的每一位元之N個連續相同位元的一群集；

一解串化器，用以將該接收位元序列之連續接收位元包封成多個字組，以及輸出該等字組之一字組序列；和

一位元抽取器，用以接收該字組序列，以該特定位元率之一分率自該字組序列抽取出一些被抽取位元，將該等抽取位元包封成一些抽取字組，以及輸出該等抽取字組的一抽取字組序列。

6. 如申請專利範圍第5項之積體電路，其中，該等符元係自多個資訊位元之多個位元組編碼出的多個10位元符

元。

7. 如申請專利範圍第5項之積體電路，其中進一步係包含有一數位電路，用以接收該抽取字組序列，以及識別該抽取字組序列內的該等符元之邊界。
- 5 8. 如申請專利範圍第5項之積體電路，其中，該等符元之單一位元係欲以一單一位元表示在該抽取字組序列內。
9. 如申請專利範圍第5項之積體電路，其中，該群集內之位元數 N 為三。
10. 如申請專利範圍第8項之積體電路，其中，該位元抽取器係包括有 N 個記憶體元件，以及該等記憶體元件中的一個記憶體元件內之位元數，係等於該等符元中的一個符元內之位元數。
- 10 11. 如申請專利範圍第10項之積體電路，其中，該位元抽取器進一步係包括有具有 N 個輸入匯流排和一個輸出匯流排之一多工器，該等輸入匯流排中的一個輸入匯流排內和該輸出匯流排內之位元數係等於該等符元中的一個符元內之位元數，以及其中，該等記憶體元件中的一個記憶體元件內相隔 N 位元之多個位元，係被該等輸入匯流排中的一個輸入匯流排所接收。
- 15 12. 如申請專利範圍第11項之積體電路，其中，該位元抽取器進一步係包括有含相等數目之比較器的 N 個群組，其中，該等比較器係用於比較該等記憶體元件中之一特定記憶體元件的連續位元之不同配對。
- 20 13. 如申請專利範圍第12項之積體電路，其中，該等比較器

係為XOR邏輯閘。

14. 如申請專利範圍第12項之積體電路，其中，該位元抽取器進一步係包括有：

N個計數器，彼等係用以含有不低於一低臨界值及不高於一可規劃臨界值的一些數值，

其中，該等計數器中之一計數器可依據該等比較器之輸出值而遞增及遞減，以及

其中，該多工器之該輸出匯流排係用於接收該等輸入匯流排中之一特定輸入匯流排的值，該特定輸入匯流排係依據該等計數器之值而由該多工器來加以選定。

15. 一種電腦運算裝置，其係包含有：

一傳導性媒體；

一第一積體電路，用以產生具有用於要被傳輸之一符元的每一位元之N個連續相同位元的一群集之一傳輸位元序列，以及用於以一特定位元率透過該傳導性媒體來傳輸該傳輸位元序列；和

一第二積體電路，用於以該特定位元率透過該傳導性媒體來接收多個接收位元之一接收位元序列，其中，該接收位元序列在無錯誤之狀況下係與該傳輸位元序列相等，該第二積體電路係包含有：

一解串化器，用以將該接收位元序列之多個連續接收位元包封成多個字組，以及輸出該等字組之一字組序列；和

一位元抽取器，用以接收該字組序列，以該特定位

元率之一分率自該字組序列抽取多個被抽取位元，將該等抽取位元包封成多個抽取字組，以及輸出該等抽取字組的一被抽取字組序列。

16. 如申請專利範圍第15項之裝置，其中，該等符元係自多個資訊位元之多個位元組編碼出的多個10位元符元。
17. 如申請專利範圍第15項之裝置，其中進一步係包含有一數位電路，用以接收該抽取字組序列，以及識別該抽取字組序列內的該等符元之邊界。
18. 如申請專利範圍第15項之裝置，其中，該等符元之一單一位元係以N個連續相同位元之一群集表示在串列表示型態內，以及以一單一位元表示在該抽取字組序列內，其中N為該群集內之位元數。
19. 如申請專利範圍第18項之裝置，其中，該群集內之位元數N為三。
20. 如申請專利範圍第18項之裝置，其中，該位元抽取器係包括有N個記憶體元件，以及該等記憶體元件中的一個記憶體元件內之位元數係等於該等符元中的一個符元內之位元數。
21. 如申請專利範圍第20項之裝置，其中，該位元抽取器進一步係包括有具有N個輸入匯流排和一個輸出匯流排之一多工器，該等輸入匯流排中的一個輸入匯流排內和該輸出匯流排內之位元數係等於該等符元中的一個符元內之位元數，以及其中，該等記憶體元件中的一個記憶體元件內相隔N位元之多個位元，係被該等輸入匯流排

中的一個輸入匯流排所接收。

22. 如申請專利範圍第21項之裝置，其中，該位元抽取器進一步係包括有含相等數目之比較器的N個群組，其中，該等比較器係用於比較該等記憶體元件中之一特定記憶體元件的連續位元之不同配對。

23. 如申請專利範圍第22項之裝置，其中，該等比較器係為XOR邏輯閘。

24. 如申請專利範圍第22項之裝置，其中，該位元抽取器進一步係包括有：

N個計數器，彼等係用以含有不低於一低臨界值及不高於一可規劃臨界值的一些數值，

其中，該等計數器中之一計數器可依據該等比較器之輸出值而遞增及遞減，以及

其中，該多工器之該輸出匯流排係用於接收該等輸入匯流排中之一特定輸入匯流排的值，該特定輸入匯流排係依據該等計數器之值而由該多工器來加以選定。

25. 如申請專利範圍第15項之裝置，其中進一步包含有一天線。

26. 如申請專利範圍第15項之裝置，其中，透過該傳導性媒體進行之通訊，係遵照週邊構件互連(PCI)特殊業務小組(SIG)在2003年3月31日所頒佈之週邊構件互連(PCI)快速標準規格1.0a版。

27. 如申請專利範圍第15項之裝置，其中，該裝置為一部電腦。