公告本

申請日期	87.5.6
案號	87106955
類別	H01L 21/00

（以上各欄由本局填註）

A4
C4

444263

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	半導體裝置及其製造方法
	英文	SEMICONDUCTOR DEVICE AND MANUFACTURING PROCESS THEREFOR
二、發明 ~~創作~~ 人	姓名	富田和朗
	國籍	日本國
	住、居所	日本國東京都千代田區丸之內二丁目二番三號 三菱電機股份有限公司內
三、申請人	姓名（名稱）	三菱電機股份有限公司
	國籍	日本國
	住、居所（事務所）	日本國東京都千代田區丸之內二丁目二番三號
	代表人姓名	北岡隆

裝 訂 線

經濟部中央標準局員工消費合作社印製

444263

（由本局填寫）

承辦人代碼：
大　　類：
IPC分類：

A6
B6

本案已向：

日本國（地區）　申請專利，申請日期：　　案號：　　，☑有　□無主張優先權

1997 年 12 月 10 日　特願平 9-339942(主張優先權)

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（ 1 ）

發明的技術領域

本發明係有關可提升半導體裝置上層膜層(layer)覆蓋(coverage)的半導體裝置及其製造方法者。

習用技術

第 6 圖爲表示於特開平 8-306664 號公報的半導體裝置之剖面圖。係於貫通半導體基板 101 上之層間絕緣膜 102 所形成之接觸點 103 上，配置與接觸點直徑同程度配線寬度的上層配線 105 的示意圖；此半導體裝置於上層配線 105 與接觸點 103 間，形成有較配線寬度爲寬的密著層圖案 104 者。

密著層圖案 104 係附著於，在上層配線 105 及於上層配線 105 上構成之保護圖案 106 側面附著形成的側壁 107 底面相當面積而形成。

於上述方式形成的半導體裝置中，因形成之密著層圖案 104 較上層配線 105 的配線寬度爲大，即使上層配線 105 與接觸點 103 間有重疊上的偏差，亦能有良好的接續。

發明所欲解決的問題

如第 6 圖所示的半導體裝置，係於上層配線 105 上，積層由絕緣膜所成的保護圖案 106，而將附著側壁 107 的側面垂直方向尺寸予以加大，以獲取附著於層間絕緣膜 102 表面的側壁 107 之水平方向尺寸，以增大重量偏差的修正範圍。

唯因上層配線 105 與保護圖案 106 的膜厚合計值愈大，層間絕緣膜 102 與上層配線 105 及保護圖案 106 的表

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明(2)

面段差愈大，其形成良好上層膜層(layer)覆蓋(coverage)的困難度增加。

又於第 6 圖所示的半導體裝置，若將上層配線 105 以複數個並列配置，以使配線間距離爲最小尺寸時，有可能介由密著層圖案 104 使配線短路的問題發生。爲避免產生上述現象，雖可考慮充分留置配線間的間隔，但於半導體裝置之高積集化上，將發生困難。

本發明係爲解決上述問題而設，係以獲得可形成良好覆蓋的上層膜層、以減低上層配線表面段差的半導體裝置，且得以連續配置複數上層配線，以使配線間距離爲最小尺寸時，亦無配線間短路之良好半導體裝置爲目的者。

解決問題的手段

有關本發明申請專利範圍第 1 項記載之半導體裝置，係具:於基板上積層之層間絕緣膜;於上述層間絕緣膜上構成上層配線圖案及附著形成於上述上層配線側面，由絕緣性物質構成之側壁(side wall)者。

有關本發明申請專利範圍第 2 項記載之半導體裝置，係於第 1 項記載之構成外，再具:於涵蓋上層配線及側壁表面的領域上，經由介電體膜積層之胞板(cell plate)，及由上述上層配線、上述介電體膜、上述胞板等所構成之電容者。

有關本發明申請專利範圍第 3 項記載之半導體裝置，係於第 1 項及第 2 項記載之相當構成中，由障壁金屬(barrier metal)及導電性配線圖案積層構造構成上層配線

經濟部中央標準局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)
裝
訂

五、發明說明（3）

圖案，而上述障壁金屬即接於貫通層間絕緣的接點(contact)者。

有關本發明申請專利範圍第 4 項記載之半導體裝置，係於第 1 項及第 2 項記載之相當構成中，貫通層間絕緣膜之接點的第 1 領域，即與上層配線重疊，且於形成表面較上述第 1 領域表面形成位置爲低位置，而不與上述上層配線重疊的上述接點之第 2 領域上形成凹陷(recess)，以將側壁的一部填補上述凹陷處。

有關本發明申請專利範圍第 5 項記載之半導體裝置之製造方法，係具備：於基板上積層層間絕緣膜的製程；於上述層間絕緣膜表面構成上層配線圖案的製程；於包括上述上層配線表面的上述層間絕緣膜表面上積層絕緣膜的製程，及對上述絕緣膜，以異向性蝕刻，於上述上層配線側面獲得附著側壁的製程者。

有關本發明申請專利範圍第 6 項記載之半導體裝置之製造方法，係於第 5 項記載之製造方法再具備：於涵蓋上層配線及側壁表面的領域，積層介電體膜的製程，及於上述介電體膜表面形成胞板(cell plate)的製程，以獲取由上述上層配線、上述介電體膜、上述胞板等所構成之電容者。

<u>發明的實施形態</u>

<u>實施形態 1</u>

茲將本發明之實施形態 1，說明如下：

第 1 圖爲表示，由本發明實施形態 1 所形成的半導體裝置之剖面構造圖。係表示於基板上之層間絕緣膜表面構

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（4 ）

成上層配線圖案，再於該上面形成良好上層膜層之覆蓋示例。

於第 1 圖中，1 爲半導體基板；2 爲積層於半導體基板 1 上的層間絕緣；3 爲由導電性物質所成之貫通層間絕緣膜 2 形成之接點；4 爲以圖案構成於層間絕緣膜 2 上，連接於接點 3 配置之障壁金屬；5 爲積層於障壁金屬 4 上層的配線圖案。而由障壁金屬 4 與配線圖案 5 構成上層配線 6。

上層配線 6 的側面係以絕緣性物質所成之側壁 7 覆蓋，將上層配線 6 與層間絕緣膜 2 表面的段差，以形成之側壁 7 造成緩和的傾斜，因而得於上層配線 6 的表面形成覆蓋良好的上層膜次層 8。

其次，以第 2 圖說明第 1 圖所示的半導體裝置之製造方法如下：

如第 2 圖(a)所示，首先於半導體基板 1 表面領域形成能動元件後，積層膜厚爲 6000 Å之由氧化矽薄膜所成的層間絕緣膜 2。再以貫通層間絕緣膜 2 的接觸孔之開口曝露一部分能動元件表面，再積層摻雜多晶矽(doped polysilicon)予以填補，而得接點 3。殘留於層間絕緣膜 2 表面的摻雜多晶矽即以 CMP(chemical mechanical polishing)研磨去除。

然後，於層間絕緣膜 2 表面形成厚度 500 Å的氮化鈦(titanium nitride)薄膜及厚度爲 300 Å的鈦膜積層所構成之障壁金屬層 4a，於障壁金屬層 4a 表面積層厚度爲 1000 Å的鎢金屬層 5a。然後，於鎢金屬層 5a 表面形成相當於

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（5 ）

上層配線 6 形狀的抗蝕層圖案(resist pattern)9。

又如第 2 圖(b)所示，以抗蝕層圖案 9 爲蝕刻光罩(etching mask)，對鎢金屬層 5a、障壁金屬層 4a 依序進行異向性蝕刻，構成上層配線 6 圖案。蝕刻後，去除抗蝕層圖案 9。

再如第 2 圖(c)所示，積層厚度 1500 Å 的 TEOS(tetracthyl orthosilicate)氧化膜 7a。

再次，如第 2 圖(d)所示，對 TEOS 氧化膜 7a，以 RIE (reactive ion etching)法進行蝕刻，以獲得附著於上層配線 6 側面的側壁 7。

側壁 7 表面，即自上層配線 6 上面至層間絕緣膜 2 表面爲止，將形成一緩和傾斜的狀態。

因側壁 7 高度方向的最大尺寸相當於上層配線 6 的膜厚，較習用技術之第 6 圖所示時，該高度方向之尺寸將減少保護圖案 106 的膜厚部分，因此，可減少表面段差，同時，亦可減低側壁表面的傾斜角度，以獲得較平坦的表面。

其次，於上層配線 6、側壁 7 及層間絕緣膜 2 表面積層上層膜層 8 時，該上層膜層 8 的積層而已經予以平坦化，因而，可獲得良好覆蓋的形成膜。

又，如第 1 圖及第 2 圖所示，複數條上層配線 6 鄰接著配置，而且，配置間距離設定爲最小尺寸時，若以導電性物質形成側 7，即有介由側壁 7 引起配線短路之不良現象，唯因本實施形態之半導體裝置係以絕緣性物質構成側壁 7，故無短路之虞。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明(6)

亦因，於側壁 7 底面不附著導電性物質所成之密著性圖案，無配線短路之虞。

於上述說明中，說明側壁 7 係由 TEOS 氧化膜所成的絕緣膜構成，唯可使用任何非導電物質，如:氮化矽薄膜、氮化矽與氧化矽的複合膜皆可用。

上述配線圖案 5 亦一樣，不限定於鎢金屬，如:摻雜多晶矽、Pt、WSi、TiSi、MoSi、Al、AlCu 等或該積層膜，同樣可以使用。

構成接點 3 的導電性物質，亦可由摻雜多晶矽構成外，可由 TiN、Ti、Pt、Ru、RuO_2、Wsi、TiSi、MoSi、Al、AlCu 等或該積層膜構成。

實施形態 2

茲將本發明實施形態 2 之半導體裝置，說明如下:

實施形態 1 中，係於上層配 6 側面形成絕緣性側壁 7，以期表面平坦化者。而於實施形態 2，即將該上層配線 6 作爲構成 DRAM 記憶胞(memory cell)的電容儲存結(storage node)，係於該上層介由介電體膜形成胞板(cell plate)，爲特徵者。

第 3 圖爲本發明實施形態 3 之半導體裝置的剖面圖。圖中，10 爲積層於上層配線 6 表面的介電體膜，11 係表示積層於介電體膜 10 表面的胞板，而由上層配線 6、介電體膜 10 及胞板 11 構成電容器(capacitor)12。其他與已經說明中使用之符號相同之符號即代表同一，或表示相當於上述同一之部分。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(7)

第 3 圖所示的半導體裝置，係於如實施形態 1 的第 2 圖所示之製程，形成上層配線 6 及側壁 7 之後，於該表面積層厚度約爲 500 Å的由 BST(BaSrTiO)膜所成之介電體膜 10，再積層厚度爲 1000 Å的 Pt，以得胞板 11。由上層配線 6、介電體膜 10 及胞板 11 構成電容器 12。

如第 3 圖所示，將上層配線 6 作爲電容器 12 的儲存結使用時，因於上層配線 6 側面形成側壁 7，已完成表面的平坦化，可將介電體膜 10 以良好之覆蓋完成薄膜。

又如實施形態 1 中所示，該鄰接的上層配線 6 間之距離爲最小尺寸時，因係以絕緣物質構成側壁 7，無相鄰間的短路珥象。又因於側壁 7 下方亦不形成導電性密著層圖案，故無短路之虞。

於上述中，係表示以使用 BST(BaSrTiO)膜作爲介電體膜 10 的實例，唯該例僅爲示例之一，亦可使用其他氧化膜、氮化膜、或氧化膜與氮化膜的複合膜。又，使用 Ta_2O_5 或 $(Ba,Sr)TiO_3$ 等高介電體膜，$BaTiO_3$、$SrTiO_3$、$PbTiO_3$、$LiNO_3$、PZT、PLZT 等強介電體膜亦無問題。

<u>實施形態 3</u>

於上述實施形態 1 及 2 中，係開示配置成貫通層間絕緣膜 2 的接點 3 與上層配線 6 間的重疊無偏差，接點 3 上方全面與上層配線 6 底面相接時的狀況。

第 4 圖(a)爲表示本發明實施形態 3 之半導體裝置的剖面圖。因上層配線 6 與接點 3 的重疊具有偏差，接點 3 上方的一部分與上層配線 6 不重疊。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（8 ）

上述第 4 圖(a)中的符號 13 爲構成上層配線 6 的導電膜，係表示於鎢金屬所成之配線圖案 5 上面積層障壁金屬層。14 係以蝕刻在接點 3 上面形成的凹陷(recess)部，且，形成以絕緣膜所成的側壁 7，填補該凹陷部 14。其他與已經在說明中使用之符號相同之符號，即代表同一，或表示相當於上述同一之部分。

凹陷部 14 如第 4 圖(b)所示，係位於接點 3 上方與上層配線 6 不重疊的領域上，形成爲被挖窪部。

第 4 圖(b)爲止的製造方法，如下述：以貫通半導體基板 1 上的層間絕緣 2 方式開設接觸孔，再積層作爲障壁金屬層 4 及配線圖案 5 的鎢金屬層，以充填接觸孔獲得接點 3。於作爲配線圖案 5 的鎢金屬層表面，再積層障壁金屬層 13。其次，在積層於層間絕緣膜 2 表面上的多層導電膜，使用相當於上層配線 6 形狀的遮罩圖案(mask pattern)，以構成該圖案。於形成該遮罩圖案時，若於接點 3 與遮罩圖案的重疊上發生偏差，即如第 4 圖(b)所示，相當於該偏差的部分，將因過蝕刻形成爲凹陷部 14。

又如第 4 圖(b)所示，由於凹陷部 14 的形成，在形成上層配線 6 階段時的表面段差，將因凹陷部 14 的深度而擴大，若需於該時段形成上層次，即使覆蓋效果惡化。

因此，如實施形態 1，需形成由絕緣膜所成之側壁 7，以期該表面的平坦化，同時，於凹陷部 14 填補絕緣膜，以使表面段差減少。因此，可使上層次層 8 的覆蓋效果得以提升，而獲得如第 4 圖(a)所示之半導體裝置。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(9)

如上述，即使於接點 3 及上層配線 6 的重疊上或有偏差發生，因有由絕緣物所成的側壁 7 附著形成於上層配線 6 的側面，可使表面平坦化，同時，亦兩形成於接點 3 上方的凹陷部 14(挖窪部)予以填補，可期表面段差的減少。

又因，係以絕緣性物質構成側壁 7，即使該鄰接的上層配線 6 間的間爲最小，亦而介由側壁 7 無配線短路之虞。得以確實實施上層配線 6 間的絕緣。

如上，於該實施形態 3 中，揭示同時進行填補貫通層間絕緣膜 2 的接觸孔，與積層構成上層配線 6 的多層導電膜的示例，但亦與實施例形態 1 所示一樣，於形成接點 3 後，得以他製程進行積層成爲上層配線 6 的多層導電膜。

實施形態 4

茲將本發明的實施形態 4 說明於後：

由實施形態 4 所成的半導體裝置，係如實施形態 3 時一樣，表示於接點 3 與上層配線 6 的重疊上發生重疊偏差時的狀況。一如實施形態 2，係公將上層配線 6 作爲構成電容器的儲存結使用的示例表示，而上述接點 3 與上層配線 6 則由他製程積層之導電性物質構成之。

以本發明的實施形態 4 所成的構體裝置，如第 5 圖(a)所示。

於第 5 圖(a)使用的符號中，與已使用符號相同之符號，依表示同一，或相當部分，且於接點 3 上方的一部分形成有凹陷部 14，而爲填補該凹陷部 14，形成有側壁 7。

於實施形態 4，與實施形態 3 一樣，係由形成填補凹

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（10）

陷部 14 的側壁 7，去除上層配線 6 與凹陷部 14 底面的絕緣段差，使上層配線 6 上方與層間絕緣膜 2 上方的傾斜緩和，而使該表面得以平坦化。

因而，可將介電體膜 10 及胞板 11 的良好覆蓋得以形成，故有可獲得良好形狀的電容器 12 之效果。

又因，側壁 7 係以絕緣性物質構成，即是其鄰接上層配線 6 間的間隔爲最小，介由側壁 7 無短路之虞，得以確實實施上層配線 6 間的絕緣。

上述第 5 圖(a)係表示接點 3 上方表面與層間絕緣膜 2 表面爲等高時的示例。唯因構成接點 3 的導電性物質與構成層間絕緣層 2 的物質，其蝕刻選擇比之不同，於填補接觸孔後，進行回蝕(etch back)時，由以接點 3 上之過度蝕刻(over etch)，其表面有較層間絕緣膜 2 表面爲低的時候。

此時，若於接點 3 與上層配線 6 間之重疊上發生偏差，則於接點 3 之一部分領域上形成凹陷部 14，使上層配線 6 上方面與凹陷部 14 底面間之段差愈大。唯因於上層配線 6 側面形成側壁 7 可使段差減少，亦能使表面平坦化，因而，得以使介電體 10、胞板 11 等之上層膜層得有良好覆蓋而形成。

於第 5 圖(b)，係將上層配線 6 作爲構成電容器 12 的胞板揭示，作爲其他配線使用時，亦具同樣效果。

發明的效果

茲將本發明之各申請專利項的效果記述如下：

有關本發明申請專利範圍第 1 項的半導體裝置，係於

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（11）

其上層配線的側面形成絕緣性側壁，於減少上層配線與層間絕緣膜的絕緣段差，緩和段差部分的傾斜度，由此，可於涵蓋上層配線及側壁表面的層間絕緣膜上形成良好覆蓋的上層膜層，更因側壁係以絕緣膜形成，故可抑制其鄰近配線的短路。

又於有關本發明申請專利範圍第 2 項的半導體裝置，係將該上層配線作爲儲存結，於該上層積層介電體膜及胞板，形成電容器時，上層配線側面的側壁表面已作成緩和的傾斜，予以平坦化，故可進行良好覆蓋的成膜作業。

有關本發明申請專利範圍第 3 項的半導體裝置，係於對應第 1 或第 2 項發明的效果外，介由形成於層間絕緣膜的接點，將上層配線與半導體基板予以電氣上的連接，同時，將上層配線作爲配線圖案及成膜於該底面的障壁金屬，以使接點與上層配線間之連接爲良好。

又有關本發明申請專利範圍第 4 項的半導體裝置中，因上層配線與貫通層間絕緣膜接點的重疊發生偏差，而產生起因於該偏差的接點上方之凹陷部時，得以側壁填補凹陷部減低該表面段差，由該表面的平坦化，使配置於上層配線上的上層膜層之覆蓋得以良好。

有關本發明申請專利範圍第 5 項的半導體裝置之製造方法，係於上層配線形成後，設有在上層配線側面形成絕緣性側壁的製程，得使該表面予以平坦化，故可於次製程的上層膜層時之覆蓋作用得以提升效果。

又於有關本發明申請專利範圍第 6 項的半導體裝置之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（12）

製造方法，除申請專利範圍第 5 項所述效果外，可具體地，以上層配線作爲電容器的儲存結，且得於上層配線及儲存結構成的平坦化表面上積層覆蓋良好的介電體膜。

圖面的簡單說明

第 1 圖爲表示本發明實施形態 1 的半導體裝置的示意圖。

第 2 圖爲表示本發明實施形態 1 的半導體裝置之製程圖。

第 3 圖爲表示本發明實施形態 2 的半導體裝置的示意圖。

第 4 圖爲表示本發明實施形態 3 的半導體裝置的示意圖。

第 5 圖爲表示本發明實施形態 4 的半導體裝置的示意圖。

第 6 圖爲表示習用技術的示意圖。

符號的簡單說明

1　半導體基板

2　層間絕緣膜

3　接點

4　障壁金屬

4a　障壁金屬

5　配線圖案

5a　鎢金屬

6　上層配線

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（13）

7 側壁

7a TEOS氧化膜

8 上層膜層

9 光阻圖案

10 介電體膜

11 胞板

12 電容器

13 障壁金屬

14 凹陷部

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

A5
B5

四、中文發明摘要（發明之名稱：半導體裝置及其製造方法）

一種於半導體裝置之層間絕緣膜上，構成上層配線圖案時，於該上層配線上形成上層膜層時，爲使該上層膜層的覆蓋良好的製造方法。

係於層間絕緣膜上構成之上層配線圖案側面，附著形成由絕緣性物質所成之側壁，以使上層配線與層間絕緣膜間之段差爲緩和的傾斜。再於涵蓋上層配線及側壁表面的上層膜層上，獲得該上層膜層表面的平坦化，以改善該上層形成上層膜層時之覆蓋現象。

英文發明摘要（發明之名稱：）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

88年12月10日 修正補充

附件二

第 87106955 號專利申請案

申請專利範圍修正本

(88 年 12 月 10 日)

1. 一種半導體裝置，係具備有：

層積於基板上之層間絕緣膜；

貫通上述層間絕緣膜而形成之接點；

於上述層間絕緣膜上構成圖案，並連接於上述接點而配置之上層配線；以及

以絕緣性物質所成之側壁覆蓋於上述上層配線側面，將上述上層配線與上述層間絕緣膜的表面段差藉由上述側壁形成緩和的傾斜形態。

2. 一種半導體裝置，係具備有：

層積於基板上之層間絕緣膜；

貫通上述層間絕緣膜而形成之接點；

於上述層間絕緣膜上構成圖案，並連接於上述接點而配置之上層配線；

以絕緣性物質所成之側壁覆蓋於上述上層配線側面，將上述上層配線與上述層間絕緣膜的表面段差藉由上述側壁形成緩和的傾斜形態；

其特徵在：該半導體裝置包括：

於涵蓋上述上層配線及上述側壁面表面的領域上，藉由介電體膜而層積之胞板，並形成有由上述上層配線、上述介電體膜以及上述胞板等所構成之電容器者。

煩請委員明示，本案修正後是否變更原實質內容

經濟部中央標準局員工福利委員會印製

3. 如申請專利範圍第 1 或 2 項之半導體裝置，其中，上層配線係爲障壁金屬及導電性配線圖案的積層構造，而上述障壁金屬即接於貫通層間絕緣膜的接點者。

4. 如申請專利範圍第 1 或 2 項之半導體裝置，其中，貫通層間絕緣膜之接點的第 1 領域係與上層配線重疊，且在較上述第 1 領域表面形成位置爲低之位置上形成表面，而不與上述上層配線重疊的上述接點之第 2 領域上則形成凹陷，並將側壁的一部埋設於上述凹陷者。

5. 一種半導體裝置之製造方法，係具備有：

於基板上層積層間絕緣膜的製程；

形成貫通上述層間絕緣膜之接點的製程；

於上述層間絕緣膜上構成圖案，並形成連接配置於上述接點之上層配線的製程；

以絕緣性物質所成之側壁覆蓋於上述上層配線側面，將上述上層配線與上述層間絕緣膜的表面段差，以上述側壁形成緩和的傾斜形態之製程；以及

於上述上層配線及上述側壁與上述層間絕緣膜表面上層積絕緣膜之製程。

6. 如申請專利範圍第 5 項之半導體裝置之製造方法，其中，另具備：

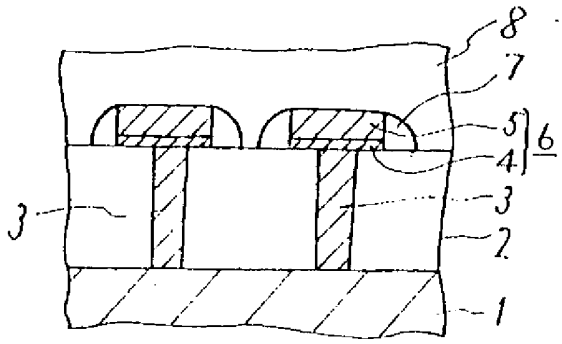
於涵蓋上層配線及側壁表面的領域，層積介電體膜的製程，及

於上述介電體膜表面形成胞板(cell plate)的製程，

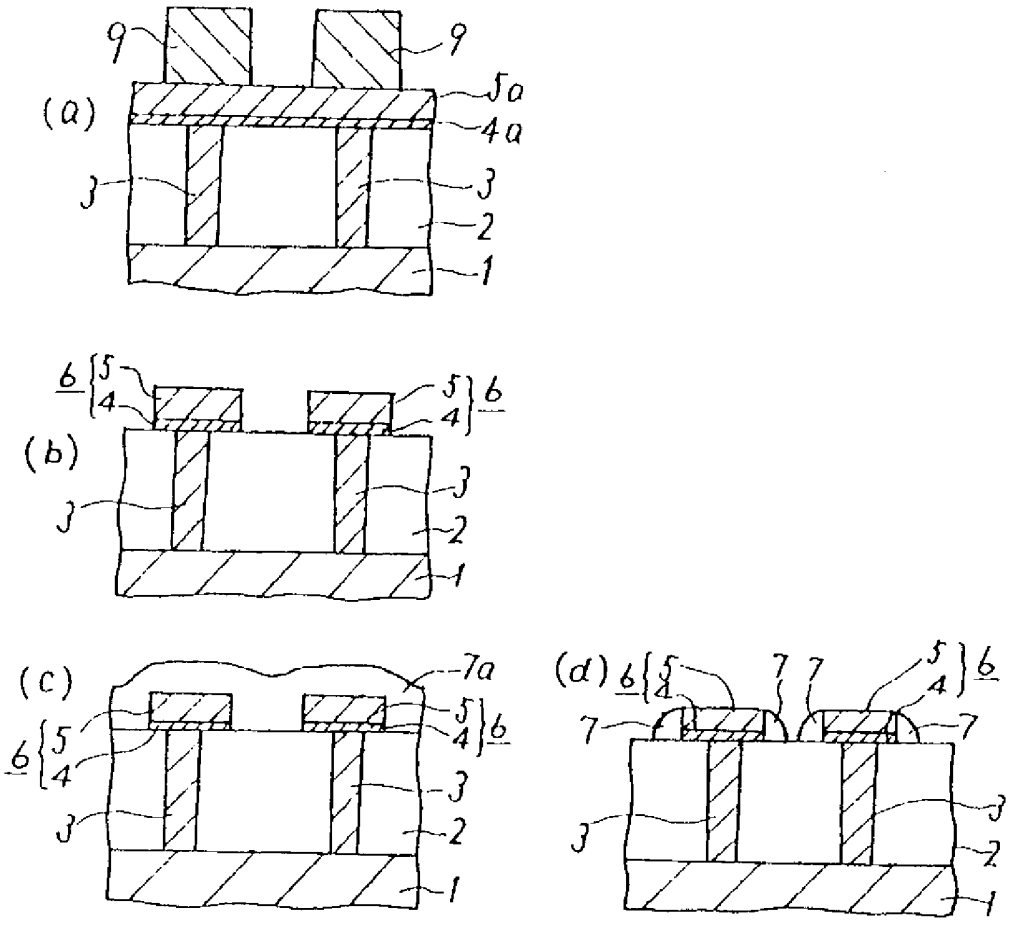
經濟部中央標準局員工福利委員會印製

以獲取由上述上層配線、上述介電體膜、上述胞板等所構成之電容器者。

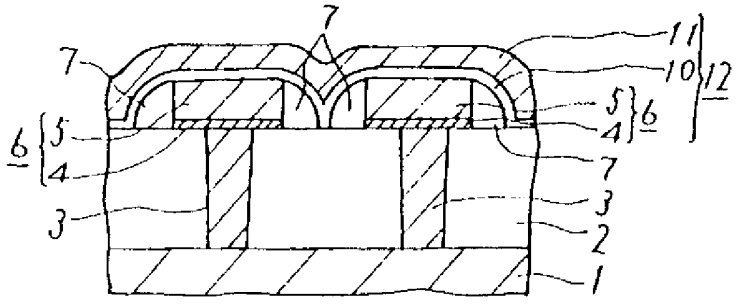
經濟部中央標準局員工福利委員會印製


8
7
5
4
6
3
3
2
1

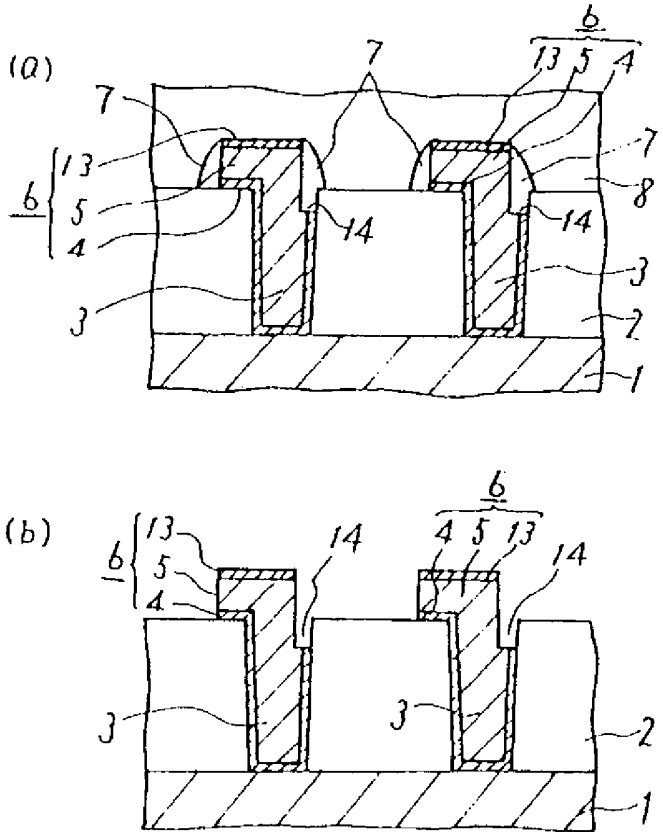
第 1 圖


9
9
(a)
5a
4a
3
3
2
1
6
5
4
5
4
6
(b)
3
3
2
1
(c)
7a
5
4
6
6
5
4
3
3
2
1
(d)
6
5
4
7
7
5
4
6
7
7
3
3
2
1

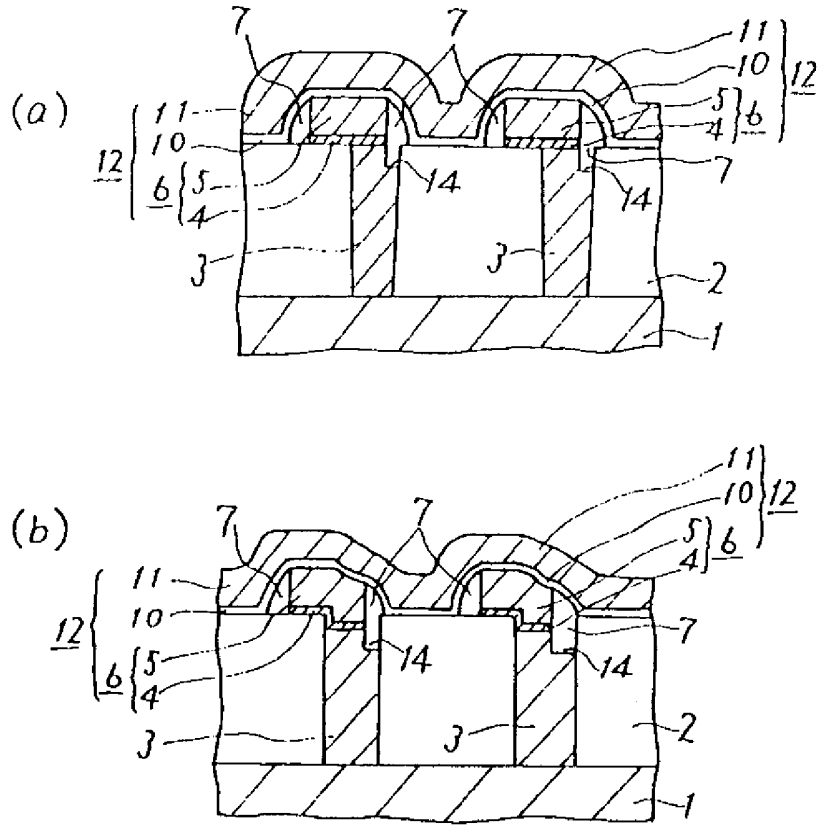
第 2 圖


7
7
11
10
12
6
5
4
6
5
4
7
3
3
2
1

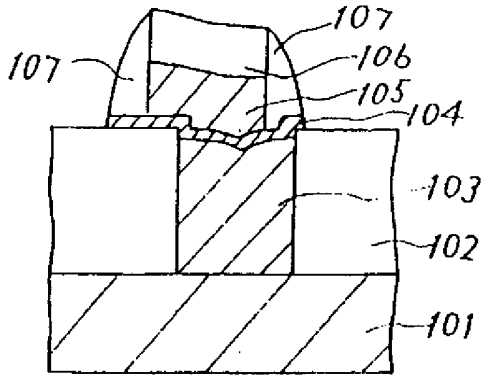
第 3 圖


(a)
6
13
5
4
7
7
6
13
5
4
14
14
7
8
3
3
7
1
(b)
6
13
5
4
14
6
4
5
13
14
3
3
2
1

第 4 圖


(a)
7
7
11
10
12
5
4
6
14
14
3
3
2
1
(b)
7
7
11
10
12
5
4
6
14
14
3
3
2
1

第 5 圖


107
107
106
105
104
103
102
101

第 6 圖

88年12月10日 修正補充

附件二

第 87106955 號專利申請案

申請專利範圍修正本

(88 年 12 月 10 日)

1. 一種半導體裝置，係具備有：

層積於基板上之層間絕緣膜；

貫通上述層間絕緣膜而形成之接點；

於上述層間絕緣膜上構成圖案，並連接於上述接點而配置之上層配線；以及

以絕緣性物質所成之側壁覆蓋於上述上層配線側面，將上述上層配線與上述層間絕緣膜的表面段差藉由上述側壁形成緩和的傾斜形態。

2. 一種半導體裝置，係具備有：

層積於基板上之層間絕緣膜；

貫通上述層間絕緣膜而形成之接點；

於上述層間絕緣膜上構成圖案，並連接於上述接點而配置之上層配線；

以絕緣性物質所成之側壁覆蓋於上述上層配線側面，將上述上層配線與上述層間絕緣膜的表面段差藉由上述側壁形成緩和的傾斜形態；

其特徵在：該半導體裝置包括：

於涵蓋上述上層配線及上述側壁面表面的領域上，藉由介電體膜而層積之胞板，並形成有由上述上層配線、上述介電體膜以及上述胞板等所構成之電容器者。

煩請委員明示，本案修正後是否變更原實質內容

經濟部中央標準局員工福利委員會印製