



**Assinado
Digitalmente**

REPÚBLICA FEDERATIVA DO BRASIL
MINISTÉRIO DA INDÚSTRIA, COMÉRCIO EXTERIOR E SERVIÇOS
INSTITUTO NACIONAL DA PROPRIEDADE INDUSTRIAL

CARTA PATENTE Nº PI 0016643-0

O INSTITUTO NACIONAL DA PROPRIEDADE INDUSTRIAL concede a presente PATENTE DE INVENÇÃO, que outorga ao seu titular a propriedade da invenção caracterizada neste título, em todo o território nacional, garantindo os direitos dela decorrentes, previstos na legislação em vigor.

(21) Número do Depósito: PI 0016643-0

(22) Data do Depósito: 21/12/2000

(43) Data da Publicação do Pedido: 28/06/2001

(51) Classificação Internacional: H01L 51/52; B82Y 30/00; H01L 21/311; H01L 21/768; H01L 51/00; H01L 51/05; H01L 27/28; H01L 27/32

(52) Classificação CPC: H01L 51/52, B82Y 30/00, H01L 21/31133, H01L 21/76838, H01L 51/0004, H01L 51/0012, H01L 51/0021, H01L 51/052, H01L 51/0541, H01L 51/0545, H01L 27/283, H01L 27/32, H01L 51/0018, H01L 51/002, H01L 51/0036, H01L 51/0037, H01L 51/0039, H01L 51/0043, H01L 51/0059

(30) Prioridade Unionista: GB 0009915.0 de 20/04/2000; GB 9930217.6 de 21/12/1999

(54) Título: MÉTODO PARA FORMAR SOBRE UM SUBSTRATO UM DISPOSITIVO ELETRÔNICO, E, CIRCUITO LÓGICO, DISPOSITIVO DE EXIBIÇÃO OU MEMÓRIA

(73) Titular: SEIKO EPSON CORPORATION, Sociedade Japonesa. Endereço: 4-1, NISHIHINJUKU 2-CHOME, SHINJUKU-KU, TÓQUIO, JAPÃO(JP); FLEXENABLE LIMITED. Endereço: 34 CAMBRIDGE SCIENCE PARK, MILTON ROAD, CAMBRIDGE, CAMBRIDGESHIRE CB4 0FX, REINO UNIDO(GB)

(72) Inventor: HENNING SIRRINGHAUS; RICHARD HENRY FRIEND; TAKEO KAWASE

Prazo de Validade: 10 (dez) anos contados a partir de 03/04/2018, observadas as condições legais

Expedida em: 03/04/2018

Assinado digitalmente por:
Júlio César Castelo Branco Reis Moreira
Diretor de Patente

“MÉTODO PARA FORMAR SOBRE UM SUBSTRATO UM DISPOSITIVO ELETRÔNICO, E, CIRCUITO LÓGICO, DISPOSITIVO DE EXIBIÇÃO OU MEMÓRIA”.

[001] A presente invenção diz respeito a dispositivos processados por solução e métodos para formar tais dispositivos.

[002] Transistores de filme finos (TFTs) de polímero conjugado semi-condutor tornaram-se recentemente de interesse para aplicações em circuitos lógicos integrados em substratos plásticos baratos (C. Drury et al., APL 73, 108 (1998)) e dispositivos integrados optoeletrônicos e comutadores de transistor de pixel em elementos de exibição de matriz ativa de alta resolução (H. Sirringhaus et al., Science 280, 1741 (1998), A. Dodabalapur et al. Appl. Phys. Lett. 73, 142 (1998)). Nas configurações do dispositivo de teste com um semicondutor polimérico e eletrodos de metal inorgânico e camadas porta dielétricas, TFTs de alto desempenho foram demonstrados. Mobilidades portadoras de carga de até 0,1 cm²/Vs e relações de corrente LIGA-DESLIGA de 10⁶ até 10⁸ foram atingidas, que são comparáveis ao desempenho de TFTs de silício amorfo (H. Sirringhaus et al., Advances in Solid State Physics 39, 101 (1999)).

[003] Filmes finos de semicondutores poliméricos conjugados podem ser formados revestindo-se uma solução do polímero num solvente orgânico sobre o substrato. A tecnologia é, por conseguinte, idealmente adaptada para processamento com solução de área grande e barato compatível com substratos plásticos e flexíveis. Para fazer uso completo do custo potencial e para tornar facilmente disponível as vantagens de processamento, é desejável que todos os componentes dos dispositivos, incluindo as camadas semicondutoras, camadas dielétricas bem como eletrodos condutores e interconexões sejam depositados a partir da solução.

[004] Para fabricação de dispositivos e circuitos de TFTs totalmente poliméricos, os seguintes problemas principais devem ser superados:

- Integridade de estrutura das múltiplas camadas: durante uma deposição da solução das camadas semicondutoras, isolantes e/ou condutoras subsequentes, as camadas que estão por baixo não devem ser dissolvidas, ou intumescidas pelo solvente usado para a deposição das camadas subsequentes. Intumescimento ocorre se o solvente for incorporado na camada que está por baixo, o que usualmente resulta numa degradação das propriedades da camada.

- Padronização em alta resolução de eletrodos: As camadas condutoras precisam ser padronizadas para formar interconexões bem definidas e canais de TFT com dimensões de canal $L \leq 10 \mu\text{m}$.

- Para a fabricação de circuitos de TFT, áreas de interconexão verticais (via lacunas) necessitam ser formadas para conectar eletricamente os eletrodos em camadas diferentes do dispositivo.

[005] No documento WO 99/10939 A2, um método para fabricar um TFT totalmente polimérico é demonstrado, o qual conta com a conversão das camadas processadas por solução do dispositivo numa forma insolúvel antes da deposição das camadas subsequentes do dispositivo. Isto supera os problemas de dissolução e intumescimento das camadas que estão por baixo. Entretanto, isto limita severamente a escolha de materiais semicondutores, que podem ser usados, a uma classe pequena e em alguns aspectos indesejável de polímeros precursores. Ademais, uma reticulação da camada isoladora da porta dielétrica torna difícil a fabricação de via lacunas através de tais camadas dielétricas, tal que técnicas, tais como perfuração mecânica, são usadas (WO 99/10939 A1).

[006] De acordo com um aspecto da presente invenção é provido um método para formar sobre um substrato um dispositivo eletrônico, o qual inclui um material eletricamente condutor, ou semicondutor, em uma pluralidade de regiões, a operação do dispositivo utilizando fluxo de corrente de uma primeira região para uma segunda região, o dito método compreendendo: formar uma mistura misturando-se o material com um

líquido; formar sobre dito substrato uma estrutura de confinamento incluindo uma primeira zona em uma primeira área do substrato e uma segunda zona em uma segunda área do substrato, a primeira zona tendo uma repelência maior para a mistura do que a segunda zona, e uma terceira zona em uma terceira área do substrato espaçada da dita segunda área pela primeira área, a primeira zona tendo uma repelência maior para a mistura do que a terceira zona, e depositar o material sobre o substrato aplicando-se a mistura sobre o substrato por meio do qual o material depositado pode ser confinado pela repelência relativa da dita primeira zona para regiões mutuamente espaçadas, definindo as referidas primeira e segunda regiões do dispositivo e sendo eletricamente separadas no seu plano por intermédio da repelência relativa da primeira zona e para estar ausente da primeira área do substrato de maneira a resistir ao fluxo através da primeira zona da corrente elétrica entre as regiões mutuamente espaçadas do material depositado.

[007] Em conformidade com um outro aspecto da presente invenção é fornecido um método para formar em um substrato um dispositivo comutador eletrônico, incluindo um material eletricamente condutor ou semicondutor em um pluralidade de regiões, dito método compreendendo: formar uma mistura misturando-se o material com um líquido; formar no substrato uma estrutura de confinamento incluindo uma primeira zona numa primeira área do substrato e uma segunda zona numa segunda área do substrato, a primeira zona tendo uma repelência maior para a mistura do que a segunda zona, e uma terceira zona numa terceira área do substrato espaçada da primeira área pela referida segunda área, a terceira zona tendo uma repelência maior para a mistura do que a segunda zona; e depositar o material no substrato aplicando-se a mistura sobre o substrato; por meio do qual o material depositado pode ser confinado pela repelência relativa das ditas primeira e terceira zonas para a dita segunda zona.

[008] A largura da dita primeira área entre as segunda e terceira

áreas é adequadamente menor do que 20 microns, e, preferencialmente, menor do que 10 microns. O material formado nas ditas regiões mutuamente espaçadas adequadamente forma os eletrodos de fonte e dreno de um transistor.

[009] O método, adequadamente, compreende a etapa de depositar um material adicional no espaço entre as ditas regiões mutuamente espaçadas. O material adicional depositado no espaço entre as ditas regiões mutuamente espaçadas pode formar um canal do transistor. O primeiro material pode ser eletricamente condutor e o dito material adicional pode ser semiconductor. O material adicional pode ser um material polimérico. O material adicional pode ser depositado a partir da solução, preferencialmente uma solução num líquido que não seja substancialmente repelido pela primeira zona.

[0010] A largura da dita segunda zona é adequadamente menor do que 20 microns. A dita largura da segunda zona é adequadamente menor do que 10 microns. O material depositado na segunda zona é adequada e eletricamente condutor. Tal material adequadamente forma uma interconexão. O material pode formar um eletrodo porta de um transistor.

[0011] A largura da região de sobreposição entre o eletrodo porta do transistor e os eletrodos fonte e dreno, respectivamente, é preferencialmente menor do que 20 microns.

[0012] A largura da região de sobreposição entre o eletrodo porta do transistor e os eletrodos fonte e dreno, respectivamente, é preferencialmente menor do que 10 microns.

[0013] A superfície do substrato pode ser fornecida por meio de uma monocamada automontada, e pelo menos uma das primeira e segunda zonas pode ser definida por padronização da monocamada automontada.

[0014] A etapa de padronização da monocamada automontada pode ser realizada por exposição à luz através de uma máscara de sombra.

[0015] A etapa de padronização da monocamada automontada pode ser realizada levando-se o substrato em contato com uma estampa mole.

[0016] As primeira e segunda zonas podem ser formadas na superfície exposta de uma camada depositada em um membro estrutural planar.

[0017] O ângulo de contato da mistura na primeira área é adequado e maior em 20°, 40°, ou 80°, do que o ângulo de contato da mistura na segunda área.

[0018] Um método como divulgado caracteriza-se pelo fato de que a superfície do substrato é fornecida por uma monocamada automontada e pelo menos uma de ditas primeira e segunda zonas é definida pela padronização da monocamada automontada.

[0019] A dita etapa de padronização da monocamada automontada é adequadamente realizada pela exposição à luz através de uma máscara de sombra.

[0020] A dita etapa de padronização da monocamada automontada é realizada levando-se o substrato em contato com uma estampa mole.

[0021] Um método como divulgado caracteriza-se pelo fato de que a superfície do substrato é fornecida por um material não polar e ao menos uma dentre as primeira e segunda zonas é definida pelo tratamento de superfície do polímero não polar.

[0022] O material não polar pode ser uma poliimida.

[0023] O método pode compreender a etapa de polir mecanicamente, ou, de outro modo, tratar superficialmente a poliimida a fim de promover um alinhamento molecular da poliimida.

[0024] O método pode compreender a etapa de tratar opticamente a poliimida para promover um alinhamento molecular da poliimida.

[0025] O dito tratamento da superfície pode ser gravação por meio de ataque químico. O dito tratamento da superfície pode ser tratamento a plasma.

O plasma é preferencialmente um plasma de tetrafluoreto de carbono e/ou de oxigênio.

[0026] O tratamento da superfície pode compreender uma exposição à luz ultravioleta.

[0027] Preferencialmente, a mencionada uma das zonas é a segunda zona.

[0028] A primeira zona pode induzir ou, ainda, ser capaz de induzir uma estrutura molecular alinhada do material semicondutor ou eletricamente condutor.

[0029] A primeira zona é mais preferencialmente capaz de induzir um alinhamento de cadeias poliméricas no dito polímero eletricamente condutor ou semicondutor.

[0030] A referida primeira zona é adequadamente capaz de induzir o alinhamento das cadeias de um material polimérico depositado sobre a dita primeira zona.

[0031] O dito alinhamento é, preferencialmente, em uma direção que se estende entre as segunda e terceira zonas.

[0032] Preferencialmente, as ditas cadeias são cadeias do dito material adicional.

[0033] Preferencialmente, o dito polímero eletricamente condutor ou semicondutor é depositado pela deposição de gotícula.

[0034] Preferencialmente, o dito polímero eletricamente condutor ou semicondutor é depositado pela impressão a jato de tinta.

[0035] Preferencialmente, a largura de pelo menos uma das zonas é menor do que o diâmetro da gotícula formado na dita etapa de impressão a jato de tinta.

[0036] Preferencialmente, a área limite entre ditas primeira e segunda zonas é opticamente distinta, e o método inclui a etapa de detectar opticamente a área limite entre ditas primeira e segunda zonas e localizar o

mecanismo ou o aparelho de impressão a jato de tinta relativo ao substrato na dependência daquela detecção.

[0037] O primeiro material pode ser um polímero, preferencialmente um polímero conjugado. O primeiro material pode ser um material particulado inorgânico susceptível de suspensão no dito líquido.

[0038] De acordo com um aspecto adicional da presente invenção é propiciado um circuito lógico, dispositivo de exibição ou de memória formado pelo método descrito anteriormente.

[0039] De acordo com outro aspecto da presente invenção é fornecido um circuito lógico, dispositivo de exibição ou memória, que compreende um arranjo de matriz ativa de uma pluralidade de transistores formados pelo dito método descrito anteriormente.

[0040] A presente invenção será agora descrita a título de exemplo, com referência aos desenhos anexos, em que:

A Figura 1 mostra configurações de dispositivos diferentes de TFTs totalmente poliméricos, processados por solução;

A Figura 2 mostra as características de transferência de TFTs poliméricos de acordo com a Fig. 1c, com uma camada ativa de F8T2, uma camada isoladora porta de PVP e um eletrodo porta de PEDOT/PSS;

A Figura 3 mostra as características de transferência de TFTs poliméricos de acordo com a Fig. 1c, com uma camada ativa de F8T2, uma camada isoladora porta de PVP e um eletrodo porta de PEDOT/PSS depositado com a amostra mantida na temperatura ambiente (a) e em aproximadamente 50°C (b);

A Figura 4 mostra saída (a) e características de transferência (b) de um TFT totalmente polimérico de F8T2, o qual contém uma barreira de difusão F8 e uma camada de modificação da superfície de PVP como aquela na Figura 1 (a);

A Figura 5 mostra as características de transferência de TFTs

totalmente poliméricos de F8T2 como na Figura 1(a), com uma barreira de difusão de TFB (a) e de poliestireno (b), e uma camada de modificação da superfície de PVP;

A Figura 6 mostra uma micrografia ótica de um TFT totalmente polimérico segundo a Figura 1(a), com uma camada ativa de F8T2 e eletrodos fonte-dreno impressos diretamente sobre um substrato de vidro descoberto;

A Figura 7 mostra a fabricação de TFTs com dimensão de canal pequena e capacitância de sobreposição pequena através da padronização da superfície do substrato em áreas hidrofóbicas e hidrofílicas;

A Figura 8 mostra micrografias ópticas da região de canal de transistores com $L = 20\ \mu\text{m}$ (a) e $L = 5\ \mu\text{m}$ (b), depois de uma deposição a IJP de eletrodos fonte/dreno de PEDOT/PSS na vizinhança de uma barreira de poliimida hidrofóbica;

A Figura 9 mostra as micrografias ópticas tomadas durante a deposição de gotículas de tinta na vizinhança de uma barreira de poliimida;

Figuras 10 e 11 exibem saídas e características de transferência de transistores formados como na Figura 7(c) e possuindo dimensões de canal $L = 20\ \mu\text{m}$ e $7\ \mu\text{m}$, respectivamente;

A Figura 12 exhibe um diagrama esquemático de (a) perfilometria de Dektak e micrografias ópticas (b) do processo de formar via lacunas pela deposição sucessiva de gotículas de metanol sobre uma camada dielétrica porta de PVP de $1,3\ \mu\text{m}$ de espessura e (c) a dependência do diâmetro externo e interno da via lacuna sobre o diâmetro das gotículas a jato de tinta, bem como da espessura da camada de PVP;

A Figura 13 mostra características de corrente-tensão através de uma via lacuna com um eletrodo de PEDOT de fundo e um eletrodo de topo;

A Figura 14 ilustra processos diferentes para fabricação de via lacunas;

A Figura 15 mostra aplicações de via lacunas, como inversores

lógicos (carga de depleção (a), carga de realce (b) e carga de resistência (c)), e esquemas de interconexão de múltiplos níveis (d);

A Figura 16 mostra as características dos circuitos inversores de carga de realce tal como na Figura 1(a), fabricados com TFTs totalmente poliméricos impressos com relações diferentes das dimensões W/L dos dois transistores;

A Figura 17 mostra uma configuração de dispositivo de fundo-porta alternativa;

A Figura 18 mostra um desenho esquemático de um pixel de matriz ativa em que o elemento de exibição ou memória é controlado por uma tensão ou voltagem (a) ou uma corrente (b);

A Figura 19 mostra configurações possíveis do pixel de uma matriz ativa;

A Figura 20 mostra uma absorção óptica polarizada de um TFT de F8T2 alinhado;

A Figura 21 mostra (a) tais TFTs poliméricos com uma ilha de camada ativa padronizada fabricada por impressão de camadas semicondutoras e dielétricas e (b) a região de sobreposição entre as interconexões condutoras separadas por uma ilha de isolamento impressa; e

A Figura 22 mostra uma matriz de dispositivos de transistores conectada por uma rede de interconexões a IJP para a fabricação dos circuitos eletrônicos definidos pelo usuário.

[0041] Os métodos de fabricação preferidos aqui descritos permitem a fabricação de um transistor de filme fino (TFT) processado por solução, totalmente orgânico, em que nenhuma das camadas é convertida ou reticulada em uma forma insolúvel. Cada camada de tal dispositivo pode permanecer em uma forma que seja solúvel no solvente a partir do qual ela foi depositada. Como será descrito em mais detalhes abaixo, isto permite uma maneira simples de fabricar via lacunas através de camadas isoladoras dielétricas com

base na deposição focal de solventes.

[0042] Tal dispositivo pode compreender, por exemplo, um ou mais dos seguintes componentes:

- eletrodos fonte-dreno e de porta condutores e interconexões padronizadas.

- uma camada semicondutora com uma mobilidade portadora de carga que exceda $0,01 \text{ cm}^2/\text{Vs}$ e uma relação comutadora de corrente LIGA-DESLIGA alta que exceda 10^4 .

- uma camada isoladora porta delgada.

- uma camada de barreira de difusão que protege a camada semicondutora e a camada isoladora contra a dopagem não intencional pelas impurezas e difusão iônica.

- uma camada de modificação de superfície que permita a padronização de alta resolução do eletrodo porta pelas técnicas de impressão.

- via lacunas para interconexões através das ditas camadas dielétricas.

[0043] Entretanto, será avaliado que os métodos aqui descritos não são limitados à fabricação de dispositivos tendo todas as características apresentadas acima.

[0044] A fabricação de um primeiro dispositivo ilustrativo será agora descrita com referência à figura 1. O dispositivo da figura 1 é um transistor de efeito de campo de filme fino (TFT) configurado para ter uma estrutura de porta de topo.

[0045] No topo de um substrato de vidro 7059 limpo 1 eletrodos fonte-dreno 2, 3 e linhas interconectoras entre os eletrodos e os blocos de contato (não mostrados) são depositadas por meio da impressão a jato de tinta de uma solução do polímero condutor de polietilenodioxitiofeno/poliestirol-sulfonato (PEDOT (0,5 % em peso) / PSS (0,8 % em peso)) em água. Outros solventes, tais como: metanol, etanol, isopropanol, ou acetona, podem ser

adicionados para afetar as propriedades de tensão superficial, viscosidade e umectação da tinta. O PEDOT/PSS é comercialmente obtido da Bayer (disponível como “Baytron P”). A impressora de IJP é do tipo piezoelétrico. É equipada com um estágio de tradução bidimensional de precisão e outro estágio de microscópio que facilita alinhamento dos padrões subsequentemente impressos em relação um ao outro. A cabeça de IJP é acionada com um pulso de voltagem. Condições de impulso adequadas para ejetar gotículas de um teor de sólidos típico de 0,4 ng por gotícula são obtidas com uma altura de pulso de 20V, tempo de ascensão de 10 μ s e um tempo de queda de 10 μ s. Depois da secagem sobre o substrato de vidro produzem um ponto de PEDOT com diâmetro típico de 50 μ m e espessura típica de 500 Å.

[0046] IJP de eletrodos fonte-dreno é realizada por meio de via aérea. Posteriormente, as amostras são transferidas para um sistema de caixa de luvas de atmosfera inerte. Os substratos são depois secados por rotação no solvente orgânico que será usado mais tarde para a deposição da camada semicondutora ativa, tal como xilenos mistos no caso de polímeros de polifluoreno. Eles são depois recozidos durante 20 minutos a 200° C em atmosfera inerte de nitrogênio para remover o solvente residual e outras espécies voláteis nos eletrodos de PEDOT/PSS. Depois, um filme de 200 a 1000 Å de espessura do condutor de semipolímero ativo 4 é depositado por revestimento por rotação. Vários condutores semipoliméricos foram usados tais como poli-3-hexiltiafeno regiorregular (P3HT) e copolímeros de polifluoreno tais como poli-9,9'-dioctilfluoreno-co-ditiofeno (F8T2). O F8T2 é uma escolha preferida visto que exhibe boa estabilidade ao ar durante a deposição do eletrodo porta ao ar. Uma solução de 5 a 10 mg/ml de F8T2 em xilenos mistos, anidros (adquiridos da Romil) é revestida por rotação a 1500 a 2000 rpm. No caso do P3HT uma solução a 1 % em peso em xileno misto foi usada. Os eletrodos de PEDOT que estão por baixo são insolúveis em um solvente não polar orgânico tal como o xileno. Os filmes são depois secados

por rotação no solvente que será usado mais tarde para a deposição da camada isoladora porta 5, tal como isopropanol ou metanol.

[0047] Uma etapa de recozimento subsequente pode ser depois realizada para realçar as propriedades de transporte de carga do polímero semiconductor. Para os polímeros que exibem uma fase cristalina líquida em temperaturas elevadas o recozimento em uma temperatura acima da transição líquido-cristalina resulta na orientação das cadeias poliméricas paralelas umas às outras. No caso do F8T2, o recozimento é realizado entre 275 a 285° C durante 5 a 20 minutos sob atmosfera inerte de N₂. As amostras são depois rapidamente arrefecidas até a temperatura ambiente até congelar na orientação das cadeias e produzir um vidro amorfo. Se as amostras são preparadas sobre substratos de vidro plano sem uma camada de alinhamento o polímero adota uma configuração de domínio múltiplo em que diversos domínios líquido-cristalinos com orientação aleatória são localizados dentro do canal de TFT. Dispositivos de transistor em que o F8T2 é preparado em um estado vítreo pelo arrefecimento a partir de uma fase líquido-cristalina exhibe mobilidades da ordem de $5 \cdot 10^{-3} \text{ cm}^2/\text{Vs}$, que são em mais do que uma ordem de grandeza mais altas do que as mobilidades medidas em dispositivos com filmes F8T2 igualmente girados. Dispositivos igualmente depositados também exibem voltagens de ligação V_0 superiores. Isto é atribuído a uma densidade mais baixa de estados de armadilhas eletrônicas localizadas na fase vítrea comparado com a fase igualmente depositada, que é parcialmente cristalina.

[0048] Melhorias adicionais da mobilidade em tipicamente um fator de 3 a 5 podem ser obtidas se o polímero é preparado em um estado de monodomínio com o alinhamento uniaxial das cadeias poliméricas paralelo ao canal do transistor. Isto pode ser obtido revestindo-se o substrato vítreo com uma camada de alinhamento adequada, tal como uma camada de poliimida mecanicamente atritada (9 na figura 1(b)). No estado de

monodomínio as cadeias poliméricas são alinhadas uniaxialmente paralelas à direção de atrito da camada de poliimida que está por baixo. Isto resulta em um realce adicional da mobilidade transportadora de carga em dispositivos em que o canal de TFT é paralelo à direção de alinhamento das cadeias. Tal processo está descrito em mais detalhes em nosso pedido de patente UK co-pendente número 9914489.1.

[0049] Depois da deposição da camada semicondutora, a camada isoladora porta 5 é depositada por revestimento por rotação de uma solução de poliidroxiestireno (também chamado de polivinilfenol (PVP)) a partir de um solvente polar no qual o polímero semicondutor que está por baixo não seja solúvel. Uma escolha preferida de solventes são álcoois tais como metanol, 2-propanol ou butanol, em que os polímeros não polares tais como F8T2 têm solubilidade excepcionalmente baixa e não intumescce. A espessura da camada isoladora porta é entre 300 nm (concentração da solução de 30 mg/ml) e 1,3 µm (concentração da solução de 100 mg/ml). Outros polímeros isoladores e solventes que satisfazem as exigências de solubilidade tal como álcool polivinílico (PVA) em água ou metacrilato de polimetila (PMMA) em acetato de butila ou acetato de éter metílico de propileno glicol também podem ser usados.

[0050] O eletrodo porta 6 é, em seguida, depositado sobre a camada isoladora porta. A camada de eletrodo porta pode ser depositada diretamente sobre a camada isoladora porta (ver a figura 1(c)), ou pode ser uma ou mais camadas intermediárias (ver figura 1 (a) e figura 1 (b)), por exemplo, para a modificação da superfície, barreira de difusão ou por razões de processo tal como compatibilidade de solvente.

[0051] Para formar o dispositivo mais simples da figura 1(c) uma porta de PEDOT/PSS 6 pode ser impressa diretamente no topo da camada isoladora de PVP 5. O substrato é transferido para a estação de IJP mais uma vez ao ar onde um padrão de eletrodo porta de PEDOT/PSS é impresso a

partir de uma solução aquosa. A camada isoladora porta de PVP que está por baixo tem uma solubilidade baixa em água tal que a integridade do dielétrico porta é preservada durante a impressão do eletrodo porta de PEDOT/PSS. Embora o PVP contenha uma densidade grande de grupos hidroxila polares, a sua solubilidade em água é baixa por causa da cadeia principal como a do poliestireno extremamente não polar. Similarmente, o PMMA é insolúvel em água. A Figura 2 mostra as características de transferência de um TFT a IJP com uma camada semicondutora de F8T2, uma camada isoladora porta de PVP e eletrodos fonte-dreno e porta de PEDOT/PSS a IJP. As características do dispositivo são medidas sob atmosfera de nitrogênio. Medições consecutivas são mostradas com voltagem de porta crescentes (triângulos ascendentes) e decrescentes (triângulos descendentes), respectivamente. As características fazem parte de dispositivos fabricados a partir de um lote recém preparado (a) e um lote de um ano de idade (b) de PEDOT/PSS (Baytron P). A ação do transistor pode ser claramente observada entretanto, os dispositivos exibem um comportamento normalmente ligado não usual com voltagens de patamar positivo $V_0 > 10V$, ao passo que os dispositivos de referência fabricados com eletrodos fonte-dreno e porta de ouro evaporado foram descobertos exibir comportamento normalmente desligado ($V_0 < 0$). Em dispositivos formados a partir do lote “velho” de PEDOT (figura 2(b)) efeitos de histerese grandes foram observados que são atribuídos á concentração alta de impurezas iônicas móveis (ver abaixo). Se o movimento é iniciado em esgotamento profundo ($V_g = +40V$), o transistor liga a $V_{f0} \approx +20V$ (triângulos ascendentes). Entretanto, na varredura reversa (triângulos descendentes) o transistor desliga apenas a $V_{r0} > +35V$.

[0052] O comportamento normalmente ligado e os efeitos de histerese devem ser provavelmente causados pela difusão de espécies iônicas em uma das camadas do dispositivo. Os valores positivos não usualmente grandes de V_0 sugerem que o íon é negativo. Uma espécie positiva seria

esperada para compensar alguma da carga móvel na camada de acúmulo e levar a uma mudança de V_0 para valores mais negativos. Para identificar a origem destas espécies iônicas dispositivos foram fabricados em que o eletrodo de PEDOT a IJP de porta de topo foi substituído por um eletrodo de ouro evaporado enquanto as outras camadas e os eletrodos de fonte/dreno de PEDOT foram fabricados como descrito acima. Foi descoberto que nesta configuração os dispositivos são normalmente desligados e exibem voltagens de patamar estáveis. Isto implica que os efeitos de dopagem e de histerese no dispositivo totalmente polimérico estão relacionados com a deposição da solução do eletrodo porta de topo de polímero condutor e a difusão possível de impurezas iônicas, móveis da solução/filme de PEDOT nas camadas que estão por baixo do dispositivo.

[0053] Foi descoberto ser possível controlar o valor da voltagem de patamar e reduzir a quantidade de histerese depositando-se o eletrodo porta sobre um substrato aquecido. Isto reduz o tempo de secagem da gotícula no substrato. A Fig. 3(b) mostra as características de transferência de um dispositivo de TFT para o qual o substrato foi aquecido até uma temperatura de 50°C durante a deposição do eletrodo porta. Pode ser observado que o efeito de histerese é muito menor do que para a deposição de porta na temperatura ambiente (Fig. 3b) e que V_0 tem um valor positivo relativamente pequeno de 6V. Controlando-se a temperatura de deposição a voltagem de patamar pode ser ajustada em uma faixa de $V_0 = 1$ a 20V.

[0054] Dispositivos com eletrodos porta depositados diretamente sobre a camada de PVP como na figura 1(c) são do tipo de esgotamento. Este comportamento normalmente ligado é útil para circuitos lógicos do tipo esgotamento tais como o inversor lógico de carga de esgotamento simples (figura 1.4(a)).

[0055] Para se fabricar TFTs normalmente desligados, do tipo de realce a dopagem do semicondutor durante a deposição da porta pode ser

impedida pela incorporação de uma camada de barreira de difusão. No dispositivo da figura 1(a) e (b) uma camada delgada 7 de um polímero não polar é depositada no topo da camada isoladora porta de PVP antes da deposição do eletrodo porta de polímero condutor. Acredita-se que esta camada atue como barreira de difusão bloqueando a difusão de espécies iônicas através do isolador de PVP moderadamente polar. O PVP contém uma densidade alta de grupos hidroxilas polares que tendem a realçar a condutividade e a difusividade de íons através do filme. Diversos polímeros não polares foram usados tais como poli-9,9'-dioctilfluoreno (F8), poliestireno (PS), poli(9,9'-dioctil-fluoreno-co-N-(4-butilfenil) difenilamina) (TFB) ou F8T2. Tais filmes finos destes polímeros da ordem de 50 a 100 nm podem ser depositados na superfície da camada isoladora porta de PVP a partir de uma solução em um solvente não polar orgânico tal como o xileno, em que o PVP é insolúvel.

[0056] A impressão direta de PEDOT/PSS a partir de uma solução polar em água no topo da camada de barreira de difusão não polar ou no topo de um polímero moderadamente polar tal como PMMA foi descoberto ser problemática por causa da umectação deficiente e ângulos de contato grandes. Para tratar isto, uma camada de modificação de superfície 8 é depositada no topo do polímero não polar. Esta camada fornece uma superfície hidrofílica ao invés de hidrofóbica sobre a qual o PEDOT/PSS pode ser mais facilmente formado. Isto permite facilidades de impressão de alta resolução do padrão de eletrodo porta. Para formar a camada de modificação de superfície, uma camada delgada de PVP pode ser depositada a partir da solução de isopropanol, em que a camada de barreira de difusão que esta por baixo é insolúvel. A espessura da camada de PVP é preferencialmente menor do que 50 nm. A impressão de alta resolução de PEDOT/PSS é possível na superfície de PVP. Camadas de modificação da superfície alternativas podem ser usadas. Estas incluem camadas delgadas de

tensoativos como sabão ou polímeros contendo um grupo funcional hidrofílico ou hidrofóbico. Estas moléculas podem tender a separar de fase com os grupos hidrofóbicos e hidrofílicos sendo atraídos contra a interface com o polímero não polar que está por baixo e a superfície livre, respectivamente. Uma outra possibilidade é a exposição breve da superfície da barreira de difusão não polar a um plasma de O₂ brando que torna a superfície hidrofílica. Um tratamento de plasma adequado que não degrada o desempenho do dispositivo de TFT é a exposição a um plasma de O₂ de 13,5 MHz com uma energia de 50 W durante 12 s.

[0057] Uma camada de modificação de superfície no topo da barreira de difusão não polar pode não ser requerida se o eletrodo porta é impresso a partir de um solvente que seja menos polar do que a água tal como a formulação contendo álcoois (isopropanol, metanol, etc.).

[0058] A integridade da sequência de camada conta com a deposição alternada de materiais poliméricos a partir de solventes polares e não polares. É desejável que a solubilidade de uma primeira camada no solvente usado para a deposição de uma segunda camada seja menor do que 0,1 % em peso por volume, preferencialmente menor do que 0,01 % em peso por volume.

[0059] O critério para a compatibilidade de solvente pode ser quantificado usando os parâmetros de solubilidade de Hildebrand pelos quais o grau de polaridade pode ser quantificado (D. W. van Krevelen, Properties of polymers, Elsevier, Amsterdam (1990)). O comportamento de solubilidade de cada polímero (solvente) é descrito por três parâmetros característicos δ_d , δ_p , δ_h , que caracterizam o grau de interações dispersivas, interações de ligação polar e de hidrogênio entre as moléculas do polímero (solvente) no estado líquido. Os valores para estes parâmetros podem ser calculados se a estrutura molecular é conhecida pela adição das contribuições dos diferentes grupos funcionais do polímero. Estes são tabulados para os polímeros mais comuns. Frequentemente δ_p e δ_d são combinados para $\delta_v^2 = \delta_d^2 + \delta_p^2$.

[0060] A energia livre da mistura é dada por $\Delta G_m = \Delta H_m - T \cdot \Delta S_m$, onde $\Delta S_m > 0$ é a entropia da mistura e $\Delta H_m = V \cdot \phi_p \cdot \phi_s \cdot ((\delta v_P - \delta v_S)^2 + (\delta h_P - \delta h_S)^2)$. (V: volume; ϕ_p e ϕ_s : fração volumétrica do polímero (P)/solvente (S) na dita mistura). A partir disto, é esperado que um polímero (P) seja o mais solúvel num solvente (S) quanto menor for ΔH_m , isto é, o $D = ((\delta v_P - \delta v_S)^2 + (\delta h_P - \delta h_S)^2)^{1/2}$. Como um critério aproximado, se o parâmetro de interação D for menor do que aproximadamente 5 o polímero é solúvel no solvente. Se D estiver entre 5 e 10, o intumescimento é freqüentemente observado. Se D é maior do que 10, o polímero é substancialmente insolúvel no solvente, sendo que nenhum intumescimento ocorre.

[0061] De modo a se obter interfaces suficientemente abruptas em um dispositivo de TFT processado por solução é portanto desejável que os respectivos valores de D para cada uma das camadas poliméricas e do solvente da camada seguinte devem ser maiores do que aproximadamente 10. Isto é particularmente importante para a camada semicondutora polimérica e o solvente do dielétrico porta. No caso do F8T2 e isopropanol (acetato de butila) estimamos que D seja aproximadamente 16 (12).

[0062] Para algumas configurações de dispositivo a estrutura inteira da camada múltipla pode ser construída por uma seqüência alternada de polímeros que contenham principalmente grupos polares e sejam solúveis em um solvente altamente polar tal como a água e polímeros que contenham apenas uns poucos ou não contenham nenhum grupo polar e sejam solúveis em um solvente não polar, tal como o xileno. Neste caso o parâmetro de interação D é grande por causa das diferenças de δP para a camada polimérica e o solvente da camada seguinte. Um exemplo seria um dispositivo de transistor que compreende um eletrodo de fonte-dreno altamente polar de PEDOT/PSS, uma camada semicondutora não polar tal como F8T2, uma camada dielétrica porta altamente polar tal como um álcool polivinílico depositado a partir de solução aquosa, uma camada de barreira de

difusão não polar de TFB que também atua como uma camada tampão para facilitar a deposição da seqüência de camada e um eletrodo porta de PEDOT/PSS.

[0063] Entretanto, é freqüentemente conveniente ter uma camada semicondutora não polar e uma camada de eletrodo porta polar separadas por uma única camada dielétrica. Esta seqüência de camada também é possível usando-se uma camada polimérica moderadamente polar depositada a partir de um solvente moderadamente polar intercalada entre a camada polimérica altamente polar e a não polar. Um polímero moderadamente polar é um polímero que contenha tanto grupos polares quanto não polares e seja substancialmente insolúvel em um solvente altamente polar. Analogamente, um solvente moderadamente polar contém tanto grupos polares quanto não polares, mas não dissolve substancialmente um polímero não polar. Em termos dos parâmetros de solubilidade um solvente moderadamente polar pode ser definido como um onde o parâmetro de solubilidade δ_h é enormemente diferente daquele do polímero que está por baixo. Neste caso o intumescimento pode ser evitado (D grande) mesmo se o parâmetro de solubilidade polar δ_p (δ_v) do solvente possa ser similar àquele da camada polimérica que está por baixo. O polímero moderadamente polar pode conter um grupo funcional específico tal como um grupo hidroxila que o torna solúvel em um solvente contendo um grupo funcional que é atraído para o grupo funcional do polímero. Esta atração pode ser uma interação de ligação de hidrogênio. Esta funcionalidade do polímero pode ser usada para realçar a sua solubilidade em um solvente moderadamente polar e diminuir a sua solubilidade em um solvente polar. Um exemplo de um polímero moderadamente polar é uma camada de dielétrico porta de PVP intercalada entre uma camada semicondutora não polar e uma camada de eletrodo porta de PEDOT/PSS (Fig. 1c). Um exemplo de um solvente moderadamente polar é um álcool alquílico tal como IPA ($\delta_h = 8$; F8T2: $\delta_h \approx 0$).

[0064] A Figura 4 mostra as características de saída (a) e de transferência (b) de um TFT IJP F8T2 totalmente polimérico com uma camada isoladora porta de PVP, uma camada de barreira de difusão F8 e uma camada de modificação da superfície de PVP, como ilustrado na figura 1(a) ($L = 50 \mu\text{m}$). O dispositivo exibe ação de transistor quase ideal normalmente desligada, limpa com ligação a $V_0 \leq 0\text{V}$. A voltagem de mudança de patamar entre movimentos de voltagem crescentes (triângulos ascendentes) e decrescentes (triângulos descendentes) é $\leq 1 \text{ V}$. As características do dispositivo são muito similares às daquelas de dispositivos padrão fabricados sob condições de atmosfera inerte com eletrodos fonte-dreno e porta de Au. O efeito de campo-mobilidade é da ordem de 0,005 a 0,01 cm^2/Vs e a relação de corrente LIGA-DESLIGA medida entre $V_g = 0$ e -60V é da ordem de 10^4 a 10^6 .

[0065] Os dispositivos foram fabricados com uma faixa ampla de camadas de barreira de difusão não polares, tais como F8, TFB (a figura 5(a) mostra características de transferência), PS (a figura 5(b) mostra características de transferência) e F8T2. Em cada caso comportamento normalmente desligado limpo e efeitos de histerese pequenos e mudanças de voltagem de patamar foram observados, que foram da mesma ordem de magnitude como aqueles dos dispositivos de referência com eletrodos fonte-dreno de ouro. Isto sustentou a interpretação de que a inserção de um polímero não polar abaixo do eletrodo porta bloqueia a difusão de impurezas iônicas durante e depois da deposição da solução da camada isoladora porta. Descobriu-se que isto resulta em voltagens de patamar de TFT reprodutíveis e boa estabilidade de operação.

[0066] Dispositivos normalmente desligados contendo uma barreira de difusão são preferidos comparados ao dispositivo do tipo esgotamento descrito acima, visto que é esperado que o último exiba melhor estabilidade de voltagem de patamar de longa duração e melhor tempo de vida devido á

supressão da difusão iônica.

[0067] Para a camada semicondutora qualquer material polimérico ou oligomérico conjugado processável por solução que exiba mobilidades de efeito de campo adequadas que exceda 10^{-3} cm^2/Vs , preferencialmente que exceda 10^{-2} cm^2/Vs , pode ser usado. Os materiais adequados são revistos por exemplo em H. E. Katz, J. Mater. Chem. 7, 369 (1997) ou Z. Bao, Advanced Materials 12, 227 (2000).

[0068] Uma das exigências importantes para se fabricar TFTs impressos com boa estabilidade e relação de corrente LIGA-DESLIGA alta é a boa estabilidade do material semicondutor contra a dopagem não intencional pelo oxigênio atmosférico e água durante as etapas de processamento e impressão. Os TFTs impressos foram fabricados com uma faixa de polímeros semicondutores como a camada semicondutora ativa, tal como F8T2 (ver acima) ou PVT regiorregular depositado a partir de solução de xileno misto. No caso dos TFTs de P3HT preparados nas configurações do dispositivo de teste sob atmosfera inerte a mobilidade de efeito de campo de 0,05 a 0,1 cm^2/Vs é um tanto mais alta do que no caso do F8T2. Entretanto, o P3HT regiorregular é instável contra a dopagem pelo oxigênio e/ou pela água, resultando num aumento da condutividade do filme durante as etapas de impressão ao ar e relação de corrente LIGA-DESLIGA deficiente. Isto está relacionado com o potencial de ionização relativamente baixo do P3HT, $I_p \approx 4,9$ eV. Relações de corrente LIGA-DESLIGA altas de $> 10^6$ foram demonstradas para o P3HT, mas isto requer uma etapa de desdopagem redutiva depois da deposição, tal como a exposição ao vapor de hidrazina (H. Sirringhaus et al., Advances in Solid State Physics 39, 101 (1999)). Entretanto, nos TFTs IJP descritos acima esta etapa de pós processamento redutivo não pode ser realizada visto que também poderia resultar na desdopagem dos eletrodos de PEDOT e reduzir significativamente a sua condutividade. Portanto, para se alcançar relações de comutação de corrente

altas é importante que um semicondutor polimérico seja usado com boa estabilidade contra a dopagem não intencional pelo oxigênio ou água.

[0069] Uma classe preferida de materiais para se alcançar boa estabilidade ambiental e alta mobilidade são copolímeros de bloco de vareta rígida A-B contendo uma seqüência ordenada regular de blocos A e B. Os blocos A adequados são estruturalmente bem definidos, porções do tipo escada com um alto intervalo de banda, que têm altos potenciais de ionização maiores do que 5,5 eV como um homopolímero e boa estabilidade ambiental. Os exemplos dos blocos A adequados são derivados de fluoreno (US 5.777.070), derivados de indenofluoreno (S. Setayesh, *Macromolecules* 33, 2016 (2000)), fenileno ou derivados de fenileno do tipo escada (J. Grimme et al., *Adv. Mat.* 7, 292 (1995)). Os blocos B adequados são porções que transportam lacuna com intervalos de banda inferiores que contêm heteroátomos tais como enxofre ou nitrogênio e como um homopolímero têm potenciais de ionização menores do que 5,5 eV. Os exemplos de blocos B que transportam lacuna são derivados de tiofeno ou derivados de triarilamina. O efeito do bloco B é diminuir o potencial de ionização do copolímero de bloco. O potencial de ionização do copolímero de bloco está preferencialmente na faixa de $4,9 \text{ eV} \leq I_p \leq 5,5 \text{ eV}$. Os exemplos de tais copolímeros são F8T2 (potencial de ionização 5,5 eV) ou TFB (US 5.777.070).

[0070] Outros polímeros que transportam lacuna adequados são homopolímeros de derivados de politiofeno com potencial de ionização maior do que 5 eV, tal como politiofenos com cadeias laterais de alcóxi ou fluoradas (R. D. McCullough, *Advanced Materials* 10, 93 (1998)).

[0071] Ao invés de polímeros semicondutores que transportam lacuna, materiais que transportam elétron solúveis também podem ser usados. Estes requerem uma afinidade a elétron alta, maior do que 3 eV, preferencialmente maior do que 3,5 eV, para impedir que impurezas

atmosféricas residuais tais como o oxigênio atuem como armadilhas carregadoras. Os materiais adequados podem incluir semicondutores de molécula pequena que transportam elétron, processáveis em solução (H. E. Katz et al., *Nature* 404, 478 (2000)) ou derivados de politiofeno com cadeias laterais fluoradas deficientes em elétron. Os copolímeros de bloco do tipo AB com um bloco A do tipo escada, estruturalmente bem definido com um alto potencial de ionização maior do que 5,5 eV e um bloco B transportador de elétron que aumenta a afinidade de elétron do copolímero a um valor mais alto do que 3 eV, preferencialmente mais alto do que 3,5 eV também são adequados. Os exemplos de bloco A são derivados de fluoreno (US 5.777.070), derivados de indenofluoreno (S. Setayesh, *Macromolecules* 33, 2016 (2000)), fenileno ou derivados de fenileno do tipo escada (J. Grimme et al., *Adv. Mat.* 7, 292 (1995)). Os exemplos de blocos B transportadores de elétron são derivados de benzotiadiazol (US 5.777.070), derivados de perileno, derivados de diimida naftalenotetracarboxílico (H. E. Katz et al., *Nature* 404, 478 (2000)) ou derivados de tiofeno fluorados.

[0072] Para a operação rápida de circuitos lógicos o comprimento do canal L dos transistores e a sobreposição entre d fonte/dreno e porta devem ser tão pequenos quanto possível, que são tipicamente de uns poucos microns. A dimensão mais crítica é L, porque a velocidade de operação de um circuito de transistor é aproximadamente proporcional a L^{-2} . Isto é particularmente importante para camadas semicondutoras com mobilidade relativamente baixa.

[0073] Tal padronização de alta resolução não pode ser obtida com a tecnologia de impressão a jato de tinta atual, que é limitada a tamanhos característicos de 10 a 20 μm mesmo com a tecnologia IJP no estado da técnica (figura 6). Se operação mais rápida e empacotamento mais denso de características são requeridos então uma técnica que permita resolução de características mais fina deve ser utilizada. A técnica descrita abaixo faz uso

de interações de superfície da tinta para confinar as gotículas de jato de tinta na superfície de um substrato. Esta técnica pode ser usada para se obter comprimentos de canal muito menores do que podem ser obtidos pela impressão a jato de tinta convencional.

[0074] Esta técnica de confinamento pode ser usada para permitir a deposição de resolução fina de um material depositado sobre um substrato. A superfície do substrato é primeiro tratada de modo a tornar partes selecionadas desta relativamente atrativa e relativamente repelente para o material a ser depositado. Por exemplo, o substrato pode ser pré-padronizado de modo a ser parcialmente hidrofóbico em algumas áreas e parcialmente hidrofílico em outras áreas. Com a etapa de pré-padronização realizada em alta resolução e/ou registro preciso a deposição subsequente pode ser precisamente definida.

[0075] Uma forma de realização de pré-padronização é ilustrada na figura 7. A Figura 7 ilustra a formação de um dispositivo do tipo mostrado na figura 1(c) mas com um comprimento de canal L especialmente fino. Partes semelhantes são numeradas como para a figura 1(c). A Figura 7(a) ilustra um método para se fabricar um substrato pré-padronizado. A Figura 7(b) ilustra a impressão e o confinamento da tinta em um substrato pré-padronizado.

[0076] Antes da deposição dos eletrodos fonte-dreno 2, 3 uma camada de poliimida delgada 10 é formada sobre a chapa de vidro 1. Esta camada de poliimida é finamente padronizada para removê-la nos lugares em que os eletrodos fonte-dreno devam ser formados. A etapa de remoção pode ser feita por um processo fotolitográfico para facilitar a definição de característica fina e/ou registro preciso. Em um exemplo de tal processo a poliimida pode ser coberta com uma camada de fotoprotetor 11. O fotoprotetor pode ser fotolitograficamente padronizado para remove-lo nos lugares onde a poliimida deva ser removida. Em seguida a poliimida é removida por um processo ao qual o fotoprotetor é resistente. Depois o fotoprotetor pode ser

removido para deixar a poliimida precisamente padronizada. A poliimida é selecionada porque é relativamente hidrofóbica, ao passo que o substrato vítreo é relativamente hidrofílico. Na etapa seguinte o material de PEDOT para formar os eletrodos fonte-dreno é depositado pela impressão a jato de tinta sobre as áreas de substrato hidrofílico 12. Quando as gotículas de tinta que se espalham sobre as áreas do substrato de vidro atingem o limite de uma região de poliimida hidrofóbica 10 a tinta é repelida e impedida de fluir nas áreas de superfície hidrofóbicas. Através deste efeito de confinamento a tinta é depositada apenas nas áreas de superfície hidrofílicas e padrões de alta resolução com intervalos pequenos e comprimentos de canal de transistor de menos do que 10 μm podem ser definidos (figura 7(b)).

[0077] Um exemplo de um processo pelo qual a poliimida pode ser removida ou que pode ser utilizado para realçar os efeitos de superfície relativa depois da remoção da poliimida, é ilustrado na figura 7(a). A camada de poliimida 10 e o fotoprotetor 11 são expostos a um plasma de oxigênio. O plasma de oxigênio grava a camada de poliimida delgada (500 Å) mais rápido do que a camada de fotoprotetor espessa (1,5 μm). A superfície de vidro descoberta exposta 12 na área dos eletrodos fonte-dreno é feita muito hidrofílica pela exposição a um plasma de O_2 antes da remoção do fotoprotetor. Observe que durante a remoção da poliimida, a superfície da poliimida é protegida pelo fotoprotetor e permanece hidrofóbica.

[0078] Se requerido a superfície de poliimida pode ser feita ainda mais hidrofóbica por uma exposição adicional a um plasma de CF_4 . O plasma de CF_4 fluorina a superfície da poliimida, mas não interage com o substrato de vidro hidrofílico. Este tratamento de plasma adicional pode ser realizado antes da remoção do fotoprotetor, caso em que apenas as paredes laterais do padrão de poliimida 10 tornam-se fluoradas ou depois da remoção do protetor.

[0079] O ângulo de contato de PEDOT/PSS em água no vidro 7059

tratado com plasma de O₂ é $\theta_{\text{vidro}} \approx 20^\circ$ comparado com um ângulo de contato de $\theta_{\text{PI}} \approx 70^\circ$ a 80° na superfície de poliimida. O ângulo de contato de PEDOT/PSS em água na poliimida fluorada é de 120° .

[0080] Quando PEDOT/PSS é depositado a partir de uma solução aquosa sobre a camada de poliimida pré-padronizada como descrito, a tinta de PEDOT/PSS é confinada às áreas de eletrodo fonte-dreno mesmo se o comprimento do canal L é de apenas uns poucos microns (figura 7(b)).

[0081] Para facilitar o confinamento das gotículas de tinta a energia cinética das gotículas de tinta é mantida tão pequena quanto possível. Quanto maior o tamanho das gotículas, maior a energia cinética e maior a probabilidade de que as gotículas que se espalham ‘ignorarão’ a estrutura de confinamento hidrofílico e transbordarão sobre as regiões hidrofílicas vizinhas.

[0082] Preferencialmente a deposição das gotículas de tinta 13 é sobre as áreas de substrato hidrofílico 12 a uma distância d entre o centro da gotícula e o limite de poliimida. Por um lado d necessita ser suficientemente pequeno de modo que o limite seja atingido pela tinta que se espalha e o filme de PEDOT se estenda por todo o caminho até o limite de poliimida. Por outro lado, d necessita ser suficientemente grande de modo que a tinta que se espalha rapidamente não “transborde” nas áreas de superfície hidrofóbicas. Isto poderia aumentar o risco de deposição de PEDOT no topo da região de poliimida 10 que define o canal de TFT e pode dar origem a curto circuitos entre os eletrodos de fonte e dreno. Para gotículas de PEDOT com um teor de sólidos de 0,4 ng depositadas com uma intensidade lateral de 12,5 Nm entre duas gotículas sucessivas sobre vidro 7059 tratado com plasma de O₂ um valor de $d \approx 30$ a $40 \mu\text{m}$ foi considerado adequado. O valor d ótimo depende das propriedades de umectação na superfície bem como da intensidade de deposição, que é a distância lateral entre gotículas subsequentemente depositadas, a frequência, com que as gotículas são depositadas e o tempo de

secagem da solução.

[0083] A camada de confinamento hidrofóbico para definir o comprimento do canal do transistor também pode fornecer uma segunda funcionalidade. Esta pode ser usada como um padrão de alinhamento para a deposição subsequente do polímero semiconductor no canal do transistor. A camada de poliimida 10 pode ser mecanicamente atritada ou fotoalinhada e pode ser depois usada como uma camada de alinhamento 9 (figura 1(b)) para fornecer alinhamento de monodomínio de um polímero semiconductor líquido-cristalino 4.

[0084] O eletrodo porta 6 pode ser similarmente confinado por uma camada padronizada 14 formada no topo da camada isoladora porta 5 o que fornece áreas de superfície atrativas e repelentes para a solução a partir da qual o eletrodo porta é depositado. A camada padronizada 6 pode ser alinhada com respeito ao padrão da fonte-dreno para minimizar a área de sobreposição entre eletrodos fonte/dreno e porta (figura 7 (c)).

[0085] Materiais outros que não a poliimida podem ser usados para a camada pré-padronizada. Outras técnicas de pré-padronizar precisas que não a fotolitografia podem ser usadas.

[0086] A Figura 8 demonstra a capacidade de uma estrutura de camadas relativamente hidrofóbicas e hidrofílicas para confinar “Tinta” líquida depositada pela impressão a jato de tinta. A Figura 8 mostra micrografias óticas de substratos incluindo tiras delgadas de poliimida 10 que foram tratadas como descrito acima para serem relativamente hidrofóbicas e regiões maiores do substrato de vidro descoberto 12 que foram tratadas como descrito acima para serem relativamente hidrofílicas. O material de PEDOT para os eletrodos de fonte e dreno foi depositado pela impressão a jato de tinta de uma série de gotículas que correm nas linhas 2 e 3 próximas às tiras 10. Embora o material jateado como tinta mostre contraste baixo pode ser observado a partir da forma abruptamente terminada das superfícies das

extremidades 2 e 3 do material depositado que o material depositado foi confinado pelas tiras 10 mesmo abaixo de uma espessura de tira de $L = 5 \mu\text{m}$.

[0087] A Figura 9 mostra fotografias do processo de deposição a jato de tinta na vizinhança de uma tira de poliimida 10. As imagens foram tomadas com uma câmara estroboscópica montada sob o substrato transparente. As bordas do padrão de poliimida 10 podem ser vistas como linhas brancas. As gotículas de tinta 21 são expelidas do bocal da cabeça de jato de tinta 20 e cai com o seu centro tendo uma distância d distante da tira de poliimida 10. Imagens como estas podem ser usadas para definir o alinhamento local da deposição a jato de tinta com respeito ao padrão da tira 10 e também podem ser usadas para automatizar o procedimento de alinhamento local usando o reconhecimento de padrão (ver abaixo).

[0088] As Figuras 10 e 11 mostram as características de saída e de transferência de transistores formadas como na figura 7(c) e tendo comprimentos de canal L de $20 \mu\text{m}$ e $7 \mu\text{m}$, respectivamente, definidos por meio do processo de umectação diferencial descrito acima. Em ambos os casos a largura do canal W é 3 mm . A Figura 10(a) mostra as características de saída do dispositivo de $20 \mu\text{m}$. A Figura 10(b) mostra as características de saída do dispositivo de $7 \mu\text{m}$. A Figura 11 (a) mostra as características de transferência do dispositivo de $20 \mu\text{m}$. A Figura 11 (b) mostra as características de transferência do dispositivo de $7 \mu\text{m}$. O dispositivo de $7 \mu\text{m}$ apresenta comportamento de canal curto característico com corrente reduzida em voltagem de fonte-dreno pequena e condutância de saída finita no regime de saturação. A mobilidade e a relação de corrente LIGA-DESLIGA de dispositivos de canal curto são similares às aquelas dos dispositivos de canal longo debatidos acima, isto é $N = 0,005$ a $0,01 \text{ cm}^2/\text{Vs}$ e $I_{\text{ON}}/I_{\text{OFF}} = 104$ a 105 .

[0089] O confinamento da tinta é um resultado da diferença nas propriedades de umectação nas superfícies hidrofóbicas e hidrofílicas e não

requer a existência de um perfil topográfico. Na forma de realização acima, o filme de poliimida pode ser feito muito fino (500 Å), que é muito mais fino do que o tamanho das gotículas a jato de tinta no estado líquido (diversos micrômetros). Portanto, técnicas alternativas para se fabricar um substrato pré-padronizado podem ser usadas, tais como a funcionalização da superfície do substrato vítreo com uma monocamada automontada padronizada (SAM), por exemplo uma SAM contendo grupos de alquila ou fluoro hidrofóbicos tais como trifluoropropil-trimetoxissilano ou grupos polares tais como grupos alcóxi. A SAM pode ser padronizada por técnicas adequadas tais como Exposição à luz UV através de uma máscara de sombra (H. Sugimura et al., Langmuir 2000, 885 (2000)) ou impressão de microcontato (Brittain et al., Physics World May 1998, p. 31).

[0090] A pré-padronização do substrato é facilmente compatível com o fluxo de processo descrito acima visto que a pré-padronização é realizada antes da deposição das camadas do TFT. Portanto, uma faixa ampla de técnicas de padronização e de impressão pode ser usada para gerar o pré-padrão de alta resolução sem o risco de degradação das camadas poliméricas ativas.

[0091] Técnicas similares podem ser aplicadas para pré-padronizar a superfície da camada isoladora porta ou a camada de modificação de superfície antes da deposição do eletrodo porta para se obter capacitância de sobreposição pequena. Como mostrado na figura 7(c) o eletrodo porta 6 pode ser confinado por uma camada padronizada 14. Uma forma de realização possível de tal pré-padronização é a impressão de microcontato ou o fotopadronização por UV de uma monocamada automontada (SAM) contendo grupos clorossilano ou metóxi silano, tais como octadeciltriclorossilano. Estas moléculas formam monocamadas estáveis na superfície de um substrato de SiO₂ ou vidro onde eles se ligam quimicamente aos grupos hidroxila na superfície polar e tornam a superfície hidrofóbica.

Descobrimos que é possível formar monocamadas similares na superfície do polímero dielétrico porta tal como PVP ou PMMA. Acredita-se que isto seja devido à ligação das moléculas aos grupos hidroxila na superfície do PVP. Uma padrão de energia livre superficial que consiste de uma linha hidrofílica fina com uma sobreposição pequena bem definida com os eletrodos fonte-dreno circundados por regiões hidrofóbicas, revestidas por SAM pode ser facilmente definido por estampagem litográfica mole. A estampagem pode ser realizada sob um microscópio ótico ou um alinhador de máscara de modo a alinhar o padrão da estampa com respeito aos eletrodos fonte-dreno que estão por baixo. Quando uma tinta polimérica com base em água, condutora é depositada no topo, a deposição é confinada à linha hidrofílica fina definida pela monocamada automontada. Deste modo uma largura de linha menor pode ser obtida que não a largura de linha normal em uma camada dielétrica porta não padronizada. Isto resulta em uma redução da capacitância de sobreposição fonte/dreno para porta.

[0092] Com o auxílio de substratos pré-padronizados é possível fabricar circuitos lógicos de alta velocidade com base nos processos de fabricação de TFT e via lacuna aqui descritos.

[0093] Uma das exigências cruciais para a fabricação de circuitos de transistor em áreas grandes é o registro e o alinhamento da deposição com respeito ao padrão no substrato. Obter o registro adequado é particularmente difícil nos substratos flexíveis que exibem distorções em áreas grandes. Se entre as etapas de padronização subseqüentes o substrato distorce, o nível de máscara seguinte em um processo fotolitográfico não irá mais se sobrepor com o padrão que está por baixo. O processo de impressão a jato de tinta de alta resolução aqui desenvolvido é adequado para se obter registro preciso em áreas grandes ainda que em substratos plásticos, visto que a posição da cabeça de jato de tinta pode ser ajustada localmente com respeito ao padrão no substrato (figura 9). Este processo de alinhamento local pode ser

automatizado usando-se técnicas de reconhecimento de padrão usando imagens tais como aquela da figura 9 combinadas com um mecanismo de realimentação para corrigir a posição da cabeça de jato de tinta.

[0094] De modo a formar um circuito integrado de transistor múltiplo usando dispositivos do tipo descrito acima, é desejável ser capaz de realizar interconexões de via lacuna diretamente através da espessura do dispositivo. Isto pode permitir que tais circuitos sejam formados de modo especialmente compacto. Um método de fabricar tais interconexões é pelo uso de via lacunas formadas por solvente, como será agora descrito. O método leva a vantagem do fato de que nenhuma das camadas processadas por solução dos TFTs descritos acima foram convertidas em uma forma insolúvel. Isto permite a abertura de via lacunas pela deposição local de solventes.

[0095] De modo a fabricar uma via lacuna formada por solvente (figura 12(a)), uma quantidade de um solvente adequado 29 é depositada localmente no topo das camadas através da qual a via lacuna deva ser formada. O solvente é selecionado de modo que seja capaz de dissolver as camadas que estão por baixo através das quais a lacuna deva ser formada. O solvente perfura através das camadas pela dissolução progressiva até que a via lacuna seja formada. O material dissolvido é depositado sobre as paredes laterais W da via lacuna. O tipo de solvente e o método de depositá-lo podem ser selecionados para aplicações individuais. Entretanto, três aspectos preferidos são:

1. que o solvente e as condições do processo sejam tais que o solvente evapore ou seja de outro modo facilmente removido de modo que não interfira com o processamento subsequente e não cause dissolução excessiva ou não precisa do dispositivo e

2. que o solvente seja depositado por um processo seletivo tal como IJP, por meio do qual volumes precisamente controlados do solvente possam ser precisamente aplicados na localização desejada no substrato e

3. que o diâmetro da via lacuna seja afetado pela tensão superficial da gotícula do solvente e pela capacidade do solvente para umedecer o substrato e

4. que o solvente não dissolva a camada que está por baixo da qual uma conexão elétrica deva ser feita.

[0096] A Figura 12(a) ilustra a deposição de uma gotícula 29 de solvente de metanol (contendo 20 ng por gotícula) sobre um dispositivo de transistor parcialmente formado do tipo geral ilustrado na figura 1(c). O dispositivo parcial da figura 12(a) inclui uma camada isoladora de 1,3 µm de espessura de PVP 28, uma camada semicondutora de F8T2 27, uma camada de eletrodo de PEDOT 26 e um substrato de vidro 25. Neste exemplo é desejado formar uma via lacuna através da camada isoladora de PVP. O metanol é selecionado como o solvente por causa da capacidade para dissolver facilmente o PVP; porque pode evaporar-se facilmente de modo a não atrapalhar o processamento subsequente e porque tem propriedades de umectação satisfatórias para o PVP. De modo a formar a via lacuna neste exemplo uma cabeça de impressão a IJP é movida para o local no substrato no qual deseja-se que a via lacuna seja formada. Depois o número necessário de gotículas adequadamente dimensionadas de metanol são gotejada da cabeça de IJP até que a via esteja completa. O período entre gotas sucessivas é selecionado para compatibilidade com a razão na qual o metanol dissolve as camadas do dispositivo. É preferido que cada gota tenha evaporado completamente ou quase completamente antes que a gota seguinte seja depositada. Note que quando a via lacuna atinge o fundo da camada semicondutora não polar a gravação para tal que as camadas que estão por baixo não são removidas. Outros solventes tais como isopropanol, etanol, butanol ou acetona também podem ser usados. Para se obter alto rendimento é desejável completar a via lacuna pela deposição de uma única gotícula de solvente. Para um filme de 300 nm de espessura e uma gotícula com um

volume de 30 µl e um diâmetro de 50 µm isto requer que a solubilidade da camada no solvente seja superior a 1 a 2 % em peso por volume. Um ponto de ebulição mais alto também é desejável se a formação da via lacuna com uma única gotícula é requerida. No caso do PVP, 1,2-dimentil-2-imidazolidinona (DMI) com um ponto de ebulição de 225° C pode ser usada.

[0097] A Figura 12(b) ilustra o efeito do gotejamento de diversas gotículas de metanol em seqüência sobre o local da via lacuna. Os painéis da direita mostram micrografias do dispositivo depois de 1, 3 e 10 gotículas terem sido gotejadas. Os painéis da esquerda mostram medições de perfil de superfície Dektak dos mesmos dispositivos através da via lacuna conforme esta é formada. (A localização da via lacuna é indicada no geral na posição “V” em cada painel). Quando diversas gotículas são depositadas em seqüência sobre a mesma localização uma cratera se abre no filme de PVP. A profundidade da cratera aumenta conforme as gotículas sucessivas atuam e depois de aproximadamente 6 gotículas a superfície da camada de F8T2 que está por baixo é descoberta. O material de PVP dissolvido é depositado em uma parede W nos lados da via lacuna. O diâmetro da via lacuna é da ordem de 50 µm limitado pelo tamanho da gotícula. Este tamanho é adequado para muitas aplicações tais como circuitos lógicos e dispositivos de exibição de área grande.

[0098] O diâmetro da via lacuna é determinado pelo tamanho das gotículas do solvente a jato de tinta. O diâmetro da lacuna foi observado ser diretamente proporcional ao diâmetro das gotículas (ver a Fig. 12c). O diâmetro externo da parede lateral é determinado pelo tamanho e espalhamento da primeira gotícula e é independente da espessura da camada polimérica que é dissolvida. O diâmetro interno da parede lateral diminui conforme a espessura do polímero aumenta. Para aplicações onde lacunas ainda menores são requeridas, tais como dispositivos de exibição de alta resolução tamanhos de gotícula ainda menores podem ser usados ou a

superfície do substrato pode ser pré-padronizada por uma técnica adequada para confinar a gotícula na superfície como descrito acima. Outros solventes também podem ser usados.

[0099] Será observado a partir das medições do perfil de superfície que a formação da via lacuna faz com que o material seja dissolvido e deslocado para as bordas da via lacuna, onde permanece depois do solvente ter sido evaporado (indicado em W na figura 12(b)). Deve ser observado que o material deslocado é de uma formação mais lisa do que ilustrado pela figura 12(b), os eixos x e y dos pontos de perfil de superfície da figura 12(b) sendo para dissimilar as crostas (x em unidades de μm , y em unidades de $\text{\AA}$).

[00100] O mecanismo para a formação de via lacuna, isto é o movimento de material para as paredes laterais, acredita-se seja similar àquele do efeito bem conhecido da mancha de café, que ocorre se a linha de contato de uma gotícula seca contendo um soluto é apertada. O aperto pode ocorrer por exemplo devido ao enrugamento da superfície ou heterogenicidade química. Observe que a deposição de um bom solvente sempre gera o enrugamento da superfície durante a dissolução. Quando o solvente evapora, o fluxo capilar ocorre de modo a substituir o solvente que evapora próximo à linha de contato. Mais solvente está evaporando próximo à linha de contato por causa da relação de superfície para carga maior próximo à linha de contato. A velocidade do fluxo capilar é grande comparada com a velocidade de difusão típica, tal que o soluto é carregado para as bordas da gotícula e a deposição de soluto ocorre apenas próximo à orla, mas não no centro da gotícula seca (R. D. Deegan et al., Nature 389, 827 (1997)). A difusão de soluto pode tender a favorecer a redeposição homogênea do polímero sobre o toda a área na secagem do solvente, ao invés da formação de uma parede lateral. A teoria prognostica que a velocidade do fluxo capilar $v(r)$ (r: distância do centro; R; raio da gotícula) é proporcional a $(R - r)^{-\lambda}$, onde $\lambda = (\pi - 2\theta_c)/(2\pi - 2\theta_c)$. Portanto, v aumenta conforme λ

aumenta, isto é diminui o ângulo de contato θ_c . Portanto, quanto menor o ângulo de contato mais rápida a deposição de massa nas bordas ocorre.

[00101] Para a abertura de via lacunas é importante portanto que (a) a linha de contato da gotícula inicial seja apertada, (b) que o ângulo de contato das gotículas no topo do polímero a ser dissolvido seja suficientemente pequeno e (c) que a evaporação do solvente seja suficientemente rápida tal que a difusão do soluto polimérico possa ser negligenciada. No caso de IPA sobre PVP o ângulo de contato é da ordem de 12° e as gotículas tipicamente secam dentro de menos do que 1 s.

[00102] Quanto menor o ângulo de contato, mais rápida será a velocidade do fluxo capilar dentro da gotícula, isto é mais confiável será a formação da parede lateral. Entretanto, por outro lado, quanto menor o ângulo de contato maior o diâmetro da gotícula. Um ângulo de contato ótimo portanto existe para se obter via lacunas de diâmetro pequeno com paredes laterais bem definidas. Para se obter um ângulo de contato maior para um bom solvente a superfície do substrato pode ser tratada, por exemplo com uma monocamada automontada com uma repelência maior para o solvente. A monocamada automontada pode ser padronizada, tal como para fornecer regiões de superfície hidrofóbicas e hidrofílicas, de modo a confinar a deposição do solvente a uma área pequena.

[00103] A profundidade e a razão de gravação da via lacuna podem ser controladas por uma combinação do número de gotas de solvente que são gotejadas, da frequência na qual são depositadas e da taxa de evaporação do solvente em comparação com a taxa na qual o mesmo é capaz de dissolver o substrato. O ambiente em que a deposição ocorre e a temperatura do substrato podem influenciar a taxa de evaporação. Uma camada de material que seja insolúvel ou apenas lentamente solúvel no solvente pode ser usada para limitar a profundidade de dissolução.

[00104] Visto que a seqüência de camada do TFT consiste em alternar

camadas polares e não polares, é possível escolher solventes e combinações de solvente tais que a gravação pare em profundidades bem definidas.

[00105] De modo a fazer contato através da via lacuna uma camada condutiva pode ser depositada sobre ela de modo que se estenda dentro da via lacuna e faça conexão elétrica com o material no fundo da via lacuna. A Figura 13(a) mostra um dispositivo do tipo mostrado na figura 12(a) mas incluindo um eletrodo de ouro 25 formado depois da fabricação de uma via lacuna como descrito acima.

[00106] A Figura 13 mostra na curva 30 as características de voltagem de corrente medidas entre o eletrodo de PEDOT de fundo 26 e um eletrodo condutor 29 depositado no topo da camada isoladora porta de PVP 28. O diâmetro da via lacuna foi 50 μm . Para comparação, a curva 31 mostra uma amostra de referência, em que nenhuma via lacuna está localizada na região de sobreposição entre os eletrodos de topo e de fundo. As características mostram claramente que a corrente através da via lacuna é diversas ordens de magnitude mais alta do que a corrente de vazamento através do isolador porta na ausência da via lacuna. A corrente medida através da via lacuna é limitada pela condutividade dos eletrodos de PEDOT, como pode ser observado realizando-se as medições de condutividade dos eletrodos de PEDOT individuais. Esta não é limitada pela resistência da via lacuna, tal que apenas um limite inferior estimado para a resistência da via lacuna R_v pode ser obtido destas medições: $R_v < 500 \text{ k}\Omega$.

[00107] O método de formação de via lacuna descrito acima em relação à figura 12 é diretamente aplicável aos dispositivos do tipo esgotamento sem uma barreira de difusão (como na figura 1(c)) e aos dispositivos em que a barreira de difusão é depositada depois da abertura das via lacunas. A Figura 14(a) mostra um dispositivo em que uma via lacuna foi formada e o eletrodo porta depois depositado sem uma barreira de difusão de camada intermediária. A Figura 14(b) mostra um dispositivo similar em que

depois da formação da via lacuna uma polímero de barreira de difusão 7 foi formado antes da deposição do eletrodo porta 6. Neste caso a camada de barreira de difusão necessita para exibir boa carga propriedades de transporte de modo a minimizar a resistência da via lacuna R_v . Uma barreira de difusão adequada é uma camada delgada de TFB como mostrado na figura 5(a).

[00108] Se uma resistência de contato ainda mais baixa é requerida então as camadas semicondutoras também podem ser removidas no local da via lacuna. Isto é preferencialmente feito depois da barreira de difusão ter sido formada. A barreira de difusão 7 e o polímero semicondutor 4 podem ser localmente dissolvidos por deposição por IJP de um bom solvente para eles - tal como xileno neste exemplo. Misturando-se bons solventes tanto para o material semicondutor quanto para o isolador, ambas as camadas podem ser dissolvidas ao mesmo tempo. Um dispositivo em que isto tenha sido feito seguido pela deposição do eletrodo porta é mostrado na figura 14(c).

[00109] Misturas de solventes também podem ser usados para reduzir o diâmetro da via lacuna aumentando-se o ângulo de contato da mistura do solvente na camada a ser dissolvida.

[00110] Uma técnica alternativa para formar uma interconexão de via lacuna e depois depositar um material condutor para ligá-lo em ponte é depositar localmente um material que seja capaz de modificar localmente a(s) camada(s) de substrato que está(ão) por baixo de modo a torná-la(s) condutiva(s). Um exemplo é a deposição a IJP local de uma solução contendo um dopante móvel que é capaz de difundir-se em uma ou em diversas das camadas. Isto é ilustrado na figura 14(d), onde a região 32 indica material que foi tornado condutor pelo tratamento com um dopante. O dopante pode ser uma molécula conjugada pequena tal como uma triarilamina como N,N'-difetil-N,N'-bis(3-metilfenil)-(1,1'-bifenil)-4,4'-diamina (TPD). O dopante é preferencialmente liberado como para o caso do solvente.

[00111] O método de formação de via lacuna através de camadas

dielétricas de PVP pode ser usado para conectar o eletrodo porta do TFT a um eletrodo fonte ou dreno na camada que está por baixo como requerido, por exemplo, para um dispositivo inversor lógico como mostrado na Fig. 15. Conexões de via lacuna similares são requeridas na maioria dos circuitos de transistor lógicos. A Figura 16 mostra pontos das características dispositivos inversores de realce-carga formados com dois dispositivos de transistor normalmente desligados como na figura 15(b). Dois inversores com relações diferentes da relação da largura do canal para o comprimento do canal (W/L) para os dois transistores são mostrados (ponto 35 relação 3:1, ponto 36 relação 5:1)). Pode ser observado que as mudanças de voltagem de saída de um estado lógico alto (-20 V) para um lógico baixo (≈ 0 V) quando a voltagem de entrada muda de lógico baixo para lógico alto. O ganho do inversor, que é a inclinação máxima das características é maior do que 1, que é uma condição necessária para facilitar a fabricação de circuitos mais complexos tais como osciladores de anel.

[00112] Via lacunas como descritas acima também podem ser usadas para fornecer conexões elétricas entre linhas interconectoras em camadas diferentes. Para circuitos eletrônicos complexos, esquemas de interconexão de nível múltiplo são requeridos. Estes podem ser fabricados depositando-se uma seqüência de interconexões 72 e camadas dielétricas diferentes 70, 71 depositadas a partir de solventes compatíveis (figura 15(d)). Via lacunas 73 podem ser depois formadas pelo modo descrito acima com as linhas interconectoras que forneçam parada de corrosão automática.

[00113] Os exemplos para materiais dielétricos adequados são aqueles polímeros polares (70) tais como PVP e polímeros dielétricos não polares (71) tais como poliestireno. Estes podem ser alternativamente depositados a partir de solventes polares e não polares. As via lacunas podem ser abertas por deposição local de bons solventes na respectiva camada dielétrica enquanto a camada dielétrica que está por baixo é que fornece uma camada

de parada de gravação.

[00114] Na seleção de materiais e nos processos de deposição para os dispositivos do tipo descrito acima, deve se levar em consideração que várias e enormes vantagens podem ser obtidas se cada camada é depositada a partir de um solvente que não dissolve substancialmente a camada que está abaixo imediatamente. Desse modo, camadas sucessivas podem ser formadas pelo processamento em solução. Uma maneira para simplificar a seleção de tais materiais e as etapas de processo é ter em vista a deposição de duas ou mais camadas alternadamente a partir de solventes polares e não polares, como exemplificado para a seqüência de camada descrita acima. Desse modo, os dispositivos de camada múltipla tendo camadas condutoras, semicondutoras e isoladoras solúveis podem ser facilmente formadas. Isso pode evitar aqueles problemas de dissolução e intumescimento das camadas que estão por baixo.

[00115] As estruturas, materiais e processos de dispositivo descritos acima são meramente ilustrativos. Será avaliado que podem ser variados.

[00116] Outras configurações de dispositivo que não a configuração porta de topo mostrada na figura 1 podem ser usadas. Uma configuração alternativa é a configuração porta de fundo mais padrão mostradas na figura 17, em que também é possível incorporar uma barreira de difusão 7 e camada de modificação de superfície 8 se requerido. Na figura 17 partes semelhantes são numeradas como para a figura 1. Outras configurações de dispositivo com seqüência de camadas diferente também podem ser usadas. Dispositivos outros que não transistores pode ser formados de uma maneira análoga.

[00117] O PEDOT/PSS pode ser substituído por qualquer polímero condutor que possa ser depositado a partir da solução. Os exemplos incluem polianilina ou polipirrol. Entretanto, algumas das características atraentes de PEDOT/PSS são: (a) um dopante polimérico (PSS) com uma difusividade inerentemente baixa, (b) boa estabilidade térmica e estabilidade ao ar e (c) um função de trabalho de $= 5,1$ eV, o que é bem comparável ao potencial de

ionização de polímeros semicondutores transportadores de lacuna comuns permitindo a injeção de carregador de carga de lacuna eficiente.

[00118] Injeção de carregador de carga eficiente é crucial, em especial, para dispositivos de transistor de canal curto possuindo dimensões de canal, $L < 10 \mu\text{m}$. Em tais dispositivos fonte-dreno, efeitos de resistência de contato podem limitar a corrente do TFT a voltagens de fonte-dreno pequenas (figura 10(b)). Em dispositivos de comprimento de canal comparável foi descoberto que a injeção de eletrodos fonte/dreno de PEDOT é mais eficiente do que a injeção de eletrodos inorgânicos de ouro. Isto indica que um eletrodo de fonte-dreno polimérico com um potencial de ionização que é bem igualado àquele do semicondutor pode ser preferível a um material de eletrodo inorgânico.

[00119] A condutividade de PEDOT/PSS depositado a partir de uma solução aquosa (Baytron P) é da ordem de 0,1 a 1 S/cm. Condutividades mais altas de até 100 S/cm podem ser obtidas com formulações que contenham uma mistura de solventes (Bayer CPP 105T, contendo isopropanol e N-metil-2-pirrolidona (NMP)). Em último caso, um cuidado deve ser tomado para que a combinação de solvente da formulação seja compatível com as exigências de solubilidade da seqüência de camada. Para aplicações em que condutividades ainda mais altas são requeridas outros condutores poliméricos ou condutores inorgânicos processáveis por solução, tais como suspensões coloidais de partículas inorgânicas metálicas em um líquido, podem ser usados.

[00120] Os processos e dispositivos aqui descritos não são limitados aos dispositivos fabricados com polímeros processados por solução. Alguns dos eletrodos condutores dos TFTs e/ou as interconexões em um circuito ou dispositivo de exibição (ver abaixo) podem ser formados a partir de condutores inorgânicos, que podem ser, por exemplo, depositados pela impressão de uma suspensão coloidal ou por eletrogalvanização sobre um

substrato previamente padronizado. Naqueles dispositivos em que nem todas as camadas devam ser depositadas da solução uma ou mais porções de PEDOT/PSS do dispositivo podem ser substituídas com um material condutor insolúvel tal como um condutor depositado a vácuo.

[00121] A camada semicondutora também pode ser substituída por um outro material semicondutor processável por solução. As possibilidades incluem moléculas conjugadas pequenas com cadeias laterais solubilizadoras (J. G. Laquindanum et al., J. Am. Chem. Soc. 120, 664 (1998)), materiais híbridos orgânicos-inorgânicos semicondutores automontados a partir da solução (C. R. Kagan et al., Science 286, 946 (1999)) ou semicondutores inorgânicos depositados por solução tais como nanopartículas de CdSe (B. A. Ridley et al., Science 286, 746 (1999)).

[00122] Os eletrodos podem ser padronizados por técnicas outras que não impressão a jato de tinta. As técnicas adequadas incluem impressão litográfica mole (J. A. Rogers et al., Appl. Phys. Lett. 75, 1010 (1999); S. Brittain et al., Physics World May 1998, p. 31), impressão de tela (Z. Bao et al., Chem. Mat. 9, 12999 (1997)), padronização fotolitográfica (ver WO 99110939) ou galvanização ou revestimento de imersão simples de um substrato padronizado com regiões de superfície hidrofóbicas e hidrofílicas. A impressão a jato de tinta é considerada ser particularmente adequada para padronizar áreas grandes com bom registro, em particular para substratos plásticos flexíveis.

[00123] Ao invés de uma chapa de vidro, o(s) dispositivo(s) pode(m) ser depositado(s) sobre um outro material de substrato, tal como Perspex ou um substrato plástico, flexível tal como polietersulfona. Tal material está preferencialmente na forma de uma chapa, é preferencialmente de um material polimérico e pode ser transparente e/ou flexível.

[00124] Embora, preferencialmente, todas as camadas e componentes do dispositivo e circuito sejam depositados e padronizados por

processamento em solução e técnicas de impressão, um ou mais componentes, tais como uma camada semicondutora, também podem ser depositados por intermédio das técnicas de deposição a vácuo e/ou padronizadas por meio de um processo fotolitográfico.

[00125] Dispositivos tais como TFTs fabricados como descrito acima podem ser parte de um circuito ou dispositivo mais complexo em que um ou mais de tais dispositivos podem ser integrados um com o outro e ou com outros dispositivos. Os exemplos de aplicações incluem circuitos lógicos e circuitos de matriz ativa para uma exibição ou um dispositivo de memória ou um circuito de disposição de porta definido pelo usuário.

[00126] O componente básico de um circuito lógico é o inversor mostrado na figura 15. Se todos os transistores no substrato são do tipo de esgotamento ou do tipo de acúmulo três configurações possíveis são possíveis. A carga do inversor de esgotamento (figura 15(a)) é adequada para o dispositivo que são normalmente ligados, (figura 1(c) e 3) e a carga de configuração de realce (figura 15(b)) é usada para transistores normalmente desligados (figuras 1(a/b) e 4). Ambas as configurações requerem uma via lacuna entre o eletrodo porta do transistor e o seu eletrodo fonte e dreno, respectivamente. Uma configuração alternativa é o inversor de carga de resistência (figura 15(c)). O último dispositivo pode ser fabricado pela impressão de uma linha de PEDOT fina, estreita de comprimento adequado e condutividade como o resistor de carga. Reduzindo-se a condutividade de PEDOT, por exemplo, aumentando-se a relação de PSS para PEDOT, o comprimento da linha resistora pode ser minimizado. A condutividade do Baytron P PEDOT/PSS com uma relação em peso de PEDOT/(PEDOT + PSS) de 0,4 foi medida para ser da ordem de 0,2 S/cm para um filme como depositado. Recozendo-se a 280° C durante 20 min sob atmosfera de N₂ a condutividade aumentou para 2 S/cm. Diluindo-se a solução com PSS a condutividade pode ser diminuída em ordens de magnitude. Para uma relação

em peso de PEDOT/(PEDOT+PSS) de 0,04 uma condutividade de 10^{-3} S/cm foi medida depois de recozimento a 280° C. Resistores com uma resistência de $50\text{ M}\Omega$ foram fabricados pela impressão a jato de tinta de uma linha de PEDOT com uma largura da ordem de $60\text{ }\mu\text{m}$ e um comprimento de $500\text{ }\mu\text{m}$.

[00127] Os componentes da impressão a jato de tinta diferentes que foram desenvolvidos, isto é transistores, interconexões via lacuna, resistores, capacitores, esquemas de interconexão de camada múltipla, etc., podem ser integrados para se fabricar circuitos eletrônicos integrados por uma combinação da impressão direta e processamento por solução. A impressão a jato de tinta pode ser usada para todas as etapas do processamento onde a padronização lateral é requerida. Os circuitos inversores simples descritos acima são os blocos de construção para circuitos lógicos mais complexos.

[00128] Os TFTs processados por solução como descrito acima podem ser usados como transistores de comutação de pixel de dispositivos de exibição matriz ativa tais como dispositivos de exibição de cristal líquido (LCD) ou eletroforéticos (B. Comiskey et al., Nature 394, 253 (1998)) para o qual um circuito adequado é mostrado na figura 18(a) e dispositivos de exibição de diodo emissor de luz (H. Sirringhaus et al., Science 280, 1741 (1998), para o qual um circuito adequado é mostrado na figura 18(b); ou como uma elemento de comunicação de matriz ativa de um dispositivo de memória, tal como memória de acesso aleatório (RAM). Nas figuras 18(a) e (b) transistores T1 e/ou T2 podem ser formados a partir dos transistores como descrito acima. As características 40 representam um elemento de exibição ou de memória com blocos de fornecimento de corrente e voltagem.

[00129] Os exemplos de configurações de dispositivo possíveis para controlar a voltagem no eletrodo de um LCD ou um dispositivo de exibição eletroforético são mostrados na figura 19, em que partes semelhantes são numeradas como para a figura 1. Nos desenhos da figura 19 (como para as figuras 7, 14 e 17, por exemplo) a camada isoladora porta pode incluir uma

estrutura da camada múltipla contendo uma barreira de difusão e/ou camada de modificação de superfície, como na figura 1(a).

[00130] Referindo-se à figura 19, os eletrodos fonte e porta 2, 6 do TFT são conectados às linhas de dados 44 e de endereçamento 43 da matriz ativa, que pode ser fabricados a partir de um material condutor diferente para se obter condutividade adequada em comprimentos mais longos. O eletrodo dreno 3 do TFT também podem ser o eletrodo de pixel 41. O eletrodo de pixel pode ser formado a partir de um material condutor diferente como na figura 19. Em dispositivos que contam com a aplicação de um campo elétrico ao invés de uma injeção carregadora de carga não é requerido que este eletrodo 41 esteja em contato direto com o elemento de exibição 40, tal como um cristal líquido ou tinta eletroforética, etc. Nesta configuração a área de pixel total ocupada pelo TFT e as linhas interconectoras devem ser mantidas pequenas para se obter razão de abertura adequada e para reduzir a diafonia potencial entre o elemento de exibição 40 e os sinais nas linhas de dados e endereçamento 43 e 44.

[00131] A configuração na figura 19(b) é mais complicada. Entretanto, os pixel totais ou uma grande parte da área de pixel está disponível para os TFTs e linhas interconectoras e o elemento de exibição é protegido dos sinais nas linhas de dados e de endereçamento 44 e 43 pelo eletrodo de pixel 41. A fabricação desta configuração requer uma camada dielétrica adicional 42 e uma via lacuna cheia com material condutor 45 para conectar o eletrodo de pixel 41 ao eletrodo dreno do TFT 3. A via lacuna pode ser fabricada pelo procedimento descrito acima.

[00132] Note que nesta configuração a razão de abertura pode ser maximizada e pode ser aproximadamente 100 %. Esta configuração também pode ser usada para aplicação de exibição com uma iluminação por detrás tal como dispositivos de exibição de LCD transmissivo, visto que TFTs totalmente poliméricos como aqui fabricados são altamente transparentes na

faixa espectral visível. A Figura 20 mostra o espectro de absorção ótica medido em um TFT de polímero F8T2, em que as cadeias poliméricas são uniaxialmente alinhadas depositando-se o polímero semiconductor líquido-cristalino em uma camada de alinhamento de poliimida emborrachada que também serve como a camada de pré-padronização para a impressão de alta resolução. Pode ser observado que o dispositivo é altamente transparente na maior parte da faixa espectral visível por causa do intervalo de banda relativamente alto do F8T2. Transparência ainda melhor pode ser obtida se camadas semiconductoras tais como F8 ou TFB ou outro derivado de polifluorenos (US 5.777.070) com intervalos de banda mais altos são usados. O alinhamento das cadeias poliméricas dá origem à anisotropia ótica tal que a luz polarizada paralela à direção do alinhamento (ponto rotulado “||”) é mais fortemente absorvido do que a luz polarizada perpendicular à direção do alinhamento (ponto rotulado “⊥”). A anisotropia ótica pode ser usada em um dispositivo de exibição de LCD para aumentar mais a transparência ótica dos TFTs pela orientação da direção do alinhamento das cadeias poliméricas normais ao polarizador entre o plano de trás de vidro e a luz por detrás. Sob luz polarizada os dispositivos de transistor parecem quase incolores na luz visível, se a espessura da camada de F8T2 for abaixo de 500 Å. Todas as outras camadas do TFT incluindo a de PEDOT tem baixa absorção ótica na faixa espectral visível.

[00133] Uma outra vantagem da baixa absorção ótica da camada semicondutora é a fotossensibilidade reduzida do TFT característico para luz visível. No caso dos TFTs de silício amorfo uma matriz preta deve ser usada para evitar corrente OFF grande sob iluminação de luz. No caso dos TFTs poliméricos com semicondutores de intervalo de banda amplo não é requerido proteger os TFTs da luz ambiente e da luz por detrás do dispositivo de exibição.

[00134] A configuração na figura 19(b) também é bem adaptada para o

transistor de impulso T1 de um dispositivo de exibição LED (figura 18(b)), visto que esta permite que a corrente de impulso do TFT seja aumentada pela fabricação de uma série interdigitada de eletrodo fonte-dreno com grande largura de canal W fazendo uso da área completa situada embaixo do eletrodo de pixel 41.

[00135] Alternativamente, a configuração de TFT de porta do fundo da figura 17 também pode ser usada em todas as aplicações acima (figura 19(c)).

[00136] Um dos resultados tecnológicos importantes para a fabricação de circuitos de matriz ativa é o contato entre o TFT de PEDOT/PSS e os eletrodos de pixel 2,3,6 e as linhas interconectoras metálicas 43, 44 e 41. Devido à sua natureza ácida forte o PEDOT/PSS não é compatível com muitos metais inorgânicos comuns tais como o alumínio. O alumínio 15 facilmente oxidou em contato com o PEDOT/PSS. Uma solução possível é a fabricação de linhas interconectoras e eletrodos de pixel 43, 44 e 41 a partir de óxido de índio-estanho (ITO) ou tântalo, tungstênio e outros metais refratários ou um outro material tendo mais estabilidade neste ambiente ou o uso de uma camada de barreira adequada.

[00137] No caso de uma aplicação em exibição também pode ser desejável fabricar TFTs com um comprimento de canal pequeno pela impressão sobre um substrato pré-padronizado indicado como 10 na figura 19, como descrito acima.

[00138] Configurações de dispositivo similares para comutadores de transistor de matriz ativa também podem ser usadas se o elemento de pixel a ser controlado não é um elemento de exibição mas um elemento de memória tal como um capacitor ou um diodo, como por exemplo em uma memória de acesso aleatório dinâmico.

[00139] Além dos eletrodos condutores, alguma das outras camadas dos TFTs também podem ser padronizadas pelos métodos de impressão direta, tais como a impressão de tela ou IJP. A Figura 21 (a) (em que partes

semelhantes são numeradas como para a figura 1) mostra um dispositivo em que uma ilha de camada ativa da camada semicondutora 4 e a camada isoladora porta 5 podem ser diretamente impressas. Neste caso nenhuma via lacuna é requerida, mas conexões podem ser feitas pela impressão direta de um padrão de eletrodo porta adequado B. Em áreas onde a comunicação ou as linhas interconectoras 43, 44 sobrepõe ilhas espessas de um polímero dielétrico 46 podem ser impressas para fornecer isolamento elétrico (figura 21(b)).

[00140] Uma pluralidade de dispositivos formados como descrito acima pode ser formada em um único substrato e interconectada por camadas condutivas. Os dispositivos pode ser formados em um único nível ou em mais do que um nível, alguns dispositivos sendo formados no topo de outros. Usando-se tiras de interconexão e via lacunas como descrito acima disposições de circuito especialmente compactos podem ser formadas.

[00141] A tecnologia aqui desenvolvida para fabricação de transistores, via lacunas e linhas interconectoras impressos a jato de tinta pode ser usada para se fabricar circuitos eletrônicos integrados pela impressão a jato de tinta. Um substrato pré fabricado contendo uma disposição de regiões de superfície hidrofílicas e hidrofóbicas pode ser usado o que define o comprimento do canal dos transistores e/ou a largura das linhas interconectoras. O substrato também pode conter uma disposição de linhas interconectoras metálicas altamente condutoras. Usando uma combinação de impressão a jato de tinta e deposição de camadas contínuas da solução uma série de dispositivos de transistor é definida em localizações feitas por encomenda e com larguras de canal feitas por encomenda. Um circuito integrado é então fabricado pela formação de conexões elétricas entre pares de transistores e interconexões adequadas usando-se a impressão a jato de tinta de via lacunas e linhas condutoras.

[00142] Também é possível que o dito substrato pré-fabricado já possa

conter um ou mais dos componentes dos dispositivos de transistores. O dito substrato pode conter, por exemplo, uma série de dispositivos de transistores inorgânicos completados, cada um tendo pelo menos um eletrodo exposto. No presente caso, a fabricação a jato de tinta de um circuito integrado poderá compreender a formação de conexões elétricas entre pares de transistores e a deposição de um esquema de interconexões em nível único ou múltiplo, pelo uso de via lacunas, linhas interconectoras e blocos de isolamento impressos a jato de tinta (ver a figura 15(d)).

[00143] Além dos dispositivos de transistores, dito circuito eletrônico também pode compreender outros elementos de circuito ativos e passivos tais como aqueles elementos de exibição ou de memória ou elementos capacitivos ou resistivos.

[00144] Usando-se as técnicas descritas acima uma unidade tendo uma pluralidade de transistores pode ser formada e depois configurada para um uso subsequente específico por meio do processamento com base em solução. Por exemplo, um substrato tendo uma pluralidade de transistores 50 do tipo mostrado na figura 1(a), (b) ou (c), na forma de uma disposição de porta, por exemplo, pode ser formada sobre uma chapa plástica (figura 22). Outros dispositivos tais como diodos ou capacitores também podem ser formados na chapa. Depois a chapa pode ser colocada em uma impressora a jato de tinta tendo uma cabeça de impressão para um solvente adequado para formar via lacunas 52 (por exemplo, metanol) e um material adequado para formar pistas condutivas 53 e para encher as via lacunas (por exemplo, PEDOT). A impressora a jato de tinta pode ser operável sob o controle de um computador adequadamente programado, com conhecimento da localização e configuração dos transistores sobre a chapa. Depois, por uma combinação de formação de via lacuna e etapas de interconexão a impressão a jato de tinta pode configurar o circuito para realizar uma função eletrônica ou lógica desejada, mediante a interconexão dos transistores na maneira desejada. Esta

tecnologia permite assim a formação de circuitos específicos lógicos sobre substratos usando aparelhagem pequena, barata.

[00145] Os exemplos da aplicação de tal circuito são para a impressão de bilhetes eletrônicos ativos, etiquetas de bagagens, e de identificação. Um dispositivo impresso de bilhete ou etiqueta pode ser carregado com um número de unidades não configuradas, cada uma compreendendo um substrato que carrega uma pluralidade de transistores. O dito dispositivo de impressão de bilhete inclui um computador que é capaz de controlar uma impressora a jato de tinta como descrito acima e de determinar um circuito eletrônico que seja indicativo da função válida do bilhete. Quando requerido para imprimir um bilhete o dispositivo de impressão configura um substrato para o circuito eletrônico apropriado pela impressão de via lacunas e/ou material condutor de modo que o transistores no substrato sejam apropriadamente configurados. O substrato pode ser depois encapsulado, por exemplo selando-se com chapa plástica adesiva, deixando os terminais de conexão elétrica 54, 55 expostos. O bilhete é então dispensado. Quando dito bilhete deve ser validado, entradas são aplicadas a uma ou mais terminais de entrada e as saídas do circuito em um ou mais terminais de saída são monitorados para uma verificação do seu funcionamento. Os ditos bilhetes podem ser, de preferência, impressos sobre substratos plásticos e flexíveis para torná-los conveniente para o uso como bilhetes.

[00146] Circuitos outros definidos pelo usuário que não para propósitos de valor ou rotulação podem ser fabricados de um modo similar. A verificação e leitura dos circuitos também podem ser feitas por sondagem remota usando, por exemplo, uma radiação de radiofrequência (Physics World, March 1999, página 31).

[00147] A capacidade do usuário final de definir circuitos pela simples impressão a jato de tinta de conexões apropriadas sobre uma disposição ou um arranjo padrão oferece flexibilidade significativamente aumentada,

comparada aos circuitos planejados em fábrica.

[00148] A presente invenção não é limitada aos exemplos precedentes. Note-se que aspectos da presente invenção incluem todos os aspectos novos e/ou inventivos dos conceitos aqui descritos e todas as combinações novas e/ou inventivas das características aqui descritas.

[00149] Os Requerentes chamam atenção para o fato de que a presente invenção pode incluir qualquer característica ou combinação de características aqui divulgadas implícita ou explicitamente ou qualquer generalização destas, sem limitação ao escopo de quaisquer definições apresentadas acima. Em vista da descrição precedente, será evidente a uma pessoa habilitada na técnica que várias modificações podem ser feitas dentro do escopo da invenção a partir de suas reivindicações apenas.

REIVINDICAÇÕES

1. Método para formar sobre um substrato um dispositivo eletrônico que inclui um material polimérico condutor que pode ser depositado da solução em uma pluralidade de regiões, a operação do dispositivo utilizando passagem de corrente de uma primeira região para uma segunda região, o método caracterizado pelo fato de que compreende:

formar uma mistura misturando o material polimérico condutor que pode ser depositado da solução com água;

formar sobre o substrato uma estrutura de confinamento que inclui uma primeira zona (10) em uma primeira área do substrato e uma segunda zona (12) em uma segunda área do substrato, a primeira zona (10) dotada de uma maior repelência para a mistura do que a segunda zona (12), e uma terceira zona (12) em uma terceira área do substrato espaçada da segunda área pela primeira área, a primeira zona (10) dotada de uma maior repelência para a mistura do que a terceira zona (12);

e depositar o material sobre o substrato aplicando a solução sobre o substrato;

pelo que o material depositado é confinado pela repelência relativa da primeira zona às regiões mutuamente espaçadas definindo as ditas primeira e segunda regiões do dispositivo e sendo eletricamente separadas no seu plano por intermédio da repelência relativa da primeira zona.

2. Método, de acordo com a reivindicação 1, caracterizado pelo fato de que a largura da primeira área (10) entre a segunda e terceira áreas (12) é inferior a 20 microns.

3. Método, de acordo com a reivindicação 1, caracterizado pelo fato de que a largura da primeira área (10) entre a segunda e terceira áreas (12) é inferior a 10 microns.

4. Método, de acordo com qualquer uma das reivindicações precedentes, caracterizado pelo fato de que o material formado nas regiões

mutuamente espaçadas forma eletrodos fonte e dreno (2, 3) de um transistor.

5. Método, de acordo com a reivindicação 4, caracterizado pelo fato de que compreende a etapa de depositar um material adicional (4) no espaço entre as regiões mutuamente espaçadas.

6. Método, de acordo com a reivindicação 5, caracterizado pelo fato de que o material adicional (4) depositado no espaço entre as regiões mutuamente espaçadas forma um canal do transistor.

7. Método, de acordo com a reivindicação 6, caracterizado pelo fato de que o dito material adicional (4) é semicondutor.

8. Método, de acordo com qualquer uma das reivindicações 5 a 7, caracterizado pelo fato de que o material adicional (4) é um material polimérico.

9. Método, de acordo com qualquer uma das reivindicações 5 a 8, caracterizado pelo fato de que o material adicional (4) é depositado a partir de solução.

10. Método para formar sobre um substrato um dispositivo eletrônico de comutação que inclui um material eletricamente condutor ou material semicondutor (6) em uma pluralidade de regiões, o método caracterizado pelo fato de que compreende:

formar uma mistura misturando o material com um líquido;

formar sobre o substrato uma estrutura de confinamento que inclui uma primeira zona (14) em uma primeira área do substrato e uma segunda zona em uma segunda área do substrato, a primeira zona tendo uma maior repelência pela mistura do que a segunda zona, e uma terceira zona (14) em uma terceira área do substrato espaçada da primeira área pela segunda área, a terceira zona (14) tendo uma maior repelência pela mistura do que a segunda zona;

e depositar o material (6) sobre o substrato aplicando a mistura sobre o substrato;

de acordo com o qual o material depositado pode é confinado pela repelência relativa das primeira e terceira zonas (14) à segunda zona.

11. Método, de acordo com a reivindicação 10, caracterizado pelo fato de que a largura da segunda zona entre a primeira e a terceira zona (14) tem menos de 20 microns.

12. Método de acordo com a reivindicação 10, caracterizado pelo fato de que a largura da segunda zona entre a primeira e a terceira zona (14) tem menos de 10 microns.

13. Método, de acordo com qualquer uma das reivindicações 10 a 12, caracterizado pelo fato de que o material (6) é eletricamente condutor.

14. Método, de acordo com a reivindicação 13, caracterizado pelo fato de que material (6) forma um eletrodo de controle do transistor, a tensão sobre o qual é suscetível de influenciar a passagem de corrente entre regiões contíguas do dispositivo.

15. Método, de acordo com a reivindicação 13 ou 14, caracterizado pelo fato de que o material (6) forma um eletrodo porta de um transistor.

16. Método, de acordo com a reivindicação 15, caracterizado pelo fato de que a largura da região de superposição entre o eletrodo porta (6) do transistor e os eletrodos fonte e dreno (2, 3), respectivamente, é inferior a 20 microns.

17. Método, de acordo com a reivindicação 15, caracterizado pelo fato de que a largura da região de superposição entre o eletrodo porta do transistor e os eletrodos fonte e dreno, respectivamente, é de menos de 10 microns.

18. Método, de acordo com qualquer uma das reivindicações 10 a 17, caracterizado pelo fato de que superfície do substrato é provida por uma monocamada auto-montada (14) e pelo menos uma das primeira e

segunda zonas é definida pela configuração da monocamada auto-montada.

19. Método, de acordo com a reivindicação 18, caracterizado pelo fato de que a etapa de configurar a monocamada auto-montada é realizada pela exposição à luz através de uma máscara de sombra.

20. Método, de acordo com a reivindicação 19, caracterizado pelo fato de que a etapa de configurar a monocamada auto-montada é realizada colocando o substrato em contato com um estampo macio.

21. Método, de acordo com qualquer uma das reivindicações precedentes, caracterizado pelo fato de que as primeira e segunda zonas (10, 12, 14) são formadas sobre a superfície exposta de uma camada (10, 14) depositada sobre um membro estrutural planar.

22. Método, de acordo com qualquer uma das reivindicações precedentes, caracterizado pelo fato de que o ângulo de contato da mistura na primeira área (10) é maior em 20° que o ângulo de contato da mistura na segunda área.

23. Método, de acordo com qualquer uma das reivindicações precedentes, caracterizado pelo fato de que o ângulo de contato da mistura na primeira área (10) é maior em 40° que o ângulo de contato da mistura na segunda área.

24. Método, de acordo com qualquer uma das reivindicações precedentes, caracterizado pelo fato de que o ângulo de contato da mistura na primeira área (10) é maior em 80° que o ângulo de contato da mistura na segunda área.

25. Método, de acordo com qualquer uma das reivindicações precedentes, caracterizado pelo fato de que a superfície do substrato é provida por uma monocamada auto-montada (10, 14) e pelo menos uma das primeira e segunda zonas é definida pela configuração da mono-camada auto-montada.

26. Método, de acordo com a reivindicação 25, caracterizado

pelo fato de que a etapa de configurar a monocamada auto-montada (10, 14) é realizada pela exposição à luz através de uma máscara de sombra.

27. Método, de acordo com a reivindicação 25, caracterizado pelo fato de que a etapa de configurar a monocamada auto-montada (10, 14) é realizada dispondo o substrato em contato com um estampo macio.

28. Método, de acordo com qualquer uma das reivindicações precedentes, caracterizado pelo fato de que a superfície do substrato é provida por um material não polar (10, 14) e pelo menos uma das primeira e segunda zonas é definida pelo tratamento da superfície do polímero não polar.

29. Método, de acordo com a reivindicação 28, caracterizado pelo fato de que o material não polar (10, 14) é uma poliimida.

30. Método, de acordo com a reivindicação 29, caracterizado pelo fato de que compreende a etapa de polir mecanicamente a poliimida (10, 14) para promover o alinhamento molecular da poliimida.

31. Método, de acordo com a reivindicação 29, caracterizado pelo fato de que compreende a etapa de tratar opticamente a poliimida (10) para promover o alinhamento molecular da poliimida.

32. Método, de acordo com a reivindicação 28, caracterizado pelo fato de que o tratamento da superfície é o ataque químico.

33. Método, de acordo com a reivindicação 28, caracterizado pelo fato de que o tratamento da superfície é tratamento a plasma.

34. Método, de acordo com a reivindicação 33, caracterizado pelo fato de que o plasma é de tetrafluoreto de carbono e/ou de oxigênio.

35. Método, de acordo com a reivindicação 28, caracterizado pelo fato de que o tratamento da superfície compreende sua exposição à luz ultravioleta.

36. Método, de acordo com qualquer uma das reivindicações 28 a 35, caracterizado pelo fato de que a dita uma das zonas é a segunda zona (12).

37. Método, de acordo com qualquer uma das reivindicações precedentes, caracterizado pelo fato de que a primeira zona (10) induz uma estrutura molecular alinhada do material polimérico condutor que pode ser depositado da solução.

38. Método, de acordo com qualquer uma das reivindicações precedentes, caracterizado pelo fato de que a primeira zona (10) é suscetível de induzir o alinhamento de cadeias de polímeros no material polimérico condutor que pode ser depositado da solução.

39. Método, de acordo com qualquer uma das reivindicações precedentes, caracterizado pelo fato de que a primeira zona (10) é suscetível de induzir o alinhamento das cadeias de um material polimérico (4) depositado sobre a primeira zona.

40. Método, de acordo com a reivindicação 38, caracterizado pelo fato de que o alinhamento é em uma direção se estendendo entre as segunda e terceira zonas (12).

41. Método, de acordo com a reivindicação 39, caracterizado pelo fato das cadeias são cadeias do dito material adicional (4).

42. Método, de acordo com qualquer uma das reivindicações precedentes, caracterizado pelo fato de que o material polimérico condutor que pode ser depositado da solução é depositado por deposição de gotículas (13).

43. Método, de acordo com qualquer uma das reivindicações precedentes, caracterizado pelo fato de que o material polimérico condutor que pode ser depositado da solução é depositado por impressão a jato de tinta (13).

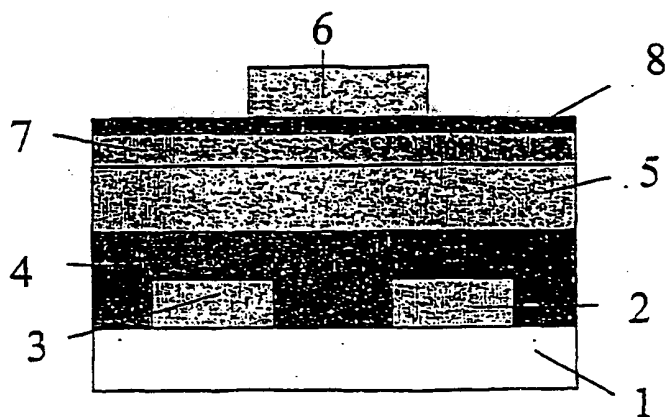
44. Método, de acordo com a reivindicação 42 ou 43, caracterizado pelo fato de que a largura de pelo menos uma das zonas (10) é menor que o diâmetro de gotícula formado na etapa de impressão a jato de tinta.

45. Método, de acordo com a reivindicação 43 ou 44, caracterizado pelo fato da área limite entre as primeira e segunda zonas (10, 12) é opticamente distinta, e o método incluir a etapa de opticamente detectar a área limite entre as primeira e segunda zonas (10, 12) e localizar o aparelho de impressão a jato de tinta em relação ao substrato na dependência daquela detecção.

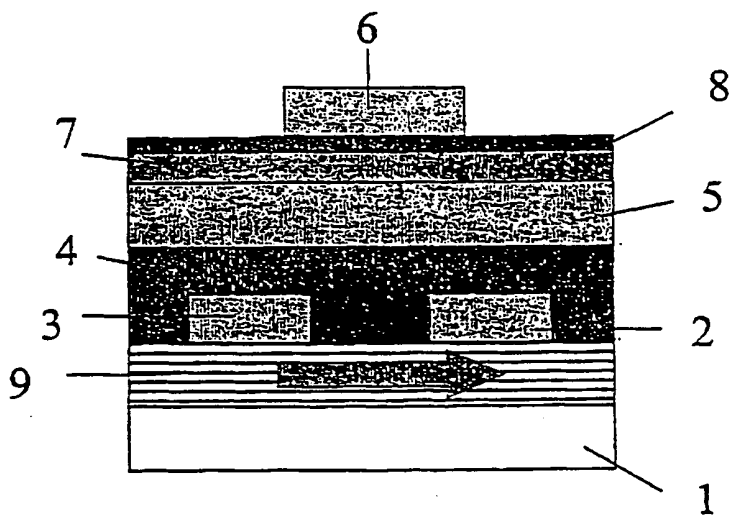
46. Método, de acordo com qualquer uma das reivindicações precedentes, caracterizado pelo fato de que o material polimérico condutor que pode ser depositado da solução é um polímero conjugado.

47. Circuito lógico e dispositivo de exibição ou de memória (40), caracterizado pelo fato de que compreende um conjunto de matriz ativo de uma pluralidade de transistores formado pelo método de acordo com qualquer uma das reivindicações precedentes.

a



b



c

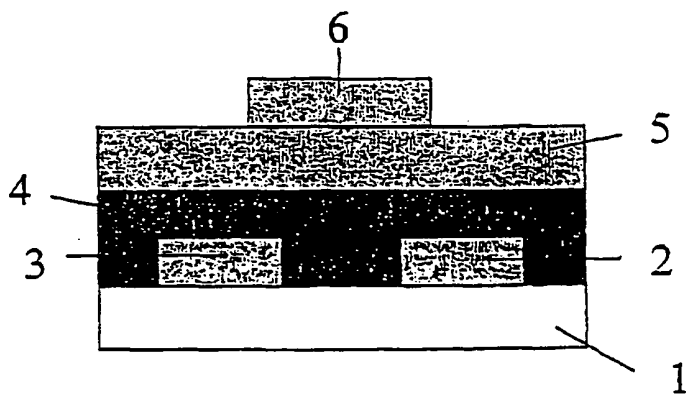
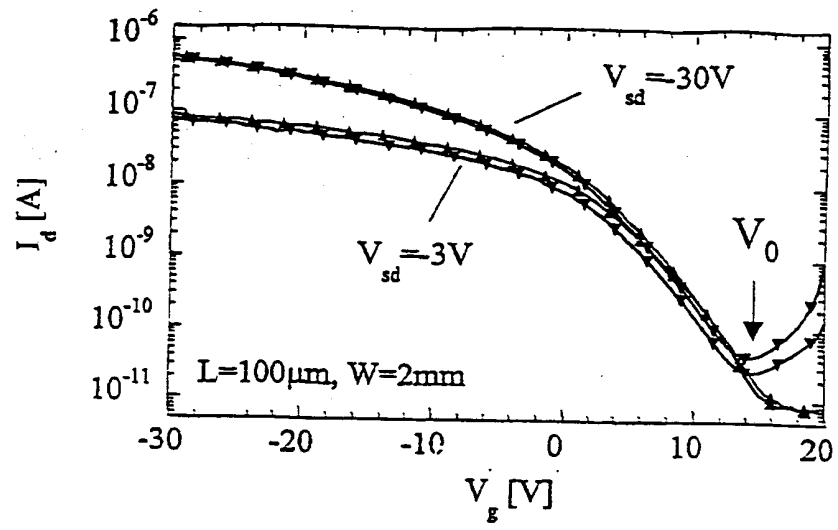


Fig. 1

a



b

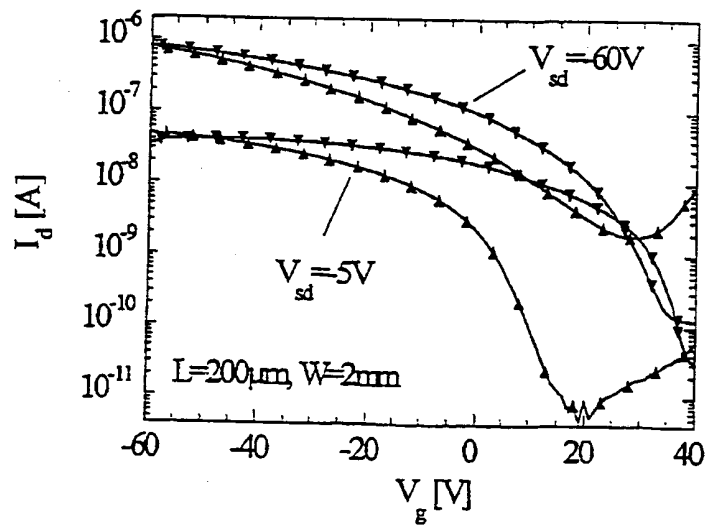


Fig. 2

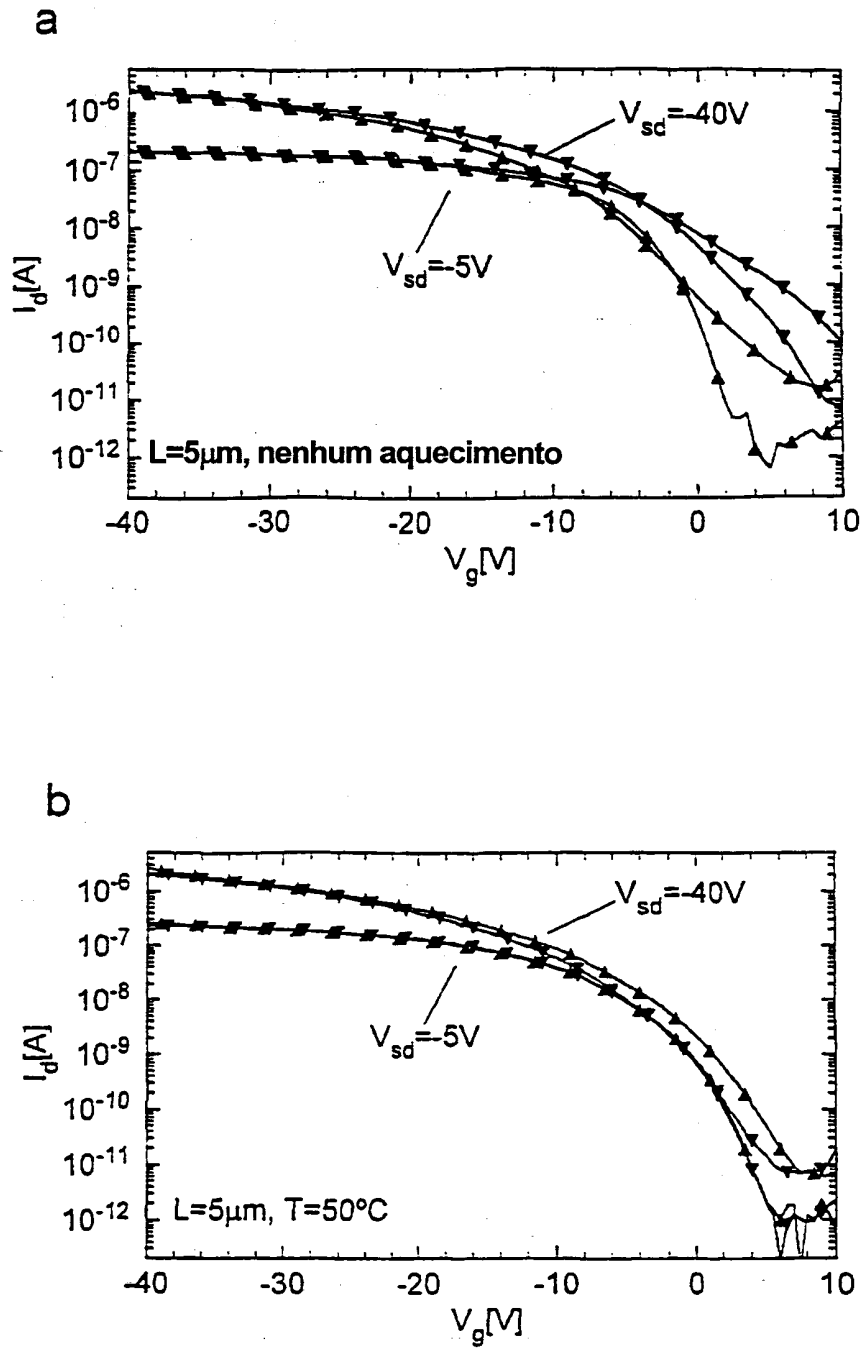
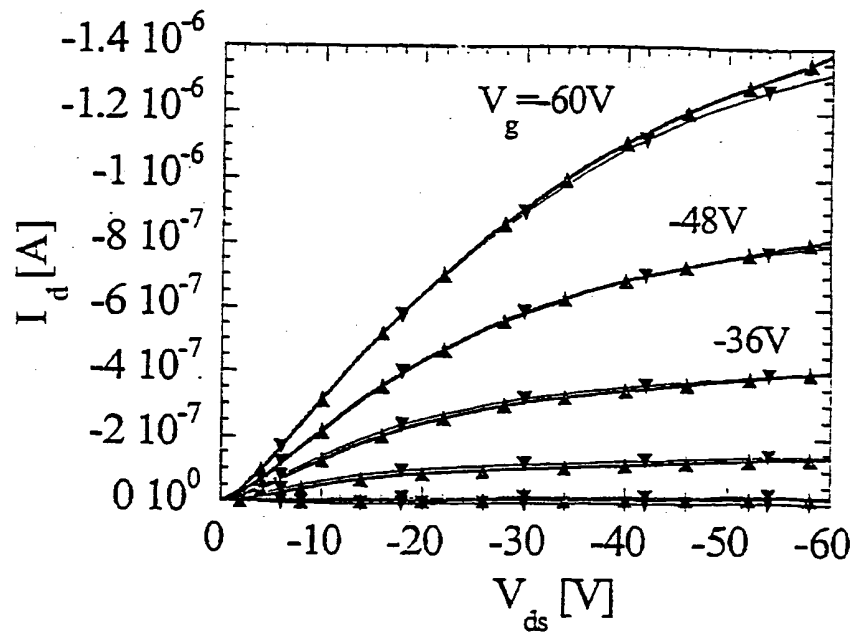


FIG. 3

a



b

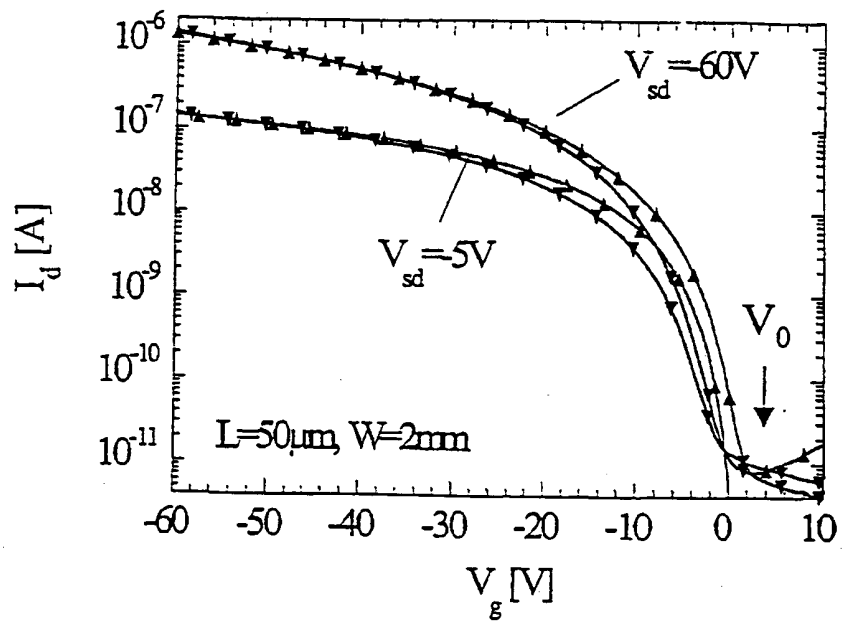
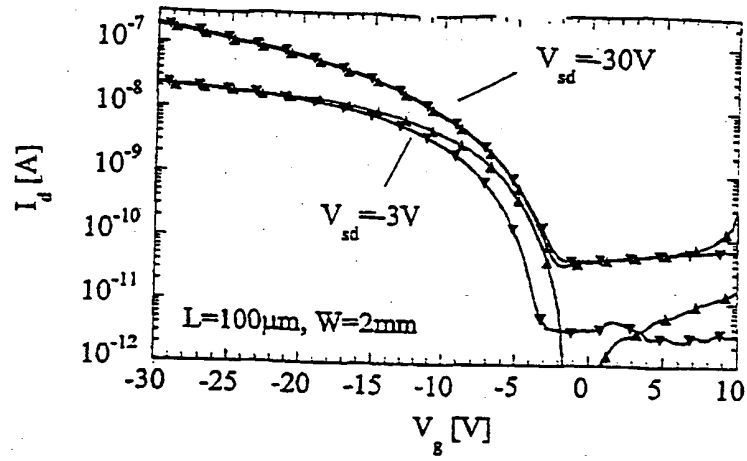


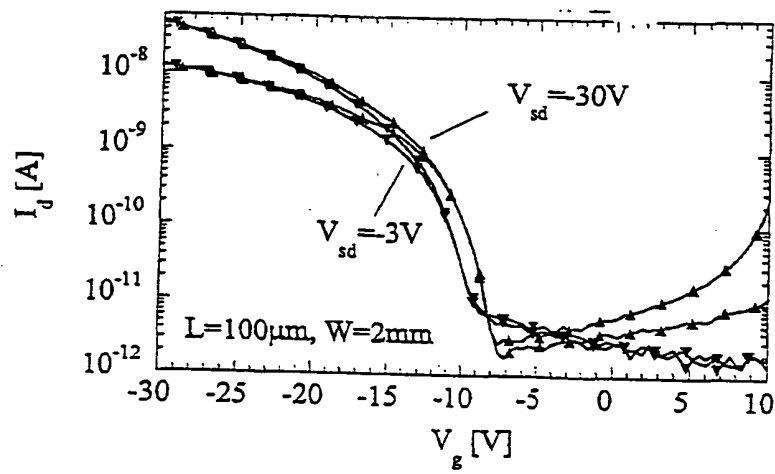
Fig. 4

a



TFB

b



POLIESTIRENO

Fig. 5

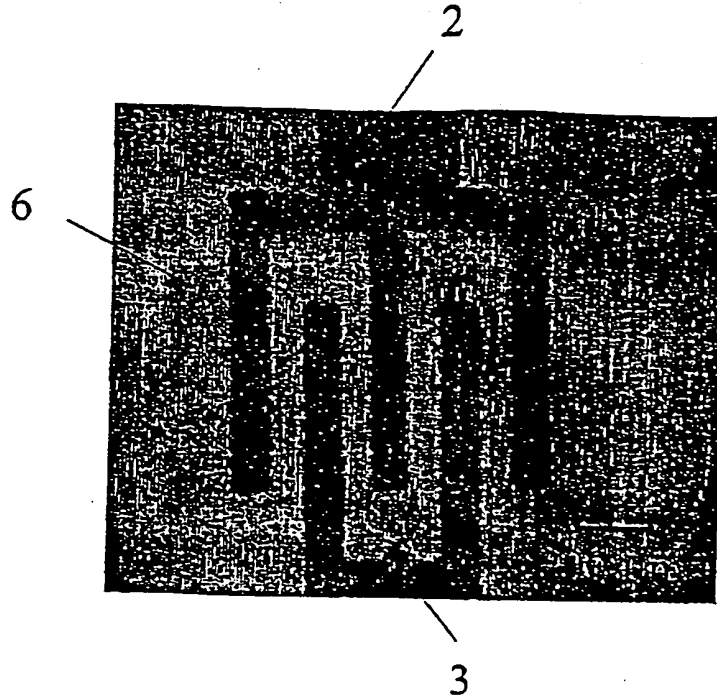
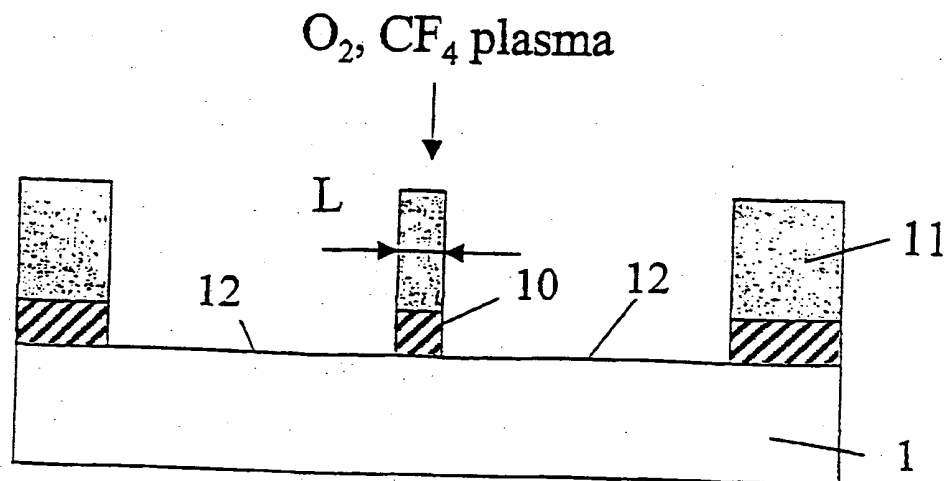
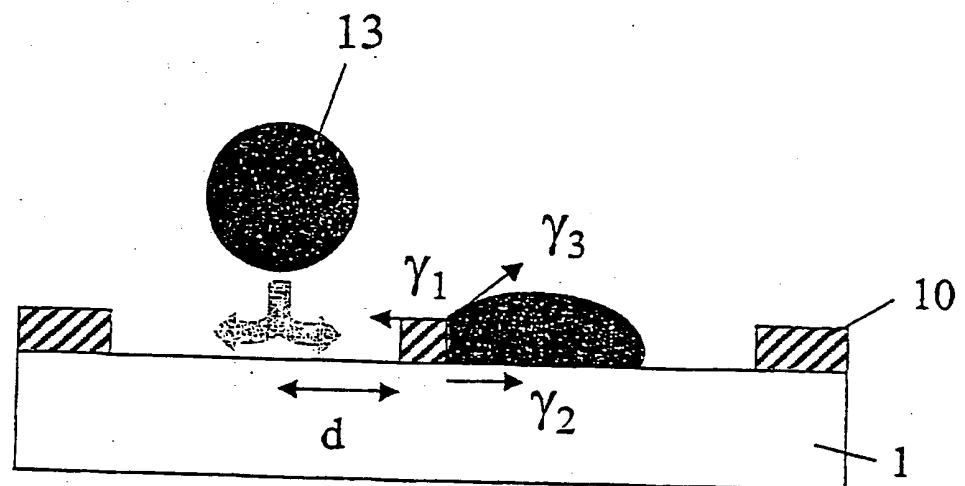


Fig. 6

a



b



c

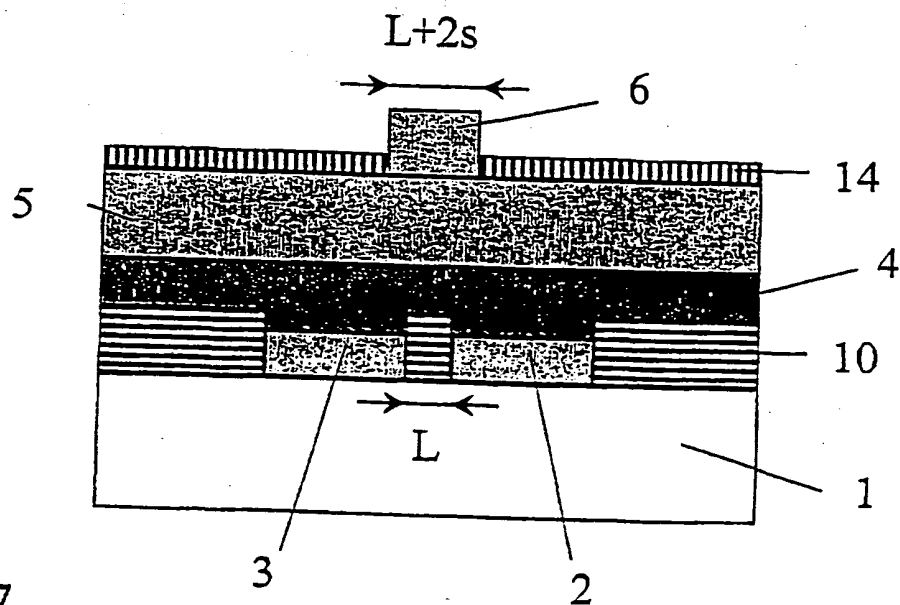


Fig.7

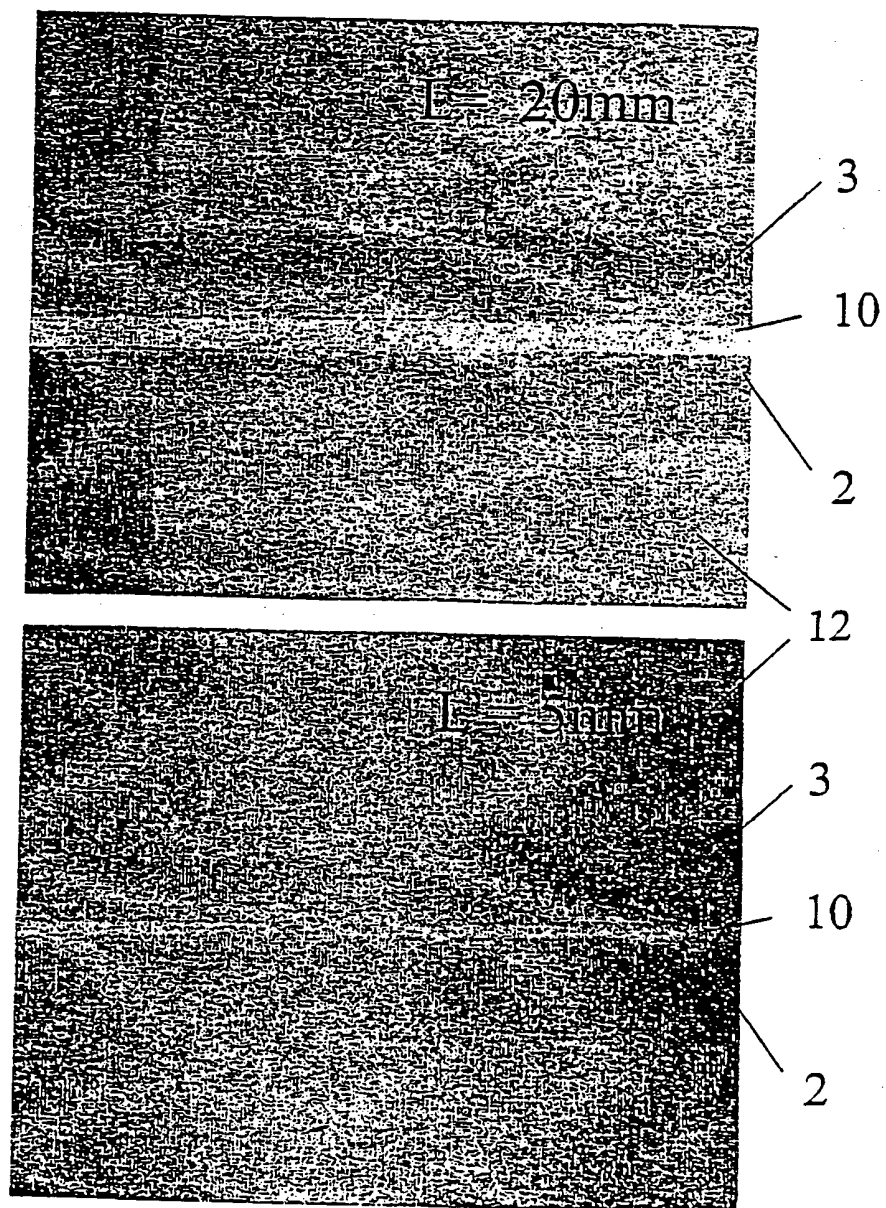


Fig. 8

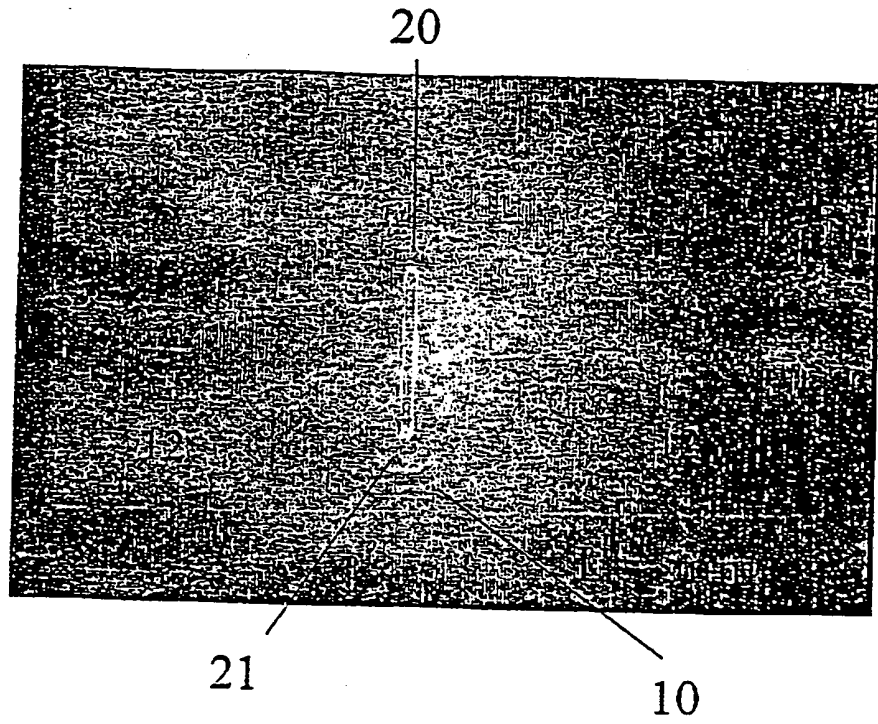


Fig. 9

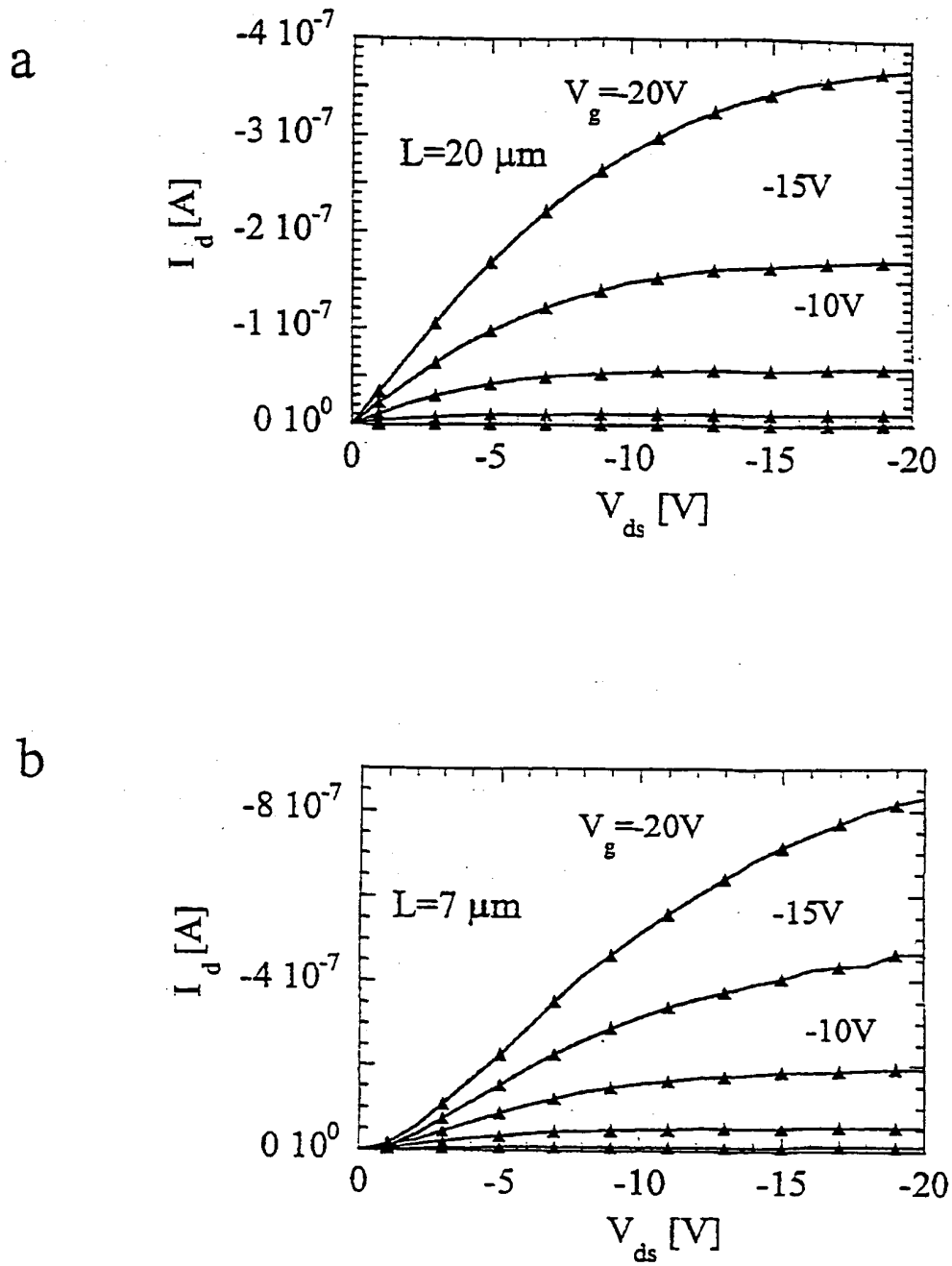
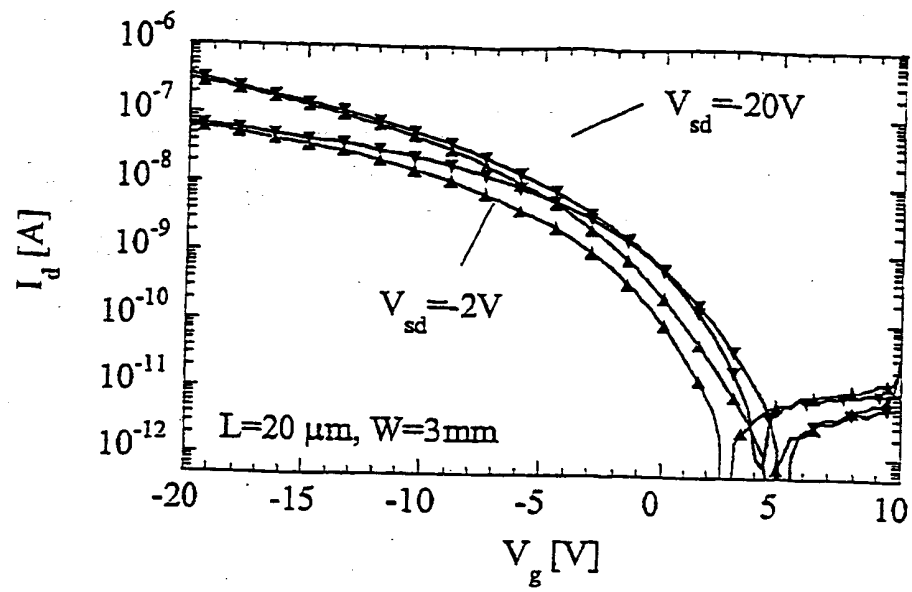


Fig.10

a



b

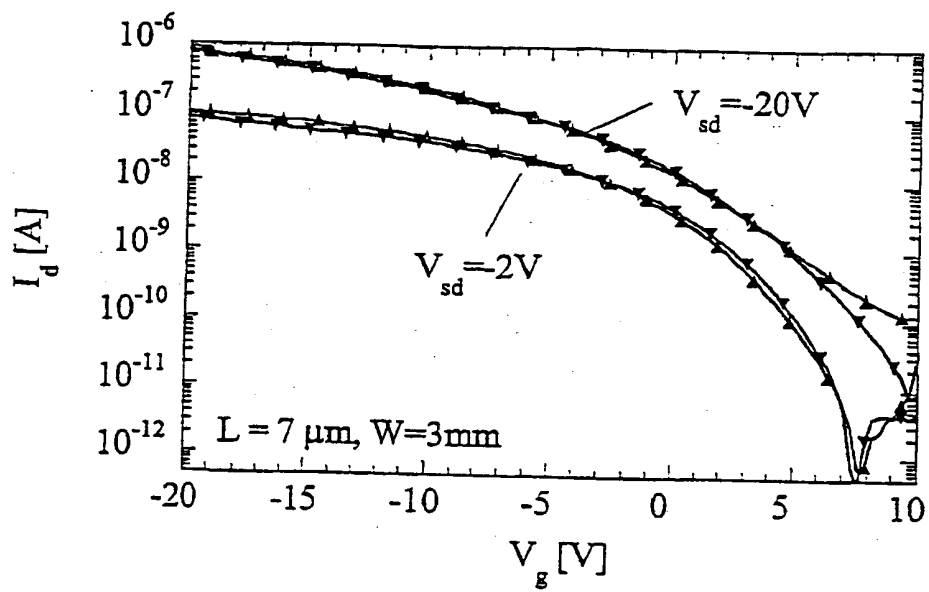


Fig.11

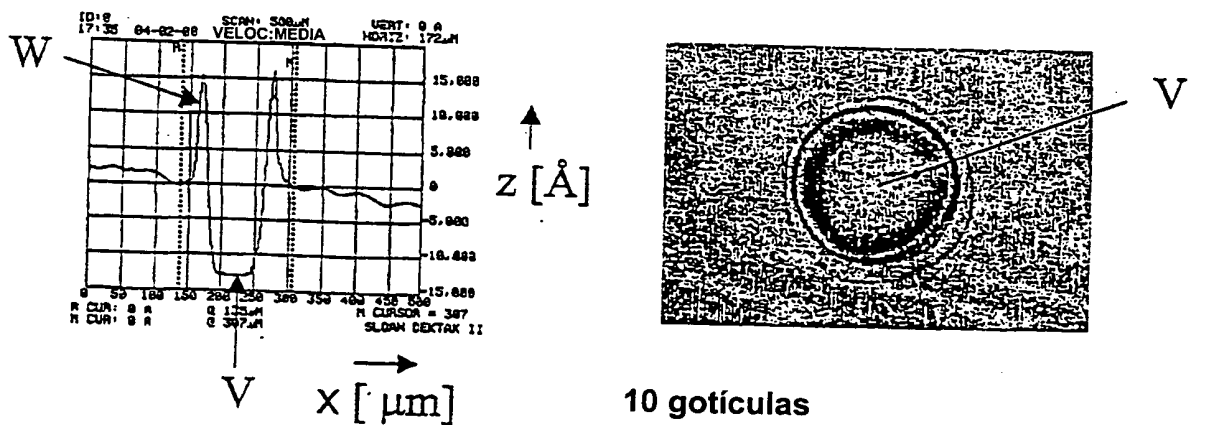
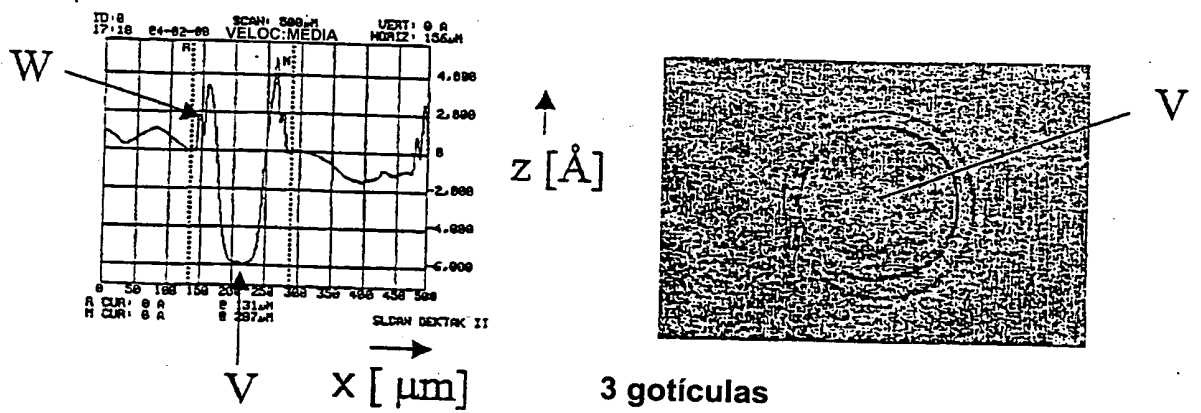
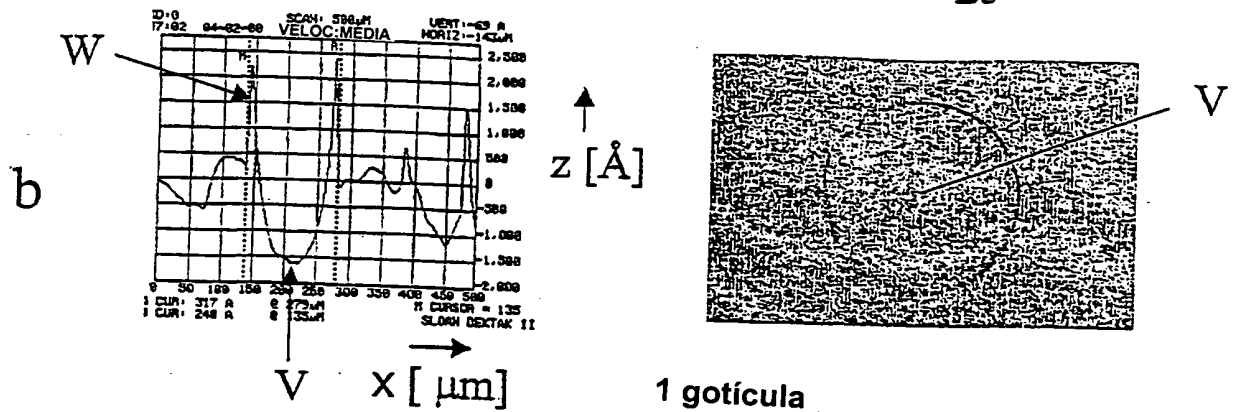
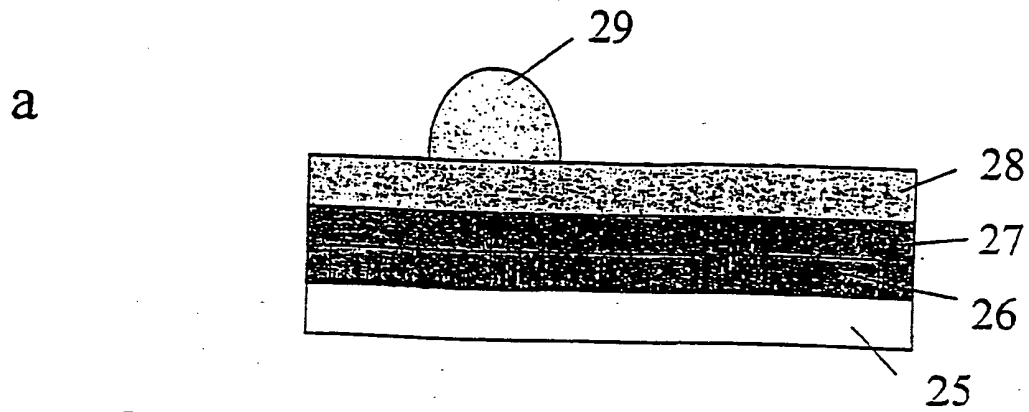


Fig. 12

C

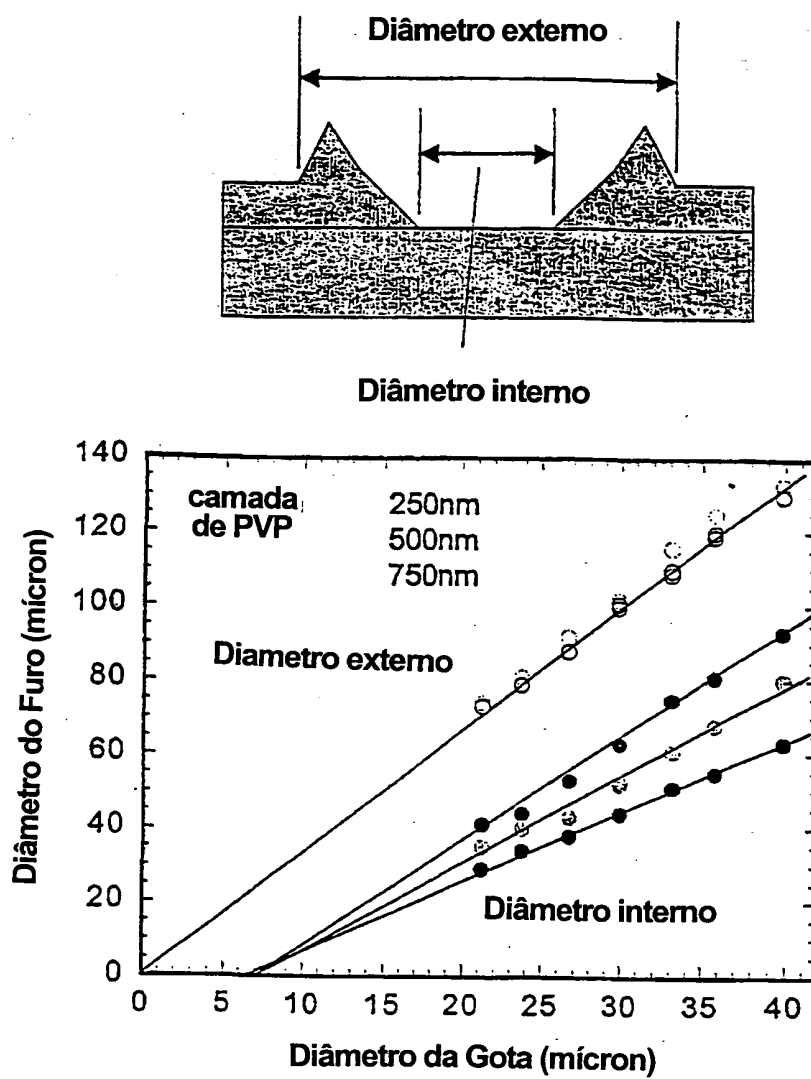


Fig. 12

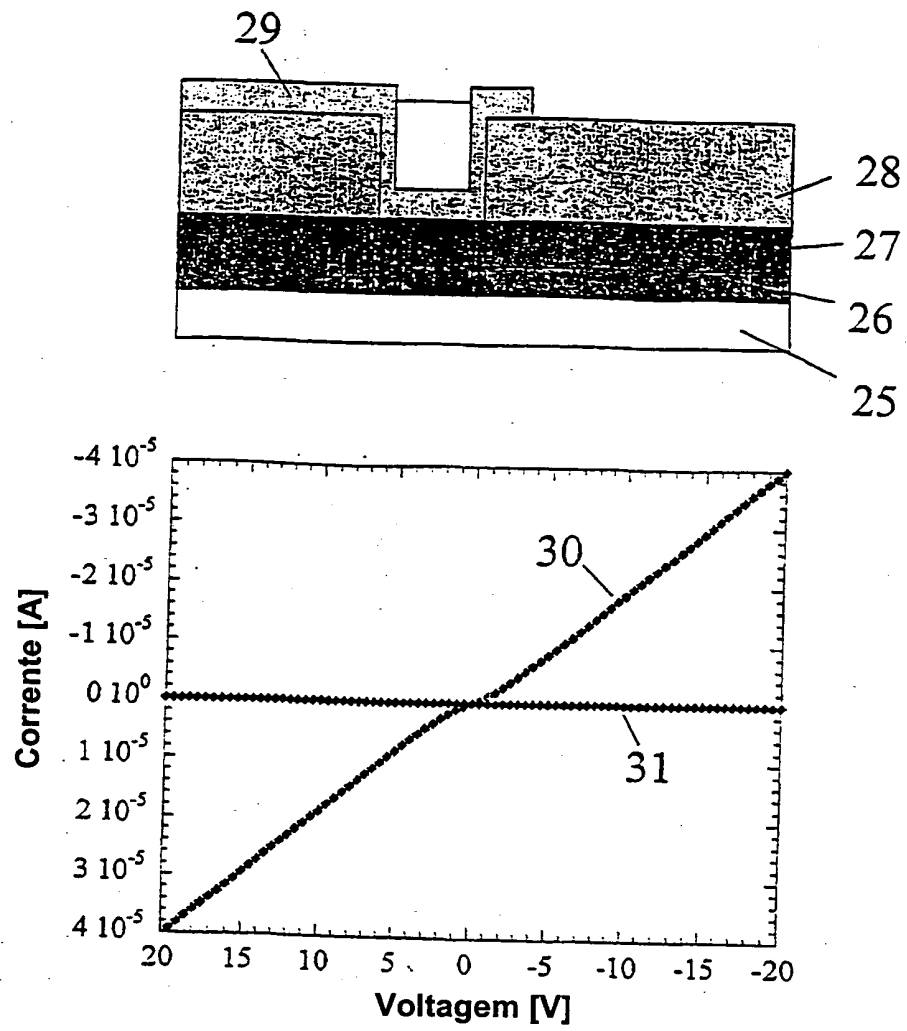


Fig. 13

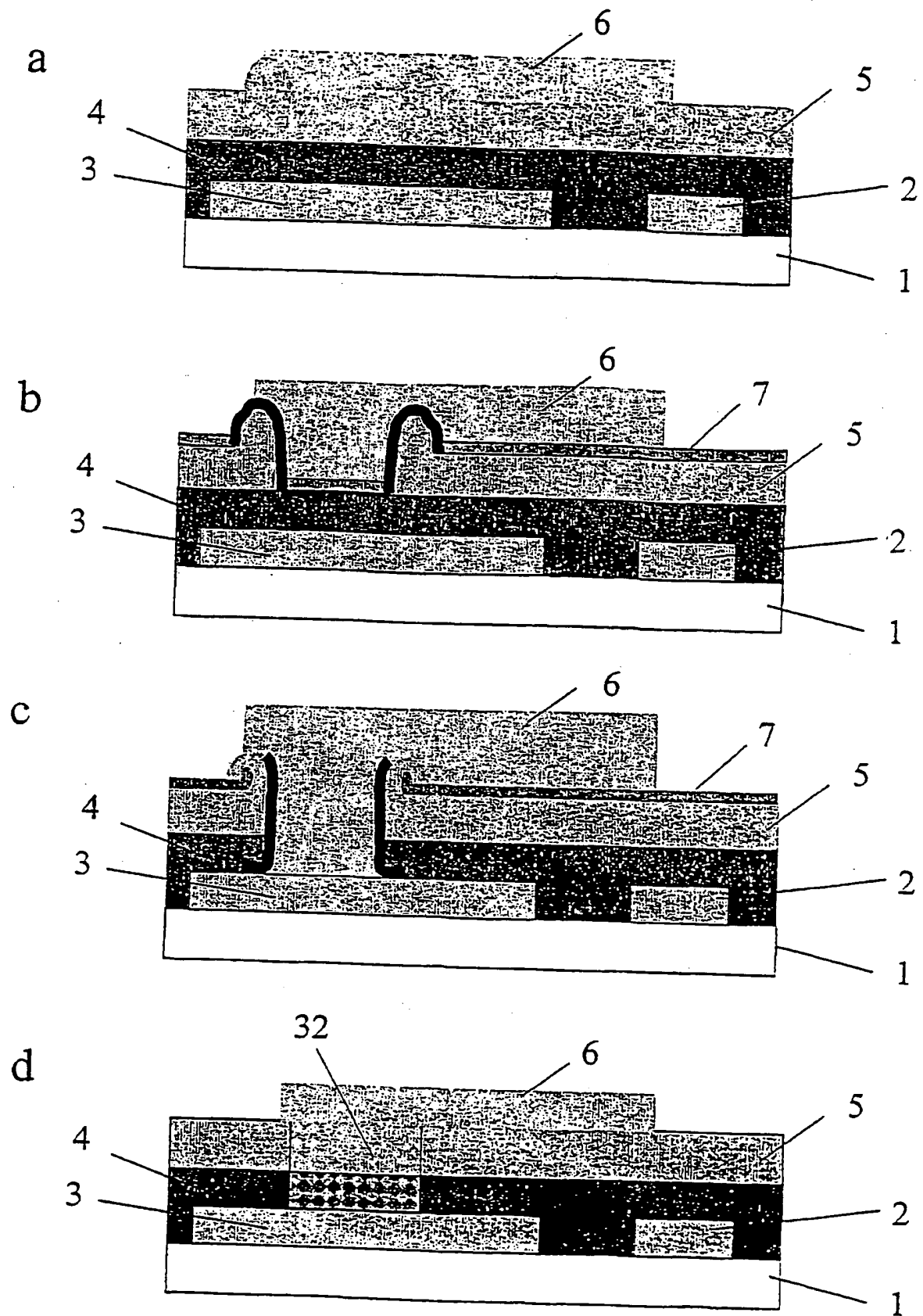


Fig. 14

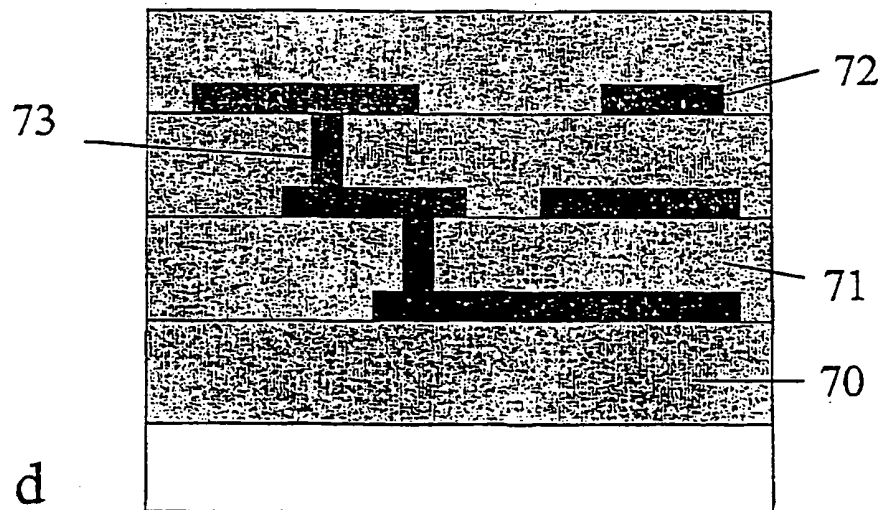
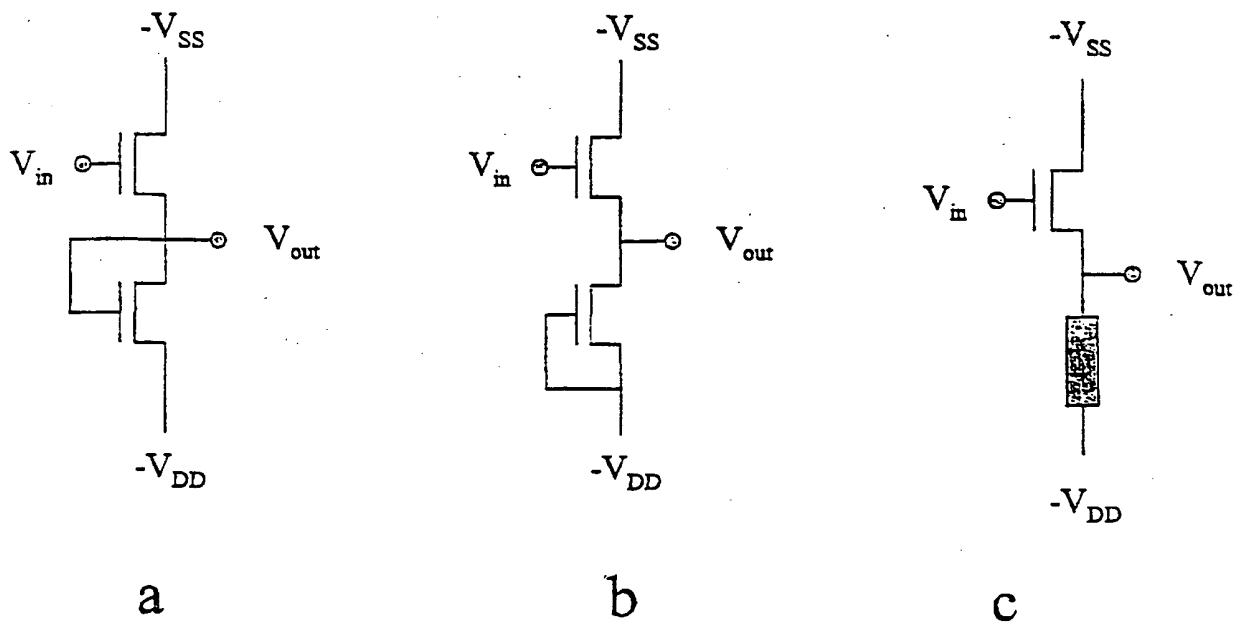


Fig.15

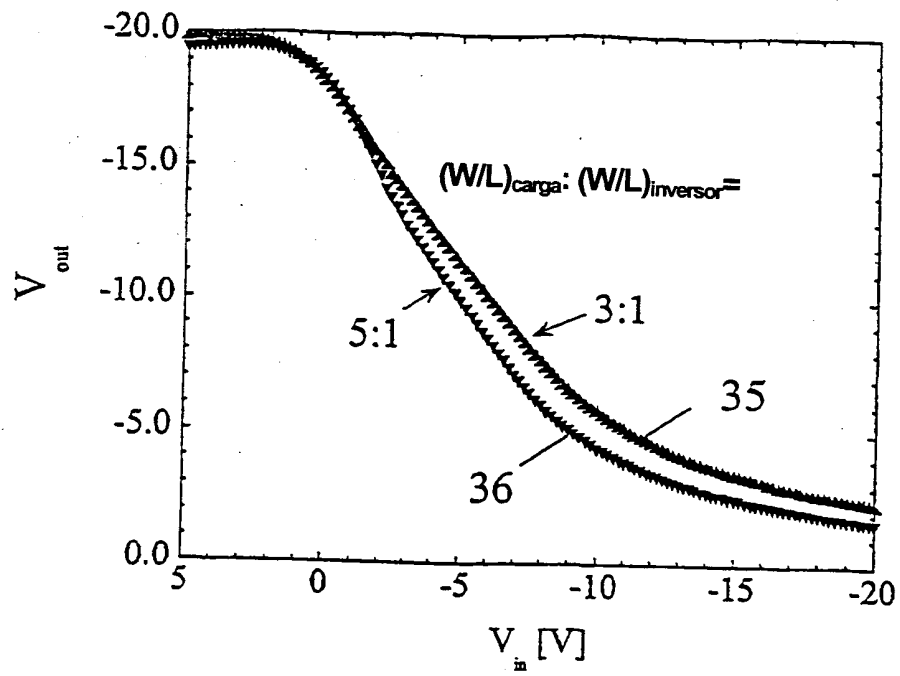


Fig.16

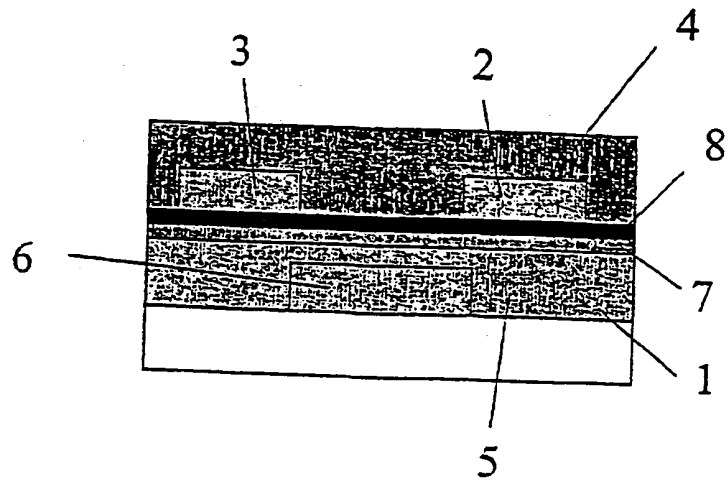


Fig. 17

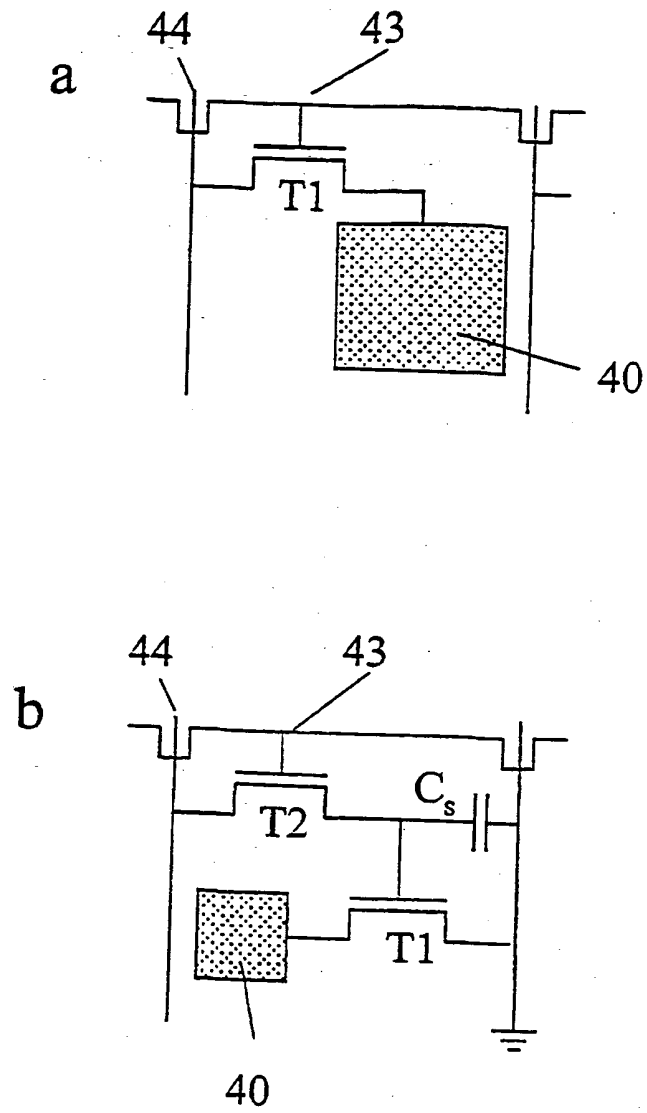


Fig. 18