

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成21年10月8日(2009.10.8)

【公開番号】特開2008-59449(P2008-59449A)

【公開日】平成20年3月13日(2008.3.13)

【年通号数】公開・登録公報2008-010

【出願番号】特願2006-237727(P2006-237727)

【国際特許分類】

G 06 F 12/00 (2006.01)

G 06 F 12/02 (2006.01)

【F I】

G 06 F 12/00 550 E

G 06 F 12/00 560 B

G 06 F 12/00 560 G

G 06 F 12/02 580 J

【手続補正書】

【提出日】平成21年8月20日(2009.8.20)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数個のバーストから成るライトデータをメモリに書き込む制御を行うとともに、前記メモリに書き込まれたデータを読み出す制御を行うメモリ制御回路であって、

前記バーストの順番を並べ替えてn種類のライトデータを生成するライトデータ生成手段と、

前記ライトデータ生成手段によって生成されたn種類のライトデータの中から、メモリに書き込む際のデータ切り替え回数が前記バーストの順番を並べ替える前よりも少ないライトデータを選択するライトデータ選択手段と、

前記ライトデータ選択手段によって選択されたライトデータのバースト並び順を冗長ビットにエンコードするエンコード手段と、

前記ライトデータ選択手段によって選択されたライトデータと、前記エンコード手段によってエンコードされた冗長ビットとを前記メモリに書き込む書き込み手段と、

前記書き込み手段によって書き込まれたライトデータと冗長ビットとを前記メモリから読み出す読み出し手段と、

前記読み出し手段によって読み出された冗長ビットをデコードするデコード手段と、

前記デコード手段のデコーダ結果に従って、前記読み出し手段によって前記メモリから読み出されたリードデータのバースト並び順を検出するバースト並び順検出手段と、

前記バースト並び順検出手段の検出結果に従って前記リードデータのバースト並び順を並べ替えて前記並び替えを行う前のバーストの順番となるように復元するデータ復元手段とを有することを特徴とするメモリ制御回路。

【請求項2】

前記ライトデータ選択手段は、前記ライトデータの切り替え回数が最小となるように前記バーストの順番が並べ替えられたライトデータを選択することを特徴とする請求項1に記載のメモリ制御回路。

【請求項3】

複数個のバーストから成るライトデータをメモリに書き込む制御を行うとともに、前記メモリに書き込まれたデータを読み出す制御を行うメモリ制御回路であって、

前記バーストと所定のデータパターンとを比較する比較手段と、

前記比較手段の比較結果を冗長ビットにエンコードするエンコード手段と、

前記比較手段の比較により前記バーストが前記所定のデータパターンと一致しなかった場合、前記バーストをそのまま、ライトデータの一部として、一方、前記比較手段の比較により前記バーストが前記所定のデータパターンと一致した場合、前記所定のデータパターンと一致した前記バーストに代えて、固定の値のライトデータを、ライトデータの一部として出力するデータ固定制御手段と、

前記データ固定制御手段によって出力されたライトデータの一部と、前記エンコード手段によってエンコードされた冗長ビットとを前記メモリに書き込む書き込み手段と、

前記書き込み手段によって書き込まれたライトデータと冗長ビットとを前記メモリから読み出す読み出し手段と、

前記読み出し手段によって読み出された冗長ビットをデコードするデコード手段と、

前記デコード手段のデコード結果に従って、前記読み出し手段によって読み出されたライトデータをリードデータとして出力するか、前記所定のデータパターンをリードデータとして出力するか選択する選択手段とを有することを特徴とするメモリ制御回路。

【請求項 4】

複数個のバーストから成るライトデータをメモリに書き込む制御を行うとともに、前記メモリに書き込まれたデータを読み出す制御を行うメモリ制御方法であって、

前記バーストの順番を並べ替えて n 種類のライトデータを生成するライトデータ生成工程と、

前記ライトデータ生成工程において生成された n 種類のライトデータの中から、メモリに書き込む際のデータ切り替え回数が前記バーストの順番を並べ替える前よりも少ないライトデータを選択するライトデータ選択工程と、

前記ライトデータ選択工程において選択されたライトデータのバースト並び順を冗長ビットにエンコードするエンコード工程と、

前記ライトデータ選択工程において選択されたライトデータと、前記エンコード工程においてエンコードされた冗長ビットとを前記メモリに書き込む書き込み工程と、

前記書き込み工程において書き込まれたライトデータと冗長ビットとを前記メモリから読み出す読み出し工程と、

前記読み出し工程において読み出された冗長ビットをデコードするデコード工程と、

前記デコード工程におけるデコード結果に従って、前記読み出し工程において前記メモリから読み出されたりードデータのバースト並び順を検出するバースト並び順検出工程と、

前記バースト並び順検出工程における検出結果に従って前記リードデータのバースト並び順を並べ替えて前記並び替えを行う前のバーストの順番となるように復元するデータ復元工程とを有することを特徴とするメモリ制御方法。

【請求項 5】

複数個のバーストから成るライトデータをメモリに書き込む制御を行うとともに、前記メモリに書き込まれたデータを読み出す制御を行うメモリ制御手順をコンピュータに実行させるためのプログラムであって、

前記バーストの順番を並べ替えて n 種類のライトデータを生成するライトデータ生成手順と、

前記ライトデータ生成手順において生成された n 種類のライトデータの中から、メモリに書き込む際のデータ切り替え回数が前記バーストの順番を並べ替える前よりも少ないライトデータを選択するライトデータ選択手順と、

前記ライトデータ選択手順において選択されたライトデータのバースト並び順を冗長ビットにエンコードするエンコード手順と、

前記ライトデータ選択手順において選択されたライトデータと、前記エンコード手順に

おいてエンコードされた冗長ビットとを前記メモリに書き込む書き込み手順と、

前記書き込み手順において書き込まれたライトデータと冗長ビットとを前記メモリから読み出す読み出し手順と、

前記読み出し手順において読み出された冗長ビットをデコードするデコード手順工程と、

前記デコード手順におけるデコーダ結果に従って、前記読み出し手順において前記メモリから読み出されたりードデータのバースト並び順を検出するバースト並び順検出手順と、

前記バースト並び順検出手順における検出結果に従って前記リードデータのバースト並び順を並べ替えて前記並び替えを行う前のバーストの順番となるように復元するデータ復元手順とをコンピュータに実行させるためのプログラム。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正の内容】

【0005】

このノイズは、スイッチングするトランジスタの数に比例して大きくなる。LSIチップに集積した数多くのトランジスタが同時にスイッチングすることによって生じる大きな電源バウンス、グラウンド・バウンスを同時スイッチングノイズ（SSOノイズ）と呼んでいる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

本発明のプログラムは、複数個のバーストから成るライトデータをメモリに書き込む制御を行うとともに、前記メモリに書き込まれたデータを読み出す制御を行うメモリ制御手順をコンピュータに実行させるためのプログラムであって、前記バーストの順番を並べ替えてn種類のライトデータを生成するライトデータ生成手順と、前記ライトデータ生成手順において生成されたn種類のライトデータの中から、メモリに書き込む際のデータ切り替え回数が前記バーストの順番を並べ替える前よりも少ないライトデータを選択するライトデータ選択手順と、前記ライトデータ選択手順において選択されたライトデータのバースト並び順を冗長ビットにエンコードするエンコード手順と、前記ライトデータ選択手順において選択されたライトデータと、前記エンコード手順においてエンコードされた冗長ビットとを前記メモリに書き込む書き込み手順と、前記書き込み手順において書き込まれたライトデータと冗長ビットとを前記メモリから読み出す読み出し手順と、前記読み出し手順において読み出された冗長ビットをデコードするデコード手順工程と、前記デコード手順におけるデコーダ結果に従って、前記読み出し手順において前記メモリから読み出されたりードデータのバースト並び順を検出するバースト並び順検出手順と、前記バースト並び順検出手順における検出結果に従って前記リードデータのバースト並び順を並べ替えて前記並び替えを行う前のバーストの順番となるように復元するデータ復元手順とをコンピュータに実行させる。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【0015】

(第1の実施形態)

以下、本発明の実施形態について図面を参照しながら詳述する。

まず、本発明の第1の実施形態に係るメモリシステムについて説明する。

図1は、本実施形態に係るメモリシステムについて説明する図である。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正の内容】

【0034】

(第2の実施形態)

次に、本発明の第2の実施形態に係るメモリシステムについて説明する。

図5は、本実施形態に係るメモリシステムについて説明する図である。

3000はメモリコントローラ、3100はメモリである。メモリコントローラ3000は、バスインターフェース3010、コマンド生成回路3040、ライトデータ生成回路3030、リードデータ受信回路3020等より構成されている。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0041

【補正方法】変更

【補正の内容】

【0041】

ライトデータバッファ3033内のライトデータは、バースト0～バースト3(201～204)のデータに分割できる。バースト0～バースト3のデータは、データ比較回路(210-0～210-n)で各データパターンとの比較が行われる。データ比較結果はエンコード部3032に送信され、エンコードされる。また、比較結果は演算されヒットフラグが生成され、データ固定制御部3034に送信される。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0046

【補正方法】変更

【補正の内容】

【0046】

次に、図9を用いて、リードデータ選択部3022について説明する。

リードデータ選択部3022は、データパターン選択回路310及びデータパターン保持回路320より構成されている。本実施形態ではデータパターン保持回路220、320をリード、ライト個別に設けたが、同一のデータを保持するため共用も可能である。デコード部3023からのデコード結果に基づき、リードデータを選択する。