



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년07월14일
 (11) 등록번호 10-0968912
 (24) 등록일자 2010년07월01일

(51) Int. Cl.
G09G 3/20 (2006.01)
 (21) 출원번호 10-2003-0074220
 (22) 출원일자 2003년10월23일
 심사청구일자 2008년10월02일
 (65) 공개번호 10-2004-0045289
 (43) 공개일자 2004년06월01일
 (30) 우선권주장
 JP-P-2002-00339951 2002년11월22일 일본(JP)
 (56) 선행기술조사문헌
 JP13134240 A*
 KR1020010062920 A*
 JP11339491 A
 JP07298171 A
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
소니 주식회사
 일본국 도쿄도 미나토쿠 코난 1-7-1
 (72) 발명자
가와세기미타카
 일본국도쿄도시나가와구키타시나가와6초메7반35고
 소니가부시끼가이사내
야마모토테츠로우
 일본국도쿄도시나가와구키타시나가와6초메7반35고
 소니가부시끼가이사내
우치노가츠히데
 일본국도쿄도시나가와구키타시나가와6초메7반35고
 소니가부시끼가이사내
 (74) 대리인
신관호

전체 청구항 수 : 총 4 항

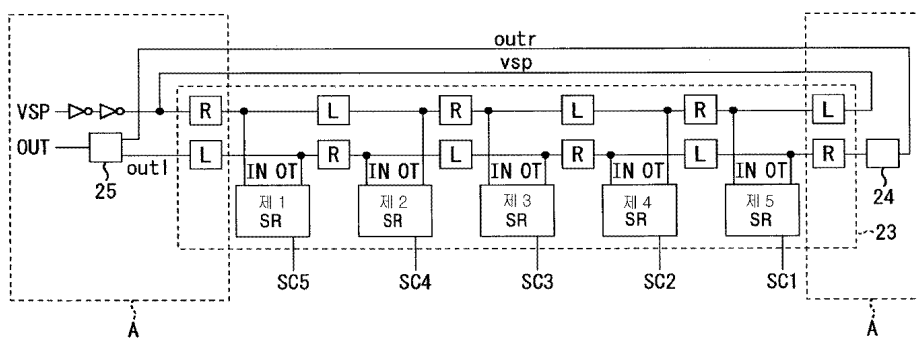
심사관 : 이동윤

(54) 쌍방향 신호전송회로

(57) 요약

쌍방향 신호전송회로는 신호선의 임피던스를 줄이는 버퍼소자와, 쌍방향 신호전송회로의 양단에서 입력단자들 사이에 배선되는 신호선과, 상기 양단에서 출력단자들 사이에 배선되는 신호선을 포함한다. 신호선들은 서로 평행으로 되어 있다. 쌍방향 신호전송회로의 외부로부터 공급된 신호는 순차적으로 상기 회로의 일단(一端)에서 타단(他端)으로 전송되고 그리고 나서 외부에서 순차적 전송을 확인하기 위하여 타단으로부터 출력신호로서 출력된다. 전송방향은 외부로부터 공급된 스위칭 신호에 응답하여 상기 단 사이에서 변경가능하다. 신호선의 임피던스를 줄이기 위한 버퍼소자는 출력단자들 사이에 배선된 신호선의 적어도 일단에 배치된다.

대표도



특허청구의 범위

청구항 1

신호선의 임피던스를 줄이는 버퍼소자와,

쌍방향 신호전송회로의 양단에서 입력단자 사이에 배선된 신호선과,

상기 양단에서 출력단자 사이에 배선된 신호선으로 이루어지며,

상기 신호선들은 서로 평행이고, 상기 쌍방향 신호전송회로의 외부로부터 공급된 신호는 상기 쌍방향 신호전송회로의 일단에서 타단으로 순차적으로 전송되고나서 외부에서 순차적 전송을 확인하기 위하여 타단으로부터 출력되고, 전송방향은 외부로부터 공급된 스위칭 신호에 응답하여 상기 양단 사이에서 변경 가능하며,

상기 신호선의 임피던스를 줄이기 위한 버퍼소자는 출력단자들 사이에 배선된 신호선의 적어도 일단에 배치되는 것을 특징으로 하는 쌍방향 신호전송회로.

청구항 2

제 1항에 있어서,

상기 쌍방향 신호전송회로의 양단에서 상기 출력단자들에 접속되며, 상기 전송방향에 따라 선택된 일단의 출력단자에서 발생된 신호를 통과시키는 게이트 소자와,

상기 전송방향에 따라 선택되지 않은 타단에서 출력단자의 전위를 그 전위가 부유하지 않도록 고정하기 위한 전위고정수단을 더 포함하여 이루어지는 쌍방향 신호전송회로.

청구항 3

제 2항에 있어서,

상기 전위고정수단은, 선택되지 않은 상기 출력단자에 인접하여 배치된, 버퍼소자의 출력 전위를 스위칭 신호에 응답하여 전위 전위로 끌어올리기 위한 풀-업(pull-up) 소자나, 또는 상기 버퍼소자의 출력 전위를 스위칭 신호에 응답하여 그라운드 전위로 끌어내리기 위한 풀-다운(pull-down) 소자 중 하나를 포함하는 쌍방향 신호전송회로.

청구항 4

제 1항에 있어서,

상기 쌍방향 신호전송회로의 양단에서 각각의 출력단자로부터 연장된 신호선 세그먼트가 한 신호선에 접속되고 상기 버퍼소자에 인접한 출력단자가 상기 스위칭 신호에 따라 선택되지 않을 때 상기 스위칭 신호에 응답하여 상기 버퍼소자의 출력을 하이 임피던스로 설정하기 위한 하이-임피던스 상태형성수단을 더 포함하여 이루어지는 쌍방향 신호전송회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0025] 본 발명은 화상반전기능을 가지는 액티브 매트릭스 표시장치의 구동회로에 적용될 수 있는 쌍방향 신호전송회로에 관한 것이다. 보다 상세하게, 본 발명은 쌍방향 신호전송회로에서 발생하는 노이즈를 줄이는 기술에 관한 것이다.

[0026] 다결정 실리콘 박막 트랜지스터를 사용하는 스캔 구동회로를 가지는 각 액티브 매트릭스 표시장치는 액정표시장치와 유기 일렉트로루미네센트(electroluminescent) 표시장치에 의해 대표된다. 예를 들면, 캠코더나 정보휴

대단말에 사용되는 액정표시장치는, 회전 가능한 모니터에 화상을 표시하는 애플리케이션을 지원하기 위하여, 표시장치는 좌우반전기능(lateral reversing function)과 상하반전기능(longitudinal reversing function)을 가지는 스캔구동회로를 사용한다. 다시 말해서, 표시장치는 쌍방향 스캔구동회로를 가진다. 표시장치의 사이즈는 최근에 증가하고 있다. 사이즈의 증가에 따라서, 대형화면을 구성하기 위하여 표시장치 패널을 접속하는 방법이 알려져 있다. 예를 들면, 네개의 표시장치 패널이 하나의 대형화면을 구성하고 동일 구조를 가지는 표시장치 패널이 각 대각선으로 배열되는 경우에 있어서, 표시장치 패널의 하나는 180°로 회전되어 배치된다. 표시되는 화상의 스캔방향을 한결같게 하기 위하여, 각 표시장치 패널은 쌍방향 스캔구동회로를 가질 필요가 있다. 쌍방향 신호전송회로는 쌍방향 스캔구동회로의 주요부를 구성한다. 예를 들면, 일본 미심사 특허출원공보 No. 7-13513, 7-146462, 8-55493, 8-79663, 8-106795, 11-176186, 11-305742에 종래의 기술이 공개되어 있다.

[0027] 종래의 쌍방향 신호전송회로에서, 상기 회로의 외부로부터 공급된 신호는 순차적으로 회로의 한 단(端)으로부터 다른 단(端)으로 전송된다. 회로의 외부에서 순차적인 전송을 확인하기 위하여, 전송된 신호가 출력된다. 신호전송방향은 외부로부터 공급된 스위칭 신호에 응답하여 회로의 양단 사이에서 변경 가능하다. 종래의 쌍방향 신호전송회로는 가능한 한 많이 외부에 접속되는 단자의 수를 줄이는 레이아웃 디자인을 사용한다. 특히, 레이아웃 디자인에서, 쌍방향 신호전송회로의 양단에서 입력단자 사이에 배선된 신호선은 상기 단에서 출력단자 사이에 배선된 신호선과 평행이다. 상술된 바와 같이 단자의 수를 줄이기 위해서, 쌍방향 신호전송회로의 상기 단에서 단자를 접속하는 각 선은 길고 높은 저항을 가진다. 그러므로, 신호선 전위의 급격한 변화는 인접한 신호선에서 노이즈를 일으킨다. 노이즈는 쌍방향 신호전송회로에서 오동작을 야기한다.

발명이 이루고자 하는 기술적 과제

[0028] 본 발명은 상술한 단점을 극복하기 위하여 만들어졌다. 본 발명의 목적은 신호선의 임피던스를 줄이는 버퍼소자, 쌍방향 신호전송회로의 양단의 입력단자 사이에 배선된 신호선, 상기 양단의 출력단자 사이에 배선된 신호선을 포함하는 쌍방향 신호전송회로를 제공하는 것이며, 상기 신호선은 서로 평행이고, 쌍방향 신호전송회로의 외부로부터 공급된 신호는 순차적으로 쌍방향 신호전송회로의 한 단에서 다른 단으로 전송되고 외부에서 순차적인 전송을 확인하기 위하여 다른 단으로부터 출력되며, 전송방향은 외부로부터 공급된 스위칭 신호에 응답하여 상기 단 사이에서 변경가능하고, 여기서 신호선의 임피던스를 줄이기 위하여 버퍼소자는 출력단자 사이에 배선된 신호선의 적어도 한 단에 배치된다.

[0029] 바람직하게, 쌍방향 신호전송회로는, 쌍방향 신호전송회로의 양단에서 출력단자에 접속되며, 전송방향에 따라 선택된 한 단의 출력단자로부터 발생된 신호를 통과시키는 게이트소자와, 전송방향에 따라 선택되지 않은 다른 단에서 그 전위가 부유(floating)하지 않도록 출력단자의 전위를 고정시키기 위한 전위고정수단을 더 포함한다. 예를 들면, 전위고정수단은 스위칭 신호에 응답하여, 선택되지 않은 출력단자와 인접하여 배치된 버퍼소자의 출력 전위를 전원 전위로 끌어올리는 풀-업(pull-up) 소자나, 또는 스위칭 신호에 응답하여 버퍼소자의 출력 전위를 그라운드 전위로 끌어내리는 풀-다운(pull-down) 소자 중 하나를 포함한다. 어떤 경우에는, 쌍방향 신호전송회로의 양단에서 각각의 출력단자로부터 연장된 신호선 세그먼트(signal line segment)가 한 신호선으로 접속된다. 쌍방향 신호전송회로는, 버퍼소자에 인접한 출력단자가 스위칭신호에 따라 선택되지 않을 때, 스위칭 신호에 응답하여 버퍼소자의 출력을 높은 임피던스로 설정하기 위한 하이 임피던스 상태형성수단을 더 포함한다.

[0030] 본 발명에 의하면, 쌍방향 신호전송회로에서, 버퍼소자는 낮은 임피던스에서 동작확인신호를 설정하기 위하여 배치되고, 상기 동작확인신호는 쌍방향 신호전송회로의 한 단에서 출력단자로부터 출력된다. 더욱이, 버퍼소자에 인접한 출력단자가 선택되지 않을 때, 버퍼소자의 출력 전위는 풀-업(pull-up) 또는 풀-다운(pull-down) 소자를 사용하여 하이 레벨이나 로우 레벨로 고정된다. 결과적으로, 인접한 신호선에 신호의 상승 에지(rising edge) 또는 하강 에지(falling edge)에서 노이즈의 영향은 줄어들 수 있고, 따라서 이동 레지스터의 오동작을 방지할 수 있다. 또한, 표시장치의 스캔선에서 발생하는 심한 노이즈는 상기 노이즈의 영향을 줄임으로써 제거된다. 따라서, 표시장치에 있어서 측선형(lateral linear) 결점이 제거될 수 있다.

발명의 구성 및 작용

[0031] 본 발명에 따르는 쌍방향 신호전송회로의 실시 예를 도면을 참조하여 설명할 것이다. 설명에 앞서, 본 발명의 배경을 명백하게 하기 위하여, 쌍방향 신호전송회로를 가지는 종래의 액티브 매트릭스 표시장치의 일반적인 구조를 도 1과 함께 설명할 것이다. 액티브 매트릭스 표시장치(1)는 매트릭스에 배열된 픽셀(2), 데이터선을

통하여 필요한 구동전류를 픽셀(2)에 공급해주는 수평구동회로(3), 수직방향에서 스캔기입시간(scanning write timing)을 위한 수직기입스캔구동회로(vertical write-scan drive circuit)(4), 스캔소거시간(scanning erase timing)을 위한 수직소거스캔구동회로(vertical erase-scan drive circuit)(5)를 포함한다. 매트릭스에 배열된 픽셀(2)은 표시장치수단을 구성하고 구동회로(3, 4, 5)는 구동수단을 구성한다. 표시장치(1)는 패널구조를 가진다. 구조에서, 표시장치수단과 구동수단은 동일 기판에 집적된다. 수평구동회로(3)는 수평방향에서 스타트펄스(HSP)와 클락펄스(clock pulse)(HCK)를 받는다. 수직기입스캔구동회로(4)는 수직방향에서 기입스캔을 위한 스타트펄스(VSP1)와 클락펄스(VCK)를 받는다. 수직소거스캔구동회로(5)는 수직방향에서 소거스캔을 위한 스타트펄스(VSP2)와 클락펄스(VCK)를 받는다.

[0032] 도 1에서, 기입스캔선(9)은 좌우로 배열되고 데이터선(8)은 상하로 배열된다. 각 픽셀(2)은 기입스캔선(9)과 데이터선(8)의 교차선에서 배치된다. 소거스캔선(10)은 각 기입스캔선(9)과 평행으로 형성된다. 기입스캔선(9)은 수직기입스캔구동회로(4)에 접속된다. 수직기입스캔구동회로(4)는 이동 레지스터를 포함하는 신호전송회로를 포함한다. 수직클락펄스(VCK)와 동시에, 수직기입스캔구동회로(4)는 순차적으로 수직스타트펄스(VSP1)를 전송하여 하나의 스캔사이클을 위한 기입스캔선(9)을 선택한다.

[0033] 소거스캔선(10)은 수직소거스캔구동회로(5)에 접속된다. 수직소거스캔구동회로(5)는 또한 이동 레지스터를 포함하는 신호전송회로를 포함한다. 수직클락펄스(VCK)와 동시에, 수직소거스캔구동회로(5)는 순차적으로 수직스타트펄스(VSP2)를 전송하여 제어신호를 소거스캔선(10)에 발생시킨다. 데이터선(8)은 수평구동회로(3)에 접속된다. 기입스캔선(9)의 선-순차(line-sequential) 스캔과 동시에, 각각의 데이터선(8)은 휘도 정보에 대응하는 전기신호를 발생시킨다. 예를 들면, 수평구동회로(3)는 선-순차구동을 수행하고 전기신호를 선택된 픽셀(2)을 포함하는 선에 공급한다. 결과적으로, 휘도 정보가 픽셀(2)을 가지는 선에 기입된다. 각각의 픽셀(2)은 기입 휘도 정보에 대응하는 광도에서 발광을 시작한다. 수직소거스캔구동회로(5)는 스타트펄스(VSP2)를 받고 그리고 나서 수직클락펄스(VCK)와 동시에 소거스캔선(10)을 선택한다. 따라서, 스캔선에 대응하는 픽셀(2)의 발광은 정지된다.

[0034] 도 2는 각 픽셀(2)의 구체적인 구조에 관한 회로도이다. 픽셀(2)은 유기 일렉트로루미네센트(EL)소자(6), 전류공급선(7), 데이터선(8), 기입스캔선(9), 소거스캔선(10), 기입트랜지스터(11), 구동트랜지스터(12), 기입스캔트랜지스터(13), 소거스캔트랜지스터(14), 유지캐패시터(15)를 포함한다. 기입스캔트랜지스터(13)의 게이트는 타이밍이 도 1에 나타난 수직기입스캔구동회로(4)에 의해 형성된 기입스캔선(9)에 접속된다. 소거스캔트랜지스터(14)의 게이트는 타이밍이 도 1에 나타난 수직소거스캔구동회로(5)에 의해 형성된 소거스캔선(10)에 접속된다.

[0035] 상술한 바와 같이, 상기 종래의 표시장치는 순차적으로 기입스캔선(9)을 선택하기 위한 수직기입스캔구동회로(4), 순차적으로 소거스캔선(10)을 선택하기 위한 수직소거스캔구동회로(5), 휘도 정보에 대응하는 전류레벨에서 유지되는 신호를 발생시키고 전류를 데이터선(8)에 공급하기 위한 수평구동회로(3), 스캔선(9와 10), 그리고 데이터선(8)의 교차점에 배열되는 각 픽셀 구동전류를 받아서 발광하는 전류구동형 EL소자(6)를 포함한다. 도 2와 같이, 각 픽셀(2)은 대응하는 기입스캔선(9)이 선택되었을 때 데이터선(8)으로부터 공급된 신호전류를 받기 위한 입력부, 얻어진 신호전류의 전류레벨을 일시적으로 전압레벨로 변환하고 전압레벨을 유지하는 변환부, 유지전압레벨에 대응하는 전류레벨에서 유지된 구동전류를 EL소자(6)에 공급하는 구동부를 포함한다. 특히, 입력부는 기입스캔트랜지스터(13)를 포함한다. 변환부는 게이트, 소스, 드레인(drain), 채널을 가지는 기입트랜지스터(11), 기입트랜지스터(11)의 게이트에 접속된 유지트랜지스터(15)를 포함한다. 기입트랜지스터(11)는 입력부에 의해 얻어진 신호전류를 채널에 공급하고, 따라서 게이트에서 변환된 전압레벨을 발생시킨다. 유지캐패시터(15)는 게이트에서 발생된 전압레벨을 유지시킨다. 변환부는 기입트랜지스터(11)와 유지캐패시터(15) 사이에 배치된 소거스캔트랜지스터(14)를 포함한다. 신호전류의 전류레벨이 전압레벨로 변환될 때에, 소거스캔트랜지스터(14)는 트랜지스터(11)의 게이트에서 전압레벨을 발생시키기 위하여 턴 온되는데, 전압은 소스에서 전압레벨에 기초한다. 유지캐패시터(15)가 전압레벨을 유지할 때, 소거스캔트랜지스터(14)는 유지캐패시터(15)로부터 기입트랜지스터(11)의 게이트를 접속해지하기 위하여 턴 오프된다. 또한, 소거스캔에서, 소거스캔트랜지스터(14)는 유지캐패시터(15)에 의해 유지된 전압레벨을 소거하기 위하여 턴 온되고, 따라서 유기 EL소자(6)를 턴 오프시킨다. 더욱이, 구동부는 게이트, 드레인, 소스와 채널을 가지는 구동트랜지스터(12)를 포함한다. 구동트랜지스터(12)는 게이트에서 유지캐패시터(15)에 의해 유지된 전압레벨을 받고 그리고 나서 전압레벨에 대응하는 전류레벨을 가지는 구동전류를 채널을 통하여 EL소자(6)에 공급한다. 기입트랜지스터(11)의 게이트는 스위칭을 위하여 소거스캔트랜지스터(14)를 통하여 구동트랜지스터(12)의 게이트에 접속되어, 전류거울회로(current mirror circuit)를 구성한다. 따라서, 신호전류의 전류레벨은 구동회로의 전

류레벨에 비례한다. 구동트랜지스터(12)는 포화영역에서 동작한다. 구동트랜지스터(12)는 게이트에 인가된 전압과 임계치전압 사이의 차이에 대응하는 구동전류를 EL소자(6)에 공급한다.

[0036] 도 3은 도 1과 도 2에 나타난 표시장치의 동작을 설명하는 타이밍 차트이다. 수직스캔구동회로(4, 5)에 공급된 스타트펄스(VSP1과 VSP2)는 클락펄스(VCK)를 근거로 순차적으로 이동된다. 기입스캔선(SC1Z)과 소거스캔선(SC2Z)은 어느 픽셀(certain pixel)에 접속된다. 기입스캔선(SC1Z)과 소거스캔선(SC2Z)이 동시에 레벨 "H"(high)가 되었을 때, 픽셀회로에서 기입스캔트랜지스터와 소거스캔트랜지스터는 동시에 턴 온된다. 스캔선(SC1Z와 SC2Z) 양쪽이 레벨 "H"에 있는 기간을 기입기간(16)이라고 한다. EL구동전류는 기입트랜지스터(11)와 구동트랜지스터(12)의 전류거울비(current mirror ratio)를 근거로 결정된다. 기입기간(16)동안에, EL구동전류는 기입전류에 의해 제어된다. EL구동전류는 게이트의 전위와 구동트랜지스터(12)의 소스의 전위 사이의 차이에 의해서 결정된다. 기입기간(16)동안에, 기입전류가 어느 레벨로 내려갈 때, EL소자(6)가 소정의 휘도에서 발광을 시작한다. 기입이 완성되었을 때, 스캔선(SC1Z와 SC2Z)은 동시에 레벨 "L"(low)로 가고, 기입스캔트랜지스터(13)와 소거스캔트랜지스터(14)는 턴 오프된다. 결과적으로, 구동트랜지스터(12)의 게이트-소스 전압은 유지캐패시터(15)에 의해 유지되고 EL소자(6)의 발광은 소정의 휘도에서 유지된다. 도 3에서, 소거스캔선(SC2Z)은 타이밍(A)에서 다시 레벨 "H"로 가서 소거스캔트랜지스터(14)가 턴 온된다. 결과적으로, 유지캐패시터(15)에 의해 유지된 전압은 소거스캔트랜지스터(14)와 기입트랜지스터(11)를 통해서 전류 공급의 전위와 비슷한 값으로 증가하여, 구동트랜지스터(12)의 게이트-소스 전압이 임계치전압(V_{th}) 이하가 된다. 따라서, EL소자(6)의 발광이 정지된다. EL소자(6)의 발광기간이 도 3의 기간(17)에 대응한다. EL소자의 듀티구동(duty driving)이 타이밍(A)을 조정함으로써 수행될 수 있다. 따라서, RGB 밸런싱은 높은 신뢰도로 수행될 수 있고 EL소자의 전기적 특성의 설계자유도를 증가시킬 수 있다.

[0037] CRT에서, 표시된 화상의 휘도는 마이크로초 단위 비율(rate)로 감소한다. 다시 말해서, 액티브 매트릭스 표시장치의 표시장치 원리에 따라서, 화상은 한 프레임을 위해 연속적으로 표시된다. 따라서, 동화상 표시에서, 동화상의 아웃라인에 따르는 픽셀이 프레임 변화 바로 전에 화상을 표시한다. 인간시력의 존속과 결합하여, 인간 눈은 화상이 다음 프레임에서 표시되는 것으로 화상을 감지한다. 불리하게, 액티브 매트릭스 표시장치의 동화상의 화질이 CRT의 그것보다 낮아지는 근본원인이 된다. 상술한 듀티구동은 상기 단점을 극복하기에 효과적이다. 인간의 눈으로 감지된 잔상을 소거하기 위하여 픽셀을 강제적으로 턴 오프하는 기술의 도입은 동화상의 질 개선을 가져온다. 특히, 액티브 매트릭스 표시장치는 한 프레임의 제 1반쪽부에서 화상을 표시하고 그리고 나서 CRT 휘도의 약화와 같이 한 프레임의 제 2반쪽부에서 픽셀을 턴 오프하는 방법을 사용할 수 있다. 동화상의 질을 향상시키기 위하여, 프레임 당 온/오프의 듀티사이클은 약 50%로 설정된다. 높은 질로 향상되기 위하여, 프레임 당 온/오프의 듀티사이클은 25% 이하로 설정된다.

[0038] 화상을 반전시키기 위하여, 도 1 내지 도 3에 나타난 액티브 매트릭스 표시장치는 쌍방향 신호전송회로를 필요로 한다. 도 4는 종래의 쌍방향 신호전송회로(19)의 일반적인 구조를 나타낸다. 예를 들면, 좌우 반전에서, 쌍방향 신호전송회로가 도 1에 나타난 수평구동회로(3)에 적용된다. 상하 반전에서, 쌍방향 신호전송회로는 도 1에 나타난 수평 기입스캔구동회로(4)와 수직소거스캔구동회로(5)의 각각에 적용된다.

[0039] 도 4에서, 쌍방향 신호전송회로(19)는 이동 레지스터(SRs), 전방-경로 게이트소자(L), 후방-경로 게이트소자(R)를 포함한다. 예를 들면, 수직스타트펄스(VSP)는 쌍방향 신호전송회로(19)의 한쪽 단에서 입력단자에 공급된다. 회로의 동작 검출신호(OUT)는 다른 단에서 출력단자로부터 발생된다. 일반적으로, 표시장치 패널의 입출력단자의 수는 가능한 감소된다. 따라서, 스타트펄스(VSP)용 신호선과 검출신호(OUT)용 신호선은 쌍방향 신호전송회로(19)의 한 단에 접속된다.

[0040] 쌍방향 신호전송회로(19)는 입력단자(IN)와 출력단자(OT)를 가지는 각 이동레지스터를 포함한다. 입출력단자는 멀티-단계 구조를 실현하기 위하여 접속된다. 상기 경우에, 구조를 쉽게 이해하기 위하여, 제 1 내지 제 5이동레지스터(SC1-SC5)가 접속되는데, 즉, 5단계로 형성된다. 실제적인 적용에서, 단계의 수는 제한되지 않는다. 후방-경로 게이트소자(R) 각각은 전 단계에서 이동 레지스터의 출력단자와 다음(후) 단계에서 이동 레지스터의 입력단자 사이의 접속 패스(path)에 배치되고, 이동 레지스터는 서로 인접한다. 전방-경로 게이트소자(L) 각각은 후방이동레지스터의 출력단자와 전방이동레지스터의 입력단자 사이의 다른 접속 패스에 배치된다. 예를 들면, 도 4의 멀티-단계 접속에서, 제 1 SR(SC5)은 전방이동레지스터를 표시하고 제 2 SR(SC4)은 후방이동레지스터를 표시한다. 후방-경로 게이트소자(R)는 제 1 SR(SC5)의 출력단자(OT)와 제 2 SR(SC4)의 입력단자(IN) 사이의 접속 패스에 배치된다. 전방-경로 게이트소자(L)는 제 2 SR(SC4)의 출력단자(OT)와 제 1 SR(SC5)의 입력단자(IN) 사이의 다른 접속 패스에 배치된다. 후방-경로 게이트소자(R)와 전방-경로 게이트소자(L)가 교대로 선택되어서, 각각의 소자가 열리고 닫힌다. 상기 방법에서, 전 단계에서 후 단계로 후방신호

의 전송(도 4의 좌에서 우로의 신호전송)은 후 단계에서 전 단계로 전방신호의 전송(도 4의 우에서 좌로 신호전송)으로 상호 전환될 수 있다.

[0041] 도 5는 도 4의 예와 같은 방법으로 나타낸 쌍방향 신호전송회로(19)의 구조 회로도이다. 도면을 단순화하기 위하여, 제 1 SR, 제 2 SR, 각각의 SR에 설치된 후방-경로 게이트소자(R)와 전방-경로 게이트소자(L)가 표시된다. 각각의 SR은 D형 플립-플롭(flip-flop)과 클락제어형 신호전송블록으로서의 기능을 포함한다. D형 플립-플롭은 클락된(clocked) 제 1과 제 2의 인버터와 제 3인버터를 포함한다. D형 플립-플롭은 클락신호(CK1 또는 CK2)에 응답하여 동작하고, 클락신호는 위상이 서로 180° 벗어나 있다. 클락신호의 반 주기에 의해 입력단자(IN)에 공급되는 신호를 지연시키고 출력단자(OT)로부터 지연된 신호를 발생시킨다. 후방-경로 게이트소자(R)는 CMOS형 전송 게이트소자를 포함한다. 전방-경로 게이트소자(L)는 또한 전송 게이트 소자를 포함한다. 후방-경로 게이트소자(R)와 전방-경로 게이트소자(L)는 방향제어회로(20)로부터 공급된 제어신호(CTR과 CTL)에 의해 제어된다. 신호(CTR과 CTL)는 위상이 서로 180° 벗어나 있다. 제어신호(CTL)가 레벨 "H"에 있고 다른 제어신호(CTL)가 레벨 "L"에 있을 때, 후방-경로 게이트소자(R)는 열리고 전방-경로 게이트소자(L)는 닫힌다. 따라서, 스타트펄스(VSP)는 제 1후방-경로 게이트소자(R)를 통해 통과하고 제 1 SR의 입력단자(IN)에 공급된다. 제 1 SR에서, 신호(VSP)는 클락신호의 반 주기동안에 의해 지연되고 제 1 SR의 출력단자(OT)로부터 다음의 후방-경로 게이트소자(R)를 통해 제 2 SR의 입력단자(IN)로 전송된다. 이 방법에서, 스타트펄스(VSP)는 후방 방향으로 순차적으로 전송된다. 또 한편, 제어신호(CTR)는 레벨 "L"로 가고 제어신호(CTL)는 레벨 "H"로 가며, 후방-경로 게이트소자(R)는 닫히고 전방-경로 게이트소자(L)는 열린다. 이 경우에, 전방 방향에서 전송된 신호는 제 2 SR의 입력단자(IN)로 공급되고 소정의 지연 프로세스를 거친다. 지연된 신호는 전방-경로 게이트소자(L)를 통하여 제 2 SR의 출력단자(OT)로부터 제 1 SR의 입력단자(IN)로 전송된다. 전송된 신호는 소정의 지연 프로세스를 거치고 제 1 SR의 입력단자(OT)로부터 다음 전방-경로 게이트소자(L)로 발생된다.

[0042] 도 6은 도 1의 종래 표시장치(1)의 구조도이며, 제 1쌍방향 신호전송회로(21)는 수직 기입스캔구동회로(4)로 사용되고 제 2쌍방향 신호전송회로(22)는 수직 소거스캔구동회로(5)로 사용된다. 각각의 쌍방향 신호전송회로는 제 1 내지 제 5이동 레지스터를 포함한다. 특히, 각 이동레지스터(SR)는 D-형 플립-플롭을 포함한다. 스타트펄스(VSP1)는 파선(破線)으로 나타낸 기입용 쌍방향 신호전송회로(21)의 한 단의 입력단자에 공급된다. 검출신호(OUT1)는 다른 단의 출력단자로부터 출력된다. 스타트펄스(VSP2)는 다른 파선으로 나타낸 소거용 쌍방향 신호전송회로(21)의 한 단의 입력단자에 공급된다. 검출신호(OUT2)는 다른 단의 출력단자로부터 발생된다. 신호선 교차의 수를 최소화하기 위하여, 스타트펄스(VSP1)를 전송하기 위한 신호선(vsp1), 검출신호(OUT1)를 전송하기 위한 신호선(out1), 스타트펄스(VSP2)를 전송하기 위한 신호선(vsp2)은 도 6에 나타낸 것과 같이 배열된다. 신호선(vsp1)은 신호선(out1과 out2)의 사이에 배치된다. 신호선(out2)은 신호선(vsp1과 vsp2)의 사이에 배열된다.

[0043] 도 7은 도 6에 나타낸 두 개의 쌍방향 신호전송회로(21, 22)의 동작 타이밍차트이다. 기입용 쌍방향 신호전송회로(21)에 공급된 스타트펄스(VSP1)와 소거용 쌍방향 신호전송회로(22)에 공급된 스타트펄스(VSP2)는 클락신호(VCK)를 근거로 순차적으로 이동되고 결과로 생기는 신호는 각 상승 에지와 하강 에지에서 검출신호(OUT1과 OUT2)로서 출력된다. 신호선(vsp1, vsp2, out1, out2)은 각각의 쌍방향 신호전송회로의 양단에서 단을 접속시킨다. 그러므로, 신호선은 길고 높은 저항을 가진다. 인접한 선에서의 급격한 전압변화는 노이즈를 발생시킨다. 도 7과 같이, 각각의 심한 노이즈는 인접한 신호선의 전압변화를 발생시킬 때 발생된다. 도 7의 타이밍(B)에서, 신호선(vsp1과 vsp2)의 전압레벨은 동시에 떨어진다. 신호선(out2)이 신호선(vsp1과 vsp2)의 사이에 배치되기 때문에, 신호선(out2)에서 노이즈의 크기는 신호선(vsp1)의 두배가 된다. 결과적으로, 크고 심한 노이즈가 타이밍(B)에서 발생된다. 마찬가지로, 신호선(out1과 out2)의 전압레벨이 타이밍(C)에서 동시에 올라간다. 신호선(vsp1)이 신호선(out1과 out2)의 사이에 배치되기 때문에, 신호선(vsp1)에서 노이즈의 크기가 신호선(vsp2)의 두 배가 된다. 따라서, 크고 심한 노이즈가 타이밍(C)에서 일어난다. 각각의 심한 노이즈는 대응하는 신호선의 다음 단계에서 게이트의 임계값을 초과하고 반전되기 때문에, 노이즈가 증가한다. 심한 노이즈는 쌍방향 신호전송회로의 오동작을 일으킬 수 있고 또는 표시장치 픽셀의 기입스캔트랜지스터와 소거스캔트랜지스터의 게이트선에 반대로 영향을 미칠 수 있어서, 측선형(lateral linear) 결점을 발생시킨다. 종래의 쌍방향 신호전송회로는 상술한 불리한 점들을 가지고 있다.

[0044] 상기 결점을 극복하기 위하여, 본 발명에 따르는 쌍방향 신호전송회로는 방향스위칭신호를 사용하여 방향을 변경시킨다. 본 쌍방향 신호전송회로는 쌍방향 신호전송회로의 양단에서 상기 회로의 동작을 확인하기 위한 동작확인 단자를 가지고 있다. 또, 본 쌍방향 신호전송회로는 신호선의 임피던스를 줄이기 위한 버퍼소자를 포

함하며, 버퍼소자는 쌍방향 신호전송회로의 적어도 한 단 바로 뒤에 배치된다. 본 발명에 따르는 쌍방향 신호전송회로의 실시 예를 도면을 참조하여 상세하게 설명할 것이다.

[0045]

도 8은 본 발명에 따르는 쌍방향 신호전송회로(23)의 구조 블록도이다. 회로(23)는 예를 들면 제 1 내지 제 5 이동레지스터(SC5~SC1)의 이동레지스터를 포함한다. 특히, 각 이동레지스터(SR)는 도 5에 나타난 D-형 플립-플롭을 포함한다. 스타트펄스(VSP)는 도 8의 파선으로 나타난 쌍방향 신호전송회로의 한 단에 공급된다. 스타트펄스(VSP)는 두개의 인버터를 통하여 통과하고, 신호(vsp)를 형성한다. 신호(vsp)는 쌍방향 신호전송회로(23)의 다른 한 단의 입력단자에 공급된다. 확인신호는 쌍방향 신호전송회로(23)의 양단에서 출력단자로부터 출력된다. 결과확인신호는 쌍방향 신호전송회로(23)의 한 단으로부터 출력신호(OUT)로서 발생된다. 도 8과 같이, 버퍼소자(24)는 쌍방향 신호전송회로(23)의 출력(OUT)으로부터 멀리 떨어진 다른 단의 출력단자에 배치된다. 쌍방향 신호전송회로(23)의 양단의 출력단자로부터 발생된 확인신호에 있어서, 확인신호(out1)는 출력(OUT)에 가까운 단의 출력단자로부터 발생되고 확인신호(outr)는 버퍼소자(24)를 통하여 다른 단의 다른 출력단자로부터 발생된다. 쌍방향 신호전송회로(23)는 게이트소자(25)를 더 포함한다. 확인신호(out1)과 outr)는 게이트소자(25)에 공급된다. 게이트소자(25)의 출력은 출력신호(OUT)로서 발생된다. 버퍼소자(24)는 낮은 임피던스에서 확인신호(outr)를 발생시키기 위하여 배열된다. 따라서, 신호(outr)는 인접한 신호선의 신호(vsp)에 의해 발생하는 노이즈의 영향을 거의 받지 않는다.

[0046]

도 9는 본 발명의 제 1 실시 예에 따르는 쌍방향 신호전송회로의 회로도이다. 도 9는 도 8의 파선으로 둘러싸인 부(A)의 배열의 상세회로도이다. 도 9와 같이, 반전소자(reversing element)(26)는 쌍방향 신호전송회로의 입출력단자에 배치된다. 방향제어회로(27)로부터 발생된 신호(dwn과 xdwn)는 반전소자(26)의 턴 온/오프를 제어한다. 버퍼소자(28)는 절연게이트 필드이펙트(insulated gate field effect) 트랜지스터를 포함한다. 특히, 도 9와 같이, PMOS 트랜지스터와 NMOS 트랜지스터를 각각 포함하는 두개의 인버터가 버퍼소자(28)를 구성하기 위하여 직렬로 연결된다. 한 단에 배치된 버퍼소자(28)의 출력은 확인신호(outr)의 역할을 한다. 다른 한 단에 배치된 반전소자(26c)의 출력은 확인신호(out1)의 역할을 한다. 신호(outr과 out1)는 게이트소자(30)에 공급된다. 게이트소자(30)는 도 9에 나타난 2-입력 NAND 회로(30a)와 인버터(30b)를 포함한다. 게이트소자(30)의 출력은 쌍방향 신호전송회로의 출력신호(OUT)의 역할을 한다. 도 9와 같이, 풀-업 소자(29a)는 반전소자(26d)의 출력과 버퍼소자(28)의 입력사이에 배열된다. 풀-업소자(29a)는 PMOS 트랜지스터를 포함한다. PMOS 트랜지스터의 소스는 전원(vdd)에 접속되고, 그의 드레인은 버퍼소자(28)의 입력에 접속되고, 그의 게이트는 방향제어회로(27)로부터 출력된 신호(xdwn)에 접속된다. 다시 도 9와 같이, 풀-업 소자(29b)는 반전소자(26c)와 게이트소자(30)로부터 출력된 신호(out1) 사이에 배치된다. 풀-업 소자(29b)는 PMOS 트랜지스터를 포함한다. PMOS 트랜지스터의 소스는 전원(vdd)에 접속되고, 그 드레인은 신호(out1)에 접속되고, 그 게이트는 방향제어회로(27)로부터 출력된 신호(dwn)에 접속된다. 두 방향은 도 9의 화살표에 나타난 것과 같이 전방 방향과 후방 방향을 나타낸다고 가정한다. 전방 방향에서, 신호(dwn)는 레벨 "H"로 가고 신호(xdwn)는 레벨 "L"로 가서, 반전소자(26b와 26c)는 턴 온되고 반전소자(26a와 26d)는 턴 오프된다. 쌍방향 신호전송회로의 스타트펄스(VSP)는 두개의 인버터를 통해 버퍼되어, 신호(vsp)를 형성한다. 반전소자(26a)는 턴 오프되기 때문에, 신호(vsp)는 반전소자(26b)에 공급되고 멀티-단계 배열에서 이동레지스터를 통해 반전소자(26c)에 공급된다. 반전소자(26c)로부터 게이트소자(30)로, 전송된 신호는 동작확인신호(out1)로서 공급된다. 풀-업 소자(29b)에 접속된 신호(dwn)가 레벨 "H"에 있기 때문에 풀-업 소자(29b)는 턴 오프된다. 반전소자(26d)가 턴 오프되고 풀-업 소자(29a)의 게이트에 접속된 신호(xdwn)가 레벨 "L"에 있기 때문에 풀-업 소자(29a)는 턴 온된다. 따라서, 버퍼소자(28)의 입력은 레벨 "H"에 고정된다. 따라서, 버퍼소자(28)의 출력(outr)은 레벨 "H"로 간다. 결과적으로, 게이트소자(30)로부터 발생된 출력(OUT)은 신호(out1)의 정보를 반영시킨다. 반면에, 후방 방향에서, 신호(dwn)는 레벨 "L"로 가고 신호(xdwn)는 레벨 "H"로 가서, 반전소자(26a와 26d)는 턴 온되고 반전소자(26b와 26c)는 턴 오프된다. 쌍방향 신호전송회로의 스타트펄스(VSP)는 두개의 인버터를 통해 버퍼되어, 신호(vsp)를 형성한다. 반전소자(26b)가 턴 오프되기 때문에, 신호(vsp)는 반전소자(26a)에 공급되고 멀티-단계 배열에서 이동 레지스터를 통해 반전소자(26d)에 공급된다. 반전소자(26d)로부터 게이트소자(30)로, 전송된 신호는 동작확인신호(outr)로서 공급된다. 풀-업 소자(29a)의 게이트에 접속된 신호(xdwn)가 레벨 "H"에 있기 때문에 풀-업 소자(29a)는 턴 오프된다. 반전소자(26c)가 턴 오프되고 풀-업 소자(29b)의 게이트에 접속된 신호(dwn)가 레벨 "L"에 있기 때문에 풀-업 소자(29b)는 턴 온된다. 따라서, 신호(out1)는 레벨 "H"로 간다. 그러므로, 게이트소자(30)로부터 발생된 출력신호(OUT)는 신호(outr)의 정보를 반영시킨다. 후방 방향에서, 버퍼소자(28)는 낮은 임피던스에서 신호(outr)를 발생시키기 위하여 배열된다. 따라서, 신호(outr)는 인접한 신호선의 신호(vsp)에 의해 일어나는 노이즈에 거의 영향을 받지 않는다.

[0047]

도 10은 본 발명의 제 2 실시 예에 따르는 쌍방향 신호전송회로의 회로도이다. 도 10은 도 8의 파선으로 나타낸 부(A)의 배열의 상세회로도이다. 도 10과 같이, 반전소자(26)는 쌍방향 신호전송회로의 양 단의 입출력단에 배치된다. 방향제어회로(27)로부터 발생된 신호(dwn과 xdwn)는 반전소자(26)의 턴 온/오프를 제어한다. 버퍼소자(28)는 반전소자(26d)와 확인신호(outr) 사이에 배열된다. 버퍼소자(28)는 절연게이트 필드이펙트 트랜지스터를 포함한다. 특히, PMOS 트랜지스터와 NMOS 트랜지스터를 각각 포함하는 두개의 인버터가 도 10에 나타낸 것과 같이 버퍼소자(28)를 구성하기 위하여 직렬로 연결된다. 버퍼소자(28)의 출력은 확인신호(outr)의 역할을 한다. 반전소자(26c)의 출력은 확인신호(out1)의 역할을 한다. 신호(outr과 out1)는 게이트소자(32)에 공급된다. 게이트소자(32)는 도 10에 나타낸 2-입력 NOR 회로(32a)와 인버터(32b)를 포함한다. 게이트소자(32)의 출력은 쌍방향 신호전송회로의 출력신호(OUT)의 역할을 한다. 도 10과 같이, 풀-다운 소자(31a)는 반전소자(26d)의 출력과 버퍼소자(28)의 입력사이에 배열된다. 풀-다운 소자(31a)는 NMOS 트랜지스터를 포함한다. NMOS 트랜지스터의 소스는 그라운드(vss)에 접속되고, 그의 드레인은 버퍼소자(28)의 입력에 접속되고, 그의 게이트는 방향제어회로(27)로부터 출력된 신호(dwn)에 접속된다. 반면에, 풀-다운 소자(31b)는 도 10에 나타낸 반전소자(26c)와 게이트소자(32)로부터 출력된 신호(out1) 사이에 배치된다. 풀-다운 소자(31b)는 NMOS 트랜지스터를 포함한다. NMOS 트랜지스터의 소스는 그라운드(vss)에 접속되고, 그 드레인은 신호(out1)에 접속되고, 그 게이트는 방향제어회로(27)로부터 출력된 신호(xdwn)에 접속된다. 두 방향은 도 10의 화살표에 나타낸 것과 같이 전방 방향과 후방 방향을 나타낸다고 가정한다. 전방 방향에서, 신호(dwn)는 레벨 "H"로 가고 신호(xdwn)는 레벨 "L"로 가서, 반전소자(26b)와 (26c)는 턴 온되고 반전소자(26a)와 (26d)는 턴 오프 된다. 쌍방향 신호전송회로의 스타트펄스(VSP)는 두개의 인버터를 통해 버퍼 되어, 신호(vsp)를 형성한다. 반전소자(26a)는 턴 오프 되기 때문에, 신호(vsp)는 반전소자(26b)에 공급되고 멀티-단계 배열에서 이동 레지스터를 통해 반전소자(26c)에 전송된다. 반전소자(26c)로부터 게이트소자(32)로, 신호는 동작확인신호(out1)로써 공급된다. 소자(31b)의 게이트에 접속된 신호(xdwn)가 레벨 "H"에 있기 때문에 신호(out1)에 접속된 풀-다운 소자(31b)에 턴 오프 된다. 반면에, 반전소자(26d)가 턴 오프 되고 풀-다운 소자(31a)의 게이트에 접속된 신호(dwn)가 레벨 "H"에 있기 때문에 풀-다운 소자(31a)는 턴 온된다. 따라서, 버퍼소자(28)의 입력은 레벨 "L"에 고정된다. 따라서, 버퍼소자(28)의 출력(outr)은 레벨 "L"로 간다. 결과적으로, 게이트소자(32)로부터 발생된 출력신호(OUT)는 신호(out1)의 정보를 반영시킨다. 반면에, 후방 방향에서, 신호(dwn)는 레벨 "L"로 가고 신호(xdwn)는 레벨 "H"로 가서, 반전소자(26a)와 (26d)는 턴 온되고 반전소자(26b)와 (26c)는 턴 오프 된다. 쌍방향 신호전송회로의 스타트펄스(VSP)는 두개의 인버터를 통해 버퍼 되어, 신호(vsp)를 형성한다. 반전소자(26b)가 턴 오프 되기 때문에, 신호(vsp)는 반전소자(26a)에 공급되고 이동 레지스터를 통해 반전소자(26d)에 전송된다. 반전소자(26d)로부터 게이트소자(32)로, 신호는 동작확인신호(outr)로써 공급된다. 풀-다운 소자(31a)의 게이트에 접속된 신호(dwn)가 레벨 "L"에 있기 때문에 풀-다운 소자(31a)는 턴 오프 된다. 반면에, 반전소자(26c)가 턴 오프 되고 풀-다운 소자(31b)의 게이트에 접속된 신호(xdwn)가 레벨 "H"에 있기 때문에 풀-다운 소자(31b)는 턴 온된다. 따라서, 신호(out1)는 레벨 "L"로 간다. 그러므로, 게이트소자(32)로부터 발생된 출력신호(OUT)는 신호(outr)의 정보를 반영시킨다. 후방 방향에서, 버퍼소자(28)는 낮은 임피던스에서 신호(outr)를 발생시키기 위하여 배열된다. 따라서, 신호(outr)는 인접한 신호선의 신호(vsp)에 의해 일어나는 노이즈의 영향을 거의 받지 않는다.

[0048]

도 11은 본 발명의 제 3 실시 예에 따르는 쌍방향 신호전송회로의 회로도이다. 도 11은 도 8의 파선으로 나타낸 부(A)의 배열의 상세회로도이다. 도 11과 같이, 반전소자(26)는 쌍방향 신호전송회로의 양 단의 입출력단에 배치된다. 방향제어회로(27)로부터 발생된 신호(dwn과 xdwn)는 반전소자(26)의 턴 온/오프를 제어한다. 버퍼소자(28)는 반전소자(26d)와 확인신호(outr) 사이에 배열된다. 버퍼소자(28)는 절연게이트 필드이펙트 트랜지스터를 포함한다. 특히, 도 11과 같이, PMOS 트랜지스터와 NMOS 트랜지스터를 각각 포함하는 두개의 인버터가 버퍼소자(28)를 구성하기 위하여 직렬로 연결된다. 한 단에 배치된 버퍼소자(28)의 출력은 확인신호(outr)의 역할을 한다. 다른 한 단에 배치된 반전소자(26c)의 출력은 확인신호(out1)의 역할을 한다. 신호(outr과 out1)는 게이트소자(34)에 공급된다. 게이트소자(34)는 도 11에 나타낸 2-입력 NAND 회로(34a)와 인버터(34b)를 포함한다. 게이트소자(34)의 출력은 쌍방향 신호전송회로의 출력신호(OUT)의 역할을 한다. 방향제어회로(27)로부터 발생된 신호(dwn)는 버퍼소자(28)에 포함된 NMOS 트랜지스터의 소스에 접속된다. 풀-업 소자(33)는 반전소자(26c)로부터 발생된 신호(out1)와 게이트소자(34) 사이에 배열된다. 풀-업 소자(33)는 PMOS 트랜지스터를 포함한다. PMOS 트랜지스터의 소스는 전원(vdd)에 접속되고, 그 드레인은 신호(out1)에 접속되고, 그 게이트는 방향제어회로(27)로부터 출력된 신호(dwn)에 접속된다. 두 방향은 도 11의 화살표에 나타낸 것과 같이 전방 방향과 후방 방향을 나타낸다고 가정한다. 전방 방향에서, 신호(dwn)는 레벨 "H"로 가고 신호(xdwn)는 레벨 "L"로 가서, 반전소자(26b)와 (26c)는 턴 온되고 반전소자(26a)와 (26d)는 턴 오프 된다.

프 된다. 쌍방향 신호전송회로의 스타트펄스(VSP)는 두개의 인버터를 통해 버퍼 되어, 신호(vsp)를 형성한다. 반전소자(26a)는 턴 오프 되기 때문에, 신호(vsp)는 반전소자(26b)에 공급되고 멀티-단계 배열에서 이동 레지스터를 통해 반전소자(26c)에 전송된다. 반전소자(26c)로부터 게이트소자(34)로, 전송된 신호는 동작확인신호(out1)로써 공급된다. 풀-업 소자(33)의 게이트에 접속된 신호(dwn)가 레벨 "H"에 있기 때문에 신호(out1)에 접속된 풀-업 소자(33)는 턴 오프 된다. 반전소자(26d)가 턴 오프 된다. 버퍼소자(28)를 구성하는 NMOS 트랜지스터의 소스에 접속된 신호(dwn)는 레벨 "H"에 있다. 따라서, 버퍼소자(28)의 출력(out r)은 레벨 "H"가 된다. 따라서, 게이트소자(34)로부터 발생된 출력신호(OUT)는 신호(out1)의 정보를 반영시킨다. 반면에, 후방 방향에서, 신호(dwn)는 레벨 "L"로 가고 신호(xdwn)는 레벨 "H"로 가서, 반전소자(26a와 26d)는 턴 온되고 반전소자(26b와 26c)는 턴 오프 된다. 쌍방향 신호전송회로의 스타트펄스(VSP)는 두개의 인버터를 통해 버퍼 되어, 신호(vsp)를 형성한다. 반전소자(26b)가 턴 오프 되기 때문에, 신호(vsp)는 반전소자(26a)에 공급되고 이동 레지스터를 통해 반전소자(26d)에 전송된다. 반전소자(26d)로부터 게이트소자(34)로, 전송된 신호는 동작확인신호(out1)로써 공급된다. 반전소자(26c)는 턴 오프 되고 풀-업 소자(33)의 게이트에 접속된 신호(dwn)는 레벨 "L"에 있게 된다. 따라서, 풀-업 소자(33)는 턴 온되고 신호(out1)는 레벨 "H"가 된다. 따라서, 게이트소자(34)로부터 발생된 출력신호(OUT)는 신호(out1)의 정보를 반영시킨다. 후방 방향에서, 버퍼소자(28)는 낮은 임피던스에서 신호(out1)를 발생시키기 위하여 배열된다. 따라서, 신호(out1)는 인접한 신호선의 신호(vsp)에 의해 일어나는 노이즈의 영향을 거의 받지 않는다.

[0049] 도 12는 본 발명의 제 4 실시 예에 따르는 쌍방향 신호전송회로의 회로도이다. 도 12는 도 8의 파선으로 나타낸 부(A)의 배열의 상세회로도이다. 도 12와 같이, 반전소자(26)는 쌍방향 신호전송회로의 양 단의 입출력단자에 배치된다. 방향제어회로(27)로부터 발생된 신호(dwn과 xdwn)는 반전소자(26)의 턴 온/오프를 제어한다. 버퍼소자(28)는 반전소자(26d)의 출력과 확인신호(out1) 사이에 배열된다. 버퍼소자(28)는 절연게이트 필드효과 트랜지스터를 포함한다. 특히, 도 12와 같이, PMOS 트랜지스터와 NMOS 트랜지스터를 각각 포함하는 두개의 인버터가 버퍼소자(28)를 구성하기 위하여 직렬로 연결된다. 한 단에 배치된 버퍼소자(28)의 출력은 확인신호(out1)의 역할을 한다. 다른 한 단에 배치된 반전소자(26c)의 출력은 확인신호(out1)의 역할을 한다. 신호(out1과 out1)는 게이트소자(36)에 공급된다. 게이트소자(36)는 도 12에 나타난 2-입력 NOR 회로(36a)와 인버터(36b)를 포함한다. 게이트소자(36)의 출력은 쌍방향 신호전송회로의 출력신호(OUT)의 역할을 한다. 방향제어회로(27)로부터 발생된 신호(dwn)는 버퍼소자(28)에 포함된 PMOS 트랜지스터의 소스 각각에 접속된다. 풀-다운 소자(35)는 반전소자(26c)로부터 발생된 신호(out1)와 게이트소자(36) 사이에 배열된다. 풀-다운 소자(35)는 NMOS 트랜지스터를 포함한다. NMOS 트랜지스터의 소스는 그라운드(vss)에 접속되고, 그 드레인은 신호(out1)에 접속되고, 그 게이트는 방향제어회로(27)로부터 출력된 신호(xdwn)에 접속된다. 두 방향은 도 12의 화살표에 나타난 것과 같이 전방 방향과 후방 방향을 나타낸다고 가정한다. 전방 방향 전방 방향신호(dwn)는 레벨 "H"가 되고 신호(xdwn)는 레벨 "L"로 가서, 반전소자(26b)와 (26c)는 턴 온되고 반전소자(26a)와 (26d)는 턴 오프 된다. 쌍방향 신호전송회로의 스타트펄스(VSP)는 두개의 인버터를 통해 버퍼 되어, 신호(vsp)를 형성한다. 반전소자(26a)는 턴 오프 되기 때문에, 신호(vsp)는 반전소자(26b)에 공급되고 멀티-단계 배열에서 이동 레지스터를 통해 반전소자(26c)에 전송된다. 반전소자(26c)로부터 게이트소자(36)로, 전송된 신호는 동작확인신호(out1)로써 공급된다. 풀-다운 소자(35)의 게이트에 접속된 신호(xdwn)가 레벨 "L"에 있기 때문에 신호(out1)에 접속된 풀-다운 소자(35)는 턴 오프 된다. 반전소자(26d)가 턴 오프 된다. 버퍼소자(28)에 포함된 PMOS 트랜지스터의 소스에 접속된 신호(xdwn)는 레벨 "L"에 있다. 따라서, 버퍼소자(28)의 출력(out1)은 레벨 "L"이 된다. 결과적으로, 게이트소자(36)로부터 발생된 출력신호(OUT)는 신호(out1)의 정보를 반영시킨다. 반면에, 후방 방향에서, 신호(dwn)는 레벨 "L"로 가고 신호(xdwn)는 레벨 "H"로 가서, 반전소자(26a와 26d)는 턴 온되고 반전소자(26b와 26c)는 턴 오프 된다. 쌍방향 신호전송회로의 스타트펄스(VSP)는 두개의 인버터를 통해 버퍼 되어, 신호(vsp)를 형성한다. 반전소자(26b)가 턴 오프 되기 때문에, 신호(vsp)는 반전소자(26a)에 공급되고 이동 레지스터를 통해 반전소자(26d)에 전송된다. 반전소자(26d)로부터 게이트소자(36)로, 전송된 신호는 동작확인신호(out1)로써 공급된다. 반전소자(26c)는 턴 오프 되고 풀-다운 소자(35)의 게이트에 접속된 신호(xdwn)는 레벨 "H"에 있기 때문에, 풀-다운 소자(35)는 턴 온되고 신호(out1)는 레벨 "L"가 된다. 그러므로, 게이트소자(36)로부터 발생된 출력신호(OUT)는 신호(out1)의 정보를 반영시킨다. 후방 방향에서, 버퍼소자(28)는 낮은 임피던스에서 신호(out1)를 발생시키기 위하여 배열된다. 따라서, 신호(out1)는 인접한 신호선의 신호(vsp)에 의해 일어나는 노이즈의 영향을 거의 받지 않는다.

[0050] 상술한 것과 같이, 본 발명에 따라, 쌍방향 신호전송회로는 쌍방향 신호전송회로의 양단에 배치된 출력단자에 접속되며, 전송방향에 따라 선택된 한 단의 출력단자로부터 발생된 신호를 통과시키기 위한 게이트 소자와, 전

송방향에 따라 선택되지 않은 다른 단에서 그 전위가 부유(floating)하지 않도록 출력단자의 전위를 고정시키기 위한 전위고정수단을 포함한다. 예를 들면, 전위고정수단은 스위칭 신호에 따라, 선택되지 않은 출력단자와 인접하여 배치된 버퍼소자의 출력 전위를 전원의 전위로 끌어올리는 풀-업(pull-up) 소자나, 또는 스위칭 신호에 따라 버퍼소자의 출력 전위를 그라운드 전위로 끌어내리는 풀-다운(pull-down) 소자 중 하나를 포함한다. 본 발명에 따라, 쌍방향 신호전송회로는 동작확인신호가 전송되는 상대적으로 높은 임피던스 신호선에서 버퍼를 가지고 있기 때문에, 인접한 신호선에서 발생한 노이즈의 영향을 줄일 수 있다. 또한, 버퍼의 입력이 전원의 전위로 풀 업되거나 또는 그라운드 전위로 풀 다운되기 때문에, 신호선의 부유상태를 논리적으로 제거시킬 수 있다. 따라서, 쌍방향 신호전송회로의 오동작을 방지할 수 있다.

[0051] 도 13은 본 발명의 제 5 실시 예에 따르는 쌍방향 신호전송회로의 블럭도이다. 도 13과 같이, 파선으로 나타낸 쌍방향 신호전송회로(23)는 제 1 내지 제 5 이동 레지스터(SC5-SC1)를 가진다. 특히, 각 이동레지스터(SR)는 도 5와 같이 D-형 플립플롭을 포함한다. 스타트펄스(VSP)는 쌍방향 신호전송회로(23)의 한 단에 공급된다. 스타트펄스(VSP)는 두개의 인버터를 통과하여, 신호(vsp)를 형성한다. 신호(vsp)는 쌍방향 신호전송회로(23)의 다른 단의 입력단자에 공급된다. 확인신호는 쌍방향 신호전송회로(23)의 양단의 출력단자로부터 출력된다. 결과확인신호는 쌍방향 신호전송회로(23)의 한 단으로부터 출력신호(OUT)로서 발생된다. 도 13과 같이, 버퍼소자(24)는 쌍방향 신호전송회로(23)의 출력(OUT)으로부터 멀리 떨어진 다른 단의 출력단자에 배치된다. 버퍼소자(24)는 직렬로 연결된 두개의 인버터를 포함하며, 각 인버터는 PMOS 트랜지스터와 NMOS 트랜지스터를 포함한다. 쌍방향 신호전송회로(23)의 양단의 출력단자로부터 발생된 확인신호에 관하여, 확인신호(out1)는 출력(OUT)에 인접한 단의 출력단자로부터 발생되고 확인신호(outr)는 버퍼소자(24)를 통해 다른 단의 다른 출력단자로부터 발생된다. 후방-경로 게이트소자(37)는 출력(OUT)에 인접하기 위하여 신호(outr)를 전송하는 신호선에 배치된다. 확인신호(outr)는 후방-경로 게이트소자(37)를 통해 통과하고 나서 신호(out1)에 접속된다. 결과로 생기는 신호는 신호(OUT)로서 발생된다. 두개의 방향은 도 13의 화살표에 나타낸 것과 같이 전방 방향과 후방 방향을 나타낸다고 가정한다. 후방 방향에서, 버퍼소자(24)는 낮은 임피던스에서 신호(outr)를 발생시키기 위하여 배열된다. 따라서, 신호(outr)는 인접한 신호선의 신호(vsp)에 의해 발생하는 노이즈에 의해 영향을 거의 받지 않는다. 전방 방향에서, 후방-경로 게이트소자(37)는 하이-임피던스 신호(outr)를 형성한다. 따라서, 신호(out1)는 출력(OUT)으로서 추출된다. 상술한 바와 같이, 본 발명에 따라, 쌍방향 신호전송회로는 쌍방향 신호전송회로의 양단에서 각각의 출력단자로부터 연장된 신호선이 한 신호선에 접속되고 버퍼소자에 인접한 출력단자가 스위칭 신호에 따라 선택되지 않을 때 스위칭 신호에 응답하여 하이 임피던스에서 버퍼소자의 출력을 설정하기 위한 하이-임피던스 상태형성수단을 포함한다.

[0052] 도 14는 본 발명의 제 6 실시 예에 따르는 쌍방향 신호전송회로의 회로도이다. 도 14와 같이, 반전소자(26)는 쌍방향 신호전송회로의 양단의 입출력단자에 배치된다. 방향제어회로(27)로부터 발생된 신호(dwn과 xdwn)는 반전소자(26)의 턴-온/오프를 제어한다. 버퍼소자(38)는 반전소자(26d)의 출력과 신호(outr) 사이에 배열된다. 버퍼회로(38)는 절연게이트 필드이펙트 트랜지스터를 포함한다. 특히, 도 14에 나타낸 것과 같이, 버퍼회로(38)는 PMOS 트랜지스터와 NMOS 트랜지스터를 포함하는 제 1인버터, 각각의 트랜지스터를 구동하는 제 2인버터로써, 상기 제 2인버터는 각각의 트랜지스터의 게이트에 접속되는 제 2인버터를 포함한다. 버퍼회로(38)의 출력은 신호(outr)의 역할을 하고, 버퍼회로(38)는 쌍방향 신호전송회로의 한 단에 배치된다. 다른 단에 배치된 반전소자(26c)의 출력은 신호(out1)의 역할을 한다. 도 14와 같이, 신호(outr과 out1)는 서로 직접적으로 접속된다. 결과로 생기는 신호는 두개의 인버터를 통해 출력신호(OUT)로써 발생된다. 하이-임피던스상태형성회로(39)는 버퍼회로(38)와 반전소자(26d) 사이에 배치된다. 도 14와 같이, 회로(39)는 NAND 회로, NOR 회로, 두개의 인버터를 포함한다. 신호(dwn)는 NAND 회로와 NOR 회로 각각의 입력단자에 접속된다. 반전회로(26d)의 출력신호는 각각의 NAND 회로와 NOR 회로의 다른 입력단자에 접속된다. 두 방향은 도 14의 화살표에 나타낸 것과 같이 전방 방향과 후방 방향을 나타내는 것으로 가정한다. 전방 방향에서, 신호(dwn)는 레벨 "H"로 가고 신호(xdwn)는 레벨 "L"로 가서, 반전소자(26b와 26c)는 턴 온되고 반전소자(25a와 26d)는 턴 오프 된다. 쌍방향 신호전송회로의 스타트펄스(VSP)는 두개의 인버터를 통해 버퍼 된다. 반전소자(26a)가 턴 오프 되기 때문에, 버퍼된 신호는 반전소자(26b)에 공급되고 멀티-단계 배열에서 이동레지스터를 통해 반전소자(26c)에 전송된다. 반전소자(26c)로부터 두개의 인버터로, 신호는 동작확인신호(out1)로써 공급된다. 신호(out1)에 접속된 버퍼회로(38)에서, 하이-임피던스 상태형성회로(39)의 NAND 회로와 NOR 회로에 공급되는 신호(dwn)를 근거로 하여, 버퍼소자(38)의 제 1인버터를 구성하는 두개의 트랜지스터는 턴 오프 된다. 따라서, 버퍼회로(38)는 하이-임피던스 출력을 발생시킨다. 즉, 신호(outr)는 하이 임피던스를 가진다. 결과적으로, 신호(out1)는 두개의 인버터를 통하여 버퍼 되고 출력신호(OUT)는 신호(out1)를 반영시킨다. 반면에, 후방 방향에서, 신호(dwn)는 레벨 "L"로 가고 신호(xdwn)는 레벨 "H"로 가서, 반전소자

(26a와 26d)는 턴 온되고 반전소자(25b와 26c)는 턴 오프 된다. 쌍방향 신호전송회로의 스타트펄스(VSP)는 두개의 인버터를 통해 버퍼 된다. 반전소자(26b)가 턴 오프 되기 때문에, 버퍼된 신호(VSP)는 반전소자(26 a)에 공급되고 이동레지스터를 통해 반전소자(26d)에 전송된다. 하이-임피던스 상태형성회로(39)의 NAND 회로와 NOR 회로에 공급되는 신호(dwn)가 레벨 "L"에 있기 때문에, 회로(39)의 NAND 회로와 NOR 회로는 반전소자(26d)의 출력을 반영시킨다. 회로(39)의 출력이 버퍼회로(38)에 공급되고, 따라서 낮은 임피던스 신호를 발생시킨다. 버퍼회로(38)로부터 발생된 낮은-임피던스 신호는 신호(out1)에 접속된다. 반전소자(26c)가 턴 오프 되기 때문에, 신호(out1)는 높은 임피던스를 가진다. 결과적으로, 낮은-임피던스 신호(outr)는 버퍼 되고 출력신호(OUT)는 신호(outr)를 반영시킨다. 후방 방향에서, 버퍼회로(38)는 낮은 임피던스에서 신호(outr)를 발생시키기 위하여 배열된다. 따라서, 신호(outr)는 인접한 신호선의 신호(vsp)에 의해 발생하는 노이즈의 영향을 거의 받지 않는다.

발명의 효과

[0053] 본 발명에 의하면, 쌍방향 신호전송회로에서, 버퍼소자는 낮은 임피던스에서 동작확인신호를 설정하기 위하여 배치되고, 상기 동작확인신호는 쌍방향 신호전송회로의 한 단에서 출력단자로부터 출력된다. 더욱이, 버퍼소자에 인접한 출력단자가 선택되지 않을 때, 버퍼소자의 출력 전위는 풀-업(pull-up) 또는 풀-다운(pull-down) 소자를 사용하여 하이 레벨이나 로우 레벨로 고정된다. 결과적으로, 인접한 신호선에 신호의 상승 에지(rising edge) 또는 하강 에지(falling edge)에서 노이즈의 영향은 줄어들 수 있고, 따라서 이동 레지스터의 오동작을 방지할 수 있다. 또한, 표시장치의 스캔선에서 발생하는 심한 노이즈는 상기 노이즈의 영향을 줄임으로써 제거된다. 따라서, 표시장치에 있어서 측선형(lateral linear) 결점이 제거될 수 있다.

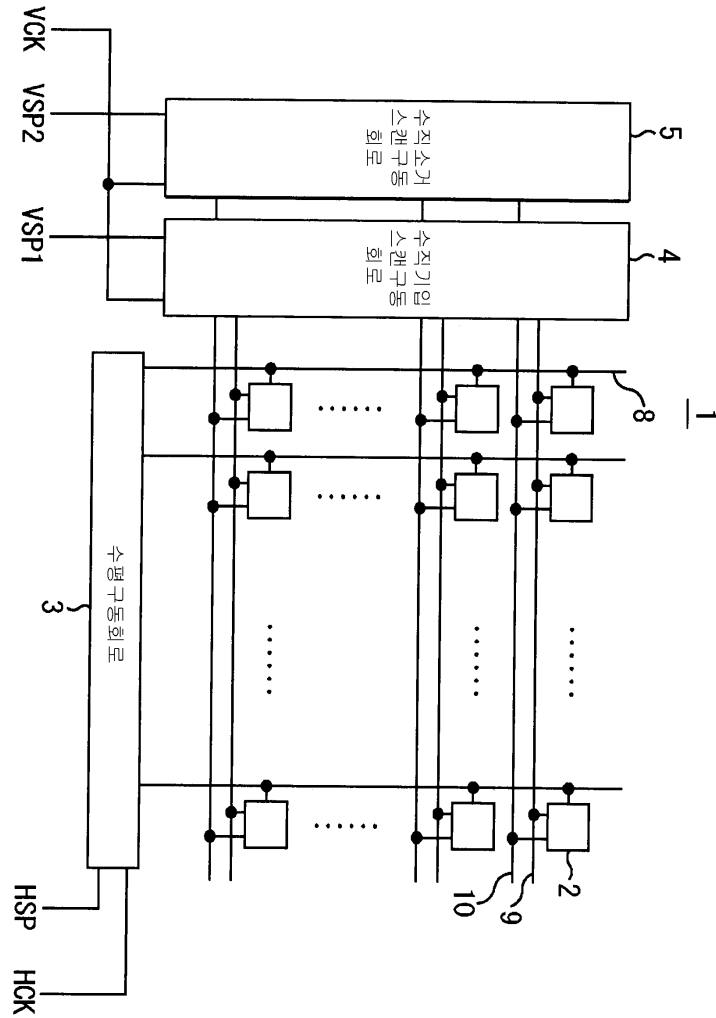
도면의 간단한 설명

- [0001] 도 1은 종래의 액티브 매트릭스 유기 일렉트로루미네센트(electroluminescent(EL)) 표시장치의 블록도이다.
- [0002] 도 2는 종래의 액티브 매트릭스 유기EL 표시장치를 구성하는 픽셀(pixel)회로를 나타낸다.
- [0003] 도 3은 종래의 액티브 매트릭스 유기EL 표시장치의 동작을 설명하는 타이밍차트이다.
- [0004] 도 4는 종래의 쌍방향 신호전송회로의 블록도이다.
- [0005] 도 5는 도 4의 종래 쌍방향 신호전송회로의 회로도이다.
- [0006] 도 6은 도 4의 종래 쌍방향 신호전송회로를 액티브 매트릭스 유기EL 표시장치에 적용하여 얻어진 구성을 나타낸다.
- [0007] 도 7은 도 6에 나타낸 구성에 있어서의 동작 타이밍차트이다.
- [0008] 도 8은 본 발명에 따르는 쌍방향 신호전송회로의 블록도이다.
- [0009] 도 9는 본 발명의 제 1 실시 예에 따르는 쌍방향 신호전송회로의 회로도이다.
- [0010] 도 10은 본 발명의 제 2 실시 예에 따르는 쌍방향 신호전송회로의 회로도이다.
- [0011] 도 11은 본 발명의 제 3 실시 예에 따르는 쌍방향 신호전송회로의 회로도이다.
- [0012] 도 12는 본 발명의 제 4 실시 예에 따르는 쌍방향 신호전송회로의 회로도이다.
- [0013] 도 13은 본 발명의 제 5 실시 예에 따르는 쌍방향 신호전송회로의 회로도이다.
- [0014] 도 14는 본 발명의 제 6 실시 예에 따르는 쌍방향 신호전송회로의 회로도이다.
- [0015] * 도면의 주요부분에 대한 부호설명
- [0016] 1. 표시장치 2. 픽셀
- [0017] 3. 수평구동회로 4. 수직기입스캔구동회로
- [0018] 5. 수직소거스캔구동회로 8. 데이터선
- [0019] 9. 기입스캔선 10. 소거스캔선
- [0020] 19. 21. 22. 23. 쌍방향신호전송회로. 20. 방향제어회로

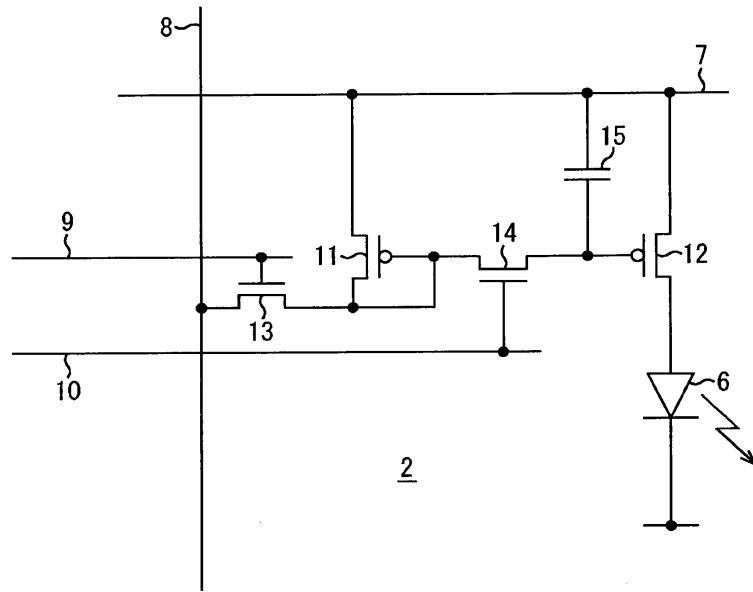
- [0021] 24. 버퍼소자 25. 30. 32. 34. 36. 게이트소자
- [0022] 26. 반전소자 27. 방향제어회로회로
- [0023] 29. 33. 풀-업 소자 31. 35. 풀-다운 소자
- [0024] 39. 하이-임피던스 상태형성회로

도면

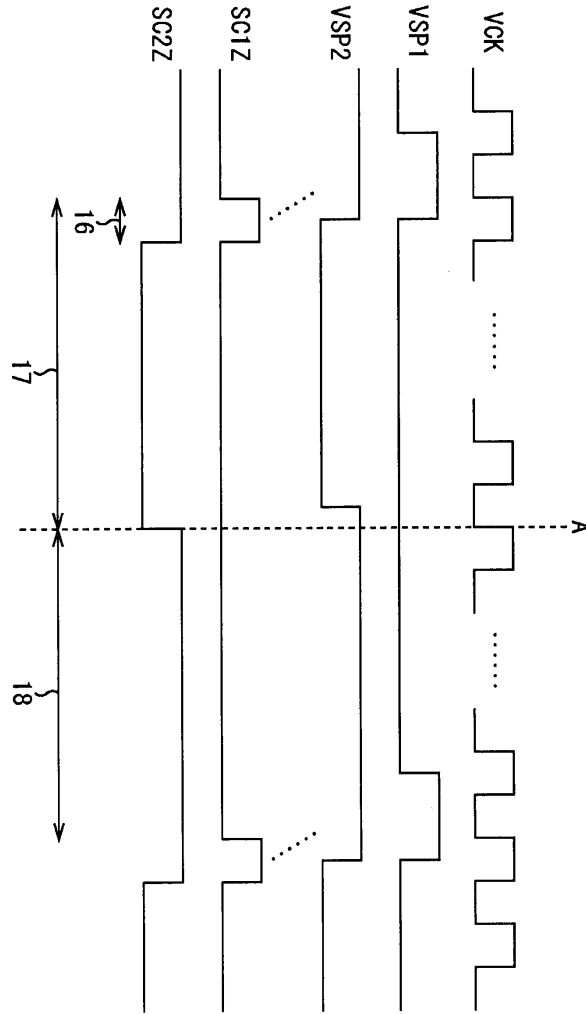
도면1



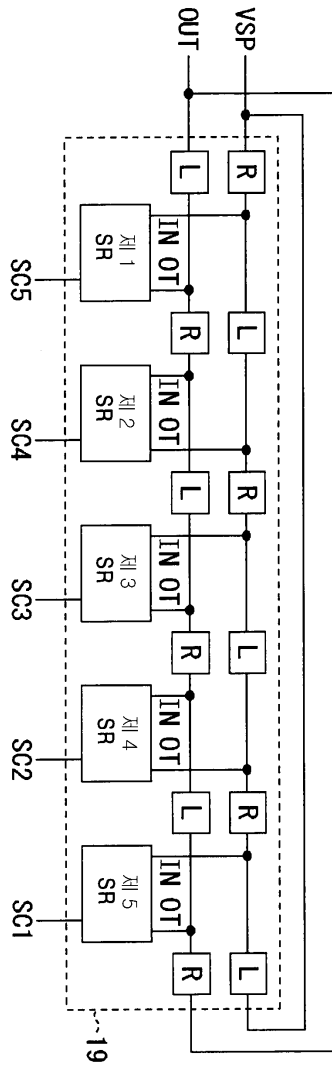
도면2



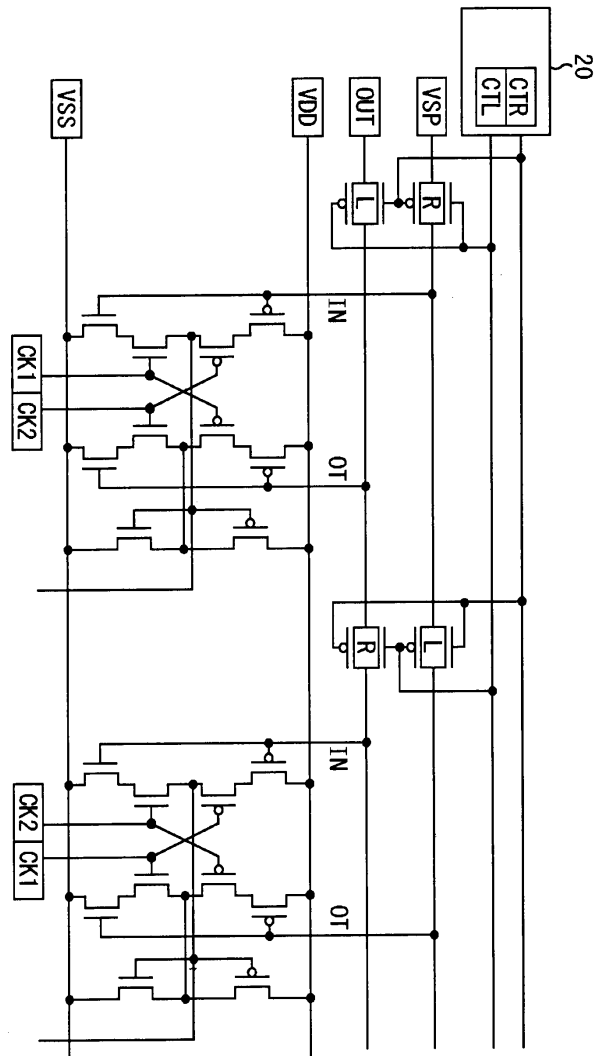
도면3



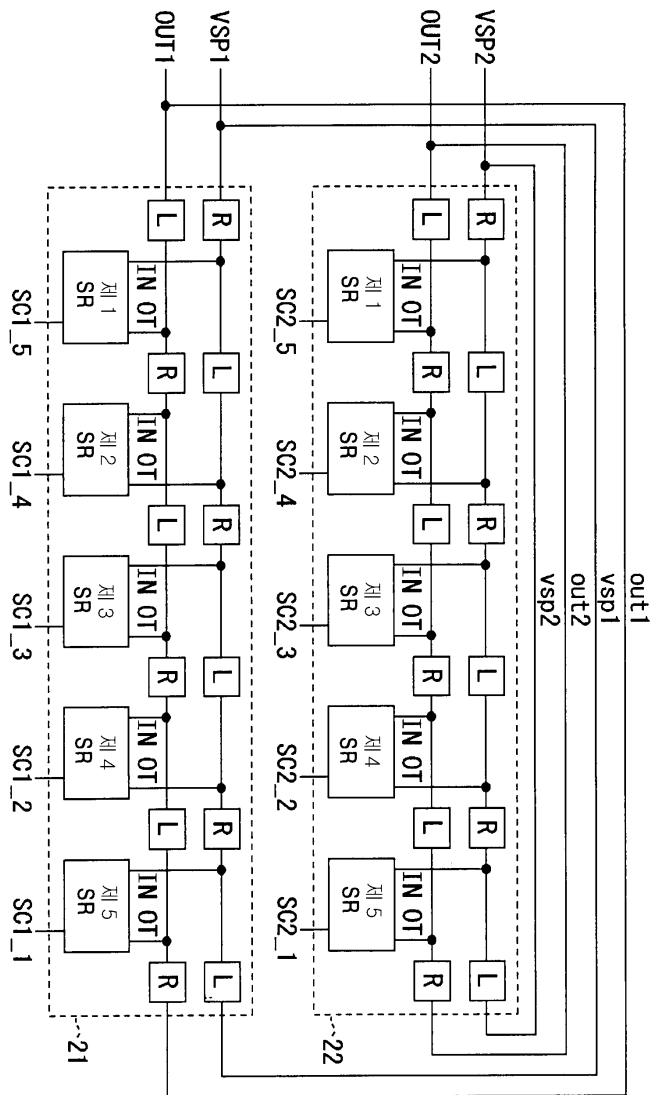
도면4



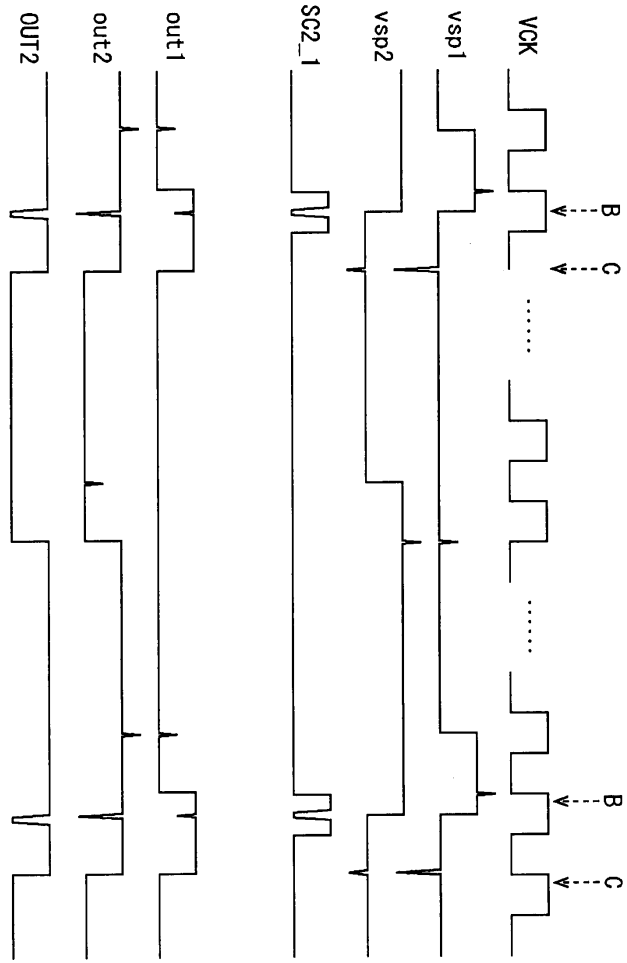
도면5



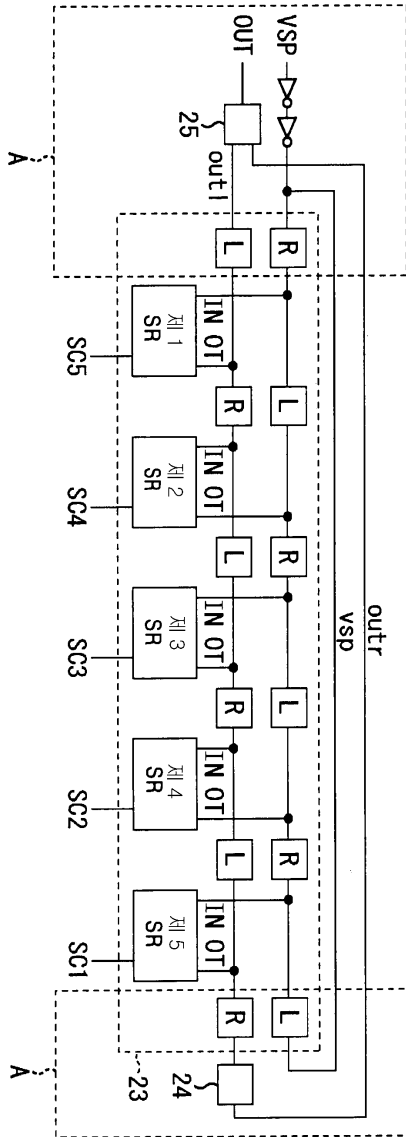
도면6



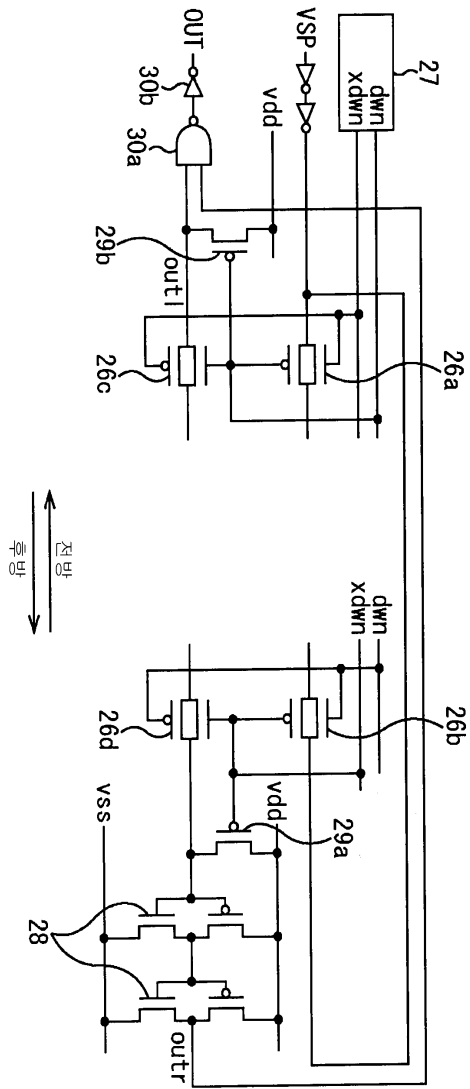
도면7



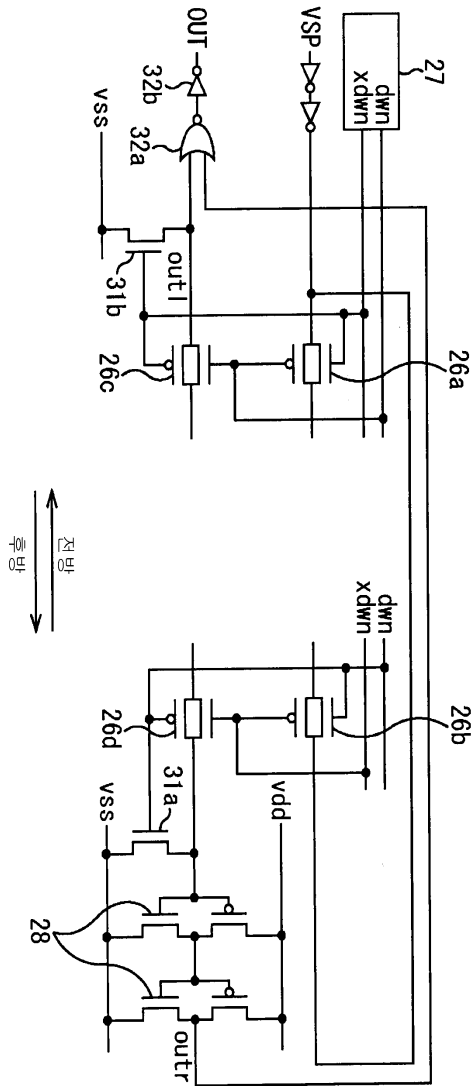
도면8



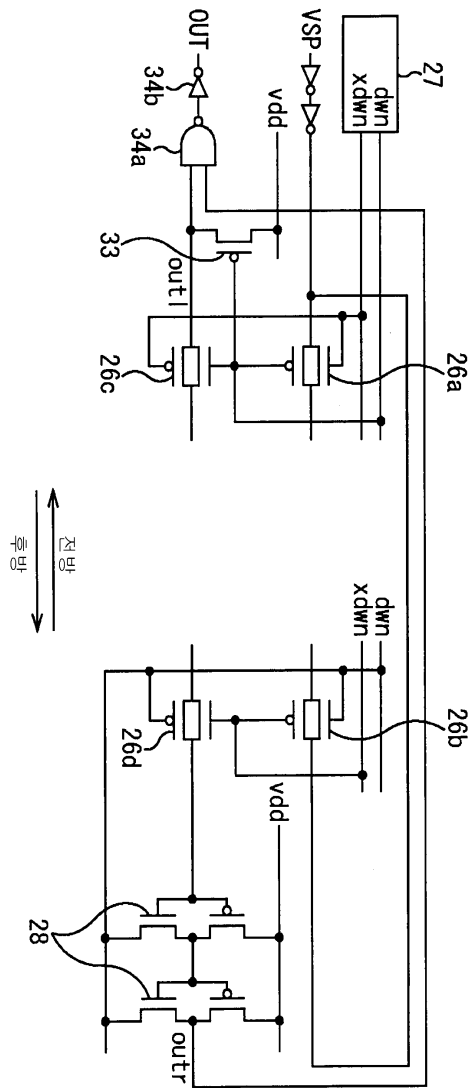
도면9



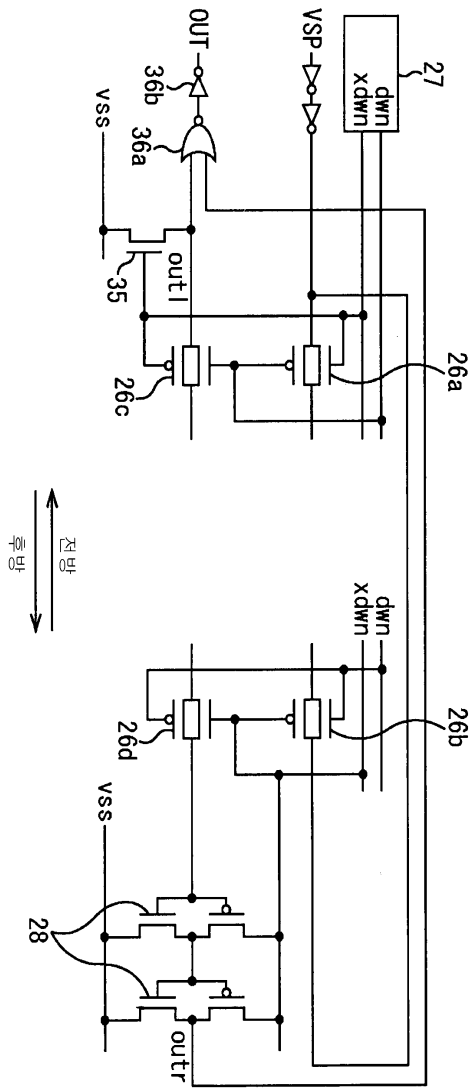
도면10



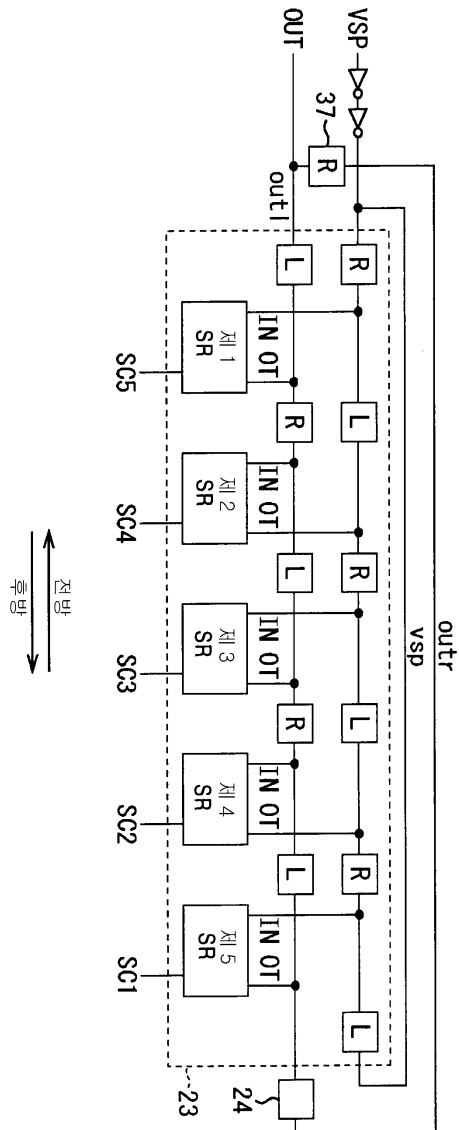
도면11



도면12



도면13



도면14

