



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0000466
(43) 공개일자 2015년01월02일

(51) 국제특허분류(Int. Cl.)
H01L 31/0216 (2014.01) H01L 31/0256 (2006.01)
H01L 21/205 (2006.01)
(21) 출원번호 10-2014-7014613
(22) 출원일자(국제) 2012년10월23일
심사청구일자 없음
(85) 번역문제출일자 2014년05월30일
(86) 국제출원번호 PCT/US2012/061456
(87) 국제공개번호 WO 2013/066669
국제공개일자 2013년05월10일
(30) 우선권주장
13/286,888 2011년11월01일 미국(US)

(71) 출원인
나노그램 코포레이션
미국 캘리포니아주 95035 밀피타스 토파즈 스트리트 165
(72) 발명자
리우, 구오준
미국, 캘리포니아 95132, 산 호세, 그린게이트 드라이브 2517
치루볼루, 시브쿠마루
미국, 캘리포니아 95127, 산 호세, 마릴라 애비뉴 1065
(뒷면에 계속)
(74) 대리인
김애라

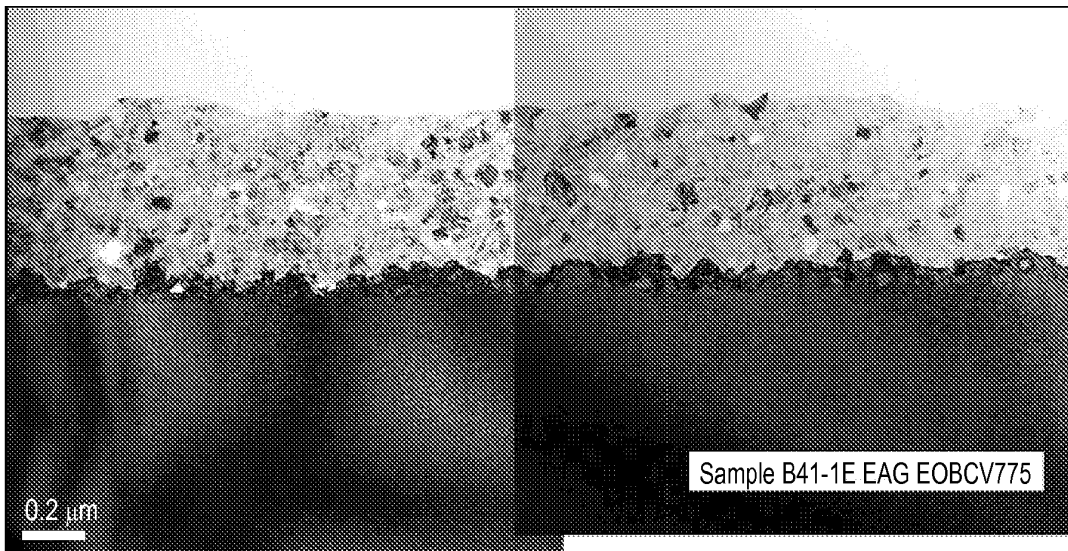
전체 청구항 수 : 총 34 항

(54) 발명의 명칭 **실리콘 나노입자 잉크를 포함하는 구조체, 나노입자 실리콘 데파짓으로부터 얻어진 조밀화된 실리콘 물질 및 이들의 제조방법**

(57) 요약

실리콘 나노입자는 원하는 소재를 제조하기 위한 기초를 제공한다. 구체적으로, 비정질 실리콘 매트릭스에 매립된 실리콘 나노입자를 포함하는 박층에 복합재가 생성되었으며, 비교적 저온에서 생성될 수 있다. 상기 복합재를 가열하여 비막대 형상의 결정을 포함하는 나노결정질 소재를 형성할 수 있다. 상기 미세결정질 소재는 바람직한 전도성을 가질 수 있으며, 이 소재는 높은 도펀트 수준으로 생성될 수 있다. 또한, 나노결정질 실리콘 펠렛이 잉크로부터 도포된 실리콘 나노입자로부터 생성될 수 있으며, 이 펠렛은 벌크 실리콘보다 덜 조밀하지만 비교적 조밀할 수 있다. 상기 펠렛은 실리콘 나노입자층에 열 및 압력을 가하여 생성할 수 있다.

대표도 - 도11



(72) 발명자

리, 웨이동

미국, 캘리포니아 95132, 산 호세, 스완스톤 웨이
1768

스리니바산, 우마

미국, 캘리포니아 94040, 마운틴 뷰, 보니타 코트
555

특허청구의 범위

청구항 1

일 표면을 갖는 기판 및 상기 표면의 적어도 일부에 약 5 마이크로 이하의 평균 두께를 갖는 복합재 코팅을 포함하며, 1차 입자의 평균 크기가 약 100 nm 이하인 결정질 실리콘 나노입자 및 이 결정질 실리콘 입자 주변에 비정질 실리콘 매트릭스를 포함하는 구조체.

청구항 2

제1항에 있어서,
상기 코팅이 약 20% 이하의 공극 부피를 갖는 것인 구조체.

청구항 3

제1항 또는 제2항에 있어서,
상기 복합재 코팅의 두께가 약 3 마이크로 이하인 것인 구조체.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,
상기 복합재 코팅 상에 비정질 실리콘의 상면 코팅을 포함하고, 상기 상면 코팅이 약 5 마이크로 이하의 평균 두께를 갖는 것인 구조체.

청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서,
상기 결정질 실리콘 나노입자가 약 75 nm 이하의 평균 입자 크기를 갖는 것인 구조체.

청구항 6

제1항 내지 제5항 중 어느 한 항에 있어서,
상기 결정질 실리콘 나노입자가 적어도 약 1×10^{20} atoms/cm³의 농도를 갖는 도펀트를 포함하는 것인 구조체.

청구항 7

제6항에 있어서,
상기 비정질 실리콘이 진성인 것인 구조체.

청구항 8

제1항 내지 제7항 중 어느 한 항에 있어서,
상기 복합재 코팅이 상기 기판 표면의 약 75퍼센트 이하를 피복하며 패터닝된 것인 구조체.

청구항 9

제1항 내지 제8항 중 어느 한 항에 있어서,
상기 기판이 상기 표면을 따라 고결정질 원소 실리콘을 포함하는 것인 구조체.

청구항 10

표면 및, 기공체적이 약 5% 이하이고 평균 두께가 약 10마이크론 이하인 실리콘 원자의 나노결정성 코팅을 포함하며, 여기서 상기 평균 결정 직경이 TEM 분석에 의해 약 100nm 이하이고, 적어도 90%의 결정이 주축에 따른 장경을 주축에 따른 단경으로 나누었을 때의 비율이 3 이하인 구조체.

청구항 11

제10항에 있어서,
상기 공극 부피가 약 2% 이하이며,
상기 평균 두께가 약 100 nm 내지 약 3 미크론인 것인 구조체.

청구항 12

제10항 또는 제11항에 있어서,
상기 기판이 이 기판과 상기 코팅의 계면을 따라 연장되는 에피택셜 실리콘 함유 표면을 따라 결정질 실리콘을 포함하는 것인 구조체.

청구항 13

제10항 내지 제12항 중 어느 한 항에 있어서,
상기 코팅이 약 20 ohms/sq. 이하의 전기적 시트 저항을 갖는 것인 구조체.

청구항 14

제10항 내지 제13항 중 어느 한 항에 있어서,
상기 코팅이 적어도 약 1×10^{20} atoms/cm³의 평균 도펀트 농도를 갖는 것인 구조체.

청구항 15

일 표면을 갖는 기판 및 이 표면의 약 75 퍼센트 이하를 피복하며 약 10 미크론 이하의 평균 두께를 갖는, 패턴화된 나노결정질의 도핑된 원소 실리콘 코팅과 상기 표면의 나머지 부분을 효과적으로 피복하는 진성 원소 실리콘 코팅을 구비하며, 상기 도핑된 나노결정질 원소 실리콘 코팅이 입방 센티미터당 적어도 약 1×10^{19} 원자의 평균 도펀트 농도를 갖는 것인 구조체.

청구항 16

제15항에 있어서,
상기 나노결정질 코팅이 약 100 nm 내지 약 3 미크론의 평균 두께를 갖는 것인 구조체.

청구항 17

제15항 또는 제16항에 있어서,
상기 기판이 이 표면을 따라 고결정질 원소 실리콘을 포함하는 것인 구조체.

청구항 18

제15항 내지 제17항 중 어느 한 항에 있어서,
도핑된 원소 실리콘 코팅의 패턴이 n-도핑된 영역 및 p-도핑된 영역의 개별 도메인을 포함하는 것인 구조체.

청구항 19

제18항에 있어서,
n-도핑된 영역 및 p-도핑된 영역의 개별 패턴이 상기 기판을 따라 연결가능한, 비중첩 구조를 독립적으로 형성하는 것인 코팅된 기판.

청구항 20

제15항 내지 제17항 중 어느 한 항에 있어서,
도핑된 원소 실리콘 코팅의 패턴이 동일한 종류의 도펀트 원소와 함께 상기 기판 모두를 따라 개별 도메인을 포

함하는 것인 구조체.

청구항 21

결정질 원소 실리콘 기관 및 이 기관 표면의 적어도 일부를 덮는 코팅을 구비하며, 상기 코팅이 약 5 미크론 이하의 평균 두께 및 적어도 약 5×10^{19} atm/cm³의 평균 도펀트 농도를 갖는 도핑된 나노결정질 실리콘을 포함하고, 여기서 도펀트 프로파일은 코팅이 위치하는 표면에 대해 수직선 방향을 따라 적어도 약 1×10^{19} atm/cm³의 도펀트 농도를 갖는 코팅으로부터 실리콘 기관 내로 적어도 약 0.5 미크론의 깊이까지 연장되는 것인 실리콘 구조체.

청구항 22

제21항에 있어서,

상기 도핑된 나노결정질 실리콘 코팅이 상기 기관 표면의 약 75퍼센트 이하를 피복하는 패턴을 형성하는 것인 실리콘 구조체.

청구항 23

제21항 또는 제22항에 있어서,

상기 코팅이 약 3 미크론 이하의 평균 두께 및 적어도 약 7.5×10^{19} atm/cm³의 도펀트 농도를 갖는, 도핑된 나노결정질 실리콘을 포함하는 것인 실리콘 구조체.

청구항 24

약 1 g/cm³ 내지 약 2.1 g/cm³의 밀도 및 XRD-기준으로 약 20 nm 내지 약 200 nm의 결정 크기를 갖는 원소 실리콘을 포함하는 실리콘 구조체.

청구항 25

제24항에 있어서,

상기 구조체가 약 200 nm 내지 약 1 mm의 평균 두께를 갖는 코팅인 것인 실리콘 구조체.

청구항 26

제25항에 있어서,

무기 글래스 기관을 더 포함하는 것인 실리콘 구조체.

청구항 27

기재 상에 실리콘 코팅을 형성하는 방법으로서,

약 200 nm 이하의 평균 1차 입자 크기를 갖는 결정질 실리콘 나노입자의 입자상 코팅의 상부 및 내부에 비정질 실리콘 매트릭스를 증착하여 비정질 매트릭스 내에 매립된 결정질 실리콘 나노입자 함유 복합재를 형성하는 단계를 포함하는 방법.

청구항 28

제27항에 있어서,

상기 비정질 실리콘의 적용이 LP-CVD를 사용하여 수행되는 것인 방법.

청구항 29

제27항 또는 제28항에 있어서,

상기 결정질 실리콘 나노입자가 잉크를 사용하여 도포되는 것인 방법.

청구항 30

제27항 내지 제29항 중 어느 한 항에 있어서,
상기 코팅 결과물이 약 20% 이하의 공극 부피를 포함하는 것인 방법.

청구항 31

기관 표면의 적어도 일부 상에서 실리콘 나노입자 잉크 데파짓을 조밀화하는 방법으로서,
상기 도포된 실리콘 나노입자에 기계적 압력을 가하는 단계; 및 가압과 동시 및/또는 이후, 약 1200℃ 이하의 온도로 상기 도포된 실리콘 나노입자를 가열하여 상기 입자를 조밀층으로 소결하는 단계를 포함하는 방법.

청구항 32

제31항에 있어서,
실리콘 나노입자의 데파짓이 상기 기관 표면의 적어도 약 75퍼센트 이하를 피복하여 원하는 패턴을 형성하는 것인 방법.

청구항 33

제31항 또는 제32항에 있어서,
상기 실리콘 나노입자가 적어도 약 1×10^{19} atm/cc의 농도의 도펀트를 포함하는 것인 방법.

청구항 34

제31항 내지 제33항 중 어느 한 항에 있어서,
상기 조밀층이 약 1 g/cc 내지 약 2.1 g/cc의 밀도를 갖는 것인 방법.

명세서

기술분야

[0001] 본 발명은 나노입자 원소(elemental) 실리콘 잉크로부터 생성되며, 선택적으로 도펀트 성분을 더 포함하는 조밀화된 구조체에 관한 것이다. 본 발명은 또한 비정질 실리콘 매트릭스 내의 결정질 실리콘 나노입자에 관한 것이다. 본 발명은 또한 장치 내 부재로서 조밀화된 구조체를 활용하는 것 외에 이러한 조밀화를 수행하는 방법에 관한 것이다.

배경기술

[0002] 실리콘은 상업적 용도에 흔히 사용되는 반도체 소재이며, 상당수의 상업용 전자장비와 태양 전지는 실리콘에 기반하고 있다. 대부분의 가전 제품은 실리콘 기반의 회로를 포함하며, 평판 표시소자는 이를 구동하는 대면적 회로를 포함할 수 있다. 실리콘 기반의 몇몇 태양 전지 디자인이 사용될 수 있으며, 대부분의 상업용 태양 전지는 실리콘에 기반한다. 일반적으로 기능성 장비의 제조방법은 실리콘을 도핑하여 전기적 성질 및 전도성을 제어하는 공정을 포함한다.

[0003] 세계적으로 사용이 증가하고 있는 광전지(photovoltaic cell)는 중요한 대체 에너지원이다.

[0004] 일반적으로, 광전지는 흡광을 통해 반도체 소재 내에 전자-정공 쌍을 형성함으로써 구동된다. 광전지 내에서 역으로 도핑된 영역은 다이오드 접합을 제공하며, 이는 광전류를 발생시키는데 사용될 수 있는 전압차(voltage differential)를 유발하게 된다. 광전류는 외부 회로(external circuit)에서 유용한 작업을 수행하는데 이용될 수 있다.

[0005] 통상 밀리미터 이상의 큰 결정 크기를 갖는 단결정질 혹은 다결정질인 결정질 실리콘을 기초로 하는 태양전지는 설계시 특별한 고려사항을 제공한다. 결정질 실리콘층을 구비하는 태양 전지의 경우, 국부적으로 도핑된 접촉부를 사용하여 광전류 수집량을 증가시킬 수 있다. 통상, 집전체는 도핑된 접촉부와 전기적으로 접촉하여 상기 태양 전지를 외부 회로에 연결시키게 된다. 반대되는 도펀트 종류로 도핑된 접촉부는 상기 태양 전지의 전면 및 후면에 배치될 수 있다. 이와 다른 디자인으로서, 상기 태양 전지의 도핑된 실리콘 접촉부 모두를 상기 전지의

후면에 배치하여 후면 접촉 태양전지를 제조할 수 있다. 후면 접촉 태양 전지의 경우, 전면의 수광부 표면에 집전체를 배치하지 않을 수 있다. 또한 박막 태양전지는 결정질 실리콘보다 큰 흡광성을 갖는 비정질 실리콘 및/또는 미세결정질 실리콘으로 제조할 수 있다. 일반적으로 박막 태양전지는 상이한 도펀트를 포함하는 실리콘 교호층(alternating layers)을 갖는다.

발명의 내용

해결하려는 과제

[0006] 전자 분야의 경우, 수요가 적은 분야에 대해서는 저비용 공정을 대안으로 채택하는 것이 바람직하다. 예를 들어, 대면적 표시소자 분야에서는 트랜지스터 정도의 부품이라도 중간 해상도를 제공하는데 충분할 수 있다. 따라서 박막 트랜지스터는 단결정 실리콘 웨이퍼 상에 구조체를 형성하는 통상의 공정에 대한 대안을 제공할 수 있다.

과제의 해결 수단

[0007] 제1 태양에서, 본 발명은 일 표면을 갖는 기관 및 상기 표면의 적어도 일부에 약 5 미크론 이하의 평균 두께를 갖는 복합재 코팅을 구비하며, 1차 입자의 평균 크기가 약 100 nm 이하인 결정질 실리콘 나노입자 및 이 결정질 실리콘 입자 주변에 비정질 실리콘 매트릭스를 포함하는 구조체를 제공한다.

[0008] 다른 태양에서, 본 발명은 일 표면을 갖는 기관 및 공극 부피가 약 5% 이하이고 평균 두께가 약 10 미크론 이하인 원소 실리콘의 나노-결정질 코팅을 구비하는 구조체를 제공한다. 상기 결정의 평균 직경은 TEM 분석으로 측정시 약 100 nm 이하일 수 있다. 또한, 상기 결정의 적어도 90%는 주축(principle axis)을 따라 위치하는 가장 긴 길이를, 주축을 따라 위치하는 가장 짧은 길이로 나눈 비율이 3 이하의 값을 가질 수 있다.

[0009] 다른 구현예에서, 본 발명은 일 표면을 갖는 기관 및 이 기관 표면의 약 75 퍼센트 이하를 피복하며 약 10 미크론 이하의 평균 두께를 갖는, 패턴화된 나노결정질의 도핑된 원소 실리콘 코팅과 상기 표면의 나머지 부분을 효과적으로 피복하는 진성(intrinsic) 원소 실리콘 코팅을 구비하는 구조체를 제공하며, 상기 도핑된 나노결정질 원소 실리콘 코팅은 입방 센티미터당 적어도 약 1×10^{19} 원자의 평균 도펀트 농도를 갖는다.

[0010] 다른 구현예에서, 본 발명은 결정질 원소 실리콘 기관 및 이 기관 표면의 적어도 일부를 덮는 코팅을 구비하는 실리콘 구조체를 제공하며, 상기 코팅은 약 10 미크론 이하의 평균 두께 및 적어도 약 5×10^{19} atm/cm³의 평균 도펀트 농도를 갖는 도핑된 나노결정질 실리콘을 포함하고, 도펀트 프로파일은 적어도 약 1×10^{19} atm/cm³의 도펀트 농도를 갖는 위치에서 상기 표면에 대해 수직 방향(normal)으로 존재하는 코팅으로부터 적어도 약 0.5 미크론의 깊이까지 상기 실리콘 기관으로 연장된다.

[0011] 다른 구현예에서, 본 발명은 약 1 g/cm³ 내지 약 2.1 g/cm³의 밀도 및 XRD-기준으로 약 20 nm 내지 약 200 nm의 결정 크기를 갖는 원소 실리콘 함유 실리콘 구조체를 제공한다.

[0012] 또한, 본 발명은 기관 상에 실리콘 코팅을 형성하는 방법을 제공하며, 이 방법은 약 200 nm 이하의 평균 1차 입자 크기를 갖는 결정질 실리콘 나노입자의 입자상 코팅의 상부 및 내부에 비정질 실리콘 매트릭스를 형성하여 비정질 매트릭스 내에 매립된 결정질 실리콘 나노입자 함유 복합재를 형성하는 단계를 포함한다. 일반적으로 상기 입자상 코팅은 약 5 미크론 이하의 평균 두께를 갖는다.

[0013] 또한, 본 발명은 기관 표면의 적어도 일부에 실리콘 나노입자 잉크 데파짓(deposit)을 조밀화하는 방법을 제공하며, 이 방법은 도포된 실리콘 나노입자에 기계적 압력을 인가하는 단계; 및 동시 그리고/또는 압력 인가 이후, 약 1,200°C 이하의 온도까지 상기 실리콘 나노입자 데파짓을 가열하여 이 입자를 조밀한 층으로 소결하는 단계를 포함한다.

도면의 간단한 설명

[0014] 도 1은 비정질 실리콘의 매트릭스 내에 매립된 결정질 실리콘 나노입자의 복합재에 대한 어닐링 공정을 도시하는 개략도이며, 이들은 좌측 도면에 도시한 복합재 및 우측 도면에 도시한 나노결정질 물질을 포함하는 나노결정질 물질을 형성하기 위하여 어닐링된다.

도 2는 실리콘 복합재가 코팅된 기관에 대한 어닐링 단계를 수행하기 위한 오븐의 개략도이다.

- 도 3은 코팅된 웨이퍼의 급속 열처리 공정을 도시하는 개략도이다.
- 도 4는 전면 및 후면 모두에 위치하는 도핑된 접촉부를 구비하는 광전지의 정면도이며, 그리드를 따라 위치하는 집진체를 보여준다.
- 도 5는 도 4의 광전지를 선 5-5에 따라 자른 단면을 나타내는 단면도이다.
- 도 6은 상기 전지의 시각화를 차단하는 후면 밀봉재 없이 반대 극성의 후면 접촉부를 구비하는 광전지의 배면도이다.
- 도 7은 선 7-7을 따라 자른, 도 6의 광전지의 단면도이다.
- 도 8은 2개의 광전 소자를 구비하는 박막 태양전지의 구현예를 나타내는 개략적인 단면도이다.
- 도 9는 실리콘 복합재 코팅 웨이퍼의 단면에 대한 SEM 화상의 모습이며, 상기 실리콘 복합재는 비정질 실리콘 매트릭스에 매립된 결정질 실리콘 나노입자를 포함한다. 상기 복합재층은 진성(상부 좌측 패널), n++ 도핑(상부 우측 패널), p+ 도핑(하부 좌측 패널), 또는 n+ 도핑(하부 우측 패널) 실리콘 입자를 포함하며, 이 입자는 비도핑된 비정질 실리콘 매트릭스에 매립된다.
- 도 10은, 복합재층을 어닐링하여 얻어지는, 비정질 실리콘 매트릭스에 매립된 결정질 실리콘 나노입자를 포함하는 복합재층 및 나노결정질 실리콘층의 진동 라만 스펙트럼을 포함하는 그래프이다.
- 도 11은 결정질 실리콘 웨이퍼 상에 나노결정질 실리콘층 및 에피택셜층을 포함하는 구조체의 단면에 대한 고해상도 TEM 화상이다. 상기 나노결정질 실리콘층 및 상기 에피택셜층은 비정질 실리콘 매트릭스에 매립된 결정질 실리콘 나노입자를 포함하는 실리콘 복합재를 어닐링하여 얻어졌다.
- 도 12는 고배율로 얻어진, 도 11에 도시한 구조체의 단면에 대한 고해상도 TEM 화상이다.
- 도 13은 도 12에 도시한 구조체의 나노결정질 실리콘층(좌측 패널) 및 에피택셜층(우측 패널)의 고해상도 TEM 화상의 모습이다.
- 도 14A는 도 12에 도시한 구조체의 나노결정질 실리콘층(상부 패널), 에피택셜층(중간 패널), 및 웨이퍼 기판(하부 패널)으로부터 얻어진 SAED 패턴의 모습이다.
- 도 14B는 나노결정질층으로부터 얻어지는, GI XRD 회절분석 결과 데이터의 플롯을 도시한 그래프이며, GI XRD 회절분석 결과 데이터와 부합한다.
- 도 15는 결정질 실리콘 웨이퍼 기판 상의 나노결정질층을 포함하는 구조체의 단면에 대한 SEM 화상이며, 상기 나노결정질층은 비정질 실리콘 매트릭스에 매립된 20 nm의 평균 1차 입경을 갖는 n++ 도핑된 실리콘 입자를 포함하는 실리콘 복합재로부터 얻어진다. 상기 복합재는 0.25 μ m의 두께를 갖는 스핀-온(spin-on) 잉크층으로부터 생성되었다.
- 도 16A는 기판 상에 나노결정질층을 포함하는 구조체에 대한 도펀트 프로필을 포함하는 그래프이며, 상기 나노결정질층은 기판 상에 복합재층을 포함하는 대응 구조체 상에 950 $^{\circ}$ C(실선) 또는 1050 $^{\circ}$ C(점선)에서 도펀트를 주입하여 생성된다. 상기 복합재층은 20 nm의 평균 1차 입경을 갖는, n++ 도핑된 실리콘 입자를 포함하였다.
- 도 16B는 기판 상에 나노결정질층을 포함하는 구조체에 대한 도펀트 프로필을 포함하는 그래프이며, 상기 나노결정질층은 기판 상에 복합재층을 포함하는 대응 구조체 상에 도펀트를 주입하여 생성된다. 상기 복합재층은 0.5 μ m(실선) 또는 1.0 μ m(점선)의 두께를 갖는 스핀-온 잉크층으로부터 생성되었다.
- 도 17A는 도 11에 도시한 구조체의 단면에 대한 SEM 화상이다.
- 도 17B는 고배율로 얻어진, 도 17A에 도시한 구조체의 단면에 대한 SEM 화상이다.
- 도 18A는 동일한 배율이지만 스테인-에칭 후에 얻어진, 도 17A에 도시한 구조체의 단면에 대한 SEM 화상이다.
- 도 18B는 동일한 배율이지만 스테인-에칭 후에 얻어진, 도 17B에 도시한 구조체의 단면에 대한 SEM 화상이다.
- 도 19A는 결정질 실리콘 웨이퍼 기판 상의 나노결정질 실리콘층을 포함하는 구조체의 단면에 대한 SEM 화상이며, 이 나노결정질층은 비정질 실리콘 매트릭스에 매립된 20 nm의 평균 1차 입자 크기를 갖는 n++ 도핑된 실리콘 입자를 포함하는 대응 구조체 상에 1050 $^{\circ}$ C에서 도펀트를 주입하여 생성된다.
- 도 19B는 고배율로 얻어지며, 도 19A에 도시한 구조체의 단면이다.

도 20A는 저배율이지만 스테인-에칭 후에 얻어진, 도 19A에 도시한 구조체의 단면에 대한 SEM 화상이다.

도 20B는 동일한 배율이지만 스테인-에칭 후에 얻어진, 도 19B에 도시한 구조체의 SEM 화상이다.

도 21A는 도펀트 주입 이전(점선) 및 이후(실선)의 비정질 실리콘 매트릭스에 매립된 7nm의 평균 1차 입경을 갖는 실리콘 나노입자를 포함하는 실리콘 복합재를 포함하는 구조체에 대한 도펀트 프로필을 포함하는 그래프이다.

도 21B는 도 21A에 도시한 주입 이후 생성된 나노결정질층에 상응하는 구조체의 단면을 나타내는 SEM 화상이다.

도 22는 기판 상에 나노결정질층을 포함하는 구조체의 단면에 대한 SEM 화상이며, 상기 나노결정질층은 0.25 μ m의 타겟 평균 두께를 갖는 다공성 나노입자층으로부터 생성된다.

도 23은 고배율로 얻어지며, 도 22에 도시한 구조체의 단면에 대한 SEM 화상이다.

도 24는 상이한 배율로 얻어지며, 결정질 실리콘 웨이퍼 상에 나노결정질 실리콘층을 포함하는 구조체의 단면에 대한 SEM 화상의 모음이다. 상기 나노결정질층은 20 nm의 평균 1차 입경 및 1 μ m의 평균 두께를 가지는 실리콘 나노입자를 포함하는 대응 복합재층 상에 도펀트를 주입하여 생성되었다.

도 25는 결정질 실리콘 웨이퍼 상에 나노결정질 실리콘층을 포함하는 구조체의 단면에 대한 SEM 화상이다. 상기 나노결정질층은 7 nm의 평균 1차 입경 및 0.5 μ m의 두께를 가지는 실리콘 나노입자를 포함하는 대응 복합재 상에 도펀트를 주입하여 생성되었다.

도 26A는 실리콘 웨이퍼 기판 상에 2개의 버스 바(bus bars) 및 다수의 핑거(fingers)를 갖는 인쇄 패턴을 구비하는 구조체의 사진 화상이며, 패턴화된 스크린은 실리콘 나노입자 함유 페이스트로 인쇄된다.

도 26B는 도 27A에 도시한 구조체의 단면에 대한 SEM 화상이다.

도 27은 고배율로 얻어진, 도 27B에 도시한 단면 중 일부의 SEM 화상이다.

도 28A는 스테인-에칭 이후 얻어진, 도 27에 도시한 구조체의 단면에 대한 SEM 화상이다.

도 28B는 저배율로 얻어진, 도 28A에 도시한 구조체의 단면에 대한 SEM 화상이다.

도 29는 노(furnace) 처리 이후 얻어지며, 다이 내에서 대표적인 나노결정질 실리콘 펠렛의 사진 화상이다. 상기 펠렛은 결정질 실리콘 나노입자 분말을 다이에서 가압하는 단계 및 상기 가압된 구조체를 열처리하는 단계에 의해 생성되었다.

도 30은 다이에서 가압되고 열처리된 20nm의 평균 1차 입경을 갖는 n++ 도핑된 결정질 실리콘 입자를 포함하는 분말로부터 생성된 나노결정질 실리콘 펠렛의 단면에 대한 고해상도 TEM 화상이다.

도 31은 도 30에 도시한 나노결정질 실리콘 펠렛으로부터 얻어진 ED 패턴이다.

도 32는 다이에서 가압되고 열처리된 20nm의 평균 1차 입경을 갖는 n++ 도핑된 결정질 실리콘 입자를 포함하는 분말로부터 생성된 나노결정질 실리콘 펠렛으로부터 얻어진 DFI 화상의 모음이다.

도 33은 다이에서 가압되고 열처리된 20nm의 평균 1차 입경을 갖는 n++ 도핑된 결정질 실리콘 입자를 포함하는 분말로부터 생성된 나노결정질 실리콘 펠렛에 대한 DFI 분석에 의해 얻어진 결정 크기 분포의 플롯이다.

도 34는 결정질 실리콘 웨이퍼 조각을 함유하는 나노결정질 실리콘 펠렛의 단면에 대한 SEM 화상이다. 상기 나노결정질 실리콘 펠렛은, 20nm의 평균 1차 입경을 갖는 n++ 도핑된 실리콘 입자를 포함하는 분말에 매립된 실리콘 웨이퍼 조각을 다이에서 가압한 후, 이 가압된 구조체를 열처리하여 생성되었다.

도 35는 고배율로 얻어지며, 도 34에 도시한 나노결정질 실리콘 펠렛의 단면에 대한 SEM 화상이다.

도 36은 다이에서 가압되고 열처리된 20nm의 평균 1차 입경을 갖는 n++ 도핑된 결정질 실리콘 입자를 포함하는 분말로부터 생성된 나노결정질 실리콘 펠렛의 단면에 대한 SEM 화상이다.

도 37은 고배율로 얻어진, 도 36에 도시한 나노결정질 실리콘 펠렛의 단면에 대한 SEM 화상이다.

도 38은 고배율로 얻어진, 도 37에 도시한 나노결정질 실리콘 펠렛의 단면에 대한 SEM 화상이다.

도 39는 다이에서 가압되고 열처리된 7 nm의 평균 1차 입경을 갖는 n++ 도핑된 결정질 실리콘 입자를 포함하는 분말로부터 생성된 나노결정질 실리콘 펠렛의 단면에 대한 SEM 화상이다.

- 도 40은 고배율로 얻어진, 도 39에 도시한 나노결정질 실리콘 펠렛의 단면에 대한 SEM 화상이다.
- 도 41은 고배율로 얻어진, 도 40에 도시한 나노결정질 실리콘 펠렛의 단면에 대한 SEM 화상이다.
- 도 42는 고배율로 얻어진, 도 41에 도시한 나노결정질 실리콘 펠렛의 단면에 대한 SEM 화상이다.
- 도 43은 두 구조체에 대한 GI XRD 분석으로부터 얻어진 회절 분석결과와 플롯을 도시한 그래프이며, 각각은 결정질 실리콘 기관 상에 어닐링된 나노결정질층을 포함하며, 이 어닐링된 나노결정질층은 비정질 실리콘 매트릭스에 매립된 7nm, n++ 실리콘 나노입자를 포함하는 복합재층 상에 도펀트를 주입하여 생성되었다.
- 도 44는 도 43에 도시한 회절 분석결과 중 하나에 대응하는 구조체의 단면에 대한 고해상도 TEM 화상이다.
- 도 45는 도 44에 도시한 구조체의 단면 중 상이한 영역의 고해상도 TEM 화상이다.
- 도 46은 도 44에 도시한 구조체의 어닐링된 나노결정질층 영역의 고해상도 TEM 화상이다. 도 47은 도 44에 도시한 구조체의 기관 영역에 대한 고해상도 TEM 화상이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 고품질의 실리콘 나노입자 잉크, 특히 고함량으로 도핑된 잉크는 도포(deposition) 및 이렇게 도포된 입자의 혼입(consolidation)을 통해 유용한 실리콘 구조체를 형성하는 기회를 제공한다. 특히, 일부 구현예에서, 비정질 실리콘 매트릭스는 잉크와 함께 형성된 실리콘 나노입자 테파짓의 존재하에 증착되어 복합재로서 사용되거나 더 가공될 수 있는 비교적 조밀한 복합 물질을 형성하게 된다. 특히, 화학 기상 증착 공정(CVD)을 사용하여 실리콘 나노입자를 둘러싸는 매트릭스로서 비정질 원소 실리콘을 증착함으로써 복합 물질을 형성할 수 있다. 일부 구현예에서, 상기와 같이 얻어진 복합재는 증착된 자체로 유용할 수 있으며, 예를 들어 박막 태양전지의 층으로서 유용할 수 있다. 또한, 상기 복합재는 열처리되어 나노결정질층을 형성할 수 있다. 도핑시 상기 복합재는 실리콘 기관에 도펀트를 주입하는데 사용되어, 목적하는 도펀트 프로필을 갖는 접합 인터페이스를 형성할 수 있다. 마찬가지로, 상기 복합재를 어닐링하여 상기 기관에 도펀트가 거의 주입되지 않거나 전혀 주입되지 않은 나노결정질층을 생성할 수 있으며, 이는 반도체 재료 또는 다른 재료가 될 수 있다. 다른 구현예에서, 잉크로부터 얻어진 입자의 분말 테파짓은 가열 이전 단계 및/또는 가열 단계에서 물리적으로 압축되어 실질적인 조밀화 공정 및 상기 입자를 용융하지 않고 소결하는 공정을 보다 용이하게 할 수 있다. 얻어진 조밀화 구조체는 저수준의 공극률에 상응하는 밀도를 갖는 나노결정질일 수 있지만, 이 밀도는 완전히 조밀화된 원소 실리콘의 밀도보다는 다소 낮은 값을 갖는다. 일부 분야에서, 상기 나노입자 테파짓, 상기 실리콘의 조밀화 형태 외에 비정질 실리콘 매트릭스를 포함하는 복합재는 패터닝될 수 있다. 상기 혼입된 실리콘 구조체는 예를 들어 단결정질 실리콘 기관, 박막 태양전지 부재 및/또는 전자 부품, 예를 들어 박막 트랜지스터 상에 태양전지 접합 접촉부를 형성하는데 유용할 수 있다.
- [0016] 바람직한 복합재 및 기타 실리콘 구조체는 원하는 구조로 후처리될 수 있는, 균질한 입자 테파짓을 형성하기 위하여 도포될 수 있는 고품질 실리콘 잉크를 도포하는 능력에 근거하여 본 명세서에 기재된다. 상기 잉크의 나노입자는 장치 부품을 직접적으로 제조하는데 주로 사용될 수 있으며, 일부 분야에서는 초기 실리콘 나노입자를 조밀화하여 보다 큰 전도성을 나타내고/거나 원하는 수준의 기계적 완전성(integrity)을 제공하는 구조체를 형성하는 것이 바람직하다. 다양한 분야에서, 도포된 나노입자를 솔리드화시키기 위하여 상기 나노입자를 용융시킬 수 있지만, 이 입자를 용융시킬 정도로 상기 구조체를 고온으로 가열하지 않는 것이 바람직하다. 본 명세서에 기재한 바와 같이, 상기 조밀화 공정은 실리콘 용점보다 훨씬 낮은 온도에서 수행될 수 있으므로, 에너지 소비량이 감소하고, 상기 실리콘 용점에 근접한 온도를 버틸 수 없는 기관 상에서 수행될 수 있다. 상기 입자를 용융시키는 공정이 단결정 또는 적어도 매우 큰 결정 크기를 유발할 수 있지만, 많은 경우, 저온에서 형성된 나노결정질 또는 매립된 나노결정질 구조체는 충분한 전도성 및 기타 적절한 물성을 제공할 수 있게 된다.
- [0017] 상기 나노입자 잉크는 완전한 층을 형성하거나 패턴화된 층/구조체를 형성하기 위하여, 필요시 도펀트와 함께 원소 실리콘을 용이하게 공급할 수 있는 공급원을 제공하며, 이는 매우 고농도에서 나노입자로 존재할 수 있다. 높은 도펀트 농도를 갖는 나노입자를 형성하는 능력은, 국부화된 위치에서 목적하는 고농도의 도펀트를 갖는 구조체의 형성방법을 제공한다. 상기 잉크가 상기 입자로부터 도펀트를 전달하는 도펀트 공급원으로 사용될 수 있지만, 도펀트를 사용하거나 또는 도펀트 없이 충분한 수준으로 상기 나노입자를 조밀화하여 상기 도포된 입자를 기계적으로 안정화시키고/시키거나 상기 나노입자로부터 형성된 구조체를 통해 적절한 전도성을 제공하도록 상기 입자를 충분히 조밀화하는 것이 다양한 분야에서 바람직할 수 있다.
- [0018] 실리콘 잉크는 적절한 도포 공정에서 사용될 수 있는 실리콘 나노-입자의 분산액이다. 일반적으로, 적절한 품질

을 갖는 실리콘 나노입자 잉크를 제공할 수 있는 어떤 공급원이라도 사용할 수 있다. 고품질의 잉크 형성에 적절한 고균질 및 고도핑된 실리콘 나노입자가 형성될 수 있다. 예를 들어, 레이저 열분해 또는 플라즈마 합성 접근법을 이용하여, 도핑된 실리콘 나노입자를 형성할 수 있다. 실리콘 나노입자의 합성을 위해 라디오파(radiofrequency) 플라즈마 장치를 사용하는 것은 인용에 의해 본 명세서에 통합된 미국 특허공개번호 제 2009/0014423A호 "Concentric Flow-Through Plasma Reactor and Method Therefore" (Li 등)에 기재되어 있다. 레이저 열분해는 실리콘 잉크의 형성을 위한, 고도핑된 실리콘 입자의 바람직한 공급원으로서 개발되어 왔다. 실리콘 입자는 나노 수준의 평균 입자 크기, 예를 들어 100 나노미터 미만의 평균 입경을 가지도록 합성될 수 있다.

[0019] 레이저 열분해는 원하는 특성을 가진 고균질 실리콘 입자를 형성하도록 설계된 반응이 일어나도록 강한 광선(light beam)을 사용한다. 입자는, 반응물 노출에서 시작되고, 포집 시스템에서 종결되는 플로우에서 합성된다. 도펀트 농도는 반응물 스트림(stream) 내에서 도펀트 전구체를 사용하여 제어할 수 있다. 입자 크기는 합성 조건을 그에 맞게 조절함으로써 제어할 수 있다. 고품질의 잉크를 제조하기 위하여, 일반적으로 약 100 nm 이하의 평균 1차 입자 크기를 가지는 나노입자를 합성하는 것이 바람직하다. 레이저 열분해를 사용하여 매우 균질하고 순수한 입자를 제조할 수 있으며, 필요시 원하는 도펀트 농도를 갖게 할 수 있다. 상기 균질 입자는 비교적 고농도로 잉크 내에 잘 분산될 수 있으며, 잉크의 특성은 소정 이송 공정에 적합하게 조절될 수 있다.

[0020] 레이저 열분해 공정시, 생성물 입자에 결합된 도펀트 원소를 얻기 위해, 상기 도펀트 원소는 실리콘 전구체와 함께 적절한 전구체 조성물로서 반응물 스트림에 이송될 수 있다. 일반적으로, 상기 반응물 스트림은 기상 전구체 및/또는 에어로졸 전구체를 포함할 수 있으나, 실리콘 물질에 대해서는 고순도 기상 전구체가 유용할 수 있다. 레이저 열분해는 광범위한 종류의 도펀트 또는 도펀트의 조합물을 포함하는 도핑된 실리콘 입자를 제조하기 위해 사용될 수 있다. 구체적으로는, 수 원자%의 도펀트 농도를 얻을 수 있다. 높은 도펀트 농도를 달성할 수 있는 성질을 이용해, 도펀트가 반도체 물질에 이송되는 분야 또는 이들 고농도의 도펀트를 갖는 장치를 제조하는데 특히 바람직한 대응 잉크를 제조할 수 있게 된다. 평균입자크기 조절, 낮은 불순물 레벨, 그리고 양호한 균질성을 갖는 분산성 입자를 얻는 것이 가능하면서도 높은 도펀트 농도를 얻을 수 있다. 반도체 기관의 도핑에 있어서, 바람직한 도펀트는 예를 들어, B, P, Al, Ga, As, Sb 및 이들의 조합을 포함한다. 재료의 범위 형성을 위한 레이저 열분해법의 일반적인 용도는 인용에 의해 본 명세서에 통합된 미국 특허 제7,384,680호 "Nanoparticle Production and Conesponding Structures" (Bi 등)에 기재되어 있다. 고도핑된 실리콘 나노입자의 합성은 인용에 의해 본 명세서에 통합된, 동시-계류중인 미국 특허출원번호 제13/070,286호 (현재 미국 공개특허번호 제2011/0318905호 "Silicon/Germanium Nanoparticle Inks, Laser Pyrolysis Reactors For the Synthesis of Nanoparticles and Associated Method" (Chiruvolu et al.)에 또한 기재되어 있다.

[0021] 상기 실리콘 나노입자 잉크는 일반적으로 기관의 표면을 피복하는 코팅 방법 또는 표면을 따라 상기 잉크를 패턴화할 수 있는 인쇄 방법을 이용하여 도포할 수 있다. 적합한 코팅 방법은 예를 들어, 스프인코팅법, 분무 코팅법, 나이프-엣지 코팅법, 압출법 등을 포함한다. 인쇄 기술은 상기 잉크의 효율적인 패턴링, 및 상기 나노입자의 도핑시 얻어지는 실리콘의 도핑 영역 측면에서 특히 바람직하다. 상기 잉크의 특성을 제어하는 능력이 개선되므로, 상기 실리콘 나노입자는 비교적 높은 해상도로 빠르게 인쇄될 수 있다. 일부 구현예에서, 적합한 인쇄 방법은 예를 들어 잉크젯 인쇄법, 스크린 인쇄법, 그라비아 인쇄법 또는 다른 적절한 인쇄 공정을 포함한다. 상기 도포용 잉크는 용매의 종류, 농도, 첨가제 및/또는 다른 조성물에 기반한 다양한 증착법 또는 공정 파라미터에 의해 제조할 수 있다. 인쇄 공정을 이용하여, 상이한 도펀트로 도핑된 나노입자는 기관 표면을 따라 상이한 위치에 배치될 수 있다. 유사하게, 기관을 따라 배치된 도핑된 나노입자는 인접한 기관으로 주입가능한 도펀트를 제공할 수 있는 도펀트 공급원이 될 수 있다. 따라서, 예를 들어, 도핑된 접촉부의 바람직한 패턴이 태양전지 부재를 위해 형성될 수 있으며, 패턴화된 부재가 트랜지스터를 위해 형성될 수 있다.

[0022] 상기 도포된 실리콘 나노입자의 패턴링을 사용하여 적절한 기능을 도입할 수 있다. 상기 실리콘 잉크는 원하는 패턴을 형성하기 위한 다양한 인쇄법에 적합하며, 일부 구현예에서 상기 기관 표면 영역의 약 75% 이하를 피복하게 된다. 상기와 같이 인쇄된 패턴은 도핑된 실리콘을 포함할 수 있으며, 도펀트 종류 및/또는 농도는 상기 나노입자 데파짓에 대해 전반적으로 균질 또는 비균질할 수 있다. 특히, 일부 구현예에서, n-형 도펀트는 특정 위치에 도포될 수 있으며, p-형 도펀트는 이와 다른 위치에 도포될 수 있다. 본 명세서에 기재된 기술을 사용하면, 상기 패턴화된 나노입자 데파짓은, 도포된 실리콘 나노입자의 패턴에서 조밀화될 수 있다. 조밀화 공정 이후, 상기 실리콘 구조체는 적절한 부재로서 최종 장치에 통합될 수 있다.

[0023] 나노입자는 동일한 화학 조성을 갖는 벌크 물질보다 더 낮은 온도에서 용융될 수 있다. 그럼에도 불구하고, 입자 몇개의 깊이보다 더 큰 두께를 갖는 층의 경우, 이미 도포된 상기 나노입자는 상기 벌크 용점보다 현저히 더

낮은 온도에서 약간 용합될 수 있지만, 이미 도포된 나노입자 구조체는 상기 온도에서 크게 조밀화되지 않는 것이 일반적이다. 따라서, 일부 조밀화된 도메인이 관찰될 수 있지만, 이미 도포된 실리콘 나노입자 층은 현저한 공극률 없이 약 1,200°C 이하의 온도에서 적어도 약 25 nm 정도의 두께를 갖는 구조체로 조밀화되지 않는 것이 일반적이다. 도포 및 건조 공정 이후 나노입자 잉크는 상당한 수준으로 농축되지 않더라도, 매우 조밀하지 않은 것이 일반적이다. 본 명세서에 기재한 바와 같이, 실리콘 나노입자 테파질을 조밀화시키는 두가지 효과적인 방법을 기술한다. 나노입자 실리콘 테파질을 조밀화하는 공정은 상기 테파질의 속성 및 원하는 최종 구조를 기준으로 선택할 수 있다.

[0024]

가열단계 이전 및/또는 가열 공정중 상기 실리콘 나노입자 테파질을 조밀화하기 위하여 압력을 기계적으로 인가하는 것이, 상기 실리콘 용점보다 아주 낮은 소결 온도를 상기 실리콘 나노입자에 가할 때 조밀화 상태를 상당히 개선할 수 있음이 발견되었다. 상기 실리콘 구조체는 완전히 조밀화될 수 없지만, 생성 물질은 시각적으로 저수준의 공극률을 가질 수 있다. 일반적으로, 상기 물질은 약 1 g/cm³ 내지 약 2.1g/cm³ 의 밀도로 형성될 수 있다. 이러한 생성 물질은 x-선 결정법으로 측정시 약 20 nm 내지 약 200 nm의 결정 크기를 갖는 결정질이다. 따라서, 넓은 범위의 두께를 가지는 비교적 조밀한 실리콘층이, 도포된 실리콘 잉크로부터 형성될 수 있다. 특히, 상기 조밀화된 나노결정질 물질의 두께는 약 100 nm 내지 2 밀리미터의 범위를 가질 수 있다. 힘을 가하여 상기 실리콘 잉크를 조밀화하는 경우, 미리 도포된 실리콘 잉크를 조밀화하기 위해 가해지는 힘으로 인해 손상되지 않는 기판을 선택할 수 있다. 상기 조밀화 공정을 이용하여 보다 두꺼운 층이 형성될 수 있으므로, 비교적 넓은 범위의 구조체가 얻어질 수 있다. 예를 들어, 소정 두께로 호일을 형성할 수 있는, 압력 및 열을 가한 이동식 구조체 (예를 들어 가열 롤러 등) 위로 상기 실리콘 나노입자의 테파질을 통과시키는 등의 방법으로 실리콘 호일이 분말로부터 얻어질 수 있다. 일반적으로, 압력을 가하는 동안, 또는 가한 후 상기 실리콘 구조체의 혼입 공정이 약 1,200°C 이하의 온도에서 수행된다. 이와 달리, 이미 도포된 나노입자 실리콘의 공극에 채워지는 비정질 실리콘의 증착 공정에 기초하여 본 명세서에 기재된 방법은 상기 기판에 힘이 가해지지 않기 때문에 보다 넓은 범위의 기판 상에 형성된 코팅에 적용 가능하다.

[0025]

대안적 또는 부가적 구현예에서, 비정질 원소 실리콘은 미리 도포된 잉크의 박막 상부 및 내부에 저압 화학 기상 증착법(LPCVD)과 같은 화학 기상 증착법을 사용하여 증착되어, 비정질 실리콘 매트릭스에 매립된 나노결정질 실리콘 입자의 복합체를 형성할 수 있음이 밝혀졌다. 상기 비정질 실리콘의 증착은 상기 실리콘 나노입자의 패터닝 여부와 무관하게 상기 기판 표면 전체에 걸쳐 수행될 수 있다. 상기 실리콘 나노입자가 패터닝된 경우, 상기 패터닝 복합체 사이에 비정질 실리콘층을 갖는 복합체 구조체에 가압 공정을 더 수행하여, 상기 패터닝 내 상이한 위치에서 상이한 물성을 갖는, 패터닝 처리된 최종 물질을 형성할 수 있다. 기상 증착법으로 증착된 상기 비정질 실리콘 물질은 도핑되거나 되지 않을 수 있으며, 상기 실리콘 나노입자 테파질은 도핑되거나 도핑되지 않을 수 있다. 또한, 비정질 실리콘층은 상기 증착공정의 종료시 상기 복합체의 상단에 위치할 수 있다. 미리 도포된 실리콘 나노입자가 충분히 얇은 층에 존재한다면, 생성된 복합체는 비교적 낮은 공극률을 가질 수 있다. 상기 복합체는 주사 전자 현미경에서 공극률을 측정하는 방식으로 그 단면을 검사하여 분류할 수 있다. 일반적으로 상기 나노입자층은 약 5 마이크론 이하의 두께를 갖는다. 생성된 복합체는 생성된 그대로 특정 분야에 적합할 수 있다. 특히, 상기 비정질 실리콘 및 나노입자 실리콘의 복합체는 박막 태양전지의 부재에 적합한, 바람직한 광학적 흡광 특성을 가질 수 있다.

[0026]

비정질 실리콘 매트릭스 내에 매립된 실리콘 나노입자를 포함하는 상기 복합 조성물은 형성된 그대로 유용한 물질일 수 있지만, 이 물질을 어닐링하기 위해 가열하여 나노결정질 물질을 형성할 수 있으며, 이 물질에 분산된, 비교적 균질한 결정으로 제조할 수 있다. 적절한 가열 조건 하에, 상기 생성물은 눈에 보이는 낮은 공극률에 불과한, 본질적으로 균질한 나노결정질인 것으로 밝혀졌다. 상기 나노결정질 물질은 변화(transition) 전자 현미경으로 측정시 약 200 nm 이하의 평균 결정 크기를 갖는 것으로 관찰된다. 또한, 상기 구조체 내에 매립된 상기 결정은 상당한 등방성 및 비신장성 형상을 갖는 것으로 관찰된다. 즉, 상기 결정은, 상기 기판 표면에 수직으로 배향된 바늘 형상을 갖도록 화학 기상 증착법에 의해 직접 성장된 거대결정질 실리콘과 달리, 서로간에 3배 이상 변하지 않는 직경을 가지며, 이 직경은 상기 입자의 중심을 지난다. 따라서, 얻어진 나노결정질 물질은 독특한 구조를 가질 것으로 여겨진다. 상기 물질은 고풍량으로 도핑되어 원하는 전기적 특성을 가질 수 있다. 일부 구현예에서, 상기 혼입된 물질은 적어도 약 1×10^{19} atm/cm³의 도펀트 농도를 가질 수 있다.

[0027]

이론적으로는, 상기 결정질 실리콘 나노입자 및 비정질 실리콘 매트릭스의 복합체가 증착된 상태 그대로 사용될 수 있지만, 이 복합체를 어닐링하여 나노결정질 물질을 형성할 수 있다. 상기 어닐링 공정이 세라믹 기판 상에서 수행되는 경우, 존재하는 도펀트가 상기 기판으로 다량 이동하지 않는 것이 일반적이다. 일부 구현예에 있어

서, 상기 어닐링 공정은 결정질 실리콘 또는 게르마늄과 같은 반도체 기판에서 수행된다. 상기 어닐링 공정을 수행하여 상기 기판으로 도펀트를 주입할 수 있으며, 그 결과 상기 기판으로 어느 정도 확장될 수 있는, 바람직한 도펀트 프로필을 얻을 수 있다. 이와 다른 방법으로서, 상기 어닐링 공정은, 상기 복합체로부터 나노결정질 물질을 그대로 생성하면서 상기 기판으로 도펀트가 전혀 이동하지 않는 조건으로 수행될 수 있다.

[0028] 일반적으로, 상기 실리콘 잉크로부터 얻어지는, 이미 도포된 실리콘 나노입자의 공극을 채우기 위해서는 상기 화학 기상 증착 조건을 조절해야 한다. 예를 들어 증착 속도가 너무 크면, 상기 비정질 실리콘은 상기 나노입자 실리콘층으로의 완전한 침투 없이 물질을 증착하는 것으로 관찰된다. 이론에 얽매이고 싶지 않지만, 높은 속도의 증착 공정은, 보다 깊은 곳의 공극이 채워지기 전에 상기 나노입자 데파짓 표면 근처의 공극을 따라 빠르게 실리콘을 증착하게 되므로 보다 깊은 곳의 공극은 증착 과정에서 채워지지 않게 된다. 도포된 잉크로부터 얻어진 나노입자층과 같은 다공성 기판 재료와 함께 적절한 증착 파라미터가 선택되는 경우, 상기 CVD 반응물은 반응을 위해 다공성 구조체 내의 공극으로 침투하여 상기 다공성 구조체를 채우게 된다. 상기 온도, 기체 압력, 및 다른 증착 파라미터는 원하는 증착 결과를 위해 적절히 조절될 수 있다. 마찬가지로, 상기 나노입자 코팅의 특성, 예를 들어 평균 1차 입자 크기 및 평균 층 두께는 대응하는 적절한 증착 조건에 영향을 줄 수 있다. 특히, 열구동식 LPCVD는 바람직한 증착법일 수 있지만, 증착 파라미터를 적절히 조절하면 다른 CVD 증착법도 원하는 증착 결과를 제공할 수 있다. 얻어진 상기 복합체는 비정질 원소 실리콘의 매트릭스 내에 둘러싸인 결정질 실리콘 나노입자의 네트워크를 포함한다.

[0029] 일반적으로, 실리콘 복합체를 제조하기 위한 적절한 기판이라면 어느 것이나 선택할 수 있다. 일부 구현예에서, 상기 기판이 태양전지와 같은 최종 장치의 통합부이므로 이 기판은 결정질 실리콘 웨이퍼인 것이 바람직하며, 상기 코팅은 도펀트 원소의 공급원으로서 사용될 수 있다. 그러나 다른 구현예에서, 박막 태양전지 또는 표시소자의 부재를 제조하기 위해 무기 글래스 기판과 같은 다른 기판 소재가 바람직할 수 있다. 일반적으로 상기 잉크의 도포는 주변 온도에서 수행할 수 있지만, 상기 실리콘 잉크에 사용된 용매에 적합한, 다른 온도를 사용할 수 있다. 상기 CVD 증착 공정은 예를 들어 LPCVD용으로 사용되는 약 450°C 내지 700°C와 같은 비교적 낮은 온도에서 수행할 수 있지만, 이보다 낮은 온도에서 다른 CVD법을 사용하는 것도 가능하다. 다른 열처리 공정이 수행되지 않는다면, 상기 기판은 이러한 온도에서의 안정성에 기초하여 선택할 수 있다.

[0030] 압축 실리콘 데파짓을 가열하여, 이 압축 실리콘 나노입자를 조밀화된 물질로 소결(sinter)하거나, 또는 비정질 실리콘 매트릭스 내 실리콘 나노입자의 복합체를 어닐링한다면 상기 온도는 1,200°C 이하인 것이 일반적이며, 이 기판은 적절히 선택될 수 있다. 상기 복합체의 열처리 공정은 적합한 오븐 등에서 수행할 수 있다. 부가적 또는 대안적 구현예에서, 가열 램프 등을 사용하는 급속 열처리 공정을 이용하여 상기 복합 물질을 어닐링할 수 있다.

[0031] 요약하자면, 상당히 조밀화된 실리콘 구조체를 제조하기 위한 방법들이 본 명세서에 기술되며, 실리콘 잉크는 상기 조밀화된 구조체의 적어도 일성분이 된다. 상기 조밀화된 구조체는 n-형 도펀트 또는 p-형 도펀트 등으로 도핑될 수 있다. 다른 구현예에서, 상기 조밀화된 실리콘 구조체는 도핑이 되지 않을 수 있다. 일부 구현예에서, 보다 높은 함량의 p-도핑 및/또는 n-도핑된 도메인과 달리 낮은 도펀트 농도를 갖는 것이 바람직할 수 있다. 진성 실리콘은 도핑되지 않거나 저농도의 도펀트 첨가량을 갖는 실리콘을 나타내기 위하여 사용되며, 상기 저농도는 예를 들어 1×10^{14} 내지 약 1×10^{18} atoms/cm³의 범위를 갖는다. 물론, 비도핑 실리콘이 백그라운드 수준의 오염물을 가지며, 낮은 수준으로 엔지니어링될 수 있다.

[0032] 본 명세서에 기재한 상기 실리콘 잉크의 데파짓 및 후속 조밀화 공정은 처리 조건 외에 목적 생성물에 기초하여 적절한 기판 상에서 수행할 수 있다. 일반적으로, 반도체 기판, 금속 기판 또는 세라믹 기판과 같은 비교적 광범위한 종류의 기판을 사용할 수 있다. 예를 들어, 상기 기판으로서, 태양전지 분야는 실리콘 기판, 표시소자 분야 또는 박막 태양전지 분야에서는 무기 글래스 기판을 사용할 수 있다.

[0033] 일부 구현예에서, 결정질 실리콘 웨이퍼 상에 본 명세서에 기재한 실리콘 코팅을 형성하는 것이 바람직할 수 있다. 실리콘 웨이퍼라는 용어는 특별한 형상이나 특정 두께와 상관없이, 얇은 실리콘 구조체라는 넓은 의미로 본 명세서에서 사용된다. 상기 결정질 실리콘 기판은 예를 들어 적어도 1 밀리미터의 평균 입자 크기를 갖는 단결정질 또는 다결정질일 수 있다. 결정질 실리콘 기판이 광범위한 반도체 분야에 사용될 수 있지만, 이들은 결정질 실리콘계 태양전지의 제조에 특히 바람직하다. 전기적 저항을 줄이기 위해 저도핑된 기본 광활성(photoactive) 실리콘층을 가지는 것이 바람직할 수 있다.

[0034] 더욱이, 상기 증착된 실리콘층은 고함량으로 도핑되어 도펀트 공급원으로서 작용할 수 있도록, 하부의 결정질 실리콘 기판으로 상기 도펀트가 주입될 수 있다. 실리콘 웨이퍼 내에서 바람직한 도펀트 프로필은 비정질 실리콘

매트릭스를 포함하는 도핑 나노입자층을 사용하여 제조할 수 있다. 적합한 도펀트의 도입은 반도체 실리콘 물질에서 전하 캐리어를 증가시킬 수 있으며, 그에 따라 상기 물질의 전기 저항값을 저하시킬 수 있다. 본 명세서에 기재한 바와 같이, 상기 도핑된 실리콘 잉크 및 조밀화된 대응 구조체를 사용하여 결정질 실리콘 웨이퍼계 태양 전지용 도핑된 접촉부를 형성할 수 있다. 상기 태양전지는 후면 접촉전지와 같이 태양전지의 후면을 따라 양쪽 극성의 도핑된 접촉부를 가지거나, 상기 태양전지의 대향면을 따라 반대 극성의 접촉부를 가질 수 있다. 또한, 상기 도핑된 실리콘 잉크 및 조밀화된 대응 구조체를 사용하여 박막 태양전지 및 박막 트랜지스터의 부재를 제조할 수 있다.

[0035]

일반적으로, 실리콘 기관의 어떤 공급원이나 사용할 수 있다. 본 명세서에 기재한 도펀트 주입 공정이 두꺼운 실리콘 기관에도 효과적일 수 있지만, 비용 및 자원 소비를 줄이기 위해, 일부 구현예에서 상기 실리콘 기관을 상당히 얇게, 예를 들어 약 250 미크론 이하의 평균 두께가 되도록 선택할 수 있다. 적합한 기관은 예를 들어, 단결정 실리콘 잉곳으로부터 절단된 웨이퍼를 포함한다. 다결정 실리콘은 실리콘 용융액으로부터 꺼낸 실리콘 리본으로 제조할 수 있다. 일반적으로, 상기 리본은 실리콘 용융액으로부터 꺼낸 구조체로부터 성장한다. 다른 구현예에서, 실리콘 호일은 반응성 증착을 통해서 이형층 위에 생성될 수 있고, 상기 호일은 그 후 추가 공정을 위해 분리될 수 있다. 또한, 본 명세서에 기재한 바와 같이, 다결정질 호일은 실리콘 나노분말을 조밀화시킨 후 가열하는 공정으로 제조할 수 있다.

[0036]

비정질 실리콘은 결정질 실리콘보다 현저히 큰 가시광선 흡광율을 갖는다. 마이크로결정질 실리콘 및 나노결정질 실리콘은 또한 가시광선에 대한 강한 흡광성을 갖지만, 상기 흡광은 비정질 실리콘의 흡광성만큼 크지 않으며, 마이크로결정질 실리콘 및 나노결정질 실리콘의 흡광 스펙트럼은 비정질 실리콘에 대한 흡광 스펙트럼으로부터 다소 변이된다. 가시광선에 대한 보다 큰 흡광성으로 인해, 비정질 실리콘 및/또는 나노결정질 실리콘으로부터 형성된 태양전지는 매우 얇은 구조를 가질 수 있으며, 박막 태양전지로 칭할 수 있다. 일반적으로 상기 박막 태양전지는 p-도핑층 및 n-도핑층을 갖는 스택층과 함께 다이오드 구조로 형성될 수 있으며, 바람직하게는 상기 도핑층 사이에 진성 층을 구비하여 p-i-n 구조체를 형성할 수 있다. 상기 p-i-n 구조체는 전체 구조에서 반복될 수 있다. 비정질 실리콘 매트릭스에 매립된 나노결정질 실리콘 분말을 포함하는 본 명세서에 기재된 복합체는 p-i-n 박막 태양전지의 층 형성에 매우 적합할 수 있다. 상기 도펀트는 필요시 상기 나노결정질 분말 및/또는 상기 비정질 실리콘 매트릭스에 도입될 수 있다. 상기 나노결정질 실리콘 및 상기 비정질 실리콘의 조합은 목적하는 스펙트럼 범위에서 전반적으로 바람직한 태양광 흡수 성질을 제공할 수 있다.

[0037]

본 명세서에 기재한 상기 실리콘 구조체는 또한 박막 트랜지스터 등과 같은 전자 부품을 제조하는데 효과적으로 사용될 수 있다. 원하는 성능 특성에 따라, 본 명세서에 기재된 다양한 구조체는 전자 소자의 부품으로 사용될 수 있다. 예를 들어, 상기 나노입자-비정질 실리콘 복합체는 구조체 내에 직접 사용될 수 있으며, 층이 특별히 얇다면 비교적 낮은 온도의 기관 상에 형성될 수 있다. 대안적 또는 부가적으로, 복합체가 형성된 후 균질한 나노결정질 물질을 생성하기 위하여 가열처리될 수 있다. 또한, 물리적으로 조밀한 실리콘 나노결정 데파짓을 소결하여 조밀화된 물질을 제조할 수 있다. 예를 들어, 상기 데파짓이 실리카 글래스 표시소자 물질과 같은 무기 글래스 시트, 또는 다른 세라믹 물질 상에 직접 또는 간접적으로 형성되는 경우, 상기 시트는 실리콘 나노입자 데파짓을 조밀하게 하기 위한 상당한 압력을 잘 견딜 수 있으며, 이후 적당한 온도로 가열하여 상기 실리콘을 조밀화된 펠렛으로 혼입할 수 있다.

[0038]

고품질의 실리콘 나노입자 잉크는 후속 공정을 위해, 원하는 기관 상에 원소 실리콘을 증착할 수 있는 바람직한 성능을 제공한다. 본 명세서에 기재한 방법은 이미 도포한 나노입자 데파짓을 조밀화된 구조로 혼입하기 위한 상당히 개선된 유연성을 제공한다. 특히, 조밀화된 상기 실리콘 구조체는 실리콘의 용점보다 훨씬 낮은 온도에서 생성될 수 있으며, 일반적으로 다양한 분야에서 바람직한 특성을 제공할 수 있다. 특히, 조밀화된 이들 실리콘 구조체는, 인쇄된 전자소자 분야 외에 태양전지 분야, 결정질 실리콘 웨이퍼계 태양전지 및 박막 실리콘 태양전지 모두에서 효과적으로 사용할 수 있다.

[0039]

실리콘 잉크

[0040]

일부 구현예에서, 실리콘 나노입자의 잉크는 다공성 데파짓으로서 기관 상에 원소 실리콘을 전달하기 위해 도포될 수 있다. 일부 구현예에서, 상기 실리콘 나노입자는, 태양전지용 도핑 접촉부, 박막 태양전지용 도핑층, 및 다른 도핑 반도체 구조체의 형성과 같은 도펀트 공급원을 효과적으로 제공할 수 있는 도펀트를 포함할 수 있다. 실리콘 잉크의 제형은 잉크로부터 생성된 데파짓으로부터 원하는 구조체를 형성하기 위한, 도포된 실리콘 나노입자의 바람직한 공정뿐만 아니라 잉크의 인쇄시 적절한 도포물을 제공하기 위해 선택될 수 있다. 여기서 특히 흥미로운 실리콘 잉크는 분산 용매(dispersing liquid) 및 임의의 첨가제를 따라 용매 내에 분산된 실리콘 나노

입자를 포함하는 분산액(dispersions)으로부터 형성된다. 일반적으로, 실리콘 나노입자, 예를 들어, 도핑된 실리콘 나노입자는 일반적으로 분말로서 포집되며, 이후에 잉크 형성 단계에서 분산된다. 분산액은 추가의 혼합 없이, 적당한 기간, 일반적으로 적어도 한 시간 동안 안정화시켜 침전을 방지할 수 있다. 분산액의 특성은 적합한 잉크를 형성하기 위해 조절될 수 있다, 즉 분산액은 인쇄에 적합하다. 특히, 잉크의 특성은 특정 인쇄 방법을 위해 조절될 수 있다. 예를 들어, 잉크의 점도는 잉크젯식 인쇄 또는 스크린 인쇄와 같은 특정 용도를 위해 조절될 수 있으며, 입자 농도 및 첨가제는 점도 및 다른 특성을 조절하기 위한 임의의 추가적 파라미터를 제공한다.

[0041]

도핑된 실리콘 잉크와 관련하여, 실리콘 나노입자는 잉크의 생성을 위해 표면이 변형되거나 변형되지 않을 수 있다. 표면 변형(surface modification)은 조성물이 입자의 표면에 화학 결합하는 것을 나타낸다. 실리콘 입자의 표면 변형은 몇몇 용매에서는 분산을 용이하게 할 수 있는 반면, 유기 조성물을 가진 입자의 표면 변형 없이 실리콘 나노입자를 처리하는 능력은 공정을 단순화하며, 실리콘 잉크로부터 생성된 최종 장치의 오염을 줄이는 결과를 낳을 수 있다. 고농도 및 고품질의 잉크는 표면 변형 없이 실리콘 나노입자로부터 형성되어 왔다. 입자는 바람직한 잉크 제형의 생산을 위하여 용매 사이에서 이동할 수 있다.

[0042]

만일 만족스러운 입자 특성이 얻어진다면 다른 합성 방법이 사용될 수 있으나, 실리콘 나노입자는 레이저 열분해를 사용하여 합성될 수 있다. 실리콘 입자는 입자 크기 및 다른 특성들이 균질한 것이 바람직할 수 있다. 구체적으로, 입자는 균질한 1차 입자 크기를 가지는 것이 바람직할 수 있으며, 공정은 평균 1차 입자 크기에 실질적으로 의존할 수 있다. 일부 구현예에서, 1차 입자는 상당히 퓨징되지 않은 것이 바람직할 수 있다. 물리적 입자는 존재할 수 있는 임의의 경질 퓨징(hard fusing)을 설명하는 입자를 나타낸다. 입자의 제법은 1차 입자 크기 및 물리적 입자 크기 모두에 따라 달라질 수 있다. 따라서 보다 작은 평균 1차 입자 크기를 얻기 위해 상기 1차 입자의 일부 퓨징(fusing)이 허용가능할 수 있으며, 일반적으로, 상기 퓨징 정도가 허용가능한 파라미터 범위 이내로 조절될 수 있고 상기 1차 입자가 바람직한 작은 평균 직경으로 적절하게 균질하다면, 일반적으로 상기 입자들은 분산액 내에 분산되어 작고 비교적 균질한 2차 입자 크기를 형성할 수 있다.

[0043]

1차 입자 크기는 이미 합성된 실리콘 나노입자 분말의 투과 전자 현미경 사진 ("TEM")을 검토하여 결정할 수 있다. 본 명세서에서 주목하는 실리콘 잉크의 경우, 이 잉크는 바람직하게는 약 100nm 이하, 다른 구현예에서 약 75nm 이하, 또 다른 구현예에서 약 1nm 내지 약 50nm, 및 또 다른 구현예에서 약 2nm 내지 약 35nm의 평균 1차 입자 직경을 가지는 실리콘 나노입자를 포집하여 형성할 수 있다. 본 기술 분야에서 숙련된 자는 상기 명시된 범위 내에서 평균 1차 입자 직경의 다른 범위를 예상하고, 본 명세서 내에 있다는 것을 인식할 것이다. 1차 입자는 좁은 피크의 입자 크기 분포도를 가지는 것과 입자 크기 분포도에서 꼬리(tail)가 적은 것과 관련하여 매우 높은 균질성을 가질 수 있다. 일반적으로, 고해상도 TEM 현미경 사진은 물리적 입자 크기를 평가하는데 사용될 수도 있다. 2차 입자 크기는 분산액 내에서 입자 크기의 측정값을 나타내며, 이는 하기 분산액을 서술하는 부분에서 기술한다.

[0044]

일 구현예에서, 하나 이상의 도펀트가 원소 실리콘으로 주입될 수 있으며, 이때 농도는 실리콘 원자에 대해 약 1.0×10^{-7} 내지 약 15 원자%, 다른 구현예에서 약 1.0×10^{-5} 내지 약 5.0 원자% 및 또 다른 구현예에서 약 1×10^{-4} 내지 약 1.0 원자%의 범위를 갖는다. 적절한 상황에서는 낮은 도펀트 농도 및 높은 도펀트 농도 모두가 바람직하다. 낮은 도펀트 농도가 특히 유용해지기 위해서는 상기 입자가 순수해야 한다. 작은 입자의 경우, 낮은 도펀트 농도는 본질적으로, 평균하여 입자 1개당 1개의 도펀트 원자 미만에 상응한다. 상기 입자들에 대해 달성되는 고순도와 함께, 약 1.0×10^{-7} 내지 약 5.0×10^{-3} 의 낮은 도펀트 농도는 아직 달성하기 어려운 잠재적으로 유용한 재료에 부합한다. 일 구현예에서, 높은 도펀트 농도가 특히 바람직하며, 고농도로 도핑된 입자는 약 0.25 원자% 내지 약 15 원자%, 다른 구현예에서 약 0.5 원자% 내지 약 12 원자%, 및 또 다른 구현예에서 1 원자% 내지 약 10 원자%의 도펀트 농도를 가질 수 있다. 본 기술분야에서 통상의 기술자는 명시된 범위 내의 다른 도펀트 농도 범위를 도출할 수 있으며, 이들이 본 개시 범위 내에 있음을 인지할 것이다.

[0045]

일반적으로, 바람직한 잉크 특성을 얻기 위해 이용되는 후속 공정 단계 이전에, 이미 합성한 건조 분말로부터 얻어지는 입자의 우수한 분산액을 생성하는 것이 바람직하다. 더 우수한 분산액은 보다 안정하며, 그리고/또는 보다 작은 2차 입자 크기를 가지며, 이는 응집이 덜 발생함을 의미한다. 상기 입자가 우수한 분산액을 형성하는 다른 용매로 전달된다면, 이 입자는 처음부터 안정적으로 분산될 필요는 없다. 보다 우수한 분산액은 일반적으로 이 입자의 표면 화학 및 입자간 상호 작용에 기초하여 입자와 비교적 큰 상용성을 갖는 용매를 포함할 수 있다. 일 구현예에서, 우수한 분산액을 형성하기 위하여 입자의 표면 화학을 개질(modify)하는 것이 더 바람직할 수 있다. 아울러, 이하에 개시하는 바와 같이 계면활성제를 사용하여 보다 우수한 분산액을 형성할 수 있다. 그

러나, 입자를 표면 개질하고 계면활성제를 사용하여 더 나은 분산액을 생성할 수 있는 반면, 바람직한 잉크는 높은 입자 농도에서 계면활성제 없이, 그리고 표면 개질 없이 우수한 전달성을 갖도록 생성될 수 있다. 또한, 표면 개질 없이 원하는 잉크를 형성하는 능력은 불순물이 적으면서도 원하는 장치의 형성에 유용할 수 있다. 그럼에도 불구하고 초기 분산, 전단(shear), 교반(stirring), 초음파 처리(sonication) 또는 다른 적절한 혼합 조건을 조합하여 적용함으로써 분산액의 생성을 용이하게 할 수 있다.

[0046] 본 명세서에서 사용되는 바와 같이, 안정한 분산액은 더 혼합하지 않고 1시간이 지나면, 즉 한시간 또는 다른 소정 시간이 경과되기 전에 초기 혼합 공정을 중지하면, 침전물이 생성되지 않는다. 안정성과 관련하여, 일부 구현예에서, 상기 분산액은 하루가 지난 후, 다른 구현예에서 일주일 이후, 및 또 다른 구현예에서 한달 이후에도 부가적 혼합 공정 없이 입자의 침전을 나타내지 않는다. 일반적으로, 잘 분산된 입자를 포함하는 분산액은 적어도 30 중량% 이상의 무기 입자 농도에서 형성될 수 있다. 일반적으로, 일부 구현예에서, 상기 분산액은 적어도 약 0.05 중량%, 다른 구현예에서 적어도 약 0.25 중량%, 또 다른 구현예에서 약 0.5 중량% 내지 약 27.5 중량%, 및 또 다른 구현예에서 약 1 중량% 내지 약 25 중량%의 입자 농도를 갖는 것이 바람직하다. 본 기술분야의 통상의 기술자는 명시된 범위 내의 다른 안정화 시간 및 농도 범위를 도출할 수 있으며, 이들이 본 발명의 범위 내에 속함을 인지할 것이다.

[0047] 2차 입자 크기와 관련하여, 크기는 분산액 내에서 측정된 입자의 크기를 나타낸다. 일반적으로, 2차 입자 크기는 누적 평균(cumulant mean) 또는 동적 광산란(DLS)으로 측정된 Z-평균 입자 크기로 나타낼 수 있다. Z-평균 입자 크기는 동적 입자 크기의 함수로서 산란 강도 가중 분포(scattering intensity weighted distribution)를 기초로 한다. 상기 분포도의 평가는 문헌(ISO International Standard 13321, Methods for Determination of Particle Size Distribution Part 8: Photon Correlation Spectroscopy, 1996)에 개시되어 있으며, 인용에 의해 본 명세서에 통합된다.

[0048] 일부 구현예에서, 상기 Z-평균 입자크기는 약 1 마이크로 이하이며, 다른 구현예에서 약 250nm 이하, 또 다른 구현예에서 약 100nm 이하, 또 다른 구현예에서 약 75nm 이하, 및 일부 구현예에서 약 5nm 내지 약 50nm의 범위를 갖는다. 입자 크기 분포도와 관련하여, 일부 구현예에서, 모든 2차 입자는 본질적으로 Z-평균 2차 입자 크기의 5배 이하, 다른 구현예에서 Z-평균 입자 크기의 4배 이하 및 또 다른 구현예에서 Z-평균 입자 크기의 3배 이하의 크기를 가질 수 있다. 또한, 일부 구현예에서 상기 DLS 입자 크기 분포는 상기 Z-평균 입자 크기의 약 50% 이내의 반치폭(full width at half-height)을 가질 수 있다. 또한, 상기 2차 입자는, 적어도 약 95 퍼센트의 입자가 Z-평균 입자 크기의 약 40 퍼센트보다 크고 Z-평균 입자 크기의 약 250 퍼센트보다 작은 직경을 가질 수 있도록 크기 분포를 가질 수 있으며, 다른 구현예에서 상기 2차 입자는 적어도 약 95 퍼센트의 입자가 상기 Z-평균 입자 크기의 약 60 퍼센트보다 크고 상기 Z-평균 입자 크기의 약 200 퍼센트보다 작은 입자 크기를 가지도록 입자 크기 분포를 가질 수 있다. 본 기술분야의 통상의 기술자는 위의 명시된 범위 내의 다른 입자 크기 및 분포범위를 도출할 수 있고, 이는 본 발명의 개시범위에 속한다는 것을 인지할 수 있다.

[0049] 또한, 작은 2차 입자 크기를 가지는 우수한 분산액은, 이 분산 용매의 특성과 상기 입자의 표면 화학을 매칭시켜 용이하게 형성할 수 있다. 결정질 실리콘나노입자의 표면은 특성상 입자의 하부 고체상태 구조의 종결을 나타내며, 실리콘 격자의 절두를 포함하고 있을 수 있다. 특정 입자의 종결은 이 입자의 표면 화학에 영향을 미친다. 특히, 밀도, 입자 표면 전하, 용매 분자 구조 등이 분산성에 직접 영향을 미칠 수 있지만, 상기 분산 용매 및 상기 입자 표면이 화학적으로 화합가능하다면, 이 입자는 더 작은 2차 입자 크기를 형성하는 것이 더 쉬워진다(예를 들어, 상기 입자가 이 입자 표면 상에 극성 작용기를 갖는 경우, 극성 용매 함유 분산액의 형성이 더 쉬워진다). 일 구현예에서, 상기 용매는, 인쇄 공정과 같은, 분산액의 특정 용도에 적합하도록 선택될 수 있다. 입자의 표면 특성은 상기 분산액에 맞도록 조절될 수 있다.

[0050] 입자의 표면 화학은 입자의 합성 및/또는 이어지는 이 입자의 포집 과정에 영향을 받을 수 있다. 예를 들어, 실란을 사용하여 합성된 실리콘은 부분적으로 수소화되는 것이 일반적인 바, 이는 실리콘이 이 물질 내에 다소 적은 양의 수소를 포함한다는 것을 의미한다. 일반적으로, 이러한 수소 또는 수소의 일부가 Si-H 결합으로서 표면에 존재하는지는 불확실하다. 합성 중 표면 개질과 관련하여, 반응물의 성질, 반응 조건, 및 부산물(by-products)은 유체 반응 중 분말로서 포집되는 입자의 표면 화학에 영향을 미친다. 일 구현예에서, 상기 실리콘 입자는, 예를 들어 공기 노출을 통해 표면 산화될 수 있다. 이들 구현예에서, 수소가 산화 공정에서 존재하는 경우, 상기 표면은 Si-O-Si 구조 또는 Si-O-H 기에서 가교 산소(bridging oxygen)를 포함할 수 있다.

[0051] 입자 포집 후 표면 개질과 관련하여, 바람직한 특성은 입자 표면에 화학적으로 결합되는 표면개질제를 사용하여 얻어질 수 있다. 상기 입자의 표면 화학은 바람직한 표면개질제의 선택에 영향을 미친다. 예를 들어, 알콧시실

란은 실리콘 입자의 표면에서 실리콘 산화물과 결합하여 Si-O-Si 결합을 형성함으로써 안정한 표면 코팅을 형성할 수 있으며, 그에 따라 이 표면 개질된 입자의 분산성 및 다른 표면 특성을 개선할 수 있다. 또한, 상기 입자 및 상기 표면개질제 사이의 결합을 개선하거나 용이하게 하는 표면개질제를 사용하기 전에 이 입자의 표면을 관능화하는 것이 바람직할 수 있다. 적합한 표면개질제 및 이들의 용도는 미국 특허공개번호 제2008/0160265호 "Silicon/Germanium Particle Inks, Doped Particles, Printing, and Processes for Semiconductor Applications"(Hieslmair et al.)에 개시되어 있으며, 인용에 의해 본 명세서에 통합된다. 표면 개질된 입자가 특정 용매와 사용되도록 고안될 수 있지만, 바람직한 잉크는 높은 입자 농도에서 표면 개질 없이 우수한 전달성(deliverability)을 갖도록 생성될 수 있다. 표면 개질 없이 원하는 잉크를 생성하는 능력은 더 낮은 농도의 오염물을 포함하면서 원하는 장치를 형성하는데 유용할 수 있다.

[0052] 특정 증착법 및 실리콘 잉크의 용도를 근거로 하여, 잉크 제조시 사용되는 상응하는 용매 뿐만 아니라 이 잉크의 매우 특이적인 타겟 특성이 존재할 수 있다. 특정 분야 또는 공정 단계를 위해 분산 특성을 조절하는 단계는, 용매를 변경하는 단계, 용매 혼합물을 사용하는 단계, 및/또는 용매를 증발시키는 단계를 포함할 수 있다. 용매 변경과 관련하여, 상기 입자는 공정을 용이하게 하는 제1 용매에서 처리된 후, 더 바람직한 잉크 특성을 갖는 제2 용매에 전달될 수 있다. 용매 혼합물과 관련하여, 낮은 끓는점을 갖는 용매 성분은 인쇄 후 빠르게 증발시켜, 추가 처리 및 경화 공정 이전에 상기 인쇄된 잉크를 안정화시킬 수 있다. 보다 높은 온도의 용매 성분을 사용하여 점도를 조절함으로써 인쇄 후 퍼짐을 제한할 수 있다. 용매 증발과 관련하여, 상기 분산액의 불안정화 없이 용매를 증발시킴으로써 이 분산액의 입자 농도를 증가시킬 수 있다. 용매의 변경방법, 용매 혼합물의 사용법, 및 용매의 증발법은, 미국 특허출원번호 제13/070,286호 "Silicon/Germanium Nanoparticle Inks, Laser Pyrolysis Reactors for the Synthesis of Nanoparticles and Associated Method"(Chiruvolu et al.)에 개시되어 있으며, 인용에 의해 본 명세서에 통합된다.

[0053] 또한, 분산액은 상기 실리콘 입자 및 상기 분산 용매 또는 용매 혼합물 외에 부가적 조성을 포함하여 이 분산액의 특성을 개질함으로써 특정 분야에 용이하게 적용할 수 있다. 예를 들어, 특성 개질제를 상기 분산액에 첨가하여 도포 공정을 용이하게 할 수 있다. 계면활성제를 상기 분산액에 효과적으로 첨가하여 이 분산액의 특성에 영향을 미칠 수 있다.

[0054] 일반적으로, 양이온성, 음이온성, 양쪽-이온성(zwitter-ionic) 및 비이온성 계면활성제가 특정 분야에서 유용할 수 있다. 일부 구현예에서, 상기 계면활성제는 상기 입자 분산액을 더 안정화시킨다. 이러한 분야의 경우, 계면활성제의 종류는 입자 표면 특성뿐만 아니라 특정 분산 용매에 의해 영향을 받을 수 있다. 아울러, 상기 분산액 도포 후 상기 기판 표면에 대한 상기 분산액/잉크의 습윤성 또는 비딩에 영향을 미치는 계면활성제를 선택할 수 있다. 일부 구현예에서는 상기 분산액이 상기 표면을 습윤시키는 것이 바람직한 반면, 다른 구현예에서는 상기 분산액이 표면 상에 비딩되는 것이 바람직할 수 있다. 특정 표면 상에서 표면 장력은 상기 계면활성제에 의해 영향을 받을 수 있다. 또한, 계면활성제의 혼합물은 상이한 계면활성제의 바람직한 특성들, 예를 들어 분산 안정성의 개선 및 도포 후 습윤성의 개선과 같은 특성들을 조합하는데 도움이 될 수 있다. 일부 구현예에서, 상기 분산액은 약 0.01 내지 약 5 중량%, 및 다른 구현예에서 약 0.02 내지 약 3 중량%의 계면활성제 농도를 가질 수 있다.

[0055] 상기 분산액의 점도를 변경하기 위해 점도 개질제를 첨가할 수 있다. 적절한 점도 개질제는, 예를 들어, 폴리아크릴산(polyacrylic acid), 폴리비닐 피롤리돈(polyvinyl pyrrolidone) 및 폴리비닐 알코올(polyvinyl alcohol)과 같은 수용성 고분자를 포함한다. 기타 사용가능한 첨가제는, 예를 들어 pH 조절제, 항산화제, UV 흡수제, 방부제 등을 포함한다. 이들 부가적인 첨가제는 약 5 중량% 이하의 양으로 포함되는 것이 일반적이다. 본 기술분야의 통상의 기술자는 본 명세서에서 명시한 범위 내에서 다른 계면활성제 및 첨가물 농도를 예상할 수 있으며, 이들이 본 발명의 개시범위 내에 속하는 것임을 인지할 것이다.

[0056] 상기 제조공정 중 적당한 시점에서 상기 분산액의 성분을 제거하는 것이 바람직할 수 있다. 예를 들어, 생성물에 탄소가 거의 없도록 특정 공정 중 또는 그 이전에 상기 잉크로부터 유기 성분을 제거하는 것이 바람직할 수 있다. 일반적으로, 유기물 용매를 증발시켜 데콤파짓으로부터 제거할 수 있다. 그러나, 계면활성제, 표면 개질제 및 기타 특성 개질제는 증발을 통해 제거되지 않을 수 있지만, 유기 물질을 연소시키는 산소 대기 하에 적절한 온도로 가열하여 이들을 제거할 수 있다.

[0057] 상기 분산액/잉크는 적절한 혼합 조건을 적용하여 생성될 수 있다. 예를 들어, 전단력을 가하는 믹서/블렌더가 사용될 수 있고/있거나, 초음파 처리를 사용하여 상기 분산액을 혼합할 수 있다. 아울러, 우수한 분산액을 형성하기 위하여 용매의 증발 등을 통해 초기 농도와 비교하여 분산액/잉크의 입자 농도를 증가시키는 것이 바람직

할 수 있다. 마찬가지로 용매 혼합물을 형성할 수 있다. 바람직하게는 증발을 통해 저비점 용매 성분을 제거할 수 있다. 용매 혼합물은 특정 잉크 조성물의 형성에 도움이 될 수 있는 바, 이는 이 혼합물이 상기 잉크에 바람직한 특성을 제공하는 복수의 용매를 포함할 수 있기 때문이다. 저비점 용매 성분은 인쇄 이후 비교적 빠르게 증발되어 추가 처리인 경화 공정 이전에 상기 인쇄 잉크를 안정화시킬 수 있다. 점도를 조절하기 위해 고비점 용매 성분을 사용하여 인쇄 이후 퍼짐 현상을 억제할 수 있다.

[0058]

잉크젯 인쇄용으로 바람직한 잉크와 관련하여, 상기 점도가 특히 관련성이 높지만, 다른 인쇄 및 코팅 공정들이 바람직한 점도 범위를 가질 수 있다. 분산액/잉크의 점도는 점도개질제와 같은 다른 첨가제 뿐만 아니라 실리콘 입자 농도에 따라 달라진다. 따라서, 점도 조절을 가능하게 하는 다양한 파라미터가 존재한다. 일부 구현예에서, 상기 점도는 0.1 mPa·s 내지 약 100 mPa·s, 및 다른 구현예에서 약 0.5 mPa·s 내지 약 25 mPa·s일 수 있다. 일부 구현예에서, 상기 분산액/잉크는 약 2.0 내지 약 6.0 N/m², 및 다른 구현예에서 약 2.2 내지 약 5.0 N/m² 및 또 다른 구현예에서 약 2.5 내지 약 4.5 N/m²의 표면 장력을 가질 수 있다. 본 발명의 기술 분야에서 통상의 지식을 가진 자는 본 발명에 개시된 범위에 추가적인 범위의 점성 및 표면장력을 도출할 수 있고, 본 발명의 공개범위에 포함된다는 것을 인식할 것이다.

[0059]

스크린 인쇄에 바람직한 잉크와 관련하여, 상기 조성물은 스크린을 통하여 전달될 수 있는 페이스트(paste)로서 제조된다. 상기 스크린은 반복적으로 재사용되는 것이 일반적이다. 상기 페이스트용 용매 시스템은, 상기 스크린이 페이스트에 의해 손상되지 않도록 이 스크린과 상용성을 가지며 바람직한 인쇄 특성을 모두 제공하도록 선택되어야 한다. 용매 혼합물을 사용함으로써, 점도를 조절하기 위한 고비점 용매를 사용하면서 저비점 용매를 빠르게 증발시키게 된다. 일반적으로 고비점 용매는 인쇄 화상의 지나친 블러링 없이 매우 천천히 제거될 수 있다. 고비점 용매를 제거한 후, 인쇄 실리콘 입자를 경화하거나 원하는 소자로 더 가공할 수 있다. 적합한 저비점 용매는 예를 들어 이소프로필 알코올, 프로필렌 글리콜 또는 이들의 조합물을 포함한다. 적합한 고비점 용매는 예를 들어, N-메틸피롤리돈(N-methyl pyrrolidone), 디메틸포름아미드(dimethylformamide), α-테르피네올(α-terpineol)과 같은 테르피네올, 카르비톨(Carbitol), 부틸 셀로솔브(butyl Cellosolve) 또는 이들의 조합물을 포함한다. 상기 스크린 인쇄용 페이스트는 계면활성제 및/또는 점도 개질제를 더 포함할 수 있다.

[0060]

일반적으로, 스크린 인쇄용 잉크 또는 페이스트는 점성이 매우 높으며, 바람직하게는 약 10 Pa·s 내지 약 300 Pa·s, 및 다른 구현예에서 약 50 Pa·s 내지 약 250 Pa·s의 점도를 가질 수 있다. 상기 스크린 인쇄용 잉크는 약 5 중량% 내지 약 25 중량%의 실리콘 입자 농도를 가질 수 있다. 또한, 스크린 인쇄용 잉크는 0 내지 약 10 중량%의 저비점 용매, 다른 구현예에서 약 0.5 내지 약 8 중량%, 및 또 다른 구현예에서 약 1 내지 약 7 중량%의 저비점 용매를 포함할 수 있다. 전기 부재를 형성하기 위한 스크린 인쇄용 페이스트에 대한 설명은 "Low Temperature Curable Dielectric Paste"란 제목의 후양(Huang) 등의 미국 특허 제 5,801,108호에 상세히 개시되어 있으며 인용에 의해 본 명세서에 통합된다. 그러나 상기 유전성 페이스트는 본 명세서에 개시된 반도체 페이스트/잉크에 적합하지 않은 첨가제를 포함한다. 잉크젯 인쇄, 스핀 코팅 및 스크린 인쇄용 페이스트를 포함해서, 다양한 증착법에 사용되는 도핑된 실리콘 잉크의 제조방법은, 동시-계류중인 미국 특허출원번호 제 13/070,286호 (현재 미국 공개번호 2011/0318905호) "Silicon/Germanium Nanoparticle Inks, Laser Pyrolysis for the Synthesis of Nanoparticles and Associated Method"에서 상세히 기재되어 있으며 인용에 의해 본 명세서에 통합된다.

[0061]

Si 잉크의 도포 및 얻어진 실리콘 데파짓의 구조

[0062]

일반적으로, 상기 실리콘 나노입자 분산액/잉크는 코팅법 또는 인쇄법과 같은 종류의 방법을 선택해서 도포할 수 있다. 상기 도포 방법은 기관 상에 원하는 도핑된 잉크의 데파짓을 형성하도록 선택할 수 있다. 특히, 코팅 기술은 분산액/잉크로 기관을 코팅하는데 바람직할 수 있고, 인쇄 기술은 코팅으로서 또는 기관 상에 패턴으로 분산액/잉크를 도포하는데 특히 바람직할 수 있다. 도포 공정 이후, 통상 상기 잉크를 건조하여 다공성 원소 실리콘 데파짓을 형성하며, 이어서 이 도포된 물질을 더 처리할 수 있다. 일부 분야에 있어서, 상기 실리콘 잉크 데파짓의 패터닝은, 실리콘 나노입자 잉크를 조밀화하는 공정과 같은 추가 공정 이후 상기 잉크 함유 장치에서 대응 패턴을 형성하는 것이 바람직하다. 상기 잉크의 패턴을 형성하는 적절한 인쇄 방법은 예를 들어 스크린 인쇄법 또는 잉크젯 인쇄법을 포함한다.

[0063]

상기 실리콘 나노입자 데파짓은 도핑되거나 도핑되지 않을 수 있다. 상기 데파짓을 형성하기 위하여 사용되는 실리콘 나노입자를 도핑하는 경우, 대응하는 실리콘 데파짓이 도핑된다. 상기 실리콘 데파짓이 패터닝되는 경우, 패턴 내 상이한 위치에서 동일 또는 상이하게 도핑될 수 있다. 예를 들어, 일부 위치에서 도핑되지만, 이와 다른 위치에서는 도핑되지 않고 그대로 유지될 수 있다. 일부 구현예에서, 상기 패턴의 일부 소정 위치에서

p-도핑된 실리콘 나노입자를 패터닝하고, 이와 상이한 위치에서 n-도핑된 실리콘 나노입자를 패터닝하는 것이 바람직할 수 있다. 추가 처리시 원하는 기능을 부여하기 위해 상기 패턴의 소정 영역에서 상이한 도펀트를 도입할 수 있다.

[0064] 일반적으로, 상기 실리콘 잉크는 임의의 적절한 기판 상에 도포될 수 있으며, 상기 기판은 사용하려는 분야에 맞게 적절히 선택될 수 있다. 적합한 기판 표면은, 예를 들어 원소 금속 또는 금속 합금, 반도체 재료, 유전성 세라믹 재료, 폴리머 등을 포함할 수 있다. 일부 구현예에서, 상기 잉크와 함께 도포되는 원소 실리콘과 함께 기능적 부재로서 통합이 되도록 상기 기판을 선택하여 최종 장치를 형성할 수 있다. 하지만, 다른 구현예에서 상기 기판은 수동적 구조 부재로서 최종 장치로 통합될 수 있는 수동 지지체를 형성할 수 있다. 최종 장치의 기능적 부재로서 상기 기판의 통합은, 예를 들어 결정질 실리콘 태양전지와 같은 장치의 전기 부재로서, 또는 표시소자 내 글래스 기판과 같은 투명 기판 등의 기판을 포함할 수 있다.

[0065] 도핑된 나노 입자 잉크를 도포하기 위한 적절한 코팅법은 예를 들어, 스핀 코팅법, 딥 코팅법, 스프레이 코팅법, 나이프-젯 코팅법, 압출법 등을 포함한다. 특히, 스핀 코팅법은 박막 코팅을 형성하기 위하여 반도체 분야에서 상업적으로 신뢰받는 공정으로 개발되어 왔으며, 적절한 가공 장비가 시판중이다. 특정 구현예에서, 평균 코팅 두께는 약 10nm 내지 약 10 마이크로, 다른 구현예에서 약 50nm 내지 약 7.5 마이크로 및 또 다른 실시태양에서 약 100nm 내지 약 5 마이크로 범위를 가질 수 있지만, 통상 임의의 적절한 코팅 두께를 적용할 수 있다. 당해 분야의 숙련된 기술자는 상기 특정 범위 내에서 다양한 두께 범위를 도출할 수 있으며, 이것이 본 발명의 범위 내에 속함을 인지할 것이다. 후술하는 바와 같이, 조밀화된 실리콘 잉크로부터 실리콘 펠렛 및 실리콘 구조 부재를 형성하기 위해서는, 상기 두께는 이 문단에서 명시한 값보다 실질적으로 더 클 수 있다.

[0066] 유사하게는, 다양한 인쇄 기술을 사용하여, 상기 도핑된 나노입자 잉크를 기판 상의 패턴으로 인쇄할 수 있다. 적절한 인쇄 기술은, 예를 들어, 스크린 인쇄법, 잉크젯 인쇄법, 석판 인쇄법(lithographic printing), 그라비아 인쇄법 등을 포함한다. 패터닝은 일반적으로 기판 표면 위 특정 위치에 잉크를 도포하는 단계를 포함한다. 특정 분야를 위해 소정 패턴을 선택할 수 있다. 일부 분야에서, 패턴은 기판 표면 위에 연속적인 하나의 잉크 구역을 포함할 수 있으나, 다른 분야에서는 각 잉크 구역이 다른 잉크 구역과 접촉하지 않도록 기판 표면 위에 다수의 분리된 잉크 구역을 포함할 수 있다. 몇몇 분야에서, 다수의 패턴을 형성하는 것이 바람직하며, 각 패턴은 상이한 도펀트, 상이한 도펀트 농도 및/또는 그 외 상이한 실리콘 나노입자 특성을 포함할 수 있는 상이한 잉크 조성물을 포함한다.

[0067] 또한, 도핑된 실리콘 잉크는 하부 실리콘 기판에 도펀트를 주입할 수 있는 도펀트 공급원으로서 작용할 수 있다. 일부 구현예에서, 도핑된 나노입자를 포함하는 잉크가 기판 표면 상에 우선적으로 패턴화될 수 있지만, 전체 표면에 대한 코팅도 사용할 수 있고 이는 특정 분야에서 바람직하다. 다음으로, 도펀트 일부는, 예를 들어 열처리에 의해 상기 입자로부터 기판의 표면으로 확산될 수 있고, 그 결과 기판으로 연장되는 도펀트 프로파일을 생성하며, 이 도핑된 잉크가 패턴 내에 도포되는 경우 도포된 잉크와 실질적으로 동일한 패턴을 가질 수 있다. 다수의 도핑 영역은 선택된 패턴 이후 상기 공정을 반복함으로써 생성될 수 있다. 일부 구현예에서, 상기 공정을 반복할 때마다, 상이한 도펀트를 포함하는 도핑된 잉크는 기판 표면 위에서 패터닝 후 가열되어 기판으로 도펀트를 주입할 수 있으며, 이어서 다른 도펀트 패턴을 형성하게 된다. 부가적으로 또는 대안적으로, 다수의 도핑 영역은 기판 표면 위에서 다수의 패턴을 우선 형성함으로써 생성될 수 있으며, 각 패턴은 상이한 도펀트 또는 도펀트 농도를 포함하는 도핑된 실리콘 잉크로부터 형성된다. 이어서, 도펀트는 각 도핑된 잉크 위치로부터 기판으로 동시에 확산될 수 있다.

[0068] 더욱이, 상기 실리콘 잉크의 패터닝은 다른 용도의 기판마다 다른 유형으로 수행될 수 있다. 예를 들어, 표시소자 기판의 부재로 가공되는 실리콘 잉크는 실리카 글래스, 기타 투명 재료, 기타 세라믹 재료와 같은 글래스 시트 상에 원하는 패턴으로 인쇄될 수 있다. 상호간에 선택적인 구조적 및/또는 기능적 관계를 갖는 상이한 부품에 다양한 잉크를 이용하여 패터닝할 수 있다. 그 결과, 박막 트랜지스터를 형성하기 위하여, 적절한 순서로 n-도핑된 실리콘 잉크, p-도핑된 실리콘 잉크 및 비도핑된 실리콘 잉크를 순차적으로 패터닝하는 것이 바람직할 수 있다. 혼입을 위한 열처리는 패터닝 공정들 사이 또는 패터닝 공정의 후반부에 본 명세서에 기재된 방법 중 하나를 사용하여 수행할 수 있다.

[0069] 다양한 코팅 및 인쇄 방법이 가능하지만, 잉크젯 인쇄법은 일부 용도에 있어서 속도, 해상도, 그리고 속도와 해상도를 유지하면서 도포 패터닝의 실시간 선택도와 관련된 기능성의 관점에서 바람직하다. 무기 입자를 원료로 잉크젯 인쇄법을 이용하는 실제적인 도포법은 이러한 입자로부터 고품질 분산액을 형성하기 위한 개선된 능력과 함께 고품질 규소/실리카 나노입자를 형성하기 위한 기술 모두를 포함하는 분산액 특성을 필요로 한다. 따라서,

상기 분산 기술과 결합된 레이저 열분해를 이용하여 생성된 입자는 잉크젯 도포를 할 수 있는 잉크의 제조를 가능하게 한다.

[0070] 유사하게는, 상기 스크린 인쇄법은 몇몇 분야에서 실리콘 및/또는 실리카 잉크를 인쇄하기 위한 바람직한 특징을 제공할 수 있다. 특히, 스크린 인쇄법은 특정 용도를 위한 무늬가 이미 새겨져 있을 수 있다. 따라서, 생산 라인에서 도핑된 나노입자 잉크를 다른 물질로 치환하는 것은 자본 비용을 감소시킬 수 있다. 또한, 스크린 인쇄법에 사용되는 페이스트는 다른 증착법에 적합한 농도와 비교하여 더 큰 도핑된 나노입자 농도를 가질 수 있다. 특히, 본 명세서에서 설명한 실리콘 입자 및 공정은 스크린 인쇄법에 사용되는 양질의 페이스트를 형성하는데 적합하다. 고도핑된 실리콘 잉크의 성공적인 스핀 코팅법, 잉크젯 인쇄법 및 스크린 인쇄법은 인용에 의해 본 명세서에 통합된, 동시-계류중인 미국 특허출원번호 제13/070,286호 "Silicon/Germanium Nanoparticle Inks, Laser Pyrolysis for the Synthesis of Nanoparticles and Associated Method" (Chiruvolu et al.) 에 기재되어 있다.

[0071] 일반적으로, 도포 공정 이후, 상기 용매를 증발시켜 나노입자 코팅 또는 층으로서 잔류하는 잉크 내 도핑된 나노입자 및 다른 비휘발성 성분을 남겨 두게 된다. 저온에서 가열하는 공정을 사용하여 건조 공정을 촉진할 수 있으며, 배기(venting) 또는 감압에 의해 상기 건조 공정을 용이하게 할 수 있다. 용매 및 선택적 첨가제가 제거되면, 결과적인 실리콘 나노입자의 테파짓은 이후 본 명세서에 기재된 방법으로 더 처리되어 조밀화될 수 있다. 상기 나노입자 실리콘 테파짓은 다공성 구조를 형성한다. 도포된 실리콘 잉크를 건조한 이후, 벌크 실리콘 밀도와 비교하여 현저히 더 낮은 밀도를 갖는 다공성 실리콘 나노입자 구조체로 잔류한다. 일부 구현예에서, 상기 다공성 테파짓의 밀도는 약 0.75 g/m^3 이며, 이 밀도는 평균 나노입자 크기, 도포방법 및 다른 공정 파라미터에 따라 달라질 수 있다.

[0072] 또한 상기 Si 나노입자 코팅은 공극 부피로 분류할 수 있으며, 이는 상기 코팅에 대한 단면의 현미경 사진에서 관찰된 기공을 토대로 단면 내 기공의 면적비를 측정하여 구할 수 있다. 예를 들어, 상기 공극 부피는 약 25% 내지 약 90%일 수 있으며, 다른 구현예에서 약 30% 내지 약 85%일 수 있다. 당해 기술 분야의 숙련자라면 상기 명시적 범위들 내에서 다른 두께 범위 및 공극 부피를 도출할 수 있고, 이들이 본 발명의 범위 내에 있다는 것을 인지할 것이다.

[0073] 상술한 바와 같이, 상기 실리콘 잉크는 도포 과정에서 패터닝되어 상응하는 패터닝된 다공성 실리콘 나노입자 테파짓을 형성할 수 있다. 일반적으로, 상기 패터닝은 특정 제품용으로 사용하기 위한 부품을 제조하기 위해 선택될 수 있다. 선택 분야에 맞는 일부 특정 패터닝 이하에서 상술한다. 일부 구현예에서, 특정 기능을 갖는 패터닝을 도입하기 위해서, 일반적으로 상기 기판 표면의 약 80% 이하, 다른 구현예에서 약 75% 이하 및 또 다른 구현예에서 약 10 내지 약 70%를 피복하는 패터닝을 형성하는 것이 바람직하다. 유사하게, 상기 실리콘 나노입자 테파짓의 두께는 특정 분야용으로 선택될 수 있다. 많은 분야에서, 기능성을 위해 비교적 얇은 실리콘 구조를 갖도록 하는 것이 바람직하다. 이들 구현예에서, 상기 다공성 실리콘 나노입자 테파짓은 약 10 마이크로 이하, 다른 구현예에서는 약 50 nm 내지 8마이크론, 또 다른 구현예에서 약 75 nm 내지 약 7.5마이크론 및 또 다른 구현예에서 약 100 nm 내지 약 6마이크론의 평균 두께를 갖는 것이 일반적이다. 당해 기술 분야의 숙련자라면 상기 명시적 범위들 내에서 다른 패터닝 피복 범위 및 평균 두께를 도출할 수 있고, 이들이 본 발명의 범위 내에 있다는 것을 인지할 것이다.

[0074] 본 명세서에 기술한 바와 같이, 두꺼운 패터닝 또는 코팅은 가압 및 가열처리를 통해 비교적 조밀한 구조체 또는 펠렛으로 가공될 수 있다. 상기 조밀화된 실리콘 펠렛은 실리콘 필름, 호일, 스트립 등을 형성하는데 바람직할 수 있다. 상기 실리콘 펠렛이 상술한 바와 같은 얇은 구조체로 가공될 수 있지만, 일부 구현예에서 보다 더 두꺼운 구조체는 대략 밀리미터 이상 정도의 두께를 가질 수 있다. 실리콘 호일 또는 리본을 형성하는 경우, 약 10 마이크로 내지 약 500 마이크로, 다른 구현예에서 약 20 마이크로 내지 약 400 마이크로, 및 또 다른 구현예에서 약 25 마이크로에서 약 250 마이크로인 평균 두께를 갖는 테파짓을 형성하는 것이 바람직할 수 있다. 당해 기술 분야의 숙련자라면 상기 명시적 범위들 내에서 다른 펠렛 두께 범위들을 도출할 수 있고, 이들도 본 발명의 범위 내에 있다는 것을 인지할 것이다. 패터닝된 실리콘 펠렛은 보다 얇은 구조체를 위해 상술한 바와 같은 표면 피복범위를 가질 수 있다.

[0075] 조밀한 복합체를 형성하기 위하여 나노결정질 실리콘 잉크 테파짓 상에 비정질 실리콘을 증착하는 공정

[0076] 비정질 실리콘이 얇은 실리콘 나노입자 코팅 상부 및 내부에 증착되어, 미리 도포하여 건조한 나노입자 실리콘 잉크로부터 얻어지는 나노입자 코팅 구조체 내의 기공을 상당량 채울 수 있음이 발견되었다. 구체적으로, 비정질 실리콘 재료는 결정질 실리콘 나노입자 코팅에서 본질적으로 필-인(fill-in) 기공에 직접 증착되어 비정질

실리콘 매트릭스 내에 매립된 나노결정 함유 복합재를 형성할 수 있다. 예를 들어, 화학 기상 증착법을 사용하여 상기 나노입자 코팅의 기공 내에 비정질 원소 실리콘을 증착할 수 있다. 얻어진 복합재는 적당한 현미경 사진에서 보이는 일부 기공을 포함할 수 있는, 비교적 조밀한 복합재일 수 있다. 일반적으로, 상기 비정질 실리콘은 도핑되거나 도핑되지 않을 수 있으며, 상기 나노결정질 실리콘은 필요시 패턴화된 구조를 가질 뿐만 아니라 독립적으로 도핑되거나 도핑되지 않을 수 있다. 일부 구현예에서, 상기 나노입자 코팅은 고도핑 결정질 실리콘 나노입자를 포함하며, 상기 증착된 비정질 실리콘 재료는 진성 실리콘을 포함한다. 따라서, 일부 구현예에서, 최종 복합재는 도핑 및 비도핑된 원소 실리콘의 혼합물을 포함한다. 상기 다공성 결정질 나노입자 데파짓이 패턴화되는 경우 상기 비정질 실리콘은, 초기 다공성 나노결정질 실리콘 구조체의 대응하는 위치에서 형성된 복합재 구조체 사이에 비정질 실리콘층을 형성한다. 후술하는 바와 같이, 상기 코팅 재료를 열처리하여 나노결정질 실리콘 물질을 형성할 수 있으며, 이는 선택적으로 도핑될 수 있다.

[0077] 상기 복합재는 증착된 자체로 유용할 수 있다. 예를 들어, 박막 태양전지의 경우, 나노결정질 실리콘 및 비정질 실리콘의 조합물은 가시광선에 대해 바람직한 흡광 특성을 제공할 수 있다. 따라서, 박막 태양전지 분야의 경우, 최종 태양전지 장치로 통합되도록 실질적으로 상기 복합재로만 된 층을 형성할 수 있으며, 선택적으로는 상기 재료의 어닐링 공정을 생략할 수 있다. 박막 태양전지에서, 다양한 도펀트 농도의 스택층을 구비하는 구조체를 갖도록 설계하여 다이오드 접합을 형성할 수 있다. 또한, 상기 복합재가 특정 분야에 사용되도록 충분한 전도성을 제공할 수 있다면, 상기 복합재는, 비정질 실리콘을 증착하는데 사용되는 상당히 낮은 저온 공정으로 특정 전자 부품에 통합될 수 있다.

[0078] 이하에서 더 설명하는 바와 같이, 상기 복합재는 더 가열처리되어, 상기 조밀화된 재료를 통해 분산된 비교적 균질한 결정을 갖는 나노결정질 물질로 전환될 수 있다. 이렇게 어닐링된 물질에서, 상기 나노결정이 비막대(non-rod) 형상을 가짐이 밝혀졌다. 따라서, 상기 비막대형 결정을 포함하는 나노결정질 실리콘 물질은, 표면과 대략적으로 수직 배향된 막대형 결정을 증착하는 것으로 관찰된, 통상의 비정질 실리콘 증착 방법으로 증착된 물질과는 상이하다.

[0079] 특정 구현예에서, 상기 복합재의 패턴층을 형성하는 것이 바람직하다. 상기 결정질 나노입자가 표면 상에 패턴화되면, 상기 비정질 실리콘의 증착 이후, 상기 코팅은 비정질 실리콘 영역으로 둘러싸인 비정질 실리콘 매트릭스 내 나노결정질 실리콘 복합재를 갖는 도메인을 포함한다. 상기 구조체가 형판(formats) 범위 내인 것이 바람직할 수 있지만, 이 패턴화된 구조체는, 상기 결정질 실리콘의 도핑이 상기 비정질 실리콘의 도핑과 구별될 때 특히 유용할 수 있다. 예를 들어, 상기 결정질 실리콘은 상기 비정질 실리콘이 진성이라도 도핑될 수 있으며, 그에 따라 인쇄 영역은 최종적으로 도핑 영역을 둘러싸는 진성 실리콘으로 도핑된다. 도핑 및 비도핑 실리콘의 패턴링은 바람직한 기능을 최종 구조체에 도입하는데 효과적일 수 있다.

[0080] 상기 비정질 실리콘이 초기 다공성 구조체의 기공을 채우기 때문에, 상기 복합재는, 데파짓 상부에 존재하는 비정질 실리콘의 선택적 부가층을 제외하면 상기 결정질 나노입자 데파짓과 거의 동일한 두께를 갖는다. 상기 다공성 실리콘 나노입자의 두께 범위는 상술한 바와 같다. 상기 비정질 실리콘 캡핑층은 임의의 적당한 두께를 가질 수 있다. 그러나 대부분의 경우, 비정질 실리콘 캡핑층이 대략 복합재 이하 정도로 비교적 얇은 것이 바람직하며, 상기 비정질 실리콘 캡핑층은 약 5 미크론 이하의 두께를 갖는 것이 일반적이다. 일반적으로, 임의의 다른 비정질 실리콘 캡핑층을 갖는 상기 복합재는 약 15 미크론 이하, 다른 구현예에서 약 50 nm 내지 약 10 미크론, 또 다른 구현예에서 75 nm 내지 5미크론, 또 다른 구현예에서 100 nm 내지 약 3미크론의 평균 전체 두께를 가질 수 있다. 당해 기술 분야의 숙련자라면 상기 명시적 범위들 내에서 다른 두께 범위들을 도출할 수 있고, 이들도 본 발명의 범위 내에 있다는 것을 인지할 것이다.

[0081] 상기 비정질 실리콘 재료의 증착 이후, 얻어진 복합재는, 비정질 실리콘 매트릭스 내에 매립된 잉크 코팅물로부터 얻어진 실리콘의 나노-결정을 포함할 수 있다. 일반적으로 상기 증착 조건은 비교적 낮은 기공 부피를 제공하도록 조절될 수 있다. 특히, 상기 공극 부피는 약 20% 이하, 다른 구현예에서 약 12% 이하, 및 또 다른 구현예에서 약 8% 이하일 수 있다. 당해 기술 분야의 숙련자라면 상기 명시적 범위들 내에서 다른 공극 부피 범위들을 도출할 수 있고, 이들도 본 발명의 범위 내에 있다는 것을 인지할 것이다. 공극 부피는 상기 물질의 단면에 대해 주사 전자 현미경으로 주사하는 단계 및 상기 물질 내 공극을 평가하기 위하여 상기 공극을 검사하는 단계를 이용하여 측정할 수 있으며, 이때 상기 기공은 구형으로 가정한다. 기공인 단면적의 백분율은 공극 부피의 측정값이다. 상기 복합재는 물질의 상호작용 외에 두 물질에 기인한 특성을 통합하는 다른 물성을 갖는다. 측정값들은, 진성 비정질 실리콘 매트릭스로 형성된 복합재에 전도성이 없음을 보여주었다.

[0082] 원소 실리콘을 상기 실리콘 나노입자층 상에 증착하는 적절한 기상 증착법은, 상기 기상 증착된 물질이 상기 실

리콘 나노입자층의 기공 중 적어도 상당 분획을 채울 수 있는 비교적 조밀한 복합재 필름을 생성할 수 있다. 상기 기상 증착 조건이, 상기 실리콘 나노입자층의 기공을 채우는 증착 공정의 효율에 크게 영향을 미침이 밝혀졌다. 특히, 화학 기상 증착법(CVD)은 상기 비정질 실리콘을 증착하는데 효과적일 수 있다. 증착 속도 및 다른 CVD 파라미터를 조절하여 바람직한 물성을 갖는 복합재를 형성할 수 있으며, 적절한 증착 조건은 두께 및 다공성과 같은 상기 다공성 나노입자 코팅의 파라미터에 따라 달라질 수 있다. 일반적으로, CVD 증착 속도는 너무 크지 않아야 하지만, 이하의 실시예에 기재된 바와 같이, 적절한 속도에서 바람직한 복합재 특성이 얻어졌다. 상기 복합재 제조를 위해, 저압-CVD (LPCVD), 플라즈마 강화 CVD (PECVD) 등과 같은 적당한 CVD 증착 방법을 사용할 수 있다.

[0083]

특히, LPCVD가 복합재 제조에 아주 적합하다. LPCVD는, 반응이 일어나는 증착 챔버에 열 및 기상 실란을 공급하여 열 구동하는 것이 일반적이다. 이론에 얽매이고 싶지 않지만, 상기 실란 기체는 특정 필름 내 실리콘 나노입자의 표면 상에 흡착될 수 있다. 이어서, 흡착된 실란 분자는 탈수소화되어 상기 실리콘 나노입자의 표면 상에 실리콘을 형성한다. 상기 반응이 진행됨에 따라 상기 입자상 필름 내 나노입자들 사이의 간극은 원소 실리콘으로 채워진다. 나노입자층이 충분히 얇은 경우, 적당한 증착 조건에서 상기 LPCVD 증착법이 상기 실리콘 나노입자층의 기공을 실질적으로 채우는 것으로 밝혀졌다. 실리콘 증착에 영향을 미치는 요소는 주로 상기 실리콘 나노입자의 표면 및 온도이다. 상기 실란 압력은 상기 실리콘 증착 및 채움 공정에서 보다 적은 영향을 갖는다. 소정 두께의 실리콘 나노입자층이 되도록 상기 증착 조건을 조절하여 바람직한 수준의 기공 채움을 제공할 수 있다. 일반적으로, LPCVD는, 약 450°C 내지 약 700°C 및 다른 구현예에서 약 500°C 내지 약 650°C의 일반적으로 높지 않은 온도에서 비정질 실리콘을 증착하는 열구동 증착 방식으로 사용될 수 있다. 일반적으로 실란(SiH₄)은 CVD 실리콘 증착에 사용되는 전구체이다. 상기 다공성 실리콘 물질에 비정질 실리콘을 증착하기 위한 LPCVD 공정의 압력은 일반적으로 약 3 Torr 이하, 다른 구현예에서 약 0.05 Torr 내지 약 2.5 Torr, 또 다른 구현예에서 약 0.1 Torr 내지 약 2 Torr 이다. 본 기술 분야에서 통상의 지식을 가진 자는 상기에서 명시한 범위 내에서 다른 증착 온도 범위 및 압력 범위를 도출할 수 있으며, 이들이 본 발명의 범위 내라는 것을 인식할 것이다. 또한, 일부 구현예에서, 상기 CVD 공정 중 대기중으로 PH₃ 또는 B₂H₆와 같은 도펀트 공급원을 도입하여 상기 비정질 실리콘에 도펀트를 주입할 수 있다. 상기한 바와 같이, 증착된 비정질 실리콘처럼 일부 첨가물이 CVD 공정 이후 상기 실리콘 나노입자층 상에 또한 위치할 수 있다.

[0084]

다른 구현예에서, 실란 또는 다른 전구체 기체와의 혼합물 외에 게르만(germane) 등이 상기 증착 챔버에 도입되어 상기 실리콘 나노입자 표면 상에 게르마늄, 도핑된 게르마늄, 또는 게르마늄 합금을 증착할 수 있다. 실리콘 나노입자 표면 상에 게르마늄 및/또는 게르마늄 합금을 증착하는 것은 벌크 이종접합(heterojunction)을 형성한다. 이종접합은 일반적으로 박막 광전자에서 전하 분리 및 전하 수송을 개선하는 경우 특히 중요한 것으로 여겨진다. 또한, 합금은 밴드갭 엔지니어링 및 스트레스 관리에 적용하는데 특히 유용할 수 있다. 다른 구현예에서, 산소가 실란과의 혼합물에 도입되어 전도성을 조절하고 실리콘 웨이퍼 표면 상의 표면 안정화를 이루기 위한 세미-절연성 박막을 형성할 수 있다. 명시적으로 기재한 상기 기체 전구체 조합물이 완전한 것을 의미하는 것은 아니다. 다른 기체 전구체 조합물도 본 명세서에 개시된 범위 내에 속한다.

[0085]

조밀한 복합재의 어닐링 및 도펀트 주입

[0086]

결정질 실리콘 나노입자 및 비정질 실리콘의 복합재는 비교적 조밀한 구조로 생성될 수 있다. 추가적인 처리 없이 증착된 상기 복합재는 전도성을 갖지 않으며, 일부 일반적인 습식 세척 공정을 견디지 못한다. 일부 구현예에서, 열처리로 상기 복합재를 어닐링하여 이 물질을 더 완벽하게 조밀화함으로써 균질한 결정 구조를 갖는, 보다 강한 내구성을 갖는 층 또는 필름을 형성하는 것이 바람직하다. 어닐링 공정 이후, 얻어진 물질은 조밀한 나노결정질 실리콘 물질일 수 있다. 상기 나노결정은 비막대형으로 관찰되며, 따라서 이 입자는 입자 주축을 따라 비교적 유사한 길이를 갖는다. 상기 복합재가 실리콘 웨이퍼 등에 증착되며, 상기 복합재로부터 얻어진 도펀트는 하부 실리콘 기판에 효과적으로 주입될 수 있음이 밝혀졌다. 상기 어닐링된 복합재는 적절한 전자 부재를 위해 적절한 전도성을 가질 수 있다. 따라서, 상기 도펀트 주입은 결정질 실리콘 태양전지를 위해, 도핑된 접촉부를 형성하는데 유효할 수 있다. 상기 복합재가 실리콘 웨이퍼 상에 패터닝되면, 이어서 상기 도핑된 접촉부는 상기 태양전지의 표면을 따라 유사하게 패터닝될 수 있다. 도펀트를 함유하거나 함유하지 않는 상기 어닐링된 나노결정질 실리콘 물질은 전자 부품의 제조와 같은 다른 분야에 유용할 수 있다.

[0087]

결정질 나노입자 및 비정질 실리콘의 복합재 제조방법 및 특성은 위에서 상세히 설명한다. 상기 어닐링 공정에서, 작은 변형이 발생할 수 있지만, 상기 물질의 물리적 치수는 평균 두께 대비 현저하게 변할 수 없으며, 이는 상기 복합재가 초기에 비교적 조밀하며 낮은 다공성을 가지기 때문이고, 또한 패터닝에 대하여 상기 물질이 통

상 유동온도까지 가열되지 않기 때문이다. 일부 구현예에서, 상기 어닐링된 물질의 공극 부피는 약 5% 이하, 다른 구현예에서 약 2.5% 이하, 및 또 다른 구현예에서 약 1% 이하일 수 있다. 당해 기술 분야의 숙련자라면 상기 명시된 범위들 내에서 다른 공극 부피 범위들을 도출할 수 있고, 이들도 본 발명의 범위 내에 있다는 것을 인지할 것이다. 상기 복합재에 대하여 상술한 상기 물리적 치수는 상기 어닐링된 물질에 대해 효과적으로, 동등하게 적용될 수 있다. 그러나 적당한 어닐링의 경우, 상기 물질은 상기 실리콘 구조체층을 거쳐 나노결정질 물질로 변환되는 것이 관찰된다. 고결정질 실리콘 웨이퍼 상에서 복합재와 함께 상기 어닐링공정이 수행되면, 이러한 고결정질 실리콘에 인접한 어닐링 물질 중 적어도 일부는 상기 결정질 실리콘 상에서 에피택셜하게 결정화하여 나노결정층으로 전이되는 불규칙한 에피택셜층을 형성할 수 있다. 상기 에피택셜 실리콘의 함량은 정밀한 처리 조건에 따라 달라질 수 있다.

[0088]

상기 복합재를 열처리하는 어닐링 공정은 상기 물질을 완전한 결정질 물질로 효과적으로 변환시킬 수 있다. 얻어지는 나노결정질 실리콘 물질은, 상기 실리콘 결정이 막대 형상이 아닌 평균 형상을 가질 수 있다는 점에서 CVD 증착 방법으로부터 형성된 나노결정질 물질로부터 얻어지는, 상당히 다른 결정 구조체의 특성을 갖는다. 예를 들어 Edelman 등의 문헌("Cross-section of Si:H solar cells prepared by PECVD at the edge of crystallization," J. of Non-Crystalline Solids 299-302 (2002) pp. 1167-1172), 및 Micard 등의 문헌("Electrical and structural properties of p-type nanocrystalline silicon grown by LEPECVD for photovoltaic applications," Physica status solidi C7 (2010) 3-4, pp.712-715) 참조. 또한, 도핑된 복합재를 어닐링하여 하부 결정질 실리콘 기판으로 도펀트를 동시에 도입할 수 있다. 상기 도펀트 주입은 실리콘 기판 위에 고도핑된 표면 영역을 형성할 수 있다. 고결정질 실리콘 기판의 표면에 대한 도펀트 프로파일은 바람직한 프로파일을 가질 수 있다.

[0089]

상기 어닐링된 물질의 결정질은 상기 물질의 단면에 대한 고해상도 투과 전자 현미경(TEM)을 사용하여 검사할 수 있다. 상기 고해상도 TEM을 통해 상기 실리콘의 결정질 구조를 해석할 수 있다. 상기 TEM 현미경사진에서 알 수 있는 바와 같이, 어닐링된 나노결정질 실리콘은 비막대 형상 결정을 갖는 것으로 관찰된다. 구체적으로, 상기 결정은 일반적으로 상기 입자 중 적어도 90퍼센트에 대해 단치수(shorter dimension)로 장치수(longer dimension)를 나눈 길이 비율이 3 팩터 이하인 결정의 주축을 따라 치수를 가지며, 다른 구현예에서 상기 결정은 입자 중 95퍼센트에 대해 주축을 따라 3 팩터 이하인 치수 비율을 갖는다. 일반적으로, 상기 결정의 평균 직경은 약 200 nm 이하, 다른 구현예에서 약 5 nm 내지 약 150 nm, 및 또 다른 구현예에서 약 10 nm 내지 약 100 nm일 수 있다. 평균 직경은 상기 입자의 주축을 따라 측정된 길이의 평균값으로서 얻어진다. 본 기술 분야에서 통상의 지식을 가진 자는 상기에서 명시한 범위 내에서 다른 평균 직경 범위 및 치수 비율 범위를 도출할 수 있으며, 이는 본 발명의 범위 내라는 것을 인식할 것이다. 캡핑층은 도펀트 주입을 용이하게 하기 위하여, 도핑된 실리콘 나노입자 잉크를 피복하는 것으로 이전에 이미 기술하였다. 인용에 의해 본 명세서에 통합된, 동시계류 중인 미국특허출원 제13/113,287호 (미국 특허공개 2012/0193769, 출원인 Liu 등, 이하 '287 출원이라 칭함) "Silicon Substrates With Doped Surface Contacts Formed From Doped Silicon Inks and Corresponding Processes" 참조. '287 출원에 개시된 캡핑층은 상기 실리콘 나노입자층으로 실질적으로 침투하지 않는 유전성 물질이다. 예를 들어, 상기 캡핑층은 스핀-온 글래스로부터 얻어질 수 있다. 따라서, 상기 '287 출원의 캡핑층은, 실리콘 나노입자 및 이 실리콘 나노입자층의 기공을 실질적으로 채우는 비정질 실리콘을 함유하는 복합재를 형성하기 위한, 본 명세서에 개시된 비정질 실리콘 테프릿과는 본질적으로 상이하다. 놀랍게도, 상기 비정질 실리콘 매트릭스 및 얇은 비정질 실리콘 캡핑층은 상기 도펀트 주입을 지지하는데 효과적이다.

[0090]

어닐링 공정 이후, 상기 어닐링된 실리콘층은 비교적 일정한 도펀트 농도를 가질 것으로 여겨진다. 실리콘 나노입자로부터 이송된 도펀트는 대략 상기 도펀트 농도의 평균값에 도달하기 위하여 어닐링된 실리콘 층에서 균질화된다. 실리콘 기판을 구비한 구현예에서, 도펀트 농도는 나노결정질-Si 층의 전체 두께에 걸쳐 비교적 일정하게 유지되며, 이후 증가한 농도는 실리콘 기판으로 연장된다. 상기 도펀트 프로파일은 상기 실리콘 기판으로 연장되는 도펀트 프로파일에 전달되는 나노결정질 표면층 내의 도펀트 농도를 나타낸다. 도핑된 실리콘 나노입자 및 비정질 실리콘의 어닐링 복합재는 다른 주입 방법과 비교하여 상이한 유형의 도펀트 프로파일을 생성할 수 있다. 일부 구현예에서, 도펀트 농도는 상기 기판 표면 아래의 깊이에서 점차 감소한다. 상기 도펀트 프로파일은, 배경 농도(background concentration)에 도달할 때까지 상기 실리콘 웨이퍼 표면으로 이어지는 도펀트 농도의 감소를 나타내는 가우시안 함수를 근사하는 형태를 가질 수 있다. 다른 구현예에서, 처리 조건을 달리하여 도펀트의 주입을 감소시킬 수 있으며, 상기 도펀트 농도는, 나노결정층 및 기판 사이 계면에서 상기 기판 표면 아래의 깊이에서 높은 수준으로부터 배경 농도까지 급격히 떨어진다. 이어서, 상기 도펀트 프로파일은 날카로운 접합(junction)을 형성하는 대략 사각형을 구성한다. 상기 기판이 낮은 도펀트 농도 설정값을 갖는다고 가정하면, 상기 날카로운 접합은 p/n 접합 또는 하이/로우 도펀트 농도 접합이 될 수 있으며, 이는 반대 유형 또는 유사한

유형의 도펀트가 기판 및 상기 나노결정층으로 도입되는가에 따라 달라진다. 날카로운 접합은 가우시안 유형의 프로필을 갖는 확산-유도 접합과 비교하여 비교적 큰 강도의 전기장을 갖는다. 본 명세서에서 기재되고 실시예에서 달성된 도펀트 프로필의 특징은 효율적인 태양 전지 제조에 적합하다.

[0091]

상기 도펀트 프로필의 특징은, 상기 처리 조건 외에, 증착된 그대로의 비정질 실리콘 캡핑층 및 실리콘 나노입자층의 특징에 따라 달라지는 것이 일반적이다. 도펀트 프로필은 상기 표면으로부터 다른 깊이의 표본을 스퍼터링(sputtering) 또는 다른 에칭하는 것과 함께 기본적인 조성물을 평가하기 위하여 제2 이온 질량분석기(Secondary Ion Mass Spectrometry, SIMS)를 사용하여 측정될 수 있다. 도펀트 열주입 공정에서, 도핑된 나노결정층이 형성된다. 상기 표면 구조를 형성하기 위한 방법으로 인해, 초기 a-Si 테파짓으로부터 발생하는 표면 효과가 있을 수 있다. 우수한 옴 접촉이 금속 전류 집전체와 같은 표면에서 바람직하다면, 약 5×10^{19} 내지 약 5×10^{21} 및 일부 구현예에서 약 7×10^{19} 내지 약 2×10^{21} 과 같은 비교적 큰 표면 도핑이, 낮은 표면 재조합을 유지하면서 우수한 옴 접촉을 제공하는데 바람직할 수 있다. 상기 도펀트 프로필 내 안정 영역은, 표면 이하의 깊이의 함수로서 로그 농도의 비교적 편평한 기울기를 갖는 것으로 관찰되며, 일반적으로 약 0.5 [$\log(\text{atm/cc})/\text{미크론}$] 이하의 대략 $\log(\text{농도})/\text{깊이}$ 이하 및 일부 구현예에서 약 0.5 [$\log(\text{atm/cc})/\text{미크론}$], 및 약 0.1 내지 약 0.8 미크론 및 다른 구현예에서 약 0.15 내지 약 0.6 미크론의 안정 깊이를 나타낸다. 당해 기술 분야의 숙련자라면 상기 명시적 범위들 내에서 상기 표면 도펀트 특징을 도출할 수 있고, 이들도 본 발명의 범위 내에 있다는 것을 인식할 것이다. 이들 표면 도펀트 파라미터는 일반적으로 상기 실리콘 기판으로의 양호한 도펀트 주입 여부와 무관하게 적용할 수 있다.

[0092]

상기 실리콘 기판 표면으로 도펀트를 주입하기 위하여 사용되는 도펀트 주입에 이어, 상기 실리콘 기판으로의 전체적인 도펀트 프로필을 특성화하기 위해, 본 발명자들은 부가적인 파라미터, 입방 센티미터당 1×10^{19} 도펀트 원자(atoms/cm³)의 도펀트 농도에서 깊이를 사용한다. 깊이와 관련하여, 상기 도펀트 프로필은 1×10^{19} 의 도펀트 농도에서, 약 0.5 미크론 내지 약 2.5 미크론, 다른 구현예에서 약 0.6 미크론 내지 약 2 미크론 및 또 다른 구현예에서 약 0.7 미크론에서 약 1.8 미크론의 깊이를 가질 수 있다. 제한된 도펀트 주입을 갖는 구현예에서, 상기 표면 안정화 영역의 모서리에서 1×10^{18} atoms/cc의 도펀트 농도까지의 깊이는 약 0.3 미크론 이하일 수 있다. 본 기술 분야에서 통상의 지식을 가진 자는 상기에서 명시한 범위 내의 다른 도펀트 프로필 파라미터 범위를 도출할 수 있고, 이들이 본 발명의 개시범위 내라는 것을 인식할 것이다.

[0093]

도펀트 주입 이후, 결과물인 실리콘 시트는 시트 저항성으로 특징지어질 수 있다. 상기 시트 저항값은 4-점 프로브로 측정할 수 있다. 이어서, 시트 저항값을 얻기 위하여, 4-점 프로브를 이용한 측정은 기하학적 파라미터에 따라 스케일링될 수 있다. 본 발명에서 개시한 바와 같은, 도핑된 실리콘 나노입자 및 도펀트 주입 공정을 사용한 도핑에 기초하여, 시트 저항값은 약 $120 \Omega/\square$ 이하, 다른 구현예에서 약 $100 \Omega/\square$ 내지 약 $1 \Omega/\square$, 또 다른 실시예에서 약 $60 \Omega/\square$ 내지 약 $1.5 \Omega/\square$, 및 또 다른 구현예에서 약 $50 \Omega/\square$ 에서 약 $2 \Omega/\square$ 로 얻어질 수 있다. 본 기술 분야에서 통상의 지식을 가진 자는 상기에서 명시한 범위 내의 다른 시트 저항값 범위를 도출할 수 있고, 이는 개시된 본 발명의 범위 내라는 것을 인식할 것이다.

[0094]

실리콘 웨이퍼 상에 실리콘 복합재를 처리하기 위한 어닐링 단계를 도 1에 개략적으로 도시한다. 초기 재료(100)는 기판(104) 상에 복합재(102)를 포함한다. 복합재(102)는 상기 실리콘 나노입자 잉크로부터 기인하는 실리콘 나노입자(106), 이 실리콘 나노입자를 둘러싸는 비정질 실리콘 매트릭스(108) 및 이 구조체를 캡핑하기 위하여 상기 비정질 실리콘 매트릭스로부터 연장되는 비정질 실리콘층(110)을 포함한다. 도 1의 화살표(120)로 표시한 바와 같이 어닐링 단계를 수행하기 위하여 열이 가해진다. 결과적으로 어닐링된 물질(130)을 도 1의 우측 도면에 개략적으로 도시한다. 상기 기판이 실리콘 웨이퍼라고 가정하면, 상기 실리콘 기판(132)은 도면에서 가상선으로 나타낸 기판의 초기 표면 위로 연장되는 불규칙한 에피택셜 부가물(134)을 포함한다. 나노결정질 물질(136)은 상기 에피택셜 물질(134)로부터 연장된다.

[0095]

도펀트 주입 공정은 도펀트 원소를 기판 표면 내로 주입하기 위하여, 도펀트 원료 물질의 테파짓과 함께 기판을 가열하는 오븐 등에서 수행될 수 있다. 주입 공정을 수행하는 오븐의 개략도를 도 2에 도시한다. 오븐(150)은 기판(152)의 표면 상에 복합재층(154)을 갖는 기판(152)을 지지한다. 오븐(150)은 그 내부의 대기, 압력의 제어 및/또는 공정의 적어도 일부 동안 연속적인 플로우를 유지하기 위해 주입구(inlet)(156) 및 배출구(outlet)(158) 등을 구비할 수 있다. 예를 들어, 질소 분위기 또는 다른 불활성 분위기와 같은 실질적으로 산소가 없는 분위기가, 원소 실리콘 기판을 사용하는 구현예를 위해 상기 어닐링 및 도펀트 주입 단계에서 사용될 수 있다. 상기 가열 단계는 주변 압력 또는 감압 상태에서 수행되어 성공적인 결과를 얻을 수 있다.

일반적으로, 상기 불활성 기체는 가열 공정에서 상기 챔버를 통해 흐를 수 있다.

[0096] 상기 도펀트 주입 공정은 일반적으로 약 700℃ 내지 약 1400℃, 다른 구현예에서 약 725℃ 내지 약 1200℃, 및 또 다른 구현예에서 약 750℃ 내지 1100℃의 온도에서 수행될 수 있다. 상기 도펀트 주입 공정은 약 5분 내지 약 6시간, 다른 구현예에서 약 10분 내지 약 3시간 및 또 다른 구현예에서 약 15분 내지 약 2시간 동안 수행될 수 있다. 본 기술 분야에서 통상의 지식을 가진 자는 상기에서 명시한 범위 내의 다른 범위의 도펀트 공정 온도 및 시간을 도출할 수 있으며, 이는 개시된 본 발명의 범위 내라는 것을 인식할 것이다. 필요시, 저온에서 초기 가열하는 단계를 사용하여 어닐링 단계 이전에 상기 복합체를 안정화시킬 수 있다. 기판 표면 내의 도펀트 프로파일은 도펀트 주입 파라미터에 따라 어느 정도 달라질 수 있으며, 상기 공정 파라미터의 선택은 도펀트 주입 이후 타겟 도펀트 프로필에 의해 영향을 받을 수 있다.

[0097] 부가적 또는 대안적 구현예에서, 상기 실리콘 나노입자 주변의 비정질 실리콘 매트릭스를 포함하는 실리콘 복합체는 급속 가열 공정으로 효과적으로 및 빠르게 어닐링될 수 있다. 예를 들어, 실리콘 복합체의 어닐링 공정은 크세논(xenon) 가열 램프와 같은 가열 램프로 달성될 수 있다. 가열램프로부터의 복사는 실리콘을 어닐링하기 위한 다른 형태의 스캔으로 표면 전체를 빠르게 조사할 수 있다. 달리 실리콘 기판에 심각한 영향을 끼치지 않는다면, 강도 및 조사 횟수는, 상기 실리콘 데파짓을 어닐링하기 위해, 그리고 적절한 구현예에서는 실리콘 기판으로 상기 도펀트를 주입하기 위해 선택될 수 있다. 필요시 다른 고안이 사용될 수 있지만, 급속 가열 공정을 위한 처리 장치의 개략적인 다이어그램을 도 3에 도시한다. 처리 장치(170)는 코팅된 웨이퍼(174) 등에 조사하도록 고안된 가열 램프(172)를 구비한다. 다른 구현예에서, 컨베이어 등은 상대적인 동작을 얻을 수 있도록 이동하여 상기 가열 램프 및/또는 기판을 스캔할 수 있다.

[0098] 결과물의 제조 공정 중 또는 추가 공정 이전에 상기 물질의 표면을 따라 형성될 수 있는 임의의 실리콘 산화물을 제거하기 위하여 어닐링 공정 및/또는 도펀트 주입 공정 이후 실리콘 산화물을 에칭하는 것이 바람직할 수 있다. 상기 공정의 전반에 걸쳐, 상기 물질에 대한 산소의 접근을 적극적으로 차단한다면, 상기 실리콘 산화물을 에칭하지 않을 수 있다. 불화수소 버퍼액 또는 다른 적절한 용액으로 실리콘산화물 에칭을 수행할 수 있다. 플라즈마 에칭 또는 다른 건식 에칭 공정이 마찬가지로 사용될 수 있다. 완충 산화물 에칭(buffered oxide etch)은 수 분에서 수 시간 동안 수행될 수 있으며, 본 기술 분야에서 통상의 지식을 가진 자는 이 시간 범위 내의 모든 하위 범위가 포함된다는 것을 인지할 것이다.

[0099] 상기 도펀트 주입 단계 및 임의의 조밀화 및/또는 에칭 단계를 수행한 후, 어닐링된 실리콘 코팅을 포함하는 상기 기판을 태양전지, 박막 트랜지스터 또는 다른 원하는 장치로 조립할 수 있다. 대표적인 분야의 장치에 대해서는 후술하기로 한다.

[0100] Si 펠렛을 형성하기 위한 조밀화 및 소결 공정

[0101] 잉크로부터 형성된 나노입자 실리콘 데파짓으로부터 조밀화된 실리콘 물질을 제조하기 위하여, 기계적 압력 및 열을 사용해 조밀화된 실리콘 펠렛을 제조하는 것은 문맥상 바람직한 공정 방법이 될 수 있는 대안을 제공한다. 상기 실리콘 나노입자 데파짓을 기계적으로 조밀화하기 위하여 물리적 압력을 가하는 공정은 상기 물질을 혼입 또는 추가 조밀화하기 위한 가열단계의 이전 및/또는 그와 동시에 수행할 수 있다. 일반적으로, 상기 펠렛은 선택된 표면 상에서 제조된다. 상기 잉크는 상기 표면을 따라 패터닝되거나, 필요시, 전체 표면에 걸쳐 코팅될 수 있다. 일반적으로 이와 같은 펠렛 형성방법은 넓은 범위의 실리콘 펠렛 두께에 대해서 사용될 수 있다. 상기 공정 이후, 얻어진 실리콘 물질은 벌크 실리콘 밀도보다 다소 낮지만 어느 정도 높은 밀도를 갖는 나노결정인 경우가 일반적이다. 상기 실리콘 펠렛은 도핑되거나 도핑되지 않을 수 있다. 일반적으로, 상기 초기 다공성 나노입자 데파짓에 가해지는 압력은 다른 적절한 임의의 수단을 사용하여 가해질 수 있다.

[0102] 압력 및 열을 인가하여 실리콘 펠렛을 형성하는 공정은 얇거나 두꺼운 실리콘 구조체를 형성하며, 특정 분야의 필요성에 따라 다양한 패턴을 갖거나 층 전체가 코팅될 수 있다. 본 명세서에 개시한 바와 같은 실리콘 펠렛을 형성하는 공정은 기판에 따라 제한될 수 있다. 특히, 부서지기 쉬운 기판은 과도한 압력 인가에 의해 손상될 수 있다. 따라서, 일부 구현예에서, 바람직한 기판은 예를 들어 적절히 지지될 수 있는 가요성 기판, 및 충분한 두께를 갖는 세라믹 기판과 같은 단단한 경질 기판, 예를 들어 투명 글래스, 두꺼운 실리콘 웨이퍼 및/또는 유전성 시트를 포함할 수 있다. 웨이퍼에 대한 손상 없이 결정질 실리콘 웨이퍼 상에 실리콘 펠렛을 형성하는 것은 상기 실리콘 웨이퍼의 두께, 상기 실리콘 잉크 데파짓의 두께 및 펠렛 제조에 사용되는 방법에 따라 달라질 수 있다.

[0103] 도포된 나노입자 실리콘 잉크의 조밀화 공정에 의해 얻어진 실리콘 펠렛은, 다공성 나노입자 데파짓과 비교하여

상기 조밀화 공정에 상응하는, 감소된 두께를 가질 수 있다. 상술한 바와 같이, 상기 실리콘 펠렛은 넓은 범위의 두께를 가질 수 있다. 특히, 상기 실리콘 펠렛의 조밀화 이후, 약 250 nm 내지 약 2 밀리미터, 다른 구현예에서 약 500 nm 내지 1 밀리미터, 및 또 다른 구현예에서 약 1 마이크로 내지 약 500 마이크로미터의 두께를 가질 수 있다. 상기 펠렛에는 일부 잔류하는 기공이 있을지라도 육안으로 보이는 기공은 본질적으로 없을 수 있다. 얻어진 펠렛은 완전히 조밀한 실리콘보다 다소 낮은 중간 밀도를 갖는 것이 일반적이지만, 초기 도포된 실리콘 나노입자보다는 훨씬 조밀한 구조를 갖는다. 따라서, 상기 실리콘 펠렛은 약 1 g/cm³ 내지 약 2.1 g/cm³, 다른 구현예에서 약 1.2 g/cm³ 내지 약 2.0 g/cm³, 및 또 다른 구현예에서 약 1.4 g/cm³ 내지 약 1.9 g/cm³의 밀도를 가질 수 있다. 당해 기술 분야의 숙련자라면 상기 명시적 범위들 내에서 다른 두께 범위 및 밀도 범위를 도출할 수 있고, 이들이 본 발명의 범위 내에 있다는 것을 인지할 것이다.

[0104]

상기 실리콘 펠렛을 형성하기 위하여, 일반적으로 적절한 방법을 사용하여 압력을 가할 수 있다. 나노입자 실리콘 코팅은 상기 인쇄 기관 전체에 걸쳐 웨이퍼 또는 석영 플레이트와 함께 제공된 캡핑 구조체와 함께 열처리되었다. 인용에 의해 본 명세서에 통합된, 동시계류중인 미국특허출원 제13/113,287호 (미국 특허공개 2012/0193769, 출원인 Liu 등) "Silicon Substrates With Doped Surface Contacts Formed From Doped Silicon Inks and Corresponding Processes" 참조. 캡핑 웨이퍼의 경우, 상기 실리콘 잉크는 가열 공정 중 본 명세서에 개시된 정도까지 조밀화되지 않았으며, 이는 분명히 적절치 않은 압력값의 결과였다. '287 출원에 개시된 바와 같은 시스템의 경우, 하부에 놓인 결정질 실리콘 웨이퍼는 현저히 높은 압력을 가하는 경우 실리콘 테파짓과 웨이퍼가 얇아 굽이 가기 쉬울 수 있다. 상기 시스템을 적절히 조절하여 적절한 정도의 압력을 가함으로써 상기 실리콘 나노입자 테파짓을 적절한 수준으로 조밀화할 수 있다.

[0105]

일반적으로 이와 같은 정도의 압력은 상기 나노입자 실리콘 테파짓의 특성에 따라 달라질 수 있으며, 이러한 압력은 본 명세서의 개시내용을 근거로 실험적으로 결정될 수 있다. 구체적인 구현예를 이하의 실시예에 개시한다. 상기 압력은 일반적으로 롤러쌍, 기계적 프레스, 또는 기계적 압력을 가할 수 있는 다른 편리한 수단을 사용하여 가할 수 있다. 일부 구현예에서, 롤러, 프레스 등을 가열하여 가압과 함께 동시에 열을 가할 수 있다. 마찬가지로, 상기 압력은 열 및 압력을 동시에 가하기 위하여 오븐 또는 다른 가열 밀폐용기 내에서 가해질 수 있다. 대안적 또는 부가적으로, 열을 가하기 전에 상기 나노입자 실리콘 테파짓의 일부를 초기 부분 조밀화하기 위하여 열을 먼저 가할 수 있으나, 압력 인가는 또한 열 인가 이후 계속될 수 있다. 실시예에 나타난 바와 같이, 초기 압력 인가는 실리콘의 용점보다 훨씬 낮은 온도에서 가열시 조밀화 공정을 보다 용이하게 한다. 일반적으로 상기 가열 공정은 약 650°C 내지 약 1200°C, 다른 구현예에서 약 700°C 내지 약 1150°C 및 또 다른 구현예에서 750°C 내지 약 1100°C의 온도에서 수행된다. 일반적으로, 상기 가열 공정은 약 1분 내지 약 5시간, 다른 구현예에서 약 5분 내지 약 3시간 및 또 다른 구현예에서 약 10분 내지 약 2시간 동안 수행될 수 있다. 상기 가열 시간 중 압력이 인가되는 경우 가열 시간을 보다 짧게 하는 것이 적절할 수 있으며, 적절한 가열 시간은 상기 나노입자 실리콘 테파짓에 가해지는 압력 정도에 영향받을 수 있을 것으로 여겨진다. 당해 기술 분야의 숙련자라면 상기 명시적 범위들 내에서 다른 온도 및 시간 범위를 도출할 수 있고, 이들이 본 발명의 범위 내에 있다는 것을 인지할 것이다. 대안적 또는 부가적 구현예에서, 급속 열처리 어닐링 공정은 상기 도 3의 설명에서 개시한 바와 같은 가열 램프 등 및 다른 스케닝 구현방법에 따라 수행될 수 있다.

[0106]

실리콘 웨이퍼계 태양전지 분야

[0107]

일부 구현예에서, 태양전지는 결정질 실리콘 광흡수층을 구비한다. 도핑된 접촉부는 상기 실리콘 기관의 표면을 따라 연장되어 광전류를 모으게 된다. 도핑된 접촉부는 태양 전지의 전면 및 후면 모두를 따라 위치하거나 태양 전지의 후면만을 따라 위치할 수 있다. 본 명세서에 기재된 도핑된 실리콘 잉크 및 도펀트 주입법을 이용한 도핑된 접촉부의 형성 방법을 채용하여 도핑된 접촉부를 원하는 위치에 배치할 수 있다. 일반적으로 무기질 유전체는 태양 전지 구동 효율을 감소시킬 수 있는 재조합 빈도를 감소시키기 위한 패시베이션층으로서 상기 실리콘 기관의 표면을 따라 위치한다. 전도성 집전체는 적절한 위치에 배치되어, 도핑된 접촉부에서 태양전지를 외부 회로와 연결시킨다. 상기 집전체의 일부는 각각의 유전체층(dielectric layer)을 침투하여 도핑된 실리콘 접촉부와 전기적으로 연결되는 것이 일반적이다. 투명한 전면 보호층은 일반적으로 빛을 받는 전면을 보호하기 위해 사용된다. 상기 태양 전지의 잔류 영역은 고분자 등으로 캡슐화되어 반대 극성을 갖는 각각의 집전체로 이어지는 전도성 리드의 연결을 통해 상기 전지를 외부 회로로 적절히 연결되도록 하여 환경 위협으로부터 상기 태양 전지를 보호할 수 있다. 태양전지를 모듈로 조립하는 경우, 전류를 증가시키기 위하여 병렬 연결이 추가적 또는 대안적으로 포함될 수 있지만, 전압 출력을 증가시키기 위해 다수의 전지를 직렬로 연결하는 것이 일반적으로 바람직하다.

- [0108] 상기 실리콘 결정질 광흡수층은 임의의 적절한 공급원으로부터 형성될 수 있다. 비용 감소를 위해, 상기 흡수층 형성용 실리콘 기판을 사용하여 재료의 사용을 줄이는 것이 바람직할 수 있다. 적합한 결정질 실리콘 기판은 예를 들어, 단결정 실리콘 잉곳, 실리콘 리본, 또는 실리콘 호일로부터 절단된 실리콘 웨이퍼를 포함할 수 있다. 일반적으로 약 50 mm 내지 약 300 mm의 직경을 갖는 도핑 및 비도핑 결정질 실리콘 웨이퍼를 상업적으로 입수가 가능하다. 시판중인 웨이퍼는 예를 들어 Silicon Valley Microelectronics Incorporated (CA, U.S.A.)로부터 입수할 수 있다. 본질적으로 결정질 실리콘을 소비하는 에칭 공정의 실리콘 손실로 인해 이러한 에칭 공정에서 재료 절감이 되지는 않지만, 웨이퍼 두께를 소정 값으로 감소시켜 에칭할 수 있다.
- [0109] 마찬가지로, 선택적으로 도펀트를 포함하는 용융 실리콘을 함유하는 도가니를 통해 필라멘트(filament) 쌍을 당겨냄으로써 결정질 실리콘 리본을 형성할 수 있다. 상기 필라멘트가 용융물을 통과함에 따라, 실리콘 박막이 상기 필라멘트들 사이에 형성되고, 이것이 냉각되면서 빠르게 고화한다. 공정 파라미터를 적절하게 선택하여 25mm X 25mm 까지의 결정 크기를 포함하는 다결정 실리콘 리본을 제조하였다. 치수의 경우, 상기 실리콘 리본은 약 60 μm 내지 약 1 mm의 두께 및 약 1 cm 내지 약 30 cm의 너비를 가질 수 있다. 50 mm까지의 너비 및 약 120 μm 내지 약 1mm의 두께를 갖는 실리콘 리본의 제조방법은 인용에 의해 본 명세서에 통합된, 미국 특허공개번호 제 2009/0025787A호('787 특허라 칭함) "Wafer/Ribbon Crystal Method and Apparatus"(출원인: Gabor)에 기재되어 있다.
- [0110] 결정질 실리콘 호일은 이형층을 포함하는 반응성 증착 공정에 의해 형성될 수 있다. 이형층은 낮은 기계적 통합성(integrity)을 가진 층이거나 또는 선택적인 제거가 용이한 층이다. 따라서, 상부층(overlayer)은 파쇄 또는 이형층의 제거를 통해서 하부 기판으로부터 분리될 수 있다. 특히, 이형층은 광 반응성 증착을 이용하여 효과적으로 형성될 수 있다. 광 반응성 증착은 강한 광빔에 의해 반응이 진행되는 소정 전구체 반응물을 함유하는 플로우 내의 화학적 반응을 포함한다. 상기 실리콘 호일층은 화학적 기상 증착법 또는 광반응성 증착법을 이용하여 이형층 위에 실리콘을 증착하여 형성될 수 있다. 이미 증착된 실리콘층은 생성되는 실리콘 호일 내 결정 크기를 증가시키기 위하여, 예를 들어 영역 용융 재결정법을 이용하여 재결정화될 수 있다. 상기 이형층에서 실리콘 상부층을 분리하여 실리콘 호일을 생성하게 되며, 이는 일 표면 또는 다른 표면 상에 항상 지지되거나 또는 지지되지 않을 수 있다. 실리콘 호일은 큰 면적으로 만들어질 수 있으며, 적절한 결정 크기가 얻어졌다. 광 반응성 증착을 이용하여 실리콘 호일을 형성하는 방법은 인용에 의해 본 명세서에 통합된, 미국 특허공개번호 제 2007/0212510A1호 "Thin Silicon or Germanium Sheets and Photovoltaics Formed From Thin Sheets" (출원인: Hieslmair et al.)에 개시된다. CVD를 이용하여 이형층 상에 실리콘 호일을 형성하는 것은 인용에 의해 본 명세서에 통합된, 미국 특허공개번호 제2009/0017292A1호 "Reactive Flow Deposition and Synthesis of Inorganic Foils" (출원인: Hieslmair et al.)에 개시되어 있다.
- [0111] 전면 및 후면 접촉부를 모두 가진 광전지의 구현에는 도 4 및 도 5에 개략적으로 도시된다. 도 4 및 5에 나타낸 바와 같이, 광전지(200)는 실리콘 기판(202), 전면이 패터닝된 도핑된 접촉부(204), 전면 패시베이션층(206), 전면 집전체(208), 전면 보호층(210), 후면 도핑된 접촉부(212), 후면 패시베이션층(214), 후면 집전체(216) 및 고분자 봉합재(218)를 구비한다. 몇몇 구현예에서, 상기 실리콘 기판은 n-형 도펀트와 같은 비교적 낮은 수준으로 도펀트 원소를 포함하여, 상기 실리콘 기판, 즉, 코어 실리콘 광흡수층의 전도성을 증가시키게 된다. 일반적으로, 실리콘 기판은 입방 센티미터(cc) 당 약 1.0×10^{14} 내지 약 1.0×10^{16} 원자의 평균 도펀트 농도를 갖는 붕소, 인 또는 다른 유사한 도펀트를 포함할 수 있다. 본 기술 분야에서 통상의 지식을 가진 자는 상기에서 명시한 범위 내의 다른 광도펀트 수준을 도출할 수 있으며, 이는 개시된 본 발명의 범위 내라는 것을 인지할 것이다.
- [0112] 전면 도핑된 접촉부(204) 및 후면 도핑된 접촉부(212)는 일반적으로 실리콘 기판으로 침투하는 고도핑된 영역이며, 기판으로부터 연장되는 도핑된 실리콘을 포함하거나 포함하지 않을 수 있다. 전면 도핑된 접촉부(204) 및 후면 도핑된 접촉부(212)는 각각 소정 도펀트를 포함할 수 있다. 전면 도핑된 접촉부(204) 및 후면 도핑된 접촉부(212)는 상기 실리콘 기판에서 각각의 표면을 따라 다수의 분리된 위치를 독립적으로 포함할 수 있다. 몇몇 구현예에서, 전면 도핑된 접촉부(204) 또는 후면 도핑된 접촉부(212)는 실리콘 기판의 전체 표면에 걸쳐 본질적으로 연장될 수 있다. 몇몇 구현예에서, 전면 도핑된 접촉부는 n-형 도펀트를 포함하고, 후면도핑된 접촉부는 p-형 도펀트를 포함하는 것이 바람직하며, 그 결과 광흡수에 의해 형성된 소수의 캐리어 또는 전자가 전면으로 이동하는 것과 달리, 반대 전하를 띤 캐리어 또는 정공은 후면으로 이동한다. 상기 전자 및 정공의 이동은 외부 회로로 향할 수 있는 유용한 전류를 모으는 결과를 낳는다. 적절한 n-형 도펀트는 예를 들어 P, Sb 및/또는 As를 포함하며, 적합한 p-형 도펀트는 예를 들어, B, Al, Ga 및/또는 In을 포함한다. 일반적으로, 도핑된 접촉부

내의 평균 도펀트 수준은 입방 센티미터(cc) 당 약 1.0×10^{18} 내지 약 5×10^{20} 일 수 있으며, 다른 구현예에서 2.5×10^{18} 내지 약 1.0×10^{20} 및 또 다른 구현예에서 5.0×10^{18} 에서 약 5.0×10^{19} 개의 원자일 수 있다. 본 기술 분야에서 통상의 지식을 가진 자는 상기에서 명시한 범위 내의 다른 평균 도펀트 수준을 도출할 수 있으나, 이는 개시된 본 발명의 범위 내라는 것을 인지할 것이다. 더욱이, 도핑된 접촉부 내의 도펀트 농도는 상기 도핑된 접촉부를 더 구체적으로 특성화하는 깊이와 관련된 프로필을 가진다. 도펀트 프로필은 일반적으로 잉크로부터 도펀트를 기관으로 주입하는데 사용되는 방법의 기능을 할 수 있다. 상기 도펀트 전달 및 도펀트 주입은 본 명세서에 개시된 바와 같은 도펀트 잉크를 이용하여 수행될 수 있으며, 대응하는 도펀트 프로필이 얻어질 수 있다. 전면 패시베이션층(206)은 무기 유전체를 포함할 수 있다. 패시베이션층을 형성하기 위한 적합한 무기 물질은 예를 들어, 화학양론적 및 비-화학양론적 실리콘 산화물(silicon oxides), 실리콘 질화물(silicon nitrides), 및 실리콘 산화질화물(silicon oxynitrides), 실리콘 탄화물(silicon carbides), 실리콘 탄화질화물(silicon carbonitrides), 알루미늄 산화물(aluminum oxide)과 같은 유전체 금속 산화물(dielectric metal oxides), 알루미늄 질화물(aluminum nitride)과 같은 유전체 금속 질화물(dielectric metal nitrides), 금속 산화질화물(metal oxynitrides), 이들의 조합 또는 이들의 혼합물을 포함한다. 몇몇 구현예에서, 패시베이션층은 예를 들어, SiN_xO_y ($x < 4/3$ 및 $y < 2$), 실리콘 옥사이드 (SiO_2), 실리콘 질화물 (Si_3N_4), 실리콘 풍부 산화물 (SiO_x , $x < 2$), 또는 실리콘 풍부 질화물(SiN_x , $x < 4/3$)을 포함할 수 있다. 전면 패시베이션층 (206)을 통하는 정공(230)은 전면 집전체(208) 및 전면 도핑된 접촉부(204)의 사이에 전기 접촉부를 제공한다.

[0113]

상기 패시베이션층은 일반적으로 약 10 나노미터(nm) 내지 800 nm, 다른 구현예에서 30 nm 내지 600 nm, 및 또 다른 구현예에서 50 nm 내지 500 nm의 두께를 가질 수 있다. 당해 기술 분야의 숙련자라면 상기 명시적 범위들 내에서 추가의 두께 범위들을 도출할 수 있고, 이들도 본 발명의 범위 내에 있다는 것을 인지할 것이다. 통상 화학적으로 불활성인 상기 패시베이션층은 전면에 대해 무반사 (anti-reflecting) 특성을 제공하는 것 뿐만 아니라, 환경의 질적 저하로부터 반도체 물질을 보호하고, 정공 및 전자의 표면 재조합을 감소시키며, 그리고/또는 구조적인 디자인 특성을 제공할 수 있다. 상기 표면은 광을 더 많이 흡수할 수 있도록 실리콘을 통한 빛의 산란을 돕기 위해 일부 비-평면성을 가질 수 있다.

[0114]

전면 집전체(208)는 전도성 물질 내 갭을 통해 이 집전체를 통과한 투과 광을 제공하는 패턴화된 전도체 그리드를 구비할 수 있다. 전면 집전체(208)는 정공(230)을 통해 이어지는 신장부(232)를 구비하여, 전면 집전체(208) 및 전면 도핑된 접촉부(204) 사이에 전도성을 제공한다. 전면 집전체(208)는 떨어진 위치에 있는 다수의 전면 도핑된 접촉부(204)를 연결할 수 있다. 또한, 전면 집전체(208)는 일반적으로 집전체 (208)와의 전기적 연결을 제공하도록 고안된 하나 이상의 전도성 탭(tabs)(234)을 구비할 수 있다. 봉합재(118)가 각각의 전지를 피복하는 경우, 탭(234)은 봉합재(218)를 통해 연장되도록 구성되고, 봉합재(218)를 사용하여 모듈 내 다수의 전지를 감싸는 경우, 탭(234)을 사용하여, 예를 들어 직렬 또는 병렬 방식으로 인접한 전지를 연결하거나 외부 회로와 연결할 수 있다. 집전체(208)의 그리드 배열은 도 4에 도시하며, 다른 그리드 패턴은 필요에 따라 사용할 수 있다. 전면 집전체는 원소 금속 또는 금속 합금과 같은 전도성 물질로 이루어진 그리드를 구비한다. 일반적으로, 전도성 그리드의 크기는 바람직하지 않은 광 차단을 피하면서 전면 도핑층과의 바람직한 접촉 수준을 제공하도록 조절된다.

[0115]

전면 투명층(210)은 투명한 고분자 시트, 유리 시트, 이들의 조합물 등을 포함할 수 있다. 적합한 고분자는 예를 들어, 폴리카보네이트(polycarbonate)를 포함한다. 고분자층(Polymer layer)은 베이스 전지 구조체에 라미네이트될 수 있다. 상기 전면 투명층이 또한 글래스를 포함하는 경우, 실리콘 접착제 또는 EVA 접착제 (에틸렌 아세트산 비닐 고분자 / 공중합체 (ethylene vinyl acetate polymers/copolymers))와 같은 접착제를 사용하여 투명한 고분자 시트 또는 직접 집전체 표면에 글래스를 고정할 수 있다.

[0116]

후면 패시베이션층(214)을 통하는 정공(240)이 전면 패시베이션층(206)을 통하는 정공 (230)과 동일한 구성 및 크기를 가지거나 갖지 않을 수 있지만, 후면 패시베이션층(214)은 본질적으로 전면 패시베이션층(206)을 반영하고 있으며, 적합한 정공 파라미터의 범위는 정공(240) 및 정공(230)에 대해 동일한 값을 가질 수 있다. 후면 패시베이션층(214)은 전면 패시베이션층(206)과 동일한 조성을 포함할 수 있다. 후면 패시베이션층(214)은 전면 패시베이션층(206)과 동일한 범위의 두께를 가질 수 있다. 후면 집전체(216)는 일반적으로 실리콘 기관(202)을 통해 가시광선을 반사하도록 선택될 수 있지만, 상기 광은 부가적인 광전류 발생을 위해 상기 반도체에 의해 흡수될 수 있다. 후면 집전체(216)는 알루미늄과 같은 전도성 금속을 포함할 수 있지만, 임의의 적당한 전도성 금속을 사용할 수 있다. 후면 집전체(216)는, 이 집전체와 전기적으로 연결되도록 이어지는 도전성 탭(244) 등을 구비할 수 있다. 봉합재(218)가 개별 전지를 각각 피복하는 경우, 탭(242)은 봉합재(218)를 통해 연장되도록 구

성되고, 봉합재(218)를 사용하여 모듈 내 다수의 전지를 감싸는 경우, 탭(244)을 사용하여 인접한 전지를 연결하거나 외부 회로와 연결할 수 있다.

[0117] 후면 접촉 광전지의 대표적인 구체예를 도 6 및 7에 도시한다. 도 6 및 7에 나타난 바와 같이, 후면 접촉 광전지(260)는 실리콘 기관(262), 전면 패시베이션층(264), 전면 투명 보호층(266), 후면 p-도핑된 접촉부(268), 후면 n-도핑된 접촉부(270), 후면 패시베이션층(272), 제1 후면 집전체(274), 제2 후면 집전체(276) 및 봉합재(278)를 구비한다. 실리콘 기관(262)은 일반적으로 상술한 실리콘 기관(202)과 동일한 특성을 가질 수 있다. 또한 상기 태양 전지의 전면은 전지의 효율을 향상시킬 수 있는 전면 전계(front surface field)를 제공하도록 n-형 도펀트 함유 고도핑층을 구비할 수 있다. 전면 패시베이션층(264)은 상기 유전체층(206, 214)의 설명에서 언급한 적당한 무기 유전체 및 크기를 가질 수 있다. 그러나, 후면 접촉부 구현예에서, 전면 패시베이션층(264)은 일반적으로, 하부에 놓인 반도체 물질에 접근하기 위한 정공을 가지고 있지 않다. 또한, 투명한 전면 보호층은 고분자, 글래스, 이들의 조합 등을 마찬가지로 포함할 수 있다. 봉합재(218)에 대해 상기에서 설명한 바와 같이, 이 봉합재(278)는 적절한 전기적 상호 연결을 가진 모듈 내에서 개별 전지 또는 다수의 전지를 감쌀 수 있다.

[0118] 광전지(260)의 후면은 패턴화된 구조물을 구비하여 전지의 반대전극을 위한 별도의 분리된 위치를 제공한다. 다양한 패턴 및 구조는 후면 접촉부를 형성하기 위한 것으로 본 기술 분야에서 알려져 있으며, 일반적으로 임의의 적절한 후면 접촉부 구조체를 사용할 수 있다. 후면 접촉부를 패턴화하는 공정은 하기 실리콘 잉크 관련 부분에서 설명하기로 한다.

[0119] 도 6 및 7을 참조하면, 도핑된 접촉부(268, 270)는 적절한 집전체에 연결을 제공하는 패턴으로 배열된다. 후면 접촉부의 경우, 광전류가 효율적으로 모일 수 있도록, 반도체 표면을 따라 각 도펀트 형태의 도메인 분포를 가지는 것이 바람직하다. 그러나 각 도펀트 형태의 도메인이 이 각 도펀트 형태와 적절하게 접하는 집전체의 위치를 제공하기 위해서는 패턴화되어야 한다. 후면 패시베이션층(272)은 일반적으로 각각의 집전체 및 상응하는 도핑된 접촉부 사이에 접촉을 제공하는 정공(280)을 구비한다. 도핑된 접촉부(268, 270)는 일반적으로 실리콘 기관(262)의 후면으로 연장되며, 실리콘 기관(262)의 후면으로부터 바깥쪽으로 연장될 뿐만 아니라 실리콘 기관(262)으로도 연장될 수 있다. 후면 접촉 태양전지를 위한 도핑된 접촉부는 본 명세서에 기재된 바와 같이 실리콘 나노입자 잉크 및 도펀트 주입으로 제조될 수 있다.

[0120] 집전체(274, 276)는 상기 전지에 대해 반대 극성을 갖는 전극을 제공하기 위해 그에 맞도록 패턴화된다. 따라서, 제1 집전체(274)는 정공(280)을 통해 통과하는 신장부(282)를 통해 p-도핑된 접촉부(268)와 접촉한다. 유사하게, 제2 집전체(276)는 상응하는 정공(280)을 통해 n-도핑된 접촉부(270)와 접촉한다. 집전체(274, 276)는 원소 금속 또는 합금과 같은 적당한 전도성 재료로부터 형성될 수 있다. 또한, 금속 집전체는 집전체와 충돌하는 반도체 물질을 통해 통과하는 광을 반사하기 위한 반사체(reflector)로서 기능할 수 있다.

[0121] 상기 후면 접촉 태양전지의 제조방법은 미국 특허공개번호 2008/103293호 (Hieslmair 등) "Solar Cell Structures, Photovoltaic Panels and Corresponding Processes" 및 2010/0294349호 (Srinivasan 등) "Back Contact Solar Cells With Effective and Efficient Designs and Corresponding Patterning Processes"에 상세히 개시되며, 인용에 의해 본 명세서에 통합된다. 실리콘 잉크를 사용하는 태양전지용 도핑된 접촉부의 제조방법은 동시계류중인 미국 특허출원 13/113287호 (공개번호 2012/0193769) (Liu 등) "Silicon Substrates With Doped Surface Contacts Formed From Doped Silicon Inks and Corresponding Processes"에 상세히 개시되며, 인용에 의해 본 명세서에 통합된다.

[0122] 박막 태양전지

[0123] 박막 태양전지에 있어서, 반도체에 의한 광흡수는 가전자대(valence band)에서 전도대(conduction band)로의 전자 이동을 유발하고, 다이오드 접합은 광을 흡수하여 전류의 순흐름을 유발하는 전기장을 형성한다. 특히, 다이오드 p-n 접합을 형성하는 반대극성을 가진 도핑층은 광전류를 수집하는데 사용될 수 있다. 광전류의 수집을 향상시키고 이에 상응하는 광전 변환 효율을 높이기 위해서, 상기 도핑층은 집전체로서 기능하는 인접한 전극을 구비한 광흡수 구조체를 따라 연장된다. 광을 수용하는 쪽의 전극은 일반적으로 전도성 산화금속과 같은 투명한 전도성 물질이므로, 광이 반도체 물질까지 도달할 수 있다. 태양전지 후면의 반사 전도체 전극은 투명 전도성 산화막(TCO, transparent conductive oxide)을 사용하지 않고, 선택적으로 반도체 물질에 직접 접촉하여 사용될 수 있지만, 태양전지 후면의 반도체성 물질에 접촉하는 전극 또한 인접한 반사 전도체를 가진 투명한 전극일 수 있다.

- [0124] 진성층, 즉 도핑되어 있지 않거나, 매우 낮게 도핑된 실리콘층은 p-도핑층 및 n-도핑층의 사이에 위치할 수 있다. 진성층은 일반적으로 필요한 만큼의 광 흡수를 제공하기 위하여 더 두꺼운 평균 두께를 가지도록 형성된다. 태양전지를 위한 설계 매개변수(parameter)는 일반적으로 전류 및 전류의 수집에 대한 효율성을 증가시키기 위하여 광흡수의 균형을 유지한다. p-n 접합은 전류 수집을 유발하는 전기장을 형성한다. 태양 복사에 대해 비정질 실리콘은 미세결정질 실리콘에 비하여 상대적으로 높은 흡광 계수를 가지고, 미세결정질 실리콘은 결정질 실리콘보다 상대적으로 더 높은 흡광 계수를 가진다. 나노결정질 실리콘은 미세결정질 실리콘 및 비정질 실리콘 사이에 속하는 중간 흡광을 가질 것으로 여겨진다. 만약 진성층이 사용되는 경우, 최종 구조는 p-i-n 접합으로 나타낼 수 있으며, 이들 문자는 각각 p-도핑층, 진성층(intrinsic), 및 n-도핑층을 나타낸다. 일반적으로, p-n 접합 내에서 p-도핑층은 흡광 표면쪽으로 배치되고, n-도핑층은 흡광 표면으로부터 먼 쪽으로 배치된다.
- [0125] 비정질 실리콘은 상대적으로 큰 1.7eV의 에너지 밴드 갭을 가지므로, 비정질 실리콘은 일반적으로 700nm 이상의 파장을 갖는 광을 효율적으로 흡수할 수 없다. 따라서, 비정질 실리콘은 가시광선 스펙트럼 영역 및 이에 상응하는 상당한 영역의 태양 복사 스펙트럼을 효율적으로 흡수하지 못할 수 있다. 대안적 또는 부가적 구현예에서, 상기 박막 태양전지 내 하나 이상의 층은 나노결정질 실리콘을 포함할 수 있으며, 그에 따라 원하는 흡광 특성이 얻어진다. 본 명세서에서 기재한 바와 같이, 박막 태양전지의 층은 비정질 실리콘 및 나노결정질 실리콘의 복합체를 포함할 수 있다. 상기 복합체층의 도핑은 적절히 선택될 수 있다.
- [0126] 스택형 전지(stacked cell)는, p-n 접합 내 흡광 반도체의 개별 스택들을 사용하여 입사광을 보다 완전하게 활용하도록 개발되어 왔다. 상기 스택 내 각각의 p-n 접합은 p-i-n 접합을 형성하기 위하여 진성 실리콘 흡광층을 구비할 수 있다. 상기 스택 내의 p-n 접합은 통상 직렬로 연결된다. 통상, 상기 p-i-n 접합 내 하나 이상의 층은 비정질 실리콘 및 나노결정질 실리콘의 복합체로 형성될 수 있다. 따라서, 상기 스택 또는 스택 세트 내에서의 일층은 상기 복합체로 형성될 수 있거나, 또는 상기 스택 내에서 상이한 도펀트를 갖는 각 층은 상기 실리콘 복합체로 형성되거나, 또는 임의의 바람직한 층 조합으로 형성될 수 있다. 직렬로 연결된 스택에서 더 우수한 효율성을 얻기 위하여, 각각의 p-n 접합은 대략 서로와 같은 광전류를 발생시키는 구조를 가질 수 있다. 각각의 p-n 접합에서 생성되는 전압이 추가된다. 선택적인 유전체성 버퍼층은 인접한 도핑층에 배치되어 전자와 정공의 표면 재조합을 감소시킬 수 있다.
- [0127] 상기한 바와 같이, 박막태양전지는 하나 또는 다수의 p-i-n 접합으로 구성될 수 있다. 도 8을 참조하면, 적층 실리콘계 태양전지(300)의 예는 2개의 p-i-n 광전 성분을 포함한다. 다른 구현예에서, 태양전지는 단일 p-i-n 접합, 또는 3개 이상의 p-i-n 접합을 포함할 수 있으며, 도면 내 구조체에 대한 대응하는 변경을 수반한다. 구체적으로 2중 접합 구조체를 구비하는 구현예의 경우, 태양전지(300)는 전면 투명층(302), 전면 전극(304), 제1 광전 성분(306), 버퍼층(308), 제2 광전 성분(310), 후면 투명 전극(312), 및 반사층/집전체(314)를 구비한다. 태양전지(300)는 버퍼층(308) 없이 형성될 수 있다. 또한, 태양전지(300)는 후면 투명 전극(312) 없이 형성될 수 있으며, 이 경우 집전체(314)는 반사 후면 전극으로서 기능한다.
- [0128] 통상, 광전 성분(306, 310)에 대해 다양한 구조를 사용할 수 있다. 다수의 광전 성분을 사용하여 입사광을 보다 많이 흡광할 수 있다. 부재(306, 310)은 동일한 구조를 갖거나, 갖지 않을 수 있다. 예를 들어, 광전 소자(310)는 도 8에 나타난 것과 같은 특정 구조의 광전 소자를 구비할 수 있다.
- [0129] 도 8을 참조하면, 광전 소자(306, 310)는 3층의 다결정질 실리콘을 포함할 수 있다. 특히, 도 8의 특정 구현예에서, 광전 소자(306)는 p-도핑된 실리콘층(320), 진성 실리콘층(322), n-도핑된 실리콘층(324)을 포함한다. 광전 소자(310)는 p-도핑된 실리콘층(326), 진성 실리콘층(328), 및 n-도핑된 실리콘층(330)을 포함한다. 본 명세서에 개시한 바와 같이, 하나 이상의 실리콘층(320, 322, 324, 326, 328, 330)은 비정질 실리콘 매트릭스 내에 매립된 결정질 실리콘 나노입자의 복합체를 포함할 수 있다. 부가적 또는 대안적으로, 하나 이상의 실리콘층(320, 322, 324, 326, 328, 330)은 실리콘 펠렛으로부터 형성된 것과 같은 나노결정질 실리콘 또는 비정질 실리콘 매트릭스에 매립된 실리콘 나노입자의 소결 복합체를 포함할 수 있다.
- [0130] 각각의 광전 소자를 흐르는 전류가 원하는 범위 내에서 실질적으로 동일하게 되도록 스택형 태양전지의 광전소자를 형성하는 것이 바람직할 수 있다. 직렬로 연결된 다수의 광전 소자로부터 형성되는 적층 태양전지의 전압은 각각의 광전 소자 사이에 형성되는 전압의 합과 실질적으로 같다. 직렬로 연결된 다수의 광전 소자로부터 형성된 적층 태양전지를 흐르는 전류는, 일반적으로 가장 작은 전류를 발생시키는 광전 소자의 전류의 값과 실질적으로 같다. 각각의 광전 소자를 형성하는 박막의 두께는, 각각의 광전 소자를 흐르는 전류와 매칭되는 타겟을 근거하여 조절될 수 있다.

- [0131] 전자 분야
- [0132] 본 명세서에 개시된 바와 같은 실리콘 나노 잉크로부터 얻어지는 실리콘 물질은 또한 특정 분야에 사용되는 집적 회로를 형성하기 위해 사용할 수 있다. 예를 들어, 박막 트랜지스터(TFT)를 사용하여, 능동 매트릭스형 액정 표시소자, 전기영동 표시소자, 및 유기발광 다이오드 표시소자(OLED)와 같은 새로운 표시소자 구조체를 게이팅(gate)할 수 있다. 적절한 트랜지스터 소자는 통상의 포토리소그래피 방법, 또는 적절한 해상도를 위해 잉크젯 인쇄법 또는 다른 적절한 인쇄 방법을 사용하여 실리콘 잉크로 인쇄할 수 있다. 상기 기판은 상기 잉크에 대한 처리 온도와 상용성을 갖도록 선택할 수 있다. 예를 들어 비정질 실리콘 매트릭스에 매립된 결정질 실리콘 나노 입자의 복합재, 실리콘 복합체로부터 형성된 것과 같은 나노결정질 실리콘, 및/또는 나노결정질 실리콘 펠렛으로부터 적절한 부재를 형성할 수 있다.
- [0133] 통상, 박막 트랜지스터(TFT)는 도핑된 반도체 소자 및 상응하는 인터페이스를 포함한다. 다양한 능동 매트릭스형 표시소자용 전자 게이트로 사용되는 박막 트랜지스터는, "Backplanes for Display Applications, and Components for use Therein"란 제목의 아문센(Amundson) 등의 미국 특허공개 제 2003/0222315A호에 상세히 개시되어 있으며, 인용에 의해 본 명세서에 통합된다. 유기 LED 소자를 구비하는 애노드 공통 구조체를 갖는 n형 도핑된 실리콘 TFT 능동 소자는, "Organic LED Device"라는 제목의 미국 특허 6,727,645호(Tsjimura et al.)에 상세히 기재되어 있으며, 이는 인용에 의해 본 명세서에 통합된다. OLED 표시소자 구조체는, 예를 들면 "Method of Manufacturing a Top-Emitting OLED Display Device With Desiccant Structures"라는 제목의 미국 특허공개 2003/0190763호(Cok et al.)에 상세히 기재되어 있으며, 이는 인용에 의해 본 명세서에 통합된다. TFT의 형성을 위한 통상적인 포토리소그래피 기술은 "Method of Manufacturing a Transistor"라는 제목의 미국 특허 6,759,711호(Powell)에 상세히 기재되어 있고, 이는 인용에 의해 본 명세서에 통합된다. 이들 통상의 포토리소그래피 방법은 본 명세서에 개시된 인쇄 방법으로 대체될 수 있다. 미국 특허 6,759,711호는 능동 매트릭스형 액정 표시소자와 TFT의 통합을 상세히 개시하고 있다. 본 명세서에 개시된 실리콘 나노입자 잉크 및 대응하는 실리콘 물질은, 선택된 도펀트로 TFT의 성분을 인쇄하는데 효과적으로 사용될 수 있다.
- [0134] 바이오칩은 진단용 의료 용도로 사용이 증가하고 있다. 예를 들어 인용에 의해 본 명세서에 통합된, "Printed Circuit Boards With Monolayers and Capture Ligands"라는 제목의 미국 특허 6,761,816호(Blackburn et al.) 참조. 이 바이오칩 어레이는 자동 측정을 수행할 수 있도록 생물학적 요소와 통합된 전기 회로를 구비할 수 있다. 본 명세서에 개시된, 패턴 가능한 실리콘 재료를 사용하여 상기 소자용 전기 부재를 제조할 수 있지만, 생물학적 용매 성분은 인쇄되거나, 또는 다른 부재를 위해 증착될 수 있다.
- [0135] 무선 주파수 인식(RFID) 태그는 분실 방지를 위해 널리 사용되고 있다. 이러한 소자는 적은 간섭과 낮은 비용을 위해 소형인 것이 바람직하다. 본 명세서에 개시된 실리콘 잉크 및 상응하는 실리콘 재료는 RFID 또는 그 구성요소를 효과적으로 인쇄하기 위해 사용될 수 있다. 롤-투-롤(roll-to-roll) 구성으로 RFID를 인쇄하기 위한 시스템이, "RFID-Tag Fabricating Apparatus and Cartridge"란 제목의 타키(Taki) 등의 미국 특허공개번호 2006/0267776A호에 상세히 개시되며, 인용에 의해 본 명세서에 통합된다.
- [0136] 실시예
- [0137] 하기 실시예는 실리콘 웨이퍼 상에서 가공된 실리콘층 함유 실리콘 기판의 제조공정 및 결과를 보여주며, 상기 실리콘층은 실리콘 나노입자 펠렛의 제조공정 및 결과 외에 비정질 실리콘 매트릭스 내의 결정질 실리콘 나노입자의 복합체로부터 형성된다. 하기 실시예에서 각 샘플은 잉크로부터 도포된 결정질 실리콘 나노입자로부터 제조하였다. 결정질 실리콘 나노입자는, 인용에 의해 본 명세서에 통합된, "Silicon/Germanium Nanoparticle Inks, Laser Pyrolysis Reactors for the Synthesis of Nanoparticles and Associated Methods"라는 명칭의 동시계류중인 미국특허출원 13/070,286(현재 미국 공개번호 2011/0318905) (Chiruvolu et al.)의 실시예 2에 개시된 바와 같이, 레이저 열처리를 사용하여 고수준의 도핑으로 및 도핑 없이 제조되었다. 특히, 도핑된 입자는 2 - 4 원자% 인 또는 붕소 (각각 n++ 도핑 및 p++ 도핑), 또는 0.2 - 0.5 원자% 인 또는 붕소 (각각 n+ 도핑 또는 p+ 도핑)으로 제조하였다. 비도핑된("진성") 실리콘 입자를 또한 형성하였다. 상기 나노입자는 약 7 nm 또는 약 20 nm의 평균 제1 입자크기를 갖도록 교호적으로 형성되었고, 대응하는 잉크는 상기 나노입자 평균 직경으로 지칭된다.
- [0138] 하기 실시예 1 내지 3은 잉크 코팅된 기판으로부터 형성된 구조체에 대한 것이다. 실시예 1 내지 3의 기판은 n-형 또는 p-형 결정질 실리콘 웨이퍼 중 하나를 포함하였으며, 이들은 상업적으로 구입하였다. n-형 및 p-형 실리콘 웨이퍼는 도펀트로서 $\leq 3 \times 10^{15}$ atm/cc 인 및 4.6×10^{13} atm/cc 붕소를 포함하였다.

[0139] 실시예 1: 비정질 실리콘 매트릭스 및 다결정질 층의 특징

[0140] 이 실시예는 다공성 실리콘 나노입자로 코팅된 기판의 상부 및 내부에 비정질 실리콘 매트릭스를 증착하는 공정을 보여준다. 또한 이 실시예는 하부에 놓인 실리콘 기판으로 도펀트 주입시 얻어지는 복합재 실리콘 층의 어닐링 공정을 보여준다.

[0141] 증착 공정을 보여주기 위해 4개의 샘플을 준비하였다. 각 샘플은 다공성 실리콘 나노입자로 코팅된 실리콘 기판 상에 비정질 실리콘을 증착하여 형성하였다. 실리콘 웨이퍼 기판 상에 도핑되거나 진성의 실리콘 입자를 포함하는 잉크를 스핀 코팅하여 다공성 실리콘 나노입자로 코팅된 기판을 준비하였다. 결정질 실리콘 입자의 분산액으로부터 스핀-코팅 잉크를 제조하였으며, 상술한 바와 같은 방법으로 합성하였다. 특히, 적당한 함량의 저분자량 알코올, 예를 들어 이소프로판올과 결정질 실리콘 입자를 혼합하여 분산액을 형성하였다. 이어서, 얻어진 혼합물을 초음파 처리 및 원심분리하여, 스핀 코팅용 잉크로서 사용되는 안정한 분산액을 형성하였다. 이렇게 형성된 스핀-코팅 잉크는 약 3 - 7 중량%("wt%")의 실리콘 입자 농도를 포함하였다.

[0142] 스핀 코팅을 하기 전에, 120°C에서 15분간 피라냐 용액 (진한 H₂SO₄ 및 30% H₂O₂를 40 대 1 부피비로 함유)으로 세척하여 유기 오염물을 제거한 후 탈이온수를 사용하여 린스하였다. 다음으로, 세척한 상기 기판을 85°C에서 15분간 20% KOH 수용액에서 에칭하여 상기 웨이퍼 표면 상의 절삭 손상(saw damage)을 제거한 후, 탈이온수를 사용하여 완전히 린스하였다. 기판 표면을 BOE(Buffered Oxide Etch) 용액에 0.5분 내지 약 1분 동안 침지하여 세척한 후 탈이온수로 린스하였다. 상기 BOE 용액은 물 내에 34.86 %의 암모늄 플루오라이드(ammonium fluoride) 및 6.6%의 플루오르화 수소산(hydrofluoric acid)을 포함하였다. 이어서, 오염원이 실질적으로 없는 클리브-박스 환경에서 스핀-코팅법으로 상기 세척 기판 상에 상기 잉크를 도포하였다. 약 10초 내지 약 15초 동안 1000rpm - 1500 rpm으로 상기 웨이퍼 기판 상에 상기 잉크를 스핀-코팅하였다. 다음으로, 약 85°C의 핫플레이트에서 약 5분 동안 잉크 코팅된 기판을 가열하여 건조함으로써 다공성 실리콘 나노입자 코팅을 형성하였다.

[0143] 건조된 상기 잉크층은 약 0.2 μm 내지 약 2.1 μm의 두께를 가졌다. 건조된 상기 잉크층의 두께는 형상 측정장치(profilometer)(α-Step™ 300, KLA Tencore)를 사용하여 측정하였다. 두께를 측정하기 위하여, 주어진 스핀 방법을 사용하여 잘 연마된 웨이퍼 기판 위에 건조 잉크층을 형성하였다. 이어서, 건조된 상기 잉크층 위에서 약 0.5 mm 에서 약 1 mm의 거리만큼 떨어져 건조된 상기 잉크층과 접촉하는 스타일러스(stylus)를 수평으로 스캔하였으며, 이 스타일러스의 수직 변위를 기록하였다. 스텝(step)을 형성하기 위하여 스크라이브(scribe)를 수행하였다.

[0144] LPCVD를 수행하기 전에 상기 잉크 코팅된 기판을 예비-어닐링하였다. 예비-어닐링 공정은 잉크 코팅된 기판을 석영 튜브로에 배치하는 단계를 포함하였다. 3사이클 반복하여 N₂로 퍼지한 후, 상기 노(furnace)를 분당 10 표준 리터(SLM)의 N₂ 연속 플로우 및 60 Torr 진공 압력으로 고정하고, 분당 10°C의 속도로 600°C까지 승온하여 30분간 600°C에서 방치하였다. 잉크 도포 및 상기 예비-어닐링 공정 (사용시) 이후, 저압 화학 기상 증착법("LPCVD")을 사용하여 잉크 코팅된 기판의 잉크층의 입자 주변에 비정질 실리콘 매트릭스를 증착하였다. 상기 LPCVD 공정은 상업적 벤더에서 수행하였으며, 525°C의 온도에서 90분간 수평 석영 튜브로에서 150 sccm (standard cubic centimeters per minute)의 유속 및 200 Torr 압력을 갖는 실란 대기 하에 상기 잉크 코팅된 기판의 표면 상에 비정질 실리콘을 증착하는 단계를 포함하였다. 이러한 조건에서 비정질 실리콘의 성장 속도는 대략 1mm/min이며, 이는 SEM 단면을 기준으로, 연마된 웨이퍼 상에 비정질 실리콘 90nm 및 스핀-온 잉크층의 상면 80 - 100nm에 해당한다.

[0145] 각 샘플에 대한 파라미터를 하기 표 1에 나타낸다. 도 9는 상기 비정질 실리콘 매트릭스의 증착 이후 및 도펀트 주입 이전에 얻어진, 샘플 1 내지 4의 단면에 대한 SEM 화상의 모음이다. 도 9는 비정질 실리콘 매트릭스로 둘러싸인 실리콘 입자 함유 잉크층 및 상기 잉크층 상부의 비정질 실리콘층을 도시한다. 상기 복합재층의 구조는 은빛의 회색 외관을 가졌다. 습식 세척을 견디지 못하였으며 전도성이 아니었다.

표 1

[0146]

샘플번호	입자 도핑	기판	평균 1차 입자크기 (nm)	타겟 스핀-온 두께 (μm)	600°C에서 30분간 예비-어닐링	a-Si 증착 조건
1	진성	p-형 Si 웨이퍼	20	0.25	Yes	525°C 90분

2	n++	p-형 Si 웨이퍼	20	0.25	Yes	525°C 90분
3	P+	p-형 Si 웨이퍼	20	0.5	Yes	525°C 90분
4	n+	p-형 Si 웨이퍼	20	0.5	Yes	525°C 90분

[0147]

상기 복합체로부터 소결된 나노결정질 실리콘층을 형성하는 공정을 보여주기 위하여, 비정질 실리콘 매트릭스에 매립된 결정질 실리콘 나노입자의 코팅을 포함하는 복합재 코팅된 웨이퍼를 가열방식으로 도펀트 주입하였다("도펀트 주입(dopant drive-in)"). 특히, 4개의 샘플을 더 제조하였다. 3개의 샘플은 복합재 코팅된 웨이퍼로부터 제조하였으며, 4번째 샘플은 추가적인 a-Si 증착 또는 주입이 없는 p-형 실리콘 웨이퍼 기판이었으며 라만 분광법의 기준물로 사용하였다. p-형 실리콘 웨이퍼 기판 상에 n++ 도핑된 실리콘 입자를 포함하는 잉크를 스핀-코팅하여 복합재 코팅된 각각의 기판을 제조하였다. LPCVD를 525°C에서 90분간 수행하였다. 샘플 5 - 7 모두에서 도펀트 주입 공정을 수행하였고, 이 공정은 950°C 또는 1050°C의 노에서 1시간 동안 이들을 가열하는 단계를 포함하였다. 각 샘플에 대한 파라미터를 하기 표 2에 나타낸다. 표 2에서, "v"는 라만 스펙트럼 피크의 주파수이며, "FWHH"는 상기 라만 스펙트럼 피크의 반치폭(full width at half height)이다.

표 2

[0148]

샘플 번호	p-형 Si 웨이퍼	5	6	7	6 (주입 이전)	
입자 도핑	N/A	n++	n++	n++	n++	
평균 1차 입자크기 (nm)	N/A	20	7	7	7	
잉크층 두께 (μm)	N/A	0.5	0.5	0.5	0.5	
예비-어닐링	N/A	Yes	Yes	Yes	Yes	
도펀트 주입 노 온도 (°C)	N/A	1050	1050	950	N/A	
라만 피크 위치, v (cm ⁻¹)	520.1	519.7	519.8	519.0	513.4	480
라만 피크 너비, FWHH (cm ⁻¹)	4.2	6.0	5.6	6.8	좁음	넓음
라만 피크 할당	c-Si	c-Si	c-Si	c-Si	Si NPs	a-Si

[0149]

상기 코팅된 샘플은 어닐링 이후 나노결정질 층을 포함하였다. 상기 결정화층의 존재는 상기 잉크 코팅된 샘플에 대해 수행한 진동 라만 분광법으로 확인하였다. 도 10은 샘플 5 - 7 및 순수(bare) 웨이퍼에 대한 진동 라만 스펙트럼(즉, 강도 vs. 변위)을 포함하는 그래프이다. 라만 피크 주파수(cm⁻¹ 단위의 "v") 및 피크 반치폭을 표 2에 열거한다. 결정화 정도를 보기 위하여, 도펀트 주입 전후의 샘플 6의 라만 스펙트럼을 비교한다. 표 2 및 도 10을 참조하면, 주입 이전에 샘플 6는 비정질 실리콘("a-Si") 및 실리콘 나노입자("Si NPs")에 해당하는 ~480 cm⁻¹ 및 513.4 cm⁻¹에서 각각 피크를 가졌으며, 이는 상기 복합체가 비정질 실리콘 매트릭스 내에 매립된 실리콘 나노입자를 포함하고 있음을 나타낸다. 주입 공정 이후, a-Si 및 Si NP 피크는 사라졌으며, 결정질 실리콘("c-Si") 피크가 ~519cm⁻¹에서 나타나는 바, 이는 실리콘 나노입자가 실질적으로 재결정화되었음을 나타낸다. 샘플 5 - 7의 나노결정질 실리콘층과 결합된 c-Si 피크는 순수 단결정질 실리콘 웨이퍼의 c-Si 피크와 비교하여 낮은 주파수 및 넓은 폭을 나타냈으며, 이는 샘플 5 - 7의 결정 품질이 떨어짐을 의미한다.

[0150]

특히, 상기 샘플은, 상기 웨이퍼의 결정질 실리콘 표면을 따라 증착된 상기 실리콘으로부터 형성되는 불균질 에피택셜층의 상부에 나노결정질 층을 포함하였다. 도 11 및 12는 상이한 배율을 갖는, 샘플 5의 단면에 대한 고해상도 투과 전자 현미경("TEM") 화상이다. 도 11 및 12는, 제조 후 상기 샘플이, 상기 기판과 연속되는 거친 에피택셜층 및 이 에피택셜층의 상부에 위치한 나노결정질 실리콘층을 포함하였음을 나타낸다. 도 13은 샘플 5의 나노결정질층(좌측 패널) 및 에피택셜층(우측패널) 단면에 대한 TEM 화상의 모음을 나타낸다. 특히, 도 13의 좌측 패널은 도 12에 도시한 경계 상자(bounding box)로 나타내는 샘플 5의 단면에 대한 TEM 화상이다. 도 13은, 샘플 5가 실질적으로 결정질인 에피택셜층 및 랜덤하게 배열된 그래인을 포함하는 나노결정질층을 포함하였음을 나타낸다. 어두운 영역의 TEM은 샘플 5에서 결정 크기가 약 60nm임을 나타낸다.

[0151] 이러한 결과는 도 14A 및 14B의 회절 분석 결과(diffractograms)로 확인하였다. 도 14A는 샘플 5의 나노결정질 층(상부 패널), 에피택셜층(중간 패널) 및 웨이퍼 기판(하부 패널)에 대한 TEM 분석으로부터 얻어진 제한 시야 전자 회절("SAED") 패턴의 복합도이다. 도 14A의 상부 패널은 상기 나노결정층이 랜덤하게 배열된 결정질 구조임을 확인시켜주는 밝은 점들의 고리를 나타낸다. 도 14A의 중간 및 하부 패널은, 에피택셜층이 마이크로트윈 결함을 포함하더라도, 기판과 함께 배열된, 광범위한 에피택셜층을 갖는 고결정질 구조임을 확인시켜 준다. 도 14B는, 상술한 바와 같이, n-형 Si 웨이퍼 상에 20nm n++ Si 잉크의 0.25 μm 스펀-온 상에 75 nm LPCVD a-Si를 증착한 후 950°C에서 1시간 동안 도펀트 주입하여 얻어진 나노결정질층에 대한 GI XRD(Grazing Incidence X-Ray Diffraction)의 회절분석 결과이다. 도 14B에서 어두운 흔적은 앵글 2 세타(angle 2 theta)의 함수로서 회절 강도를 도시하는 회절 분석 측정값이다. 상기 회절분석 결과는 증가하는 앵글 2 세타에서 3개의 결정 피크, 즉 <111>, <220>, 및 <311>로 이루어진다. 중첩되는 흔적은 결정화도 및 결정 크기의 측정을 위한 피크 면적 및 피크 폭을 제공하기 위한 곡선 맞춤 분석법(curve fitting analysis)으로부터 생성된다. 결정화도는 약 80%이며, 결정 크기는 약 30nm이다.

[0152] 실시예 2: 도펀트 주입 공정

[0153] 이 실시예는 비도핑된 비정질 실리콘 매트릭스에 매립된 고도핑된 결정질 실리콘 나노입자로부터 얻어진 실리콘 복합체로부터 열 도펀트 확산에 의한 도펀트 주입 공정을 나타낸다.

[0154] 도펀트 주입을 나타내기 위하여, 11개의 샘플을 준비하였으며, 실시예 1의 샘플 중 일부를 도펀트 주입 분석을 위해 이 샘플 그룹에 더 포함시킨다. 모든 샘플은 실시예 1에 기재한 바와 같이 생성된, 매립된 결정질 실리콘 나노입자와 함께 비정질 실리콘 매트릭스를 포함하는 복합체 코팅된 웨이퍼를 구비하였다. 각 샘플에 대해, n-형 실리콘 기판 상에 포함하는 샘플 12를 제외하고 p-형 실리콘 웨이퍼 기판 상에 n++ 도핑된 실리콘 입자를 포함하는 잉크를 스펀코팅하여 추가적인 공정을 위한 잉크 코팅된 기판을 제조하였다. 건조된 잉크층은 0.25 μm , 0.5 μm , 또는 1 μm 의 평균 타겟 두께를 가졌다. LPCVD는 샘플 5, 8 - 10, 12 및 13에 대해 525°C에서 90분간 수행되었고, 샘플 11에 대해서는 540°C에서 30분간 수행되었다. 어닐링된 나노결정질층을 포함하는 각 샘플에 대해, 비정질 실리콘 매트릭스 함유 잉크 코팅된 기판에 대해 도펀트 주입 공정을 수행하였고, 이 공정은 950°C 또는 1050°C의 노에서 1시간 동안 가열하는 단계를 포함하였다. 제조 후, 상기 샘플 중 일부는 불화수소산, 질산, 및 아세트산 ("HNA")을 포함하는, 상업적으로 입수한 용액에 이들을 가하여 스테인-에칭하였다. 스테인 에칭은 a-Si가 가장 높은 에칭 속도를 갖는 고도핑된 영역을 제거하고, 다음으로 상당히 도핑된 실리콘, 및 그 다음으로 기판 실리콘을 선택적으로 제거하였으며, 이러한 스테인 에칭은 상기 샘플의 결정질 부분의 영역 사이에 시각적인 경계를 제공하였다. 상기 구조체에 대한 시각적인 스테인드 변화 외에, 에칭 균질성은 상기 나노결정질 실리콘층의 결정 품질에 대한 시각적인 평가 방법으로서도 사용된다.

[0155] 샘플 및 각 샘플에 대한 파라미터를 하기 표 3 및 4에 나타낸다. 도 15는 도펀트 주입시 형성된 다결정질층을 나타내는, 샘플 12의 단면에 대한 주사 전자 현미경 화상("SEM")이다.

표 3

[0156] Si 웨이퍼에 대한 20nm n++ Si NPs / a-Si의 SIMS 결과

샘플 번호	샘플 및 공정			SIMS 및 확산		
	웨이퍼 유형	타겟 잉크 두께 (μm)	도펀트 주입 (°C)	BOE 처리	[P] (atm/cc)	Rs_diff ($\Omega/\text{sq.}$)
8	P-형	1	1050	이후	3.0E+20	39
5	P-형	0.5	1050	이후	2.0E+20	22
9	P-형	0.5	1050	이후	2.0E+20	20
10	P-형	0.5	No	이전	3.0E+20	N/A
11	N-형	0.25	950	이전	1.5E+20	740
12	P-형	0.25	1050	이전	3.0E+20	44
13	P-형	0.25	1050	이후	1.0E+20	51

표 4

[0157]

7nm n++ Si NPs의 SIMS 결과 / Si 웨이퍼 상의 a-Si

샘플 및 공정				SIMS 및 확산		
샘플 번호	웨이퍼 유형	타겟 잉크 두께 (μm)	도펀트 주입 ($^{\circ}\text{C}$)	BOE 처리	[P] (atm/cc)	Rs_diff ($\Omega/\text{sq.}$)
14	P-형	0.5	1050 $^{\circ}\text{C}$	이후	1.0E+21	10
15	P-형	0.5	950 $^{\circ}\text{C}$	이후	2.0E+21	173
16	P-형	0.25	1050 $^{\circ}\text{C}$	이전	9.0E+20	7
17 (주입 이전의 샘플 16)	P-형	0.25	No	이전	3.0E+21	N/A

[0158]

주입 공정 이후, 에칭을 사용하여 상기 샘플 내 상이한 깊이에 접근하는 2차-이온 질량 분석(Secondary Ion Mass Spectrometry, SIMS)을 사용하여 도펀트 프로필을 측정하였다. BOE 처리 이후 샘플의 도펀트 프로필을 얻었다. 표 3 및 4는 나노결정질/복합체 층 내의 평균 인 농도("[P]")를 나열한다. 샘플 17은 도펀트 주입 이전의 샘플 16이며, 보다 분명히 하기 위해 별도의 샘플로서 열거하였다. 주입시, [P]는 2.0×10^{21} 에서 9.0×10^{20} atm/cc으로 다소 감소하며, 이는 상기 복합체층으로부터 실리콘 웨이퍼 기판으로 인이 확산되었음을 나타낸다.

[0159]

주입 공정 이후 도펀트 프로필(즉, 샘플 표면으로부터 떨어진 거리의 함수로서 도펀트 농도)의 다양한 예를 도 16A 및 도 16B에 도시한다. 도 16A는 샘플 11 및 12의 도펀트 프로필을 포함하는 그래프이며, 도 16B는 샘플 5 및 8의 도펀트 프로필을 포함하는 그래프이다. 도 16A는 두가지 유형의 프로필을 도시한다. 샘플 11의 도펀트 프로필은 사각형 프로필을 나타낸다. [P]는 대략 $0.3 \mu\text{m}$ 두께의 다결정층에 걸쳐 1.5×10^{20} atm/cc으로 일정하게 유지되며, 이후 기판 수준으로 급격히 감소한다. 샘플 12의 도펀트 프로필은 복합체의 프로필을 나타낸다. $\sim 0.1 \mu\text{m}$ 의 작은 거리에서는 [P]가 1×10^{20} atm/cc인 초기표면 고갈층을 나타내지만, 재료 속으로 깊어질수록 [P]가 3×10^{20} atm/cc인 평탄 영역으로 급격하게 증가한 후 기판 수준으로 단조롭게 감소한다. 대략 $0.3 \mu\text{m}$ 의 깊이에서, SIMS 트레이스의 급격한 변화는 나노결정질 실리콘층 및 웨이퍼 표면 사이의 경계를 나타낸다. 통상, 상기 경계의 위치는 상기 나노결정질 실리콘층으로부터 확산되어 나오고 웨이퍼 기판으로 확산되어 들어간 인 원자로부터 확인된다. 웨이퍼 표면에서, 인 농도는 6×10^{19} atm/cc이다. 약 $0.7 \mu\text{m}$ 의 깊이에서, [P]는 1×10^{19} atm/cc이다. $1.3 \mu\text{m}$ 이상에서, [P]는 사실상 기판 수준까지 떨어진다.

[0160]

도 16B는 상술한 바와 같은, 2종의 복합체 프로필을 포함한다. 이러한 샘플 세트는 상기 평탄 영역에서 [P]의 작은 변화를 나타낸다. 도 16A에 도시한 복합체 프로필과 달리, 샘플 5 및 8의 도펀트 프로필은, 평탄 영역이 기판 수준 [P]로 단조롭게 감소하기 전에 나노결정질 실리콘층 내에서 초기 단계별-감소 [P] 및 신장 영역의 비교적 일정한 [P]를 포함함을 나타낸다.

[0161]

도펀트 주입을 보다 정량화하기 위하여, 확산층의 시트 저항("Rs_diff")은 인 농도가 기판 수준에 도달한 물 표면 사이의 거리에 의해 한정된 영역에 걸쳐 대응하는 도펀트 농도(즉, 인 도펀트 원자)를 통합하여 계산하였다. 상기 계산에서 단결정 실리콘의 전도성을 사용하였다. 표 3 및 4는 상기 샘플들에 대한 Rs_diff 값을 나열한다. 표 3 및 4에 나타난 상기 Rs_diff 값은 $7 \Omega/\text{sq.}$ 내지 $740 \Omega/\text{sq.}$ 의 범위를 갖는다. Rs_diff에 영향을 미치는 제1 인자는 도펀트 주입 온도 및 시간이었다. 보다 높은 주입 온도 및 보다 긴 주입 시간으로 처리된 샘플들은 보다 낮은 주입 온도 및 보다 짧은 주입 시간으로 처리된 유사 샘플보다 보다 낮은 Rs_diff 값을 나타내었다. Rs_diff에 영향을 미치는 제2 인자는 실리콘 잉크의 종류 및 잉크층 두께를 포함하였다. 표 3 및 4에 나타난 Rs_diff 값들을 비교하면, 7 nm Si 잉크로부터 형성된 나노결정질층 내의 인 농도는 20 nm 잉크로부터 형성된 유사 나노결정질층보다 평균적으로 약 5배 더 높았다. 따라서, 7 nm Si 잉크로부터 얻어진 Rs_diff는 동일한 주입 및 처리 조건에서 20 nm Si 잉크보다 몇배 더 낮았다. 일반적으로, Rs_diff는 잉크층 두께가 증가함에 따라 감소하였으며, 특히 20 nm Si 잉크에 대하여 그러하였다. 이는 샘플 12 및 13 ($0.25 \mu\text{m}$ 잉크층 두께)과 샘플 5 및 9 ($0.5 \mu\text{m}$ 잉크층 두께)를 비교하여 확인되었다. 한편, 7 nm Si 잉크의 경우, 두께에 대한 Rs_diff의 의존성은 아마도 7 nm Si 잉크가 갖는 큰 인 농도로 인해 감소하였다. 샘플 8은 예외이다. 가장 두꺼운 스핀-온($> 1 \mu\text{m}$) 및 가장 높은 Rs_diff를 가졌다. 도 24에 도시한 바와 같이, 이 샘플의 나노결정질층은 다공성이다. 상기 다공성 구조를 통한 도펀트 확산은 제한되며, 높은 Rs_diff를 낮게 된다. 또한 샘플 8의 도펀트 프로필이, 나노결정질 실리콘층 및 기판 사이의 경계에서 웨이퍼 표면의 급격한 변화를 나타내지 않기 때문에 이 Rs_diff를 측정시 비

교적 큰 에러가 발생할 수 있다.

[0162] 기관 내 도펀트의 존재는 스테인-에칭에 의해 확인하였다. 도 17A 및 17B는 상이한 배율로 얻어진 샘플 5의 단면에 대한 SEM 화상을 도시한다. 도 18A 및 18B는 각각 도 17A 및 17B와 유사하며, 스테인-에칭 이후 샘플 5의 단면을 나타낸다. 도 17A 및 17B를 참조하면, 샘플 5의 기관은 그 표면의 곡률을 따라 균질하게 도핑되었다. 또한 도 18A 및 18B에 나타난 바와 같이, 스테인-에칭은 상기 기관 표면으로부터 적어도 약 212nm 까지 균질한 기관 도핑을 나타내었다. 도 19A 및 19B는 상이한 배율로 얻어진 샘플 9의 단면에 대한 SEM 화상을 도시한다. 도 20A 및 20B는 각각 도 19A 및 19B와 유사하며, 스테인-에칭 이후 샘플 9의 단면을 나타낸다. 도 20A 및 20B는 비교적 균질한 기관 도핑을 나타내었다.

[0163] 샘플 16은 SIMS 프로파일과 접합 스테인드(junction stained) SEM에 기초한 주입 후 도펀트 확산을 보다 구체적으로 보여주기 위해 사용된다. 도 21A는 샘플 16 및 17의 도펀트 프로파일을 포함하는 그래프이다. 샘플 17 및 16의 도펀트 프로파일은 각각 도펀트 주입 이전 및 이후의 도펀트 분포를 반영한다. 상기 그래프에서 점선으로 나타난 주입 이전에, 모든 인 원자는 상기 잉크층 내에 포함된다. 0.1 μm의 깊이까지는 a-Si의 상부 표면층에서 검출가능한 인은 존재하지 않는다. 0.3 μm 깊이 이상에서, 인은 잔류 잉크의 결과, 즉 평탄하지 않은 기관 표면에 기인한 꼬리 효과(tailing effect)로 추측된다. 상기 그래프에서 실선으로 나타난 주입 공정 이후, 도펀트 재분포는 주입 이전 2.0 x 10⁺²¹ atm/cc에서 주입 이후 9.0 x 10⁺²⁰ atm/cc으로 평탄부 [P]의 감소로부터 명확해지며, 이는 2 μm의 깊이까지 a-Si의 상부 표면층 및 웨이퍼 기관으로 인이 확산되었기 때문이다. 도 21B는 스테인 에칭 이후 샘플 16의 단면에 대한 SEM 화상이다. 도 15는 스테인 에칭 이전 샘플 16의 단면에 대한 SEM 화상이다. 도 15와 21B를 비교하면, 실리콘 기관에 인이 각각 0.8 μm 두께를 갖는 2개 층으로 도핑되었음을 보여주며, 이는 도 21A에 실선으로 표시된 SIMS 프로파일과 비교적 일치한다.

[0164] 실시예 3: 시트 저항

[0165] 이 실시예는 p-형 웨이퍼 기관에 대한 다결정질층을 포함하는 샘플의 시트 저항을 나타낸다.

[0166] 시트 저항을 나타내기 위하여, 8개의 샘플을 준비하였으며, 다른 물성을 위해 이전의 두 실시예에서 언급된 샘플을 포함한다. 모든 샘플은 실시예 2와 유사한 방법으로 준비하였다. p-형 실리콘 기관 상에 0.25 μm, 0.5 μm, 또는 1 μm의 목적 타겟 두께를 갖는 건조된 잉크층은 600°C에서 30분간 예비-어닐링하였다. LPCVD를 525°C에서 90분간 수행하였다. 주입 공정은 1시간 동안 1050°C 또는 950°C 중 하나에서 수행되었다. 도펀트 주입 이후, 4점 프로프("4PP")를 사용하여 BOE 처리 이전 또는 이후의 각 샘플의 시트 저항을 측정하였다. BOE는 4PP 값 및 시트 저항을 변화시키지 않으며, BOE는 각 샘플에 대한 파라미터와 함께 이하의 표 5 및 6에 나열된다.

표 5

샘플 번호	5	18	12	19	8
평균 1차 입자크기 (nm)	20	20	20	20	20
타겟 잉크층 두께 (μm)	0.5	0.5	0.25	0.5	1.0
잉크 유형	n++	n++	n++	n++	n++
기관 종류	P	P	P	P	P
BOE 이전 또는 이후	이전	이전	이전	이전	이전
예비-어닐링	Yes	Yes	Yes	Yes	Yes
도펀트 주입 온도 (°C)	1050	1050	1050	1050	1050
시트 저항 측정값, Rs_M. (Ω/sq.)	17.9	16.3	8.8	30.0	27.8
Rs_poly (Ω/sq.)	High	N/A	Low	N/A	High

표 6

샘플 번호	20	13	21	15	22	23	24	25
평균 1차 입자크기 (nm)	20	20	20	7	7	7	7	7
타겟 잉크층 두께 (μm)	0.5	0.25	1.0	0.5	2.1	0.5	0.25	0.25

잉크 유형	n++	n++	n++	n++	n++	n++	n++	n++
기판 종류	P	P	P	P	P	P	P	P
BOE 이전 또는 이후	이전	이전	이전	이전	이전	이전	이전	이전
에비-어닐링	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
도펀트 주입 온도 (°C)	950	1050	1050	950	1050	1050	1050	1050
시트 저항 측정값, Rs_M, (Ω/sq.)	80.5	35.70	25.9	37.0	5.8	4.0	17.3	11.0
Rs_poly (Ω/sq.)	N/A	High	N/A	N/A	N/A	Low	N/A	Low

[0169]

4PP를 사용하여 측정된 시트 저항("Rs_M")은 상기 나노결정질 실리콘층, 확산층, 및 기판을 구비하는 구조체의 전도성을 반영한다. 실리콘 기판의 도펀트 농도가 비교적 낮기 때문에 (이 샘플 세트에서 사용된 p-형 기판에 대해 $< 3.5 \times 10^{15}$ atm/cc 미만), Rs_M에 대한 기판의 기여는 작고 무시된다. 상기 실리콘층 및 상기 확산층은 병렬로 연결된 2개의 저항, 즉 시트 저항 Rs_poly를 갖는 나노결정질 실리콘층 및 시트 저항 Rs_diff를 갖는 확산층으로 모델링되었다. 이 모델을 사용하면, Rs_poly는 $Rs_poly = (Rs_M \times Rs_diff) / (Rs_diff - Rs_M)$ 로 계산되었으며, 여기서 Rs_diff는 표 3 및 4로부터 얻어졌다. 표 5 및 6에서, Rs_poly는 "높음" 또는 "낮음" 중 하나로 분류된다. 샘플 12 및 25는 낮은 Rs_poly를 가지며, 샘플 5, 8 및 13은 높은 Rs_poly를 갖는다. 관심있는 두께 범위 내에서, 상기 나노결정질 실리콘 층의 결정 품질 또는 다공성은 Rs_poly를 압도하였다. 도 22 및 23은 상이한 배율로 얻어진 샘플 12의 단면에 대한 SEM 화상이며, 샘플 12가 다공성이 거의 없는, 실질적으로 조밀화된 나노결정질 실리콘층을 갖고 있음을 나타낸다. 도 15는 샘플 25의 단면에 대한 SEM 화상을 나타내며, 샘플 25가 완전히 조밀화되고 고결정질인 실리콘층을 갖고 있음을 나타낸다. 이들의 높은 결정 품질 및 낮은 다공성으로 인해, 샘플 12 및 25는 매우 낮은 Rs_poly를 갖는다. 한편, 도 24는 상이한 배율로 얻어진, 샘플 8에 대한 SEM 화상의 모음이며, 샘플 8의 어닐링된 나노결정질층이 완전히 조밀화되지 않아서 높은 다공성 및 나쁜 결정 품질을 가짐을 나타낸다. 도 17B는 샘플 5의 단면에 대한 SEM 화상이며, 샘플 5의 어닐링된 나노결정질층이 본질적으로 조밀화되어 적절한 다공성을 가짐을 나타낸다. 이들의 높은 다공성 및 적절한 결정 품질로 인해, 샘플 5 및 8은 높은 Rs_poly를 갖는다. 샘플 23은 예외이다. 도 25는 샘플 23의 단면에 대한 SEM 화상이다. 샘플 23은 낮은 Rs_poly를 가졌고, 도 25에 도시한 바와 같이, 나쁜 결정 품질을 가졌으며, 이는 고려하지 못한 다른 인자가 있을 수 있음을 암시한다.

[0170]

주입 공정 이후 나노결정질 실리콘층의 결정 품질 또는 다공성은 도펀트 확산 및 그에 따른 시트 저항에서 중요한 역할을 하게 된다. 고품질 결정질층을 얻기 위해서는 실리콘 나노입자 상에서 LPCVD 비정질 실리콘의 성장 속도를 조절하는 것이 중요하다. 현재의 방법은, 후막에 대해 원하는 수준의 층 품질을 얻는데 적당하지 않을 수 있다. 예를 들어 샘플 8은 1µm 두께 이상에서 높은 다공성을 가졌다. LPCVD의 성장 속도는 후막에 대해 감소된 다공성 및 개선된 결정 품질을 위해 1nm/min 미만으로 감소시킬 수 있다. 약 0.5 µm의 감소된 두께에서, 현재의 방법은 중간 다공성을 갖는 나노결정질층을 제공한다. 두께를 0.3 µm 이하로 더 감소시키면, 결정 품질이 증가하고 다공성이 감소한다. 이것은 감소된 층 두께 및 감소된 도펀트 공급원으로 인해 시트 저항에 도움이 되지 않을 수 있음을 의미하며, 20 nm 실리콘 나노입자로부터 얻어진 샘플의 경우 특히 그러하다.

[0171]

주입공정 이후, 나노결정질 실리콘층의 다공성은 스핀-온 두께와 관련되었다. 통상 동일한 공정 조건에서, 보다 두꺼운 스핀-온 잉크층은 주입 공정 이후 보다 다공성인 나노결정질층을 생성하였다. 20 nm 및 7 nm 실리콘 나노입자로부터 얻어진 복합체에 대해 이 결과를 상세히 논의한다. 표 3을 참조하면, 20 nm 실리콘 나노입자로부터 얻어진 샘플 12 및 5는 각각 0.25 µm 및 0.5 µm 잉크층을 구비하였다. 도 17A 및 17B는 상이한 배율에서 BOE 처리 이전에 얻어진 샘플 5의 단면을 나타내는 SEM 화상이다. 도 22 및 23은 마찬가지로 상이한 배율에서 BOE 처리 이전에 얻어진 샘플 12와 유사한 SEM 화상이다. 도 17A 및 17B와 도 22 및 23의 비교를 통해, 0.5 µm 잉크층에서 얻어진 다결정질층(샘플 5)이 0.25 µm 잉크층에서 얻어진 것(샘플 12)보다 통상 더 다공성이었음을 알 수 있다. 표 5에 열거된 샘플 8을 참조하면, 20 nm 실리콘 나노입자로부터 약 1.2 µm 두께 (1 µm를 목표로 함)의 스핀-온을 갖는다. 동일한 조건에서 도펀트 주입 공정 이후 실질적으로 다공성 실리콘층을 갖는다. 이것은 상이한 배율에서 BOE 처리 이후 얻어진, 샘플 8의 단면에 대한 SEM 화상의 모음인 도 24에 도시한다. 마찬가지로 7nm 실리콘 나노입자로부터 얻어진 스핀-온 샘플의 경우, 표 6의 샘플 25 및 26은 각각 0.25 및 0.5 µm의 스핀-온 두께를 갖는다. 도 15 및 도 25는 각각 샘플 25 및 23의 단면에 대한 SEM 화상을 도시한다. 도 15 (샘플 25)와 도 25(샘플 23)의 비교를 통해, 샘플 23이 보다 다공성인(즉, 덜 조밀화된) 나노결정질층을 구비함을 알 수 있다.

- [0172] 실시예 4: 스크린 인쇄된 잉크층
- [0173] 이 실시예는, 다공성 실리콘 나노입자 코팅된 기판 상부 및 내부에 비정질 실리콘층을 증착하여 실리콘 웨이퍼 상에 패터닝된 나노결정질 실리콘 구조체를 형성하는 공정을 나타낸다. 실시예 1과 달리, 본 실시예의 다공성 실리콘 나노입자 코팅은 스크린 인쇄법으로 도포되어 패턴을 형성하였다.
- [0174] 실리콘 나노입자 잉크는 스크린-인쇄법에 의해 결정질 실리콘 웨이퍼 상에 패터닝되었다. 상기 스크린 인쇄용 잉크는 실리콘 나노입자의 농축 분산액으로부터 제조되었다. 특히, 약 20nm의 평균 1차 입경을 갖는 인 도핑된 실리콘 나노입자를 포함하는 분말은 상술한 바와 같이 합성되었다. 적절한 함량의 상기 분말을 이소프로필 알콜 ("IPA") 함유 용매와 함께 혼합하고 초음파 처리하였다. 얻어진 분산액은 약 6.3 중량%("wt%") 실리콘 입자를 포함하였다. 이어서, 동일한 부피의 프로필렌 글리콜을 상기 분산액에 첨가하고, 이 혼합물을 다시 초음파 처리하였다. 초음파 처리 이후, 상기 분산액을 회전증발기(rotovap)로 옮기고, 상기 IPA 용매 성분을 실질적으로 제거하여 이 분산액을 농축하였다. 얻어진 스크린-인쇄용 잉크는 프로필렌 글리콜 내에 12.8wt% 실리콘 입자를 포함하였다.
- [0175] 이어서, 상기 페이스트를 p-형 결정질 실리콘 웨이퍼 상에 스크린 인쇄하여 도 26A에 나타난 그리드 패턴을 형성하였다. 상기 패턴은 폭이 2mm인 2개의 버스 바(bus bar) 및 두께가 180 μm인 다수의 핑거를 포함하며, 두개의 인접한 핑거 사이의 거리는 2mm이다. 상기 인쇄된 웨이퍼 기판을 200°C의 핫플레이트에서 10분간 소성하였다.
- [0176] 다음으로, 상기 인쇄된 웨이퍼 기판을 600°C의 석영 튜브로에서 10 SLM N₂ 플로우 및 60 Torr 압력으로 30분간 예비-어닐링하였고, 비정질 실리콘 매트릭스를 LPCVD로 전체 기판 상에 증착하였다. LPCVD는 525°C에서 1.5시간 동안 수행되었다. 도펀트 주입 공정은 상기 잉크 코팅된 기판 상에 비정질 실리콘 매트릭스를 사용하여 수행되었고, 1시간 동안 1050°C에서 N₂ 대기하에 노에서 가열하는 단계를 포함하였다. 4PP를 사용하고, 이 프로브를 상기 버스 바를 따라 배열함으로써 상기에서 얻어진 샘플의 저항을 측정하였다. 상기 샘플은 약 9Ω의 평균 4PP 저항을 가졌다.
- [0177] 도 26B는 도 26에 도시한, 선택된 하나의 핑거의 단면에 대한 SEM 화상이며, 평탄하지 않은 웨이퍼 표면의 윤곽 위로 균질한 피복이 이루어짐을 나타내지만, 층 두께에서 감당할만한 변화가 버스바의 일부 영역에서 관찰되었다. 도 27은 도 26B에 표시한 단면 중 일부에 대한 SEM 화상이며, 고배율로 얻어진다. 타당한 함량의 공극을 나타낸다. 상기 공극 부피는, 실시예 3에 기재한, 1 μm를 초과하는 두께의 스핀-온 두께에 대해 얻어진 것과 일치한다. 도 28A 및 28B는 스테인 에칭 후 SEM 화상이다. 도 28A는 인쇄된 핑거 하층의 균질한 확산층을 도시한다. 한편, 도 28B는 인쇄된 핑거의 경사진 모서리 하층의 인 확산 깊이의 점진적 감소를 나타내며, 관측할 수 없는 측방 분산(lateral spreading)을 나타낸다. 도펀트 확산 깊이에 대하여, 도 28B를 통해, 잉크층 두께가 증가함에 따라 확산 깊이가 증가함을 확인할 수 있으며, 이는 스핀-온 샘플로부터 얻어진 결과와 일치한다.
- [0178] 실시예 5: 나노결정질 실리콘 펠렛
- [0179] 이 실시예는 열처리 공정 이전의 압력 인가로부터 얻어진 나노입자 펠렛의 제조공정 및 성능을 나타낸다.
- [0180] 제조공정 및 성능을 나타내기 위하여, 상술한 바와 같이, 약 7 nm 또는 약 20 nm의 평균 1차 입경을 갖는 n++ 또는 진성("i") 실리콘 나노입자를 포함하는 분말로부터 각 샘플을 제조하였다. 각 샘플에 대해, 실질적으로 실린더형인 다이를 석영으로부터 맞춤 제작하였고, 7.2 mm 직경 및 2mm 높이의 개구부를 갖는다. 표 8 및 9에서 열거한 샘플을 제조함에 있어서, 상기 다이를 실리콘 나노입자 분말로 충전한 후, 15초 정도 핸드 프레스 (KBr Quick Press, International Crystal Laboratory에서 입수)를 사용하는 지압(hand pressure)으로 가압하여 상기 나노입자 데파짓을 조밀화하였다. 이어서, 상기 순서를 3회 반복하여(전체 4회의 증착 및 가압), 최종 두께에 도달하였다. 각각의 압축된 실리콘 구조체는 약 7.2mm의 직경 및 1 및 2mm 사이의 두께를 가졌다. 펠렛 제조는 약 1050 °C의 노에서 약 60분간 상기 압축된 실리콘 구조체를 가열함으로써 종결되었다. 샘플 31 A, B, 및 C는 반복에 의해 얻어졌고, 샘플 32는 노 처리되지 않았다. 샘플 및 모든 샘플에 대한 공정 파라미터를 하기 표 8 및 9에 나타낸다. 도 29는 상기 다이와 관련된 노 처리 이후 얻어진 대표적인 펠렛의 사진 화상이다.

표 8

[0181]

샘플 번호	도펀트 유형	입자 크기 (nm)	노 처리 이전의 펠렛				노 처리 이후의 펠렛				소결된 펠렛의 특성	
			중량 (mg)	직경 (mm)	두께 (mm)	색상	중량 (mg)	직경 (mm)	두께 (mm)	색상	4PP (ohm)	밀도 (g/cc)
27	n++	7	-30	7.2	1-2	Dark	30.2	5.15	0.79	은빛	0.11	1.84
88	n++	20	-60	7.2	1-2	Dark	47.9	5.38	1.06	은빛	0.07	1.99

표 9

[0182]

샘플번호	도펀트 유형	입자 크기 (nm)	노 처리 이전의 펠렛	노 처리 이후의 펠렛	
			직경 (mm)	직경 (mm)	밀도 (g/cm ³)
29	i	20	7.2	7.23	0.87
31A	n++	20	7.2	5.76	1.55
31B	n++	20	7.2	5.71	1.38
31C	n++	20	7.2	5.89	1.31
32	n++	20	7.2	7.2	N/A

[0183]

펠렛의 구조적 특징

[0184]

노 처리시 펠렛 크기가 감소되었고, 진성 실리콘 입자로부터 얻어진 펠렛은 n++ 실리콘 입자로부터 얻어진 펠렛과 비교하여 보다 작은 입자 감소를 가졌다. 상기 크기 감소는 상기 열처리로부터 얻어진 상기 실리콘의 조밀화에 대응하는 것으로 여겨진다. 표 8 및 9를 참조하면, 상기 진성 입자로부터 얻어진 샘플(29)은 약 7.23 mm의 직경을 가졌지만, n++ 도핑된 실리콘 입자로부터 얻어진 샘플 (샘플 27, 28 및 31A-C)은 약 5.15 mm - 5.76 mm 사이의 직경을 가졌다.

[0185]

상기 샘플들은 상기 열처리 이후 비교적 조밀한 나노결정질 실리콘 물질을 포함하였다. 도 30은 샘플 31B의 단면에 대한 TEM 화상이며, 상기 펠렛이 나노결정질 실리콘을 포함하였음을 나타낸다. 도 31은 샘플 13B에 대한 TEM 분석에 의해 얻어진 SAED 회절분석결과이다. 밝은 점으로 이루어진 고리 패턴은 도 30에 도시된 나노결정질 구조를 확인시킨다.

[0186]

진성 실리콘 입자로부터 얻어진 샘플은 n++ 실리콘 입자로부터 얻어진 샘플과 비교하여 보다 작은 평균 입자 크기를 가졌다. 도 32는 샘플 13B (n++ 실리콘 입자)에 대해 수행한 동적 프레임 통합(dynamic frame integration, DFI) 분석에 의해 얻어진 화상들의 모음이다. 도 33은 DFI 분석으로부터 얻어진 결정 사이트의 분포를 나타낸다. 특히, 도 33을 통해, 샘플 13B가 약 67 nm의 평균 결정 크기를 갖는 결정을 포함하고, 관찰된 가장 큰 결정 및 가장 작은 결정이 각각 약 364nm 및 16nm이었음을 알 수 있다. 상기 DFI 분석결과는 XRD 측정값으로 확인하였다. 샘플 29 - 32의 XRD 분석 결과를 표 10에 나타낸다. 표 10은, 샘플 13B에 대한 평균 결정 크기가 약 54.4nm임을 나타내며, 실질적으로 동일한 것은 아니지만, DFI 분석에 의해 측정된 결정 크기와 유사하였다. 표 10은 또한, 샘플 29에 대한 평균 입자 크기가 약 31nm이지만, 샘플 31A-C (n++ 실리콘 입자로부터 얻어진)에 대한 평균 입자 크기는 약 54nm 및 약 60 nm 사이였음을 알 수 있다. 샘플 32 (노 처리 없음)는 약 15 nm의 가장 작은 평균 입자 크기를 가졌으며, 상기 잉크로 도포한 나노입자 내의 결정 크기를 반영한다.

표 10

[0187]

샘플 파라미터			XRD 결과			
샘플 번호	도펀트 유형	Si 나노입자 크기 (nm)	111 피크 (deg)	D (nm)	FWHM (deg)	결정 크기 (nm)
29	i	20	28.422	3.1376	0.305	31.6
31A	n++	20	28.436	3.1362	0.21	60.4
31B	n++	20	28.433	3.1365	0.22	54.4
31C	n++	20	28.429	3.1369	0.22	54.4
32	n++	20	28.43	3.1368	0.563	15.2

[0188] 펠렛 결정화시 기관의 효과

[0189] 펠렛 결정화시 기관의 효과를 나타내기 위하여, 펠렛을 실리콘 웨이퍼 중 일부의 주변에 형성하였다. 상기 펠렛은, 실리콘 웨이퍼 조각을 삽입한 것을 제외하면 샘플 28에 대해 상술한 바와 실질적으로 동일하게 형성하였다. 특히, 상기 실리콘 입자 분말의 제1 부분을 우선 상기 다이에 옮겼다. 다음으로, p-형 결정질 실리콘 웨이퍼 조각을 상기 다이 내의 상기 실리콘 입자 분말의 제1 부분에 위치시켰다. 이어서, 실리콘 입자 분말의 제2 부분을 상기 다이에 도포하고, 이 다이의 내용물을 본 실시예에서 상술한 바와 같이 가압하였다. 가압 이후, 상기 펠렛을 상술한 바와 같이 노 처리하였다.

[0190] 상기 기관 조각의 존재는 펠렛 결정화를 억제하였다. 도 34 및 35는 상이한 비율로 얻어진, 상기 웨이퍼 조각 함유 샘플의 단면에 대한 SEM 화상이다. 도 36 - 38은 상이한 비율로 얻어진 샘플 28의 단면에 대한 SEM 화상을 도시한다. 도 34 및 35와 도 36 - 38의 비교를 통해, 샘플 28이 결정화된 구조체를 포함하였지만, 상기 웨이퍼 조각을 포함하는 펠렛 구조체는 융합 입자를 포함하는, 실질적으로 입자상이었음을 알 수 있다.

[0191] 4PP 저항

[0192] 저항을 알아보기 위해서, 4점 프로브를 사용하여 샘플 27 및 28의 저항을 측정하였고 결과를 표 8에 나타내었다. 표 8을 통해, 두 샘플이 매우 낮은 4PP 저항을 나타냈지만, 샘플 28(약 20nm의 평균 1차 입경)이 샘플 27(약 7 nm의 평균 1차 입경)과 비교하여 더 낮은 4PP 저항을 나타내었음을 알 수 있다. 표 8에 나타난 시트 저항값의 크기는 마지막 컬럼에 열거한 밀도값 및 다결정질 펠렛의 다공도와 연관성을 보였으며, 실시예 3에 나타난 것과 유사하였다. 도 39 - 42는 상이한 비율로 얻어진 샘플 27의 단면에 대한 SEM 화상을 도시한다. 도 39 - 42와 도 36 - 38의 비교를 통해, 샘플 27이 샘플 28보다 더 다공성(즉 덜 조밀화) 구조를 가짐을 알 수 있다.

[0193] 실시예 6: 어닐링된 잉크층의 결정화도

[0194] 이 실시예는 도펀트 주입시 형성된, 어닐링된 나노결정질 잉크층의 결정화도에 대한 분석법을 상세히 설명한다.

[0195] 상기 결정화도를 분석하기 위하여, 두 샘플(샘플 34 및 35)을, 실시예 2에서 개시된 바와 같이 형성된, 매립된 결정질 실리콘 나노입자와 함께 비정질 실리콘 매트릭스를 포함하는 복합재 코팅된 웨이퍼로부터 제조하였다. 특히, 각 샘플에 대해, 결정질 실리콘 웨이퍼 기관 상에 20nm, n++ 도핑된 실리콘 입자를 포함하는 잉크를 스핀 코팅함으로써 추가적인 공정을 위한 잉크 코팅된 기관을 제조하였다. 건조된 잉크층은 0.25 μm 평균 타겟 두께를 가졌다. LPCVD를 950℃에서 60분간 수행하여 상기 잉크 코팅된 기관 상에 75 nm 두께의 비정질 실리콘 코팅을 증착하였다. 각 샘플에 대해, 상기 비정질 실리콘 매트릭스를 포함하는 잉크 코팅된 기관에 60분간 950℃에서 도펀트 주입하여, 어닐링된 나노결정질층을 형성하였다.

[0196] 도 43 및 표 11은 두 샘플의 어닐링된 나노결정질층에 대한 GI XRD 분석 결과를 나타낸다. 도 43은 샘플 33 및 34의 GI XRD 회절 분석결과와 플롯을 포함하는 그래프이다. 상기 회절분석결과는 모두 증가하는 앵글 2세타에서 3개의 결정 피크, 즉 <111>, <220>, 및 <311>로 이루어지며, 도펀트 주입에 이어 상기 비정질 실리콘 매트릭스 함유 잉크층이 나노결정질층으로 변환되었음을 나타낸다. GIXRD 회절분석결과에서 피크 넓어짐(broadening)으로부터 측정된 바와 같이, 두 샘플의 어닐링된 나노결정질층은 쉐러 방정식(Scherrer equation)의 평가를 기준으로, 약 30nm의 평균 크기를 갖는 결정을 포함하였다.

[0197] 도 44 및 45는 샘플 34의 단면 중 상이한 부분을 나타내는 고해상도 TEM 화상이며, 샘플 34의 어닐링된 나노결정질층에서 평균 결정 크기가 약 30nm이었음을 확인시켜 준다. 표 11은 상기 어닐링된 층두께를 정규화한 피크 강도를 나타내며, 두 샘플이 소결된 나노결정질층을 포함하였지만, 샘플 33의 어닐링층이 샘플 34보다 더 결정질이었음을 보여준다. 도 46 및 47은 어닐링된 나노결정질층 영역(도 46) 및 샘플 34의 단면 중 기관 영역(도 47)의 고해상도 TEM 화상이다. 도 46 및 47은 상기 어닐링된 나노결정질층이 랜덤하게 배열된 결정으로 구성됨을 보여준다. 육안으로 보이는 결정은 XRD 입자 크기 분석으로부터 파악된 평균 입자 크기와 일치하였다.

표 11

[0198]

샘플 번호	두께 (nm)		두께-정규화 강도		
	t	표준편차	<111>/t	<220>/t	<311>/t
33	378	85	129.93	53.52	22.71
34	400	125	93.33	38.64	17.87

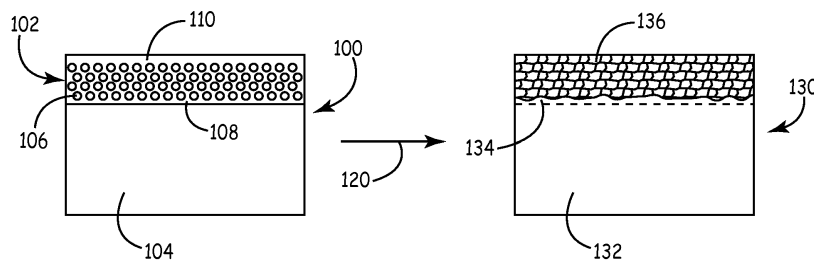
샘플 2/샘플 1의 결정화 비율	0.72	0.72	0.79
평균	0.74		
표준편차	0.04		

[0199]

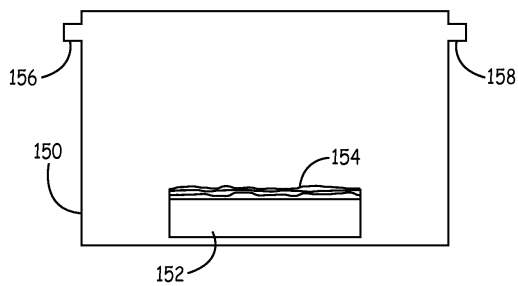
상술한 구체적인 실시예들은 본 발명을 설명하기 위한 것일 뿐 한정하기 위한 것은 아니다. 부가적인 구현예들은 본 명세서에 기재된 넓은 개념 내에 존재한다. 또한, 본 발명의 특정 실시형태를 참고로 설명되었지만, 본 기술분야의 숙련자는 본 발명의 사상과 범위를 벗어나지 않고 형태와 세부 사항에서 변경될 수 있음을 알 것이다. 상기한 문서의 인용에 의한 통합은 본 명세서의 명시적 개시내용에 반하는 주제가 도입되지 않도록 제한된다.

도면

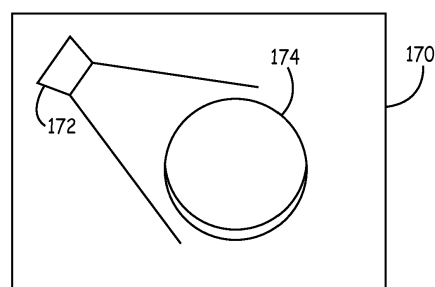
도면1



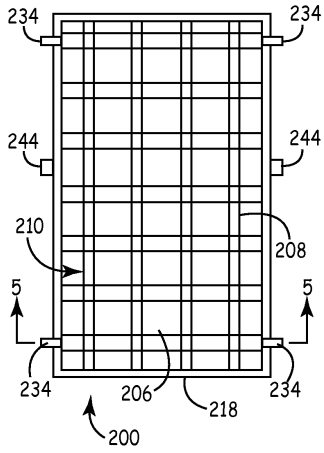
도면2



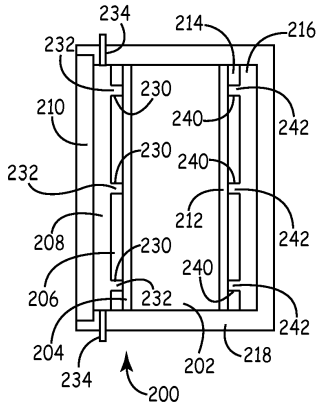
도면3



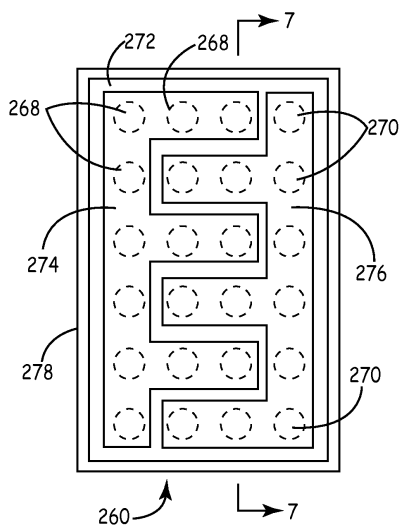
도면4



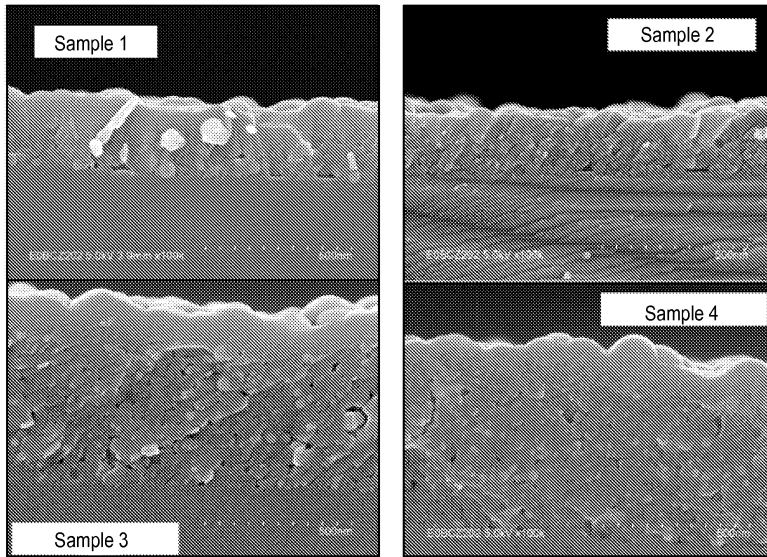
도면5



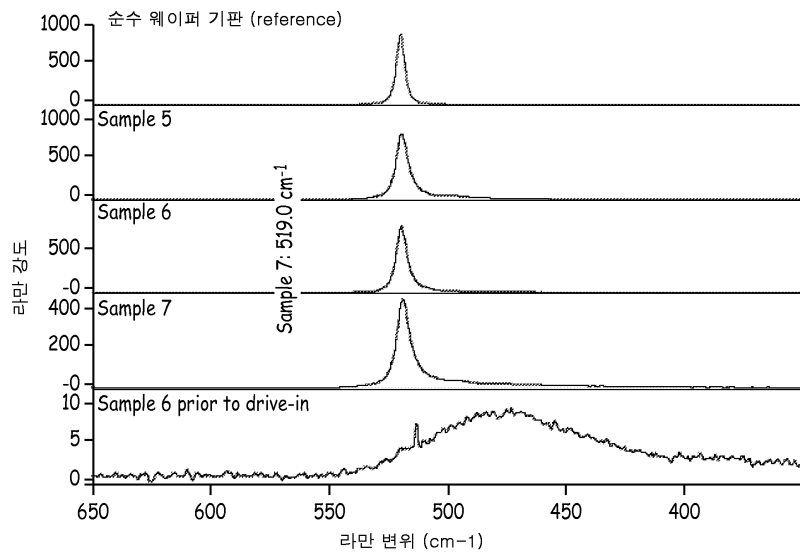
도면6



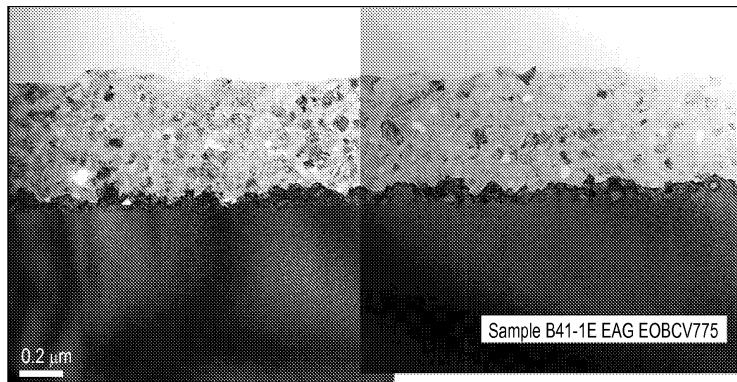
도면9



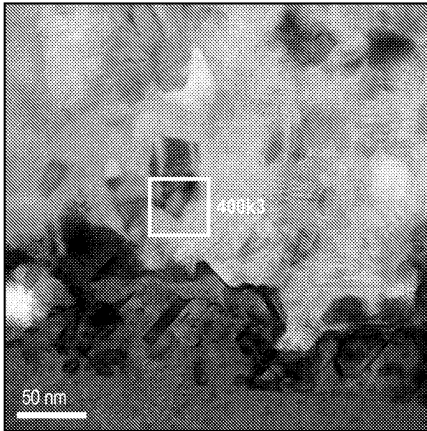
도면10



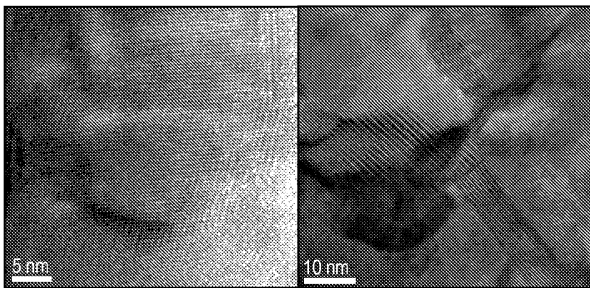
도면11



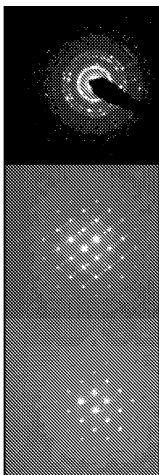
도면12



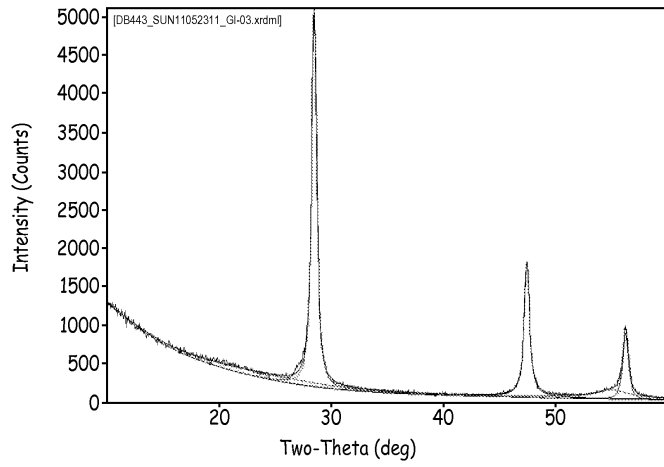
도면13



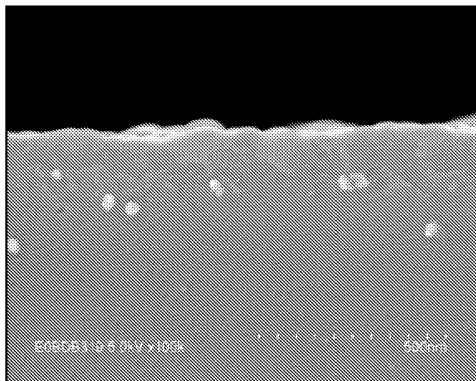
도면14a



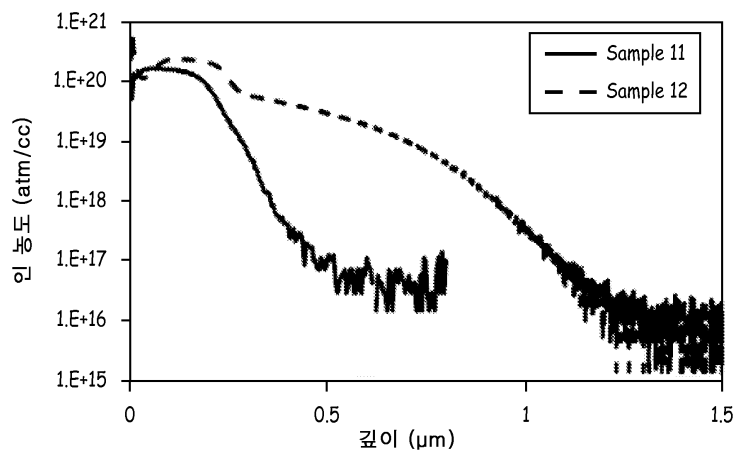
도면14b



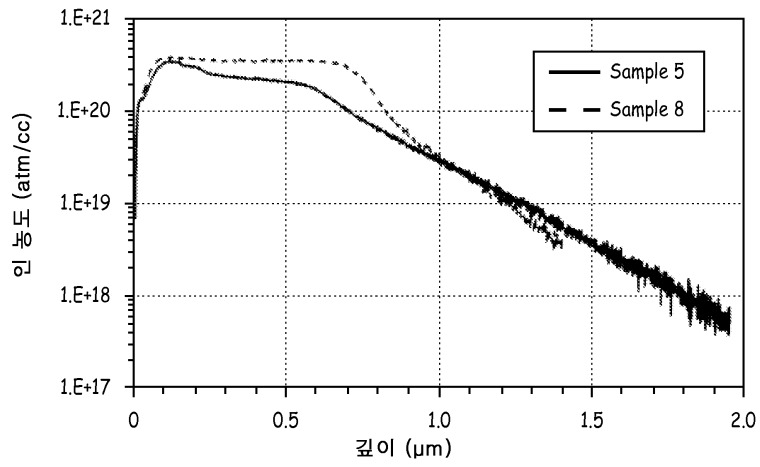
도면15



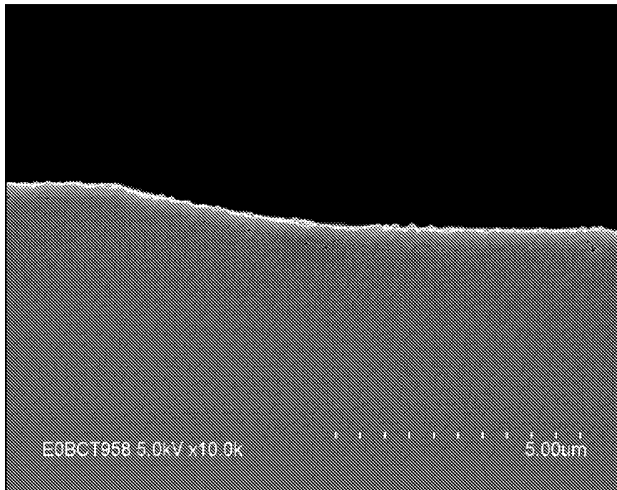
도면16a



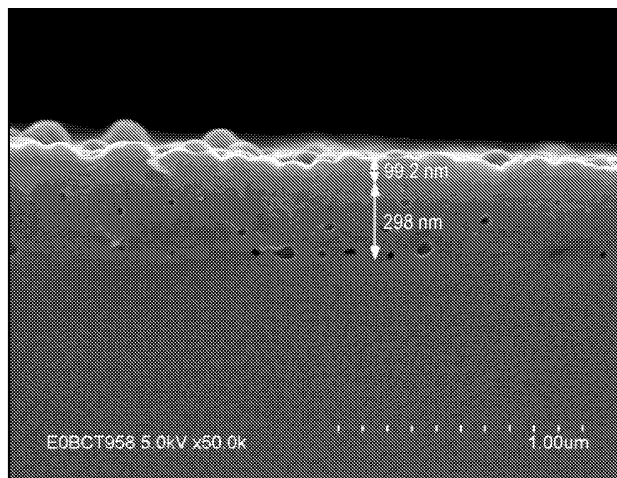
도면16b



도면17a



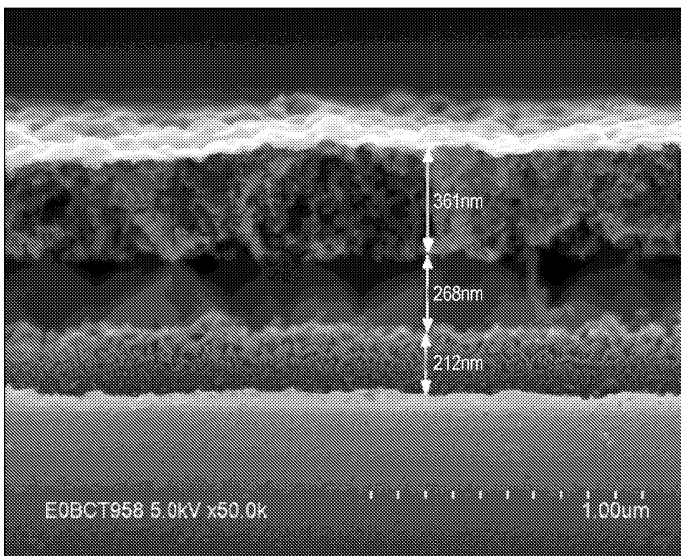
도면17b



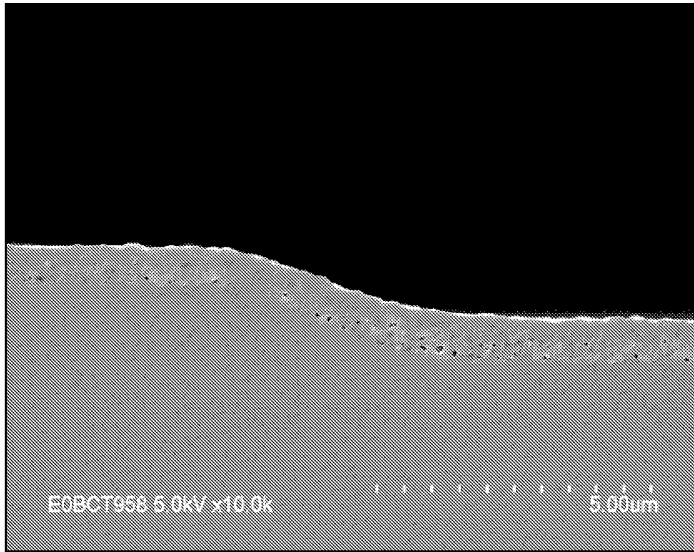
도면18a



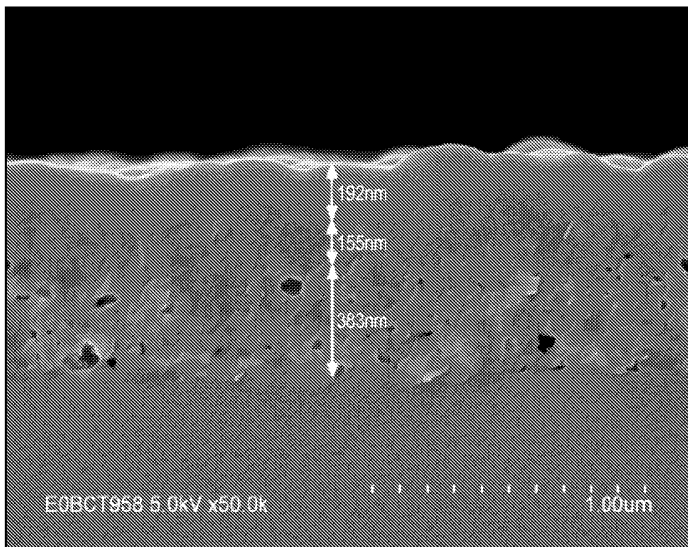
도면18b



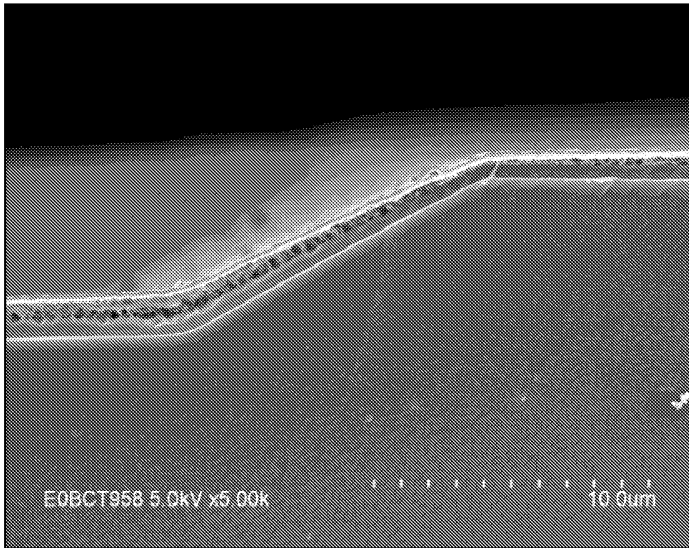
도면19a



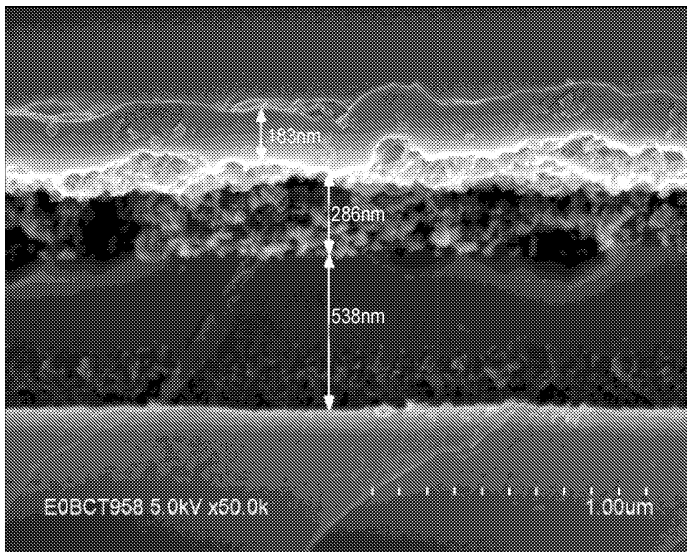
도면19b



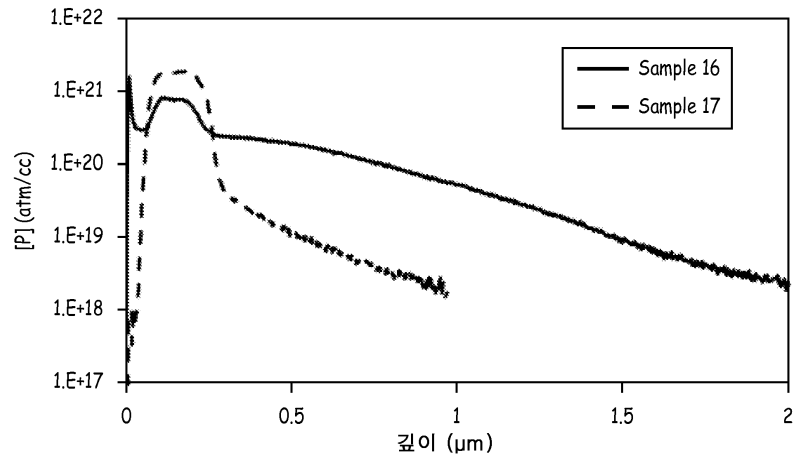
도면20a



도면20b



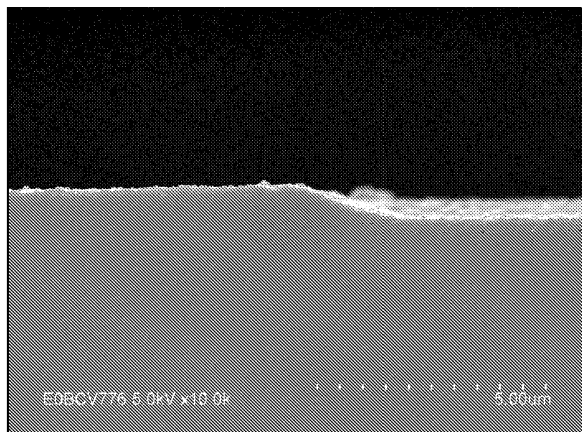
도면21a



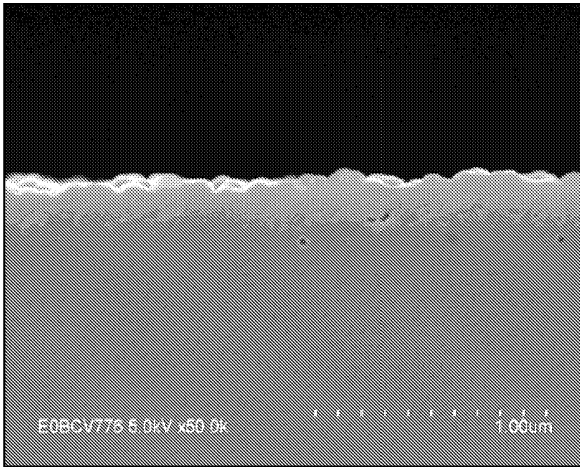
도면21b



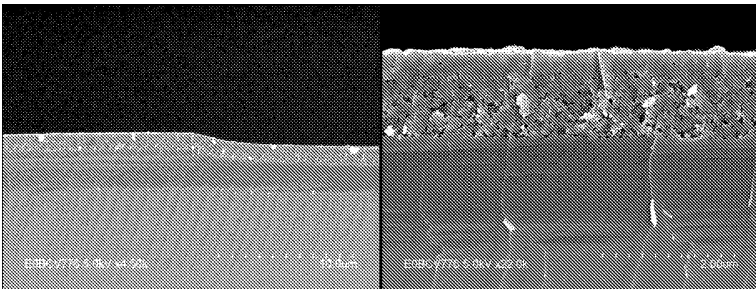
도면22



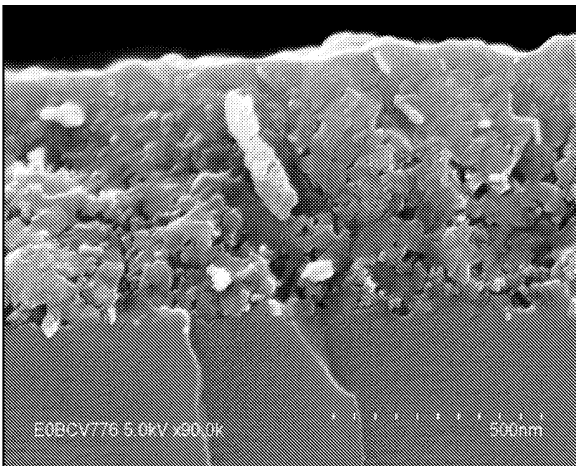
도면23



도면24



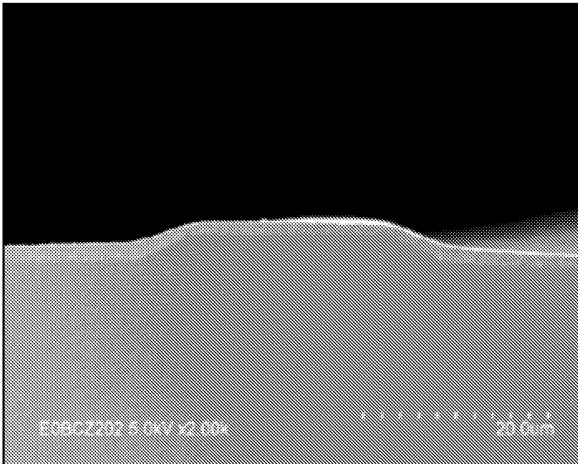
도면25



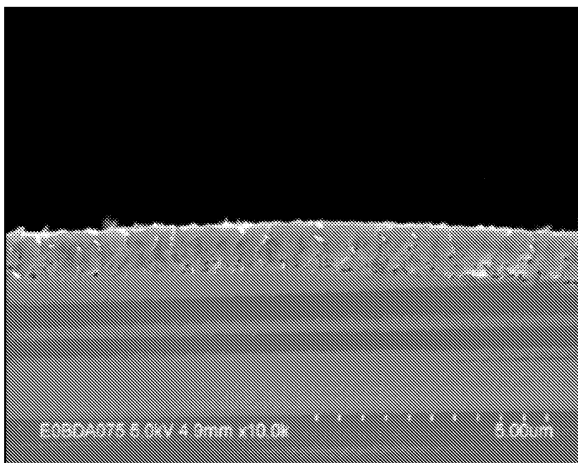
도면26a



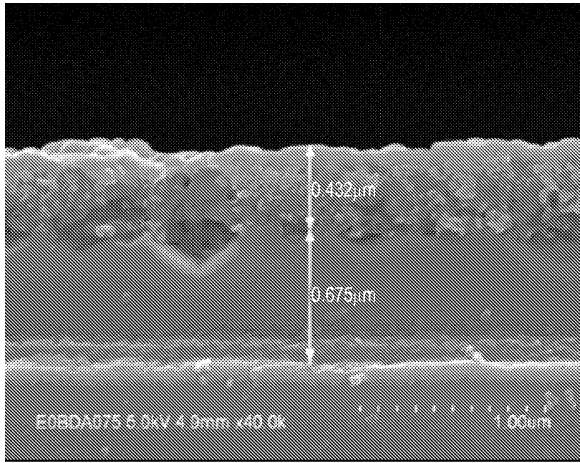
도면26b



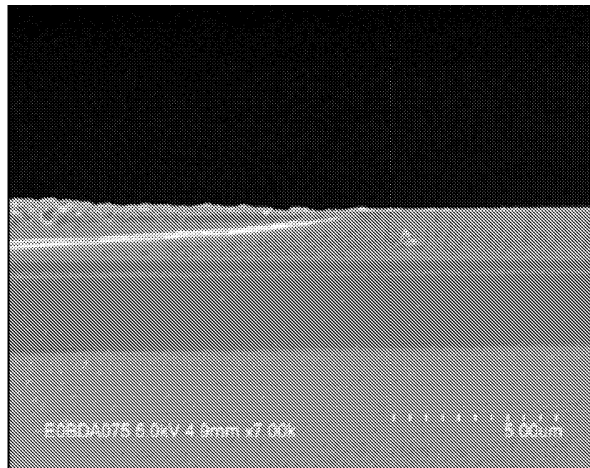
도면27



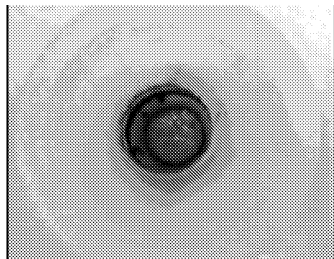
도면28a



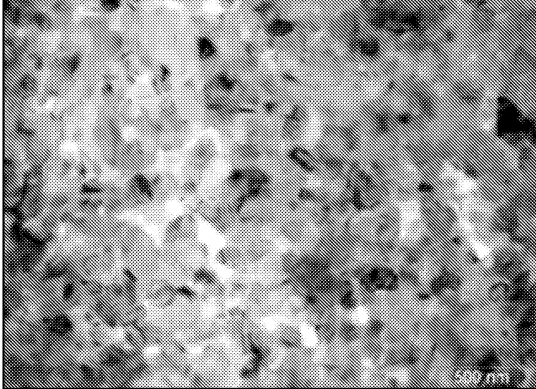
도면28b



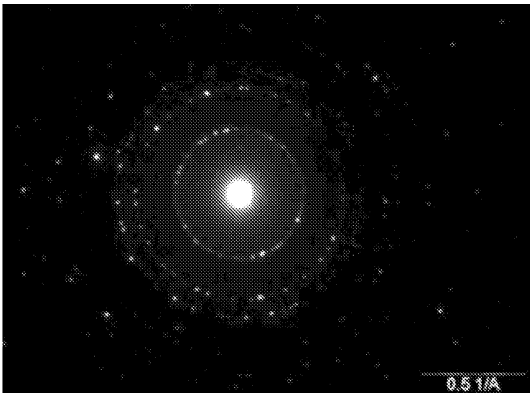
도면29



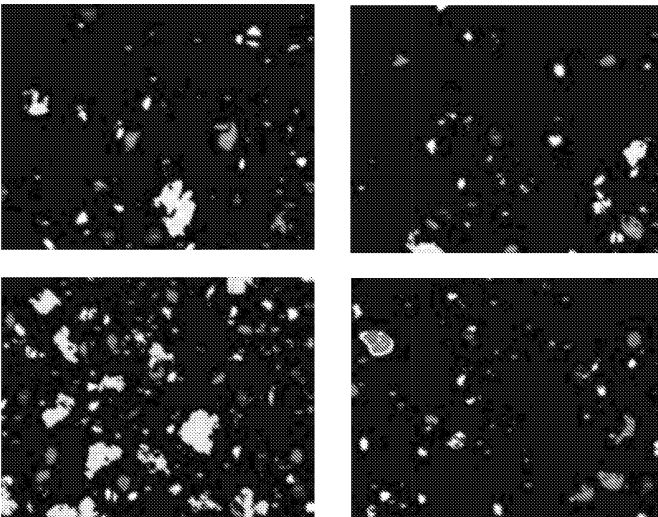
도면30



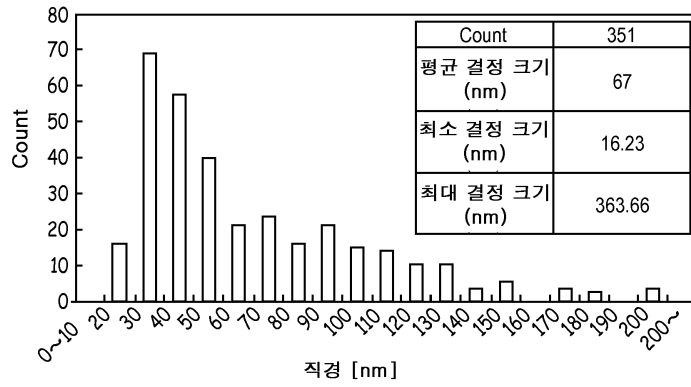
도면31



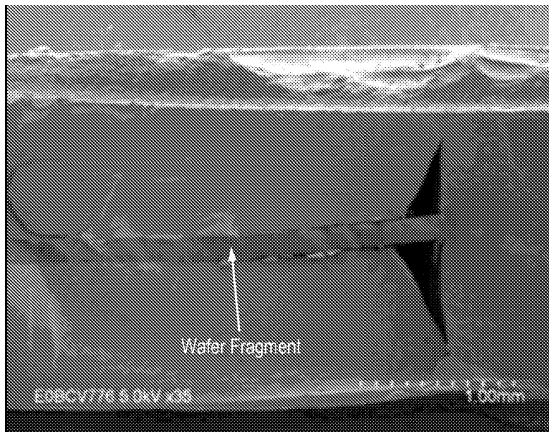
도면32



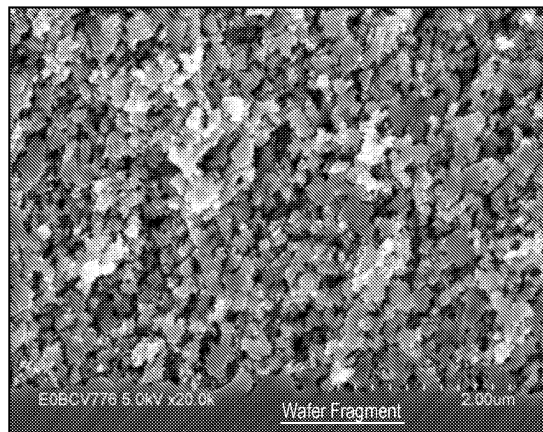
도면33



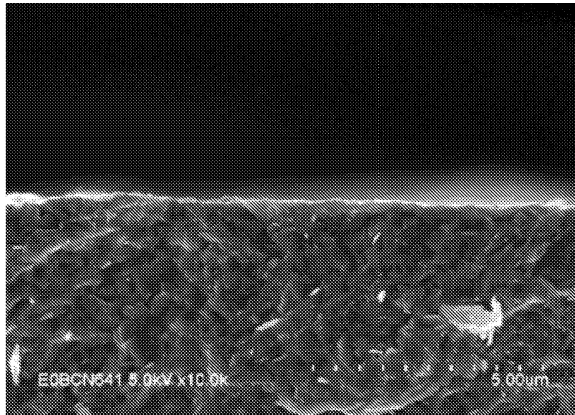
도면34



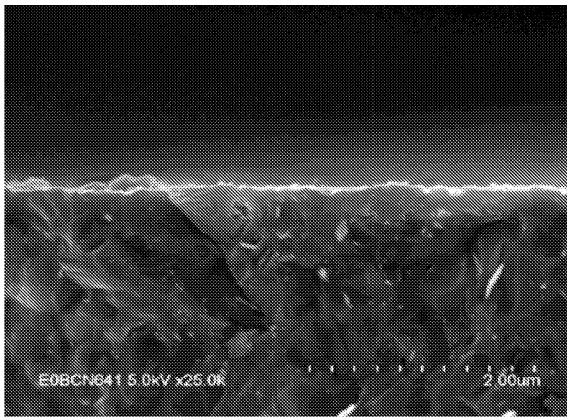
도면35



도면36



도면37



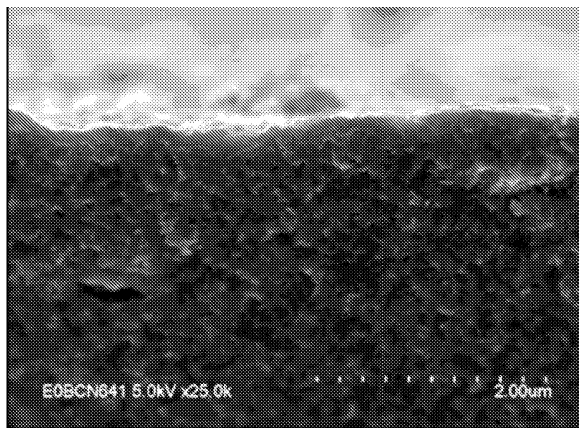
도면38



도면39



도면40



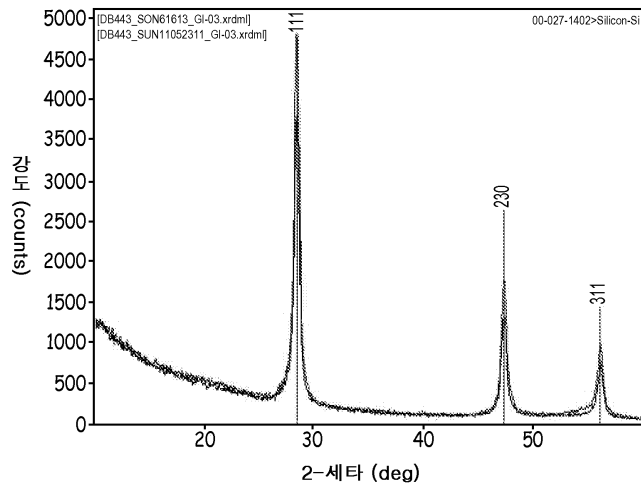
도면41



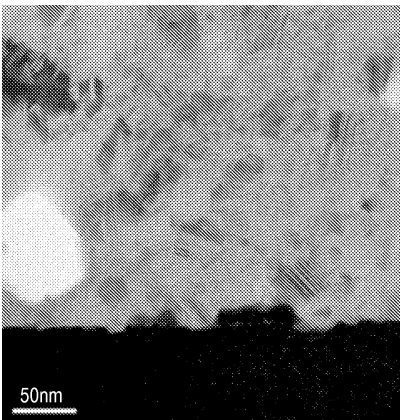
도면42



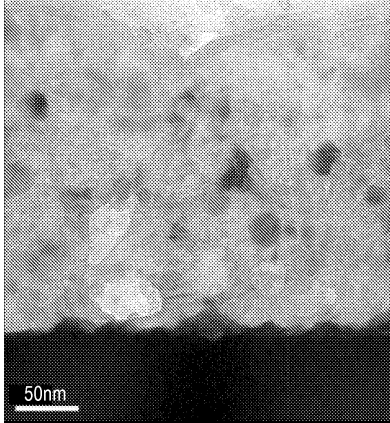
도면43



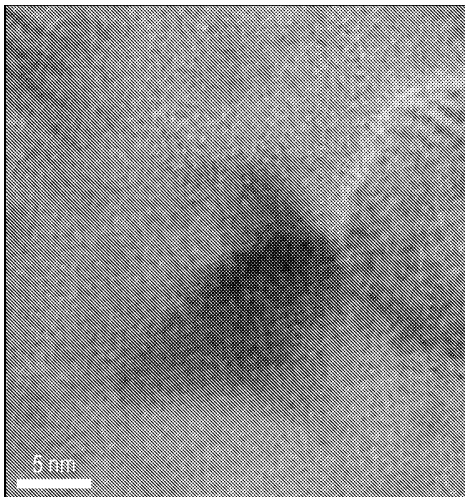
도면44



도면45



도면46



도면47

