(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2015 년 10 월 1 일 (01.10.2015)

WIPO | PCT

(10) 국제공개번호
WO 2015/147587 A1

(51) 국제특허분류:
G11C 11/417 (2006.01) *G11C 11/413* (2006.01)

(21) 국제출원번호: PCT/KR2015/003032

(22) 국제출원일: 2015 년 3 월 27 일 (27.03.2015)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2014-0036140 2014 년 3 월 27 일 (27.03.2014) KR

(71) 출원인: **고려대학교 산학협력단 (KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION)** [KR/KR]; 136-701 서울시 성북구 안암로 145, 고려대학교 (안암동 5 가), Seoul (KR).

(72) 발명자: **박종선 (PARK, Jong Sun)**; 137-813 서울시 서초구 신반포로 9, 85 동 403 호 (반포동, 반포아파트), Seoul (KR). **최웅 (CHOI, Woong)**; 422-709 경기도 부천시 소사구 소사로 170 번길 81, 108 동 607 호 (소사본동, 한신아파트), Gyeonggi-do (KR).

(74) 대리인: **특허법인 엠에이피에스 (MAPS INTELLECTUAL PROPERTY LAW FIRM)**; 137-810 서울시 서초구 사평대로 343, 4 층(반포동, 제일약품빌딩), Seoul (KR).

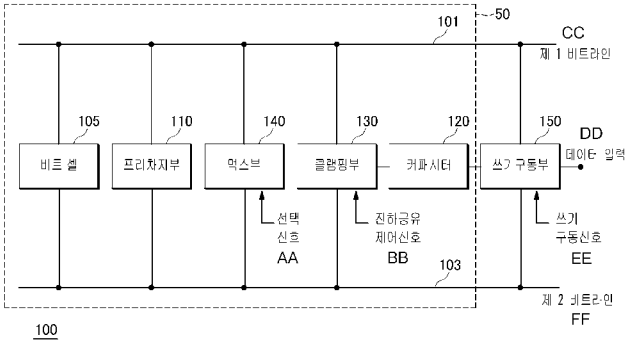
(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:
— 국제조사보고서와 함께 (조약 제 21 조(3))

(54) **Title**: STATIC RANDOM ACCESS MEMORY AND DRIVING METHOD THEREFOR

(54) **발명의 명칭** : 정적 랜덤 액세스 메모리 및 그 구동 방법



105 ... Bit cell
110 ... Pre-charge unit
120 ... Capacitor
130 ... Clamping unit
140 ... MUX unit
150 ... Write driving unit
AA ... Selection signal
BB ... Charge sharing control signal
CC ... First bit line
DD ... Data input
EE ... Write driving signal
FF ... Second bit line

(57) **Abstract**: A static random access memory comprises: a pre-charge unit for supplying a pre-charge voltage to first and second bit lines connected to a bit cell; a capacitor of which one terminal or the other terminal is selectively connected to a ground terminal; a clamping unit for regulating the voltage level of a bit line by selectively connecting the bit line with the capacitor; and a MUX unit which is included in a unit memory cell comprising the bit cell, the pre-charge unit, the capacitor and the clamping unit, and which activates the bit line of the unit memory cell upon receiving a selection signal, wherein the clamping unit connects the first and second bit lines with the capacitor according to a charge sharing control signal to thereby induce charge sharing of the first and second bit lines and the capacitor.

(57) **요약서**: 정적 랜덤 액세스 메모리는 비트 셀에 접속된 제 1 및 제 2 비트라인에 프리차지 전압을 공급하는 프리차지부, 일측 단자 또는 타측 단자가 접지 단자와 선택적으로 접속되는 커패시터, 비트라인과 커패시터를 선택적으로 접속시켜 비트라인의 전압 레벨을 조절하는 클램핑부 및 비트 셀, 프리차지부, 커패시터 및 클램핑부를 포함하는 단위 메모리 셀에 포함되며, 선택신호의 수신에 따라 단위 메모리 셀의 비트라인을 활성화시키는 먹스부를 포함하되, 상기 클램핑부는 전하 공유 제어 신호에 따라 제 1 및 제 2 비트라인과 커패시터를 접속시켜, 제 1 및 제 2 비트라인과 커패시터의 전하 공유를 유도한다.

WO 2015/147587 A1

명세서

발명의 명칭: 정적 랜덤 액세스 메모리 및 그 구동 방법

기술분야

[1] 본 발명은 동작 마진을 향상시키기 위한 보조 회로를 포함하는 정적 랜덤 액세스 메모리 및 그 구동 방법에 관한 것이다.

배경기술

[2] 정적 랜덤 액세스 메모리(Static Random Access Memory, SRAM)는 동적 랜덤 액세스 메모리(Dynamic Random Access Memory, DRAM)와 같이 동적으로 업데이트될 필요가 없으며, 속도가 빠르다는 장점이 있다. 이러한 SRAM은 통신 모뎀, 이미지 프로세서 등 대부분의 집적회로에서 면적 및 소모전력의 대부분을 차지하는 블록이다. 따라서, SRAM의 비트 셀은 집적도를 높이기 위해 최소화하여 설계되며, 이를 위한 반도체 공정 또한 점차 미세화되고 있다. 이에 따라 반도체 회로의 안정성이 점점 낮아지고 있으며, 이는 핀펫(fin Field Effect Transistor, finFET)과 같은 트랜지스터의 최신 공정에서도 심각한 문제가 되고 있다.

[3] 한편, 통상적인 SRAM 셀의 구조는, 4개의 상보적 금속 산화물 반도체 전계효과트랜지스터(Metal Oxide Silicon Field Effect Transister, MOSFET)에 공통적으로 형성되며 교차-커플링된 2개의 인버터를 포함한다. 교차-커플링된 인버터들은 2개의 안정적 상태를 갖는 기본 저장 엘리먼트를 형성한다. 이때, 2개의 안정적 상태는 상보적 바이너리 값인 '0' 및 '1'을 나타낸다. 그리고 SRAM 셀은 액세스 트랜지스터로 명명되는 2개의 추가적인 트랜지스터들을 포함한다. 이때, 액세스 트랜지스터는 판독 및 기록 동작 동안 저장 엘리먼트에 대한 액세스를 제어하는 역할을 한다.

[4] 도 1은 종래기술에 따른 6T SRAM 셀의 일 예시이다.

[5] 6T SRAM 셀은 6개의 트랜지스터를 포함한다. 도 1에서와 같이, 6T SRAM 셀은 풀-업(pull-up) PMOS(20), 패스-게이트(pass-gate) NMOS(10) 및 풀-다운(pull-down) NMOS(30)와 같이 세 부분으로 나뉠 수 있으며, 풀-업 PMOS(20) 및 풀-다운 NMOS(30)와 접속된 패스-게이트 NMOS(10) 사이의 노드들은 상보적인 바이너리 값을 유지한다.

[6] 이러한SRAM 셀의 쓰기 동작에서는 워드라인(WL)에 양의 전원 전압을 인가하여 워드라인을 활성화시키고, 이에 따라 패스-게이트 NMOS(10)들이 상보적인 비트라인 상의 값들을 SRAM 비트 셀 내로 전달한다. 또한 SRAM 셀의 독출 동작에서는 각 비트라인들이 모두 미리 정의된 값으로 미리 충전되어 유지되는 상태(즉, 프리차지(pre-charge) 상태)에서 워드라인을 활성화시키고, 이에 따라 SRAM비트 셀 내에 저장된 상보적 값들에 의해 비트라인들 중 하나가 방전된다.

[7] 한편, SRAM에서의 독출 동작의 동작 마진을 향상시키기 위해서는 풀-다운 NMOS(30)를 패스-게이트 PMOS(10)보다 강하게 만들어야 한다. 그러나 패스-게이트 NMOS(10)의 세기는 독출 및 쓰기 동작의 동작 마진에 상충적으로 작용하기 때문에, 비트 셀의 크기를 조절하여 SRAM의 안정도를 높이는 데는 한계가 있다. 이를 해결하기 위하여 최신 공정에서는 메모리의 주변 회로부에 별도의 회로를 부가하는 보조 회로 기술이 필수적으로 사용되고 있다.

[8] 보조 회로 기술은 메모리 비트 셀의 전원에 인가되는 전압, 워드라인에 인가되는 전압 및 비트라인에 인가되는 전압 중 어느 하나를 조절하는 방법으로 분류할 수 있다. 이때, 패스-게이트 NMOS(10)의 세기를 약하게 하거나 풀-다운 NMOS(30)의 세기를 강하게 하여 비트 셀에 인가되는 전압을 증가시키는 방법을 사용하거나, 워드라인 또는 비트라인에 인가되는 전압을 낮추는 방법을 통해 독출 동작의 마진을 향상시킬 수 있다. 반대로, 패스-게이트 NMOS(10)의 세기를 강하게 하거나 풀-업 PMOS(20)의 세기를 약하게 하여 비트 셀에 인가되는 전압을 감소시키는 방법을 사용하거나, 워드라인 또는 비트라인에 인가되는 전압을 높이는 방법을 통해 쓰기 동작의 마진을 향상시킬 수 있다.

[9] 도 2 및 도 3은 종래기술에 따른 SRAM셀의 보조회로를 도시한 도면이다.

[10] 마이크로프로세서와 같이 SRAM 셀이 캐쉬로 밀집된 형태에서는 외부 전원을 통하여 용이하게 칩 내부에 전력망을 형성할 수 있다. 그러나, SoC(System On Chip)와 같이 칩 전체에 SRAM이 분포된 경우에는 하나 이상의 전원 소스를 사용하기 어려운 문제점이 있다. 이에 따라, 기존에 제시되었던 SRAM 보조 회로 기법에서는, 외부에서 인가되는 추가적인 전원 소스 외에 도 2에 도시된 분압기(Voltage Divider) 또는 전압 조정기(Voltage Regulator)를 통하여 하나의 전원 소스만으로 메모리 공급전압 이외의 승압 또는 감압 전압 등의 필요한 전압을 생성한다. 그러나 분압기 또는 전압 조정기에서는 단락 전류(Short Circuit Current)가 발생됨에 따라, 메모리 전체에서 소모되는 전력의 상당 부분을 분압기 또는 전압 조정기의 소모 전력이 차지하는 문제가 있다.

[11] 또한, 도 3은 고속의 병렬 프로세서를 위하여 사용되는 멀티 비트라인(60) 및 멀티 워드라인(70)을 포함하는 멀티포트 레지스터 파일을 도시한 것이다. 멀티포트 레지스터 파일은 승압 전압 사용시 독출 동작의 마진을 향상시키고, 쓰기 동작의 마진을 감소시킨다. 반대로, 멀티포트 레지스터 파일은 감압 전압 사용시 독출 동작의 마진을 감소시키고, 쓰기 동작의 마진을 향상시킨다. 그런데 이와 같이 동작하는 멀티포트 레지스터 파일은 기존의 SRAM 보조 회로 기법들을 적용하는데 많은 제약이 따른다. 예를 들어, 독출 및 쓰기 동작이 같은 어레이 열에 대하여 액세스되는 경우, 두 개의 비트 셀 간에 안정성 및 성능 저하가 발생된다.

[12] 이와 관련하여 한국공개특허공보 제2010-0101008호(발명의 명칭: 반도체 기억장치)에는 SGT를 이용한 CMOS형 6T-SRAM에 있어서 면적인 작은 SRAM 셀을 실현하는 동시에 충분한 동작 마진을 갖는 SRAM으로 이루어진 반도체

기억장치가 개시되어 있다.

[13] 그러나 선행기술은, 앞서 도 1에서 설명한 종래기술에서와 같이, 보조 회로 기법을 적용하고 있지 않기 때문에 비트 셀의 크기를 조절하여 SRAM의 안정도를 높이는 데는 한계가 있다.

발명의 상세한 설명

기술적 과제

[14] 본 발명의 일 실시예는 SRAM의 보조 회로 기법을 통해 독출 동작 및 쓰기 동작의 동작 마진을 향상시키고, 보조 회로에서 소모되는 전력을 줄일 수 있는 정적 랜덤 액세스 메모리 및 그 구동 방법을 제공하고자 한다.

[15] 다만, 본 실시예가 이루고자 하는 기술적 과제는 상기된 바와 같은 기술적 과제로 한정되지 않으며, 또 다른 기술적 과제들이 존재할 수 있다.

과제 해결 수단

[16] 상술한 기술적 과제를 달성하기 위한 기술적 수단으로서, 본 발명의 일 측면에 따른 정적 랜덤 액세스 메모리는 비트 셀에 접속된 제 1 및 제 2 비트라인에 프리차지 전압을 공급하는 프리차지부, 일측 단자 또는 타측 단자가 접지 단자와 선택적으로 접속되는 커패시터, 상기 비트라인과 상기 커패시터를 선택적으로 접속시켜 상기 비트라인의 전압 레벨을 조절하는 클램핑부 및 상기 비트 셀, 프리차지부, 커패시터 및 클램핑부를 포함하는 단위 메모리 셀에 포함되며, 선택신호의 수신에 따라 상기 단위 메모리 셀의 비트라인을 활성화시키는 먹스부를 포함하되, 상기 클램핑부는 전하 공유 제어 신호에 따라 상기 제 1 및 제 2 비트라인과 상기 커패시터를 접속시켜, 상기 제 1 및 제 2 비트라인과 상기 커패시터의 전하 공유를 유도한다.

[17] 이때, 상기 정적 랜덤 액세스 메모리는, 쓰기 구동 신호에 따라 상기 제 1 및 제 2 비트라인에 각각 상보적인 레벨의 입력 데이터를 인가하는 쓰기 구동부를 더 포함한다.

[18] 또한, 상기 정적 랜덤 액세스 메모리는, 독출 명령에 따라 상기 커패시터의 일측 단자를 플로팅 상태로 유지시키고, 상기 클램핑부를 통해 상기 제 1 및 제 2 비트라인과 상기 커패시터를 소정의 시간 동안 접속시켜 프리차지된 비트라인의 전압레벨을 소정의 전압레벨만큼 감소시키며, 상기 비트 셀에 저장된 데이터에 따른 상기 제 1 비트라인과 상기 제 2 비트라인의 전압레벨의 변화에 기초하여 상기 비트 셀의 데이터를 독출한다.

[19] 또한, 상기 정적 랜덤 액세스 메모리는, 쓰기 명령에 따라 상기 커패시터의 일측 단자를 플로팅 상태로 유지시키고, 상기 클램핑부를 통해 상기 제 1 및 제 2 비트라인과 상기 커패시터를 소정의 시간 동안 접속시켜, 상기 프리차지된 제 1 및 제 2비트라인의 전압레벨을 소정의 전압레벨만큼 감소시키고, 상기 비트 셀에 저장된 데이터에 따라 상기 제 1 및 제 2 비트라인의 전압레벨이 변화된 상태에서, 상기 쓰기 구동부를 통해 상기 제 1 비트라인과 상기 제 2 비트라인에

로우 레벨 입력 데이터 및 하이 레벨 입력 데이터를 상보적으로 인가하고, 상기 쓰기 구동부와 접속된 커패시터의 타측 단자를 플로팅 상태로 유지시키고, 상기 커패시터의 일측 단자를 접지시켜 상기 커패시터의 타측 단자에 음전압을 발생시키며, 상기 커패시터를 상기 제 1 및 제 2 비트라인 중 상기 로우 레벨 입력 데이터가 인가되는 비트라인에 접속시켜 해당 비트라인의 전압레벨을 감소시킨다.

[20] 한편, 본 발명의 다른 측면에 따른 정적 랜덤 액세스 메모리의 구동 방법은 비트 셀에 접속된 제 1 및 제 2 비트라인을 프리차지시키는 단계, 단위 메모리 셀 단위로 포함된 커패시터를 플로팅 상태로 유지시키는 단계, 상기 제 1 및 제 2 비트라인과 커패시터 사이에 접속된 클램핑부를 통해 상기 제 1 및 제 2 비트라인과 상기 커패시터를 소정시간 동안 접속시켜 상기 프리차지된 제 1 및 제 2 비트라인의 전압레벨을 소정의 전압레벨만큼 감소시키는 단계 및 상기 비트 셀에 저장된 데이터에 따른 상기 제 1 및 제 2 비트라인의 전압레벨의 변화에 기초하여 상기 비트 셀의 데이터를 감지하는 단계를 포함한다.

[21] 이때, 상기 커패시터를 플로팅 상태로 유지시키는 단계는, 상기 커패시터의 일측 단자를 접지시킨 후 플로팅시킨다.

[22] 또한, 상기 정적 랜덤 액세스 메모리의 구동 방법은, 상기 비트 셀의 데이터를 감지하는 단계 이후에, 쓰기 구동부를 통해 상기 제 1 및 제 2 비트라인에 로우 레벨 입력 데이터 및 하이 레벨 입력 데이터를 상보적으로 인가하는 단계, 상기 쓰기 구동부와 접속된 상기 커패시터의 타측 단자를 플로팅 상태로 유지시키는 단계, 상기 커패시터의 일측 단자를 접지시켜, 상기 커패시터의 타측 단자에 음전압을 발생시키는 단계 및 상기 커패시터를 상기 제 1 및 제 2 비트라인 중 상기 로우 레벨 입력 데이터가 인가되는 비트라인에 접속시켜, 해당 비트라인의 전압레벨을 감소시키는 단계를 더 포함한다.

발명의 효과

[23] 전술한 본 발명의 과제 해결 수단 중 어느 하나에 의하면, SRAM의 보조 회로 기법에서 전하 재활용 방식을 통해 독출 동작 및 쓰기 동작을 통합적으로 수행함으로써, 독출 동작 및 쓰기 동작의 동작 마진을 향상시키고, 보조 회로에서 소모되는 전력을 줄일 수 있다.

[24] 또한, 본 발명의 과제 해결 수단 중 어느 하나에 의하면, 기존의 커패시터를 드라이브하는 방식이 아닌 비트라인으로부터 전하를 공급받는 커패시티브 커플링 효과를 이용하여 SRAM 보조 회로기법에 사용되는 음전압을 생성함으로써 전력소모를 크게 줄일 수 있다. 이에 따라, 큰 전력소모 없이도 독출 동작 및 쓰기 동작의 동작 마진을 향상시킬 수 있으며, 낮은 공급전압에서도 에러 없이 동작할 수 있다.

[25] 또한, 본 발명의 과제 해결 수단 중 어느 하나에 의하면 독출 동작 및 쓰기 동작이 하나의 회로에서 동작할 수 있으므로 개별적인 전력소모가 발생하지

않게 된다.

[26] 또한, 본 발명의 과제 해결 수단 중 어느 하나에 의하면 싱글 포트 SRAM 뿐만 아니라 멀티포트 SRAM에서도 동시에 액세스되는 다른 비트 셀에 영향을 주지 않고 사용이 가능하다.

도면의 간단한 설명

[27] 도 1은 종래기술에 따른 6T SRAM 셀의 일 예시이다.

[28] 도 2는 종래 기술에 따른 SRAM셀의 보조회로를 도시한 도면이다.

[29] 도 3은 종래기술에 따른 SRAM셀의 또 다른 보조회로를 도시한 도면이다.

[30] 도 4는 본 발명의 일 실시예에 따른 정적 랜덤 액세스 메모리 셀을 도시한 도면이다.

[31] 도 5는 본 발명의 일 실시예에 따른 정적 랜덤 액세스 메모리 셀의 동작 원리를 설명하기 위한 도면이다.

[32] 도 6은 본 발명의 일 실시예에 따른 정적 랜덤 액세스 메모리 셀의 회로도이다.

[33] 도 7a는 도 6에 도시된 회로도에서 쓰기 동작 수행시의 전압레벨 변화를 도시한 그래프이다.

[34] 도 7b는 도 6에 도시된 회로도에서 독출 동작 수행시의 전압레벨 변화를 도시한 그래프이다.

[35] 도 8은 본 발명의 일 실시예에 따른 정적 랜덤 액세스 메모리 셀에서의 독출 동작 순서도이다.

[36] 도 9는 본 발명의 일 실시예에 따른 정적 랜덤 액세스 메모리 셀에서의 쓰기 동작 순서도이다.

발명의 실시를 위한 최선의 형태

[37] 아래에서는 첨부한 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예를 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였다.

[38] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 본원 명세서 전체에서 사용되는 정도의 용어 "~(하는) 단계" 또는 "~의 단계"는 "~ 를 위한 단계"를 의미하지는 않는다.

[39] 도 4는 본 발명의 일 실시예에 따른 정적 랜덤 액세스 메모리 셀(100)을 도시한 도면이다.

[40] 본 발명의 일 실시예에 따른 정적 랜덤 액세스 메모리 셀(100)은

프리차지부(110), 커패시터(120), 클램핑부(130) 및 먹스부(140)를 포함한다.

[41] 프리차지부(110)는 비트 셀(105)에 접속된 제 1 비트라인(101) 및 제 2 비트라인(102)에 프리차지 전압을 공급한다. 이때, 프리차지부(110)는 프리차지 신호에 따라 제 1 및 제 2 비트라인(101, 103)에 공급전압(VDD) 레벨로 프리차지 전압을 공급할 수 있다.

[42] 커패시터(120)는 일측 단자 또는 타측 단자가 접지 단자와 선택적으로 접속된다. 이때, 커패시터(120)는 접지 단자에 일측 단자 또는 타측 단자가 선택적으로 접속되며, 쓰기 동작 또는 읽기 동작을 수행하기 전에 접지(GND) 레벨로 프리차지되어 있을 수 있다.

[43] 클램핑부(130)는 비트라인(101, 103)과 커패시터(120)를 선택적으로 접속시켜 비트라인(101, 103)의 전압 레벨을 조절한다. 이때, 클램핑부(130)는 전하 공유 제어 신호에 따라 제 1 및 제 2 비트라인(101, 103)과 커패시터(120)를 접속시켜, 제 1 및 제 2 비트라인(101, 103)과 커패시터(120)의 전하 공유를 유도한다. 클램핑부(130)가 비트라인(101, 103)과 커패시터(120)를 접속시키면 비트라인(101, 103)과 커패시터(120) 간에 전하를 공유하게 된다. 이에 따라, 비트라인(101, 103)에 공급전압 레벨로 프리차지된 전압레벨이 낮아지며, 커패시터(120)는 비트라인(101, 103)으로부터 공급된 전하로 충전된다. 이와 같이 비트라인(101, 103)의 전압레벨을 낮춤으로써 독출 동작의 마진을 향상시킬 수 있다. 이때, 커패시터(120)에 충전된 전하는 음전압을 생성하기 위하여 사용되며, 음전압은 쓰기 동작 시 비트라인(101, 103)에 공급됨에 따라 비트 셀(105)의 패스-게이트 NMOS의 세기를 증가시켜 쓰기 동작의 마진을 향상시킬 수 있다.

[44] 먹스부(140)는 복수 개가 병렬로 연결된 단위 메모리 셀(50)을 활성화시키기 위한 선택신호를 수신하고, 선택신호의 수신에 따라 단위 메모리 셀(50)의 비트라인(101, 103)을 활성화시킨다. 이때, 단위 메모리 셀(50)은 비트 셀(105), 프리차지부(110), 커패시터(120), 클램핑부(130) 및 먹스부(140)를 포함한다. 본 발명의 일 실시예에 따른 정적 랜덤 액세스 메모리 셀(100)은 하나 이상의 단위 메모리 셀(50)을 포함할 수 있다.

[45] 한편, 정적 랜덤 액세스 메모리 셀(100)은 쓰기 구동부(150)를 더 포함할 수 있다. 쓰기 구동부(150)는 쓰기 구동 신호에 따라 제 1 비트라인(101) 및 제 2 비트라인(102)에 각각 상보적인 레벨의 입력 데이터를 인가할 수 있다. 즉, 쓰기 구동 신호에 기초하여 제 1 비트라인(101)에 하이 레벨의 입력 데이터가 인가된 경우, 제 2 비트라인(103)에는 로우 레벨의 입력 데이터가 인가될 수 있다.

[46] 본 발명의 일 실시예에 따른 정적 랜덤 액세스 메모리 셀(100)은 하나 이상의 쓰기 구동부(150)를 포함할 수 있으며, 바람직하게는 복수의 단위 메모리 셀(50)과 접속된 하나의 쓰기 구동부(50)를 포함할 수 있다.

[47] 이하, 본 발명의 일 실시예에 따른 정적 랜덤 액세스 메모리 셀(100)이 위에서 설명한 구성요소에 기초하여 쓰기 동작 및 독출 동작을 처리하는 과정을

설명하도록 한다.

[48] 먼저, 정적 랜덤 액세스 메모리 셀(100)은 독출 동작을 수행하기 위하여, 독출 명령에 따라 커패시터(120)의 일측 단자를 플로팅 상태로 유지시킨다. 그리고 클램핑부(130)를 통해 제 1 비트라인(101) 및 제 2 비트라인(103)과 커패시터(120)를 소정의 시간 동안 접속시켜, 프리차지된 비트라인(101, 103)의 전압레벨을 소정의 전압레벨만큼 감소시킨다. 이때, 프리차지된 비트라인(101, 103)에서 감소된 전압레벨만큼의 전하는 커패시터(120)에 충전된다. 비트라인(101, 103)의 전압레벨이 감소되면, 비트 셀(105)에 저장된 데이터에 따라 제 1 비트라인(101)과 제 2 비트라인(103)의 전압레벨이 변화되고, 이에 기초하여 비트 셀(105)의 데이터를 감지하여 데이터를 독출한다.

[49] 한편, 정적 랜덤 액세스 메모리 셀(100)은 쓰기 동작을 수행하기 위하여, 쓰기 명령에 따라 커패시터(120)의 일측 단자를 플로팅 상태로 유지시킨다. 그리고 클램핑부(130)를 통해 제 1 비트라인(101) 및 제 2 비트라인(103)과 커패시터(120)를 소정의 시간 동안 접속시켜, 프리차지된 비트라인(101, 103)의 전압레벨을 소정의 전압레벨만큼 감소시킨다. 비트라인(101, 103)의 전압레벨이 감소되면, 비트 셀(105)에 저장된 데이터에 따라 제 1 비트라인(101)과 제 2 비트라인(103)의 전압레벨이 변화되고, 이에 기초하여 비트 셀(105)의 데이터를 감지한다. 즉, 쓰기 동작 수행시에도 비트 셀(105)에 저장된 데이터를 독출하는 동작을 동일하게 수행하며, 이는 활성화된 워드라인에 의하여 다른 어드레스에 있는 데이터가 변형되지 않도록 돕는 역할을 한다.

[50] 이처럼, 데이터를 독출하는 단계가 완료되면, 쓰기 구동부(150)를 통해 제 1 비트라인(101)과 제 2 비트라인(103)에 각각 입력 데이터를 상보적으로 인가한다. 이때, '1'을 쓸 때에는 제 1 비트라인(101)에 로우 레벨 입력 데이터를 인가하고, 제 2 비트라인(103)에 하이 레벨 입력 데이터를 인가한다. 반대로, '0'을 쓸 때에는 제 1 비트라인(101)에 하이 레벨 입력 데이터를 인가하고, 제 2 비트라인(103)에 로우 레벨 입력 데이터를 인가한다. 그리고, 쓰기 구동부(150)와 접속된 커패시터(120)의 타측 단자를 플로팅 상태로 유지시킨 다음, 커패시터(120)의 일측 단자를 접지시켜 커패시터(120)의 타측 단자에 음전압을 발생시킨다. 그런 후, 커패시터(120)를 제 1 비트라인(101) 및 제 2 비트라인(103) 중 로우 레벨 입력 데이터가 인가되는 비트라인(101 또는 103)에 접속시켜 음전압을 공급함으로써 해당 비트라인(101 또는 103)의 전압레벨을 감소시킨다. 이와 같이, 커패시터(120)에 생성된 음전압을 쓰기 동작시 비트라인(101, 103)에 공급함에 따라, 비트 셀(105)의 패스-게이트 NMOS의 세기를 증가시켜 쓰기 동작의 마진을 향상시킬 수 있다.

[51] 도 5는 본 발명의 일 실시예에 따른 정적 랜덤 액세스 메모리 셀의 동작 원리를 설명하기 위한 도면이다.

[52] 도 5에 도시된 제 1 비트라인(101) 및 제 2 비트라인(103)에는 프리차지부(110)에서 공급한 프리차지 전압이 충전되어 있다. 그리고

커패시터(120)는 접지 전압으로 프리차지되어 있다. 이때, 클램핑부(130)가 비트라인(101, 103)과 커패시터(120)를 선택적으로 접속시켜 비트라인(101, 103)의 전압 레벨을 조절한다. 이때, 클램핑부(130)는 비트라인(101, 103)과 커패시터(120)를 소정의 시간 동안 접속시켜, 프리차지된 비트라인(101, 103)의 전압 레벨을 소정의 전압레벨만큼 감소시킨다. 이때, 프리차지된 비트라인(101, 103)에서 감소된 전압에 대응하는 전하는 커패시터(120)로 이동하여 충전된다.

[53] 클램핑부(130)가 소정의 시간 동안 비트라인(101, 103)과 커패시터(120)를 접속시킨 후 다시 접속을 차단하면, 커패시터(120)는 소정의 전하가 충전된 상태로 플로팅 상태를 유지하게 된다. 이때, 커패시터(120)의 일측 단자를 접지시키면 커패시터(120)의 타측 단자에 음전압이 생성된다. 이와 같은 음전압이 생성된 커패시터(120)의 타측 단자와, 제 1 비트라인(101) 및 제 2 비트라인(103) 중 로우 레벨 입력 데이터가 인가된 비트라인(101 또는 103)을 접속시켜 해당 비트라인의 전압레벨을 감소시킨다. 이처럼 감소된 전압레벨에 기초하여 쓰기 구동부(150)는 쓰기 동작을 수행한다.

[54] 도 6은 본 발명의 일 실시예에 따른 정적 랜덤 액세스 메모리 셀(100)의 회로도이고, 도 7a는 도 6에 도시된 회로도에서 쓰기 동작 수행시의 전압레벨 변화를 도시한 그래프이며, 도 7b는 도 6에 도시된 회로도에서 독출 동작 수행시의 전압레벨 변화를 도시한 그래프이다.

[55] 먼저, 도 6을 참조하여 본 발명의 일 실시예에 따른 정적 랜덤 액세스 메모리 셀(100)의 회로의 일 예를 설명하도록 한다.

[56] 도 6에 도시한 바와 같이, 본 발명의 일 실시예에 따른 정적 랜덤 액세스 메모리 셀(100)은, 제 1 PMOS(P110) 및 제 2 PMOS(P112)를 포함하는 프리차지부(110)와, NMOS 커패시터(N120) 및 PMOS 커패시터(P120)를 포함하는 커패시터(120)와, 제 1 인버터(IV130), 제 2 인버터(IV132), 제 1 트랜스미션 게이트(SW130), 제 2 트랜스미션 게이트(SW132), PMOS(P130), 제3 PMOS(P132) 및 제 4 PMOS(P134)를 포함하는 클램핑부(130)와, 제 3 트랜스미션 게이트(SW140) 및 제 4 트랜스미션 게이트(SW142)를 포함하는 먹스부(140) 및, 제 1 및 제 2 NAND 게이트(151, 153)를 포함하는 쓰기 구동부(150)를 포함한다.

[57] 구체적으로, 프리차지부(110)의 제 1 PMOS(P110) 및 제 2 PMOS(P112)는 PCHGb입력 단자를 통해 공급되는 공급전압(VDD)을 제 1 비트라인(101, PBLB) 및 제 2 비트라인(103, PBL)에 프리차지 신호로 제공한다. 제 1 PMOS(P110) 및 제 2 PMOS(P112)는 각각 제 1 비트라인(101, PBLB) 및 제 2 비트라인(103, PBL)과 접지 단자 사이에 접속되어 있으며, 제 1 PMOS(P110) 및 제 2 PMOS(P112)의 게이트 단자는 서로 접속되어 있다.

[58] 커패시터(120)의 NMOS 커패시터(N120) 및 PMOS 커패시터(P120)는 각각 소스 단자와 드레인 단자가 연결되어 있다. 이때, NMOS 커패시터(N120)의 게이트 단자, PMOS 커패시터(P120)의 소스 및 드레인 단자, 및 커패시터(120)의 일측 단자(CSH)가 서로 접속된다. 그리고, PMOS 커패시터(P120)의 게이트 단자,

NMOS 커패시터(N120)의 소스 및 드레인 단자, 및 커패시터(120)의 타측 단자(VBB)가 서로 접속된다. 또한, 커패시터(120)의 일측 단자(CSH)는, 쓰기 명령에 따라 커패시터(120)와 접지 단자를 접속 및 차단시키기 위한 신호를 입력받는 NBSTb 단자 및 하기에서 설명할 클램핑부(130)와 접속되어 있다. 또한, 커패시터(120)의 타측 단자(VBB)는 INITb 단자와 접속되어 있으며, INITb 단자에서 인가되는 입력 전압에 따라 접지 전압으로 프리차지된 타측 단자(VBB)는 플로팅 상태가 된다.

[59] 클램핑부(130)의 제 1 인버터(IV130) 및 제 2 인버터(IV132)는 직렬 접속된다. 그리고 클램핑부(130)의 제 1 트랜스미션 게이트(SW130) 및 제 2 트랜스미션 게이트(SW132)는 각각 일측 단자가 제 1 인버터(IV130) 및 제 2 인버터(IV132) 간의 접속단자와 접속되고, 타측 단자가 제 2 인버터(IV132)와 접속된다. 또한, 클램핑부(130)의 PMOS(P130)는 제 1 단자가 제 2 인버터(IV132), 제 1 트랜스미션 게이트(SW130) 및 제 2 트랜스미션 게이트(SW132)와 접속되고, 제 2 단자가 제 1 비트 라인(101, PBLB)과 접속되며, 제3 단자가 제 2 비트라인(103, PBL)과 접속된다. 이때, 제 1 트랜스미션 게이트(SW130) 및 제 2 트랜스미션 게이트(SW132)는 각각 스위치로서 동작할 수 있다. 또한, 클램핑부(130)의 제3 PMOS(P132) 및 제 4 PMOS(P134)는 각각 일측 단자가 제 1 트랜스미션 게이트(SW130) 및 제 2 트랜스미션 게이트(SW132)와 접속되고, 타측 단자가 커패시터(120)의 일측 단자(CSH)와 접속된다.

[60] 먹스부(140)의 제 3 트랜스미션 게이트(SW140)은 제 1 비트 라인(101, PBLB) 과 접속되고, 먹스부(140)의 제 4 트랜스미션 게이트(SW142)는 제 2 비트라인(103, PBL)과 접속된다.

[61] 쓰기 구동부(150)의 제 1 및 제 2 NAND 게이트(151, 153)는 각각 입력 데이터 신호를 인가 받는다. 이때, 제 1 NAND 게이트(151)의 입력 단자 중 어느 하나는 인버터(IV150)를 통해 반전된 입력 데이터 신호를 수신한다. 제 1 NAND 게이트(151)의 출력 단자는 제 5 PMOS(P150)의 게이트 단자와, 제 3 NMOS(N154)의 게이트 단자 및 제 7 PMOS(P154)의 게이트 단자가 서로 접속된 공통 단자에 접속된다. 제 5 PMOS(P150)는 일측 단자가 접지되고 타측 단자가 제 1 비트라인(101, PBLB)과 접속된다. 또한, 제 2 NAND 게이트(153)의 출력 단자는 제 6 PMOS(P152)의 게이트 단자와, 제 1 NMOS(N150)의 게이트 단자 및 제 2 NMOS(N152)의 게이트 단자가 서로 접속된 공통 단자에 접속된다. 제 6 PMOS(P152)는 일측 단자가 접지되고 타측 단자가 제 2 비트라인(103, PBL)과 접속된다.

[62] 이하에서는, 도 6 및 도 7a를 참조하여 쓰기 동작 원리를 설명하도록 한다.

[63] 제 1 비트라인(101, PBLB) 및 제 2 비트라인(103, PBL)은 프리차지부(110)에 의해 공급전압 레벨(VDD)로 프리차지되어 있으며, 커패시터(120)는 접지 단자에 접지되어 접지전압 레벨로 프리차지되어 있다.

[64] 이러한 상태에서, 쓰기 명령에 따라, NBSTb 단자에 커패시터(120)의 접지 및

차단을 제어하는 신호가 입력된다. 이때, 도 7a에 도시된 바와 같이, NBSTb 단자에 로우 레벨 전압이 입력되어, 커패시터(120)와 접지 단자와의 접속이 차단된다. 이에 따라, 커패시터(120)의 일측 단자(CSH)가 플로팅 상태로 유지된다.

[65] 그리고, CLMPb 단자에 클램핑부(130)의 동작을 제어하여 비트라인(101, 103)과 커패시터(120) 간의 접속 및 차단을 제어하는 전하 공유 제어 신호가 입력된다. 이때, 도 7a에 도시한 바와 같이, CLMPb 단자에 로우 레벨 전압이 입력되어 클램핑부(130)의 동작에 의해 제 1 및 제 2 비트라인(101, 103)과 커패시터(120)가 접속된다. 이에 따라, 제 1 비트라인(101, PBLB) 및 제 2 비트라인(103, PBL)의 전압레벨이 소정의 전압레벨만큼 감소된다. 이와 같이 비트라인(101, 103)의 전압레벨을 낮춤으로써 독출 동작을 수행하며, 이를 통해 독출 동작의 마진을 향상시킬 수 있다.

[66] 다음으로, 도 7a에 도시한 바와 같이, CLMPb 단자에 하이 레벨 전압이 입력되어 비트라인(101, 103)과 커패시터(120) 간의 접속이 차단된다. 이에 따라, 비트 셀(105)에 저장된 데이터에 의해 제 1 및 제 2 비트라인(101, 103)의 전압레벨이 변화하며, 이러한 변화를 감지하여 비트 셀(105)의 데이터를 독출한다.

[67] 이러한 독출 동작을 수행한 후, 도 7 A에 도시한 바와 같이, WDRV 단자에 쓰기 구동부(150)의 쓰기 구동 신호로써 하이 레벨 전압이 입력된다. 이에 따라, 쓰기 구동부(150)를 통해 제 1 비트라인(101, PBLB) 및 제 2 비트라인(103, PBL)에 각각 데이터가 인가된다.

[68] 이때, 쓰기 동작의 마진을 향상시키기 위하여, 쓰기 구동부(150)와 접속된 커패시터(120)의 타측 단자(VBB)를 플로팅 상태로 유지시킨 상태에서, NBSTb 단자에 하이 레벨 전압을 입력하여 커패시터(120)의 일측 단자(CSH)를 접지시킨다. 이에 따라, 커패시터(120)의 타측 단자(VBB)에 음전압이 인가된다.

[69] 위와 같은 동작 수행이 완료되면, WDRV 단자에 쓰기 구동 신호로써 로우 레벨 전압이 입력되고, PCHGb 단자에 로우 레벨 전압 신호가 입력된다. 이때, 프리차지부(110)가 다시 제 1 및 제2 비트라인(101, 103)을 공급전압(VDD) 레벨로 프리차지시켜 다음 동작 수행을 대기하도록 한다.

[70] 다음으로, 도 6 및 도 7b를 참조하여 독출 동작 원리를 설명하도록 한다.

[71] 참고로, 독출 동작시에는 쓰기 구동부(150)가 동작하지 않으므로, 도 7b에 도시한 바와 같이, 쓰기 구동 신호가 인가되는 WDRV 단자 및 커패시터(120)의 타측 단자(VBB)를 플로팅 시키는 신호가 인가되는 INITb 단자의 전압레벨은 변하지 않는다.

[72] 제 1 비트라인(101, PBLB) 및 제 2 비트라인(103, PBL)은 프리차지부(110)에 의해 공급전압 레벨(VDD)로 프리차지되어 있으며, 커패시터(120)는 접지 단자와 접속되어 접지전압 레벨로 프리차지되어 있다.

[73] 이러한 상태에서, 독출 명령에 따라, 도 7b에서와 같이 NBSTb 단자에 로우

레벨 전압이 입력된다. 이에 따라, 커패시터(120)와 접지 단자와의 접속이 차단되어 커패시터(120)의 일측 단자(CSH)가 플로팅 상태로 유지된다.

[74] 그리고, 도 7b에서와 같이, CLMPb 단자에 로우 레벨 전압이 입력되어 클램핑부(130)의 동작에 의해 제 1 및 제 2 비트라인(101, 103)과 커패시터(120)가 접속된다. 이에 따라, 제 1 및 제 2 비트라인(101, 103)의 전압레벨이 소정의 전압레벨만큼 감소된다. 이와 같이, 제 1 및 제 2 비트라인(101, 103)의 전압레벨을 낮춤으로써 독출 동작의 마진이 향상된 독출 동작을 수행할 수 있다.

[75] 한편, 본 발명의 일 실시예에 따른 정적 랜덤 액세스 메모리 셀(100)의 회로는 이상에서 설명한 회로의 구성 요소들로 한정되는 것이 아니며, 각 구성요소의 위치가 서로 변경될 수 있고, 각 구성의 내부 회로 형태 또한 다양한 형태의 실시예로 실시될 수도 있다.

[76] 이하, 도 8 및 도 9를 참조하여 본 발명의 일 실시예에 따른 정적 랜덤 액세스 메모리 셀의 구동 방법에 대해서 상세히 설명하도록 한다.

[77] 도 8은 본 발명의 일 실시예에 따른 정적 랜덤 액세스 메모리 셀(100)에서의 독출 동작 순서도이다.

[78] 먼저, 비트 셀에 접속된 제 1 및 제 2 비트라인을 프리차지시킨다(S805).

[79] 이때, 제 1 및 제 2 비트라인은 공급전압(VDD) 레벨로 프리차지될 수 있다. 그리고, 단위 메모리 셀 단위로 포함된 커패시터는 일측 단자 또는 타측 단자가 접지 단자와 선택적으로 접속되며, 독출 동작(또는 쓰기 동작)을 수행하기 전에 접지(GND) 레벨로 프리차지될 수 있다.

[80] 다음으로, 커패시터를 독출 명령(또는 쓰기 명령)에 따라 플로팅 상태로 유지시킨다(S810).

[81] 이때, 커패시터의 일측 단자를 접지시킴으로써 커패시터의 일측 단자를 플로팅시킬 수 있다.

[82] 다음으로, 제 1 및 제 2 비트라인과 커패시터 사이에 접속된 클램핑부를 통해 제 1 및 제 2 비트라인과 커패시터를 소정 시간 동안 접속시켜, 프리차지된 비트라인의 전압레벨을 소정의 전압레벨만큼 감소시킨다(S815).

[83] 이때, 클램핑부는 전하 공유 제어 신호에 기초하여 제 1 및 제 2 비트라인과 커패시터를 접속시킴으로써 전하 공유를 유도한다. 이러한 전하 공유를 통해 비트라인은 프리차지된 전압레벨이 낮아지며, 커패시터는 비트라인으로부터 공급된 전하가 충전된다. 이와 같이, 비트라인의 전압레벨을 낮춤으로써 독출 동작의 마진을 향상시킬 수 있다.

[84] 다음으로, 비트 셀에 저장된 데이터에 따른 제 1 비트라인과 제 2 비트라인의 전압레벨의 변화에 기초하여 비트 셀의 데이터를 감지함으로써 데이터를 독출한다(S820).

[85] 도 9는 본 발명의 일 실시예에 따른 정적 랜덤 액세스 메모리 셀(100)에서의 쓰기 동작 순서도이다.

[86] 참고로, 본 발명의 일 실시예에 따른 정적 랜덤 액세스 메모리 셀의 구동 방법은

쓰기 동작 수행시 앞서 도 8을 통해 설명한 독출 동작과 공통된 단계를 수행할 수 있다. 이에 따라, 쓰기 동작의 수행 시, 도 9에서 도시한 단계 (S905 내지 S920)은 도 8에서 설명한 단계 (S805 내지 S820)과 대응된 동작을 동일하게 수행하여, 제 1 및 제 2 비트라인의 전압레벨을 변화시킨다.

[87] 이러한 단계(S920)까지의 동작을 수행한 후, 쓰기 구동부를 통해 제 1 및 제 2 비트라인에 각각 입력 데이터를 인가한다(S925).

[88] 구체적으로, 앞서 도 4에서 설명한 바와 같이, 입력 데이터로써 '1'을 쓸 때에는 제 1 비트라인에 로우 레벨 입력 데이터를 인가하고, 제 2 비트라인에 하이 레벨 입력 데이터를 인가한다. 반대로, 입력 데이터로써 '0'을 쓸 때에는 제 1 비트라인에 하이 레벨 입력 데이터를 인가하고, 제 2 비트라인에 로우 레벨 입력 데이터를 인가한다.

[89] 다음으로, 쓰기 구동부와 접속된 커패시터의 타측 단자를 플로팅 상태로 유지시키고(S930), 커패시터의 일측 단자를 접지시킨다(S935).

[90] 이를 통해, 커패시터의 타측 단자에 음전압이 인가되면(S940), 커패시터를 제 1 비트라인 및 제 2 비트라인 중 로우 레벨 입력 데이터가 인가된 비트라인에 접속시켜(S945), 해당 비트라인의 전압레벨을 감소시킨다(S950).

[91] 이와 같이, 쓰기 동작 시 커패시터에 생성된 음전압을 비트라인에 공급함에 따라, 비트 셀의 패스-게이트 NMOS의 세기를 증가시켜 쓰기 동작의 마진을 향상시킬 수 있다.

[92] 전술한 본 발명의 설명은 예시를 위한 것이며, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.

[93] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

청구범위

[청구항 1] 정적 랜덤 액세스 메모리에 있어서,
비트 셀에 접속된 제 1 및 제 2 비트라인에 프리차지 전압을 공급하는 프리차지부,
일측 단자 또는 타측 단자가 접지 단자와 선택적으로 접속되는 커패시터,
상기 비트라인과 상기 커패시터를 선택적으로 접속시켜 상기 비트라인의 전압 레벨을 조절하는 클램핑부 및
상기 비트 셀, 프리차지부, 커패시터 및 클램핑부를 포함하는 단위 메모리 셀에 포함되며, 선택신호의 수신에 따라 상기 단위 메모리 셀의 비트라인을 활성화시키는 먹스부를 포함하되,
상기 클램핑부는 전하 공유 제어 신호에 따라 상기 제 1 및 제 2 비트라인과 상기 커패시터를 접속시켜, 상기 제 1 및 제 2 비트라인과 상기 커패시터의 전하 공유를 유도하는 정적 랜덤 액세스 메모리.

[청구항 2] 제 1 항에 있어서,
쓰기 구동 신호에 따라 상기 제 1 및 제 2 비트라인에 각각 상보적인 레벨의 입력 데이터를 인가하는 쓰기 구동부를 더 포함하는 정적 랜덤 액세스 메모리.

[청구항 3] 제 1 항에 있어서,
독출 명령에 따라 상기 커패시터의 일측 단자를 플로팅 상태로 유지시키고,
상기 클램핑부를 통해 상기 제 1 및 제 2 비트라인과 상기 커패시터를 소정의 시간 동안 접속시켜 프리차지된 비트라인의 전압레벨을 소정의 전압레벨만큼 감소시키며,
상기 비트 셀에 저장된 데이터에 따른 상기 제 1 비트라인과 상기 제 2 비트라인의 전압레벨의 변화에 기초하여 상기 비트 셀의 데이터를 독출하는 정적 랜덤 액세스 메모리.

[청구항 4] 제 2 항에 있어서,
쓰기 명령에 따라 상기 커패시터의 일측 단자를 플로팅 상태로 유지시키고,
상기 클램핑부를 통해 상기 제 1 및 제 2 비트라인과 상기 커패시터를 소정의 시간 동안 접속시켜, 상기 프리차지된 제 1 및 제 2비트라인의 전압레벨을 소정의 전압레벨만큼 감소시키고,
상기 비트 셀에 저장된 데이터에 따라 상기 제 1 및 제 2 비트라인의 전압레벨이 변화된 상태에서, 상기 쓰기 구동부를 통해 상기 제 1 비트라인과 상기 제 2 비트라인에 로우 레벨 입력

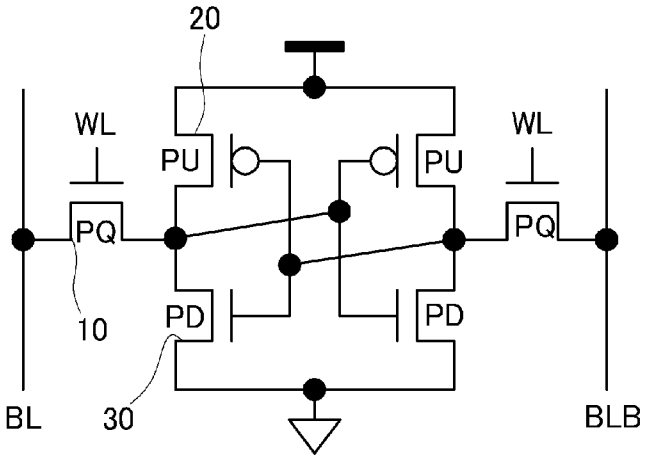
데이터 및 하이 레벨 입력 데이터를 상보적으로 인가하고,
상기 쓰기 구동부와 접속된 커패시터의 타측 단자를 플로팅 상태로 유지시키고,
상기 커패시터의 일측 단자를 접지시켜 상기 커패시터의 타측 단자에 음전압을 발생시키며,
상기 커패시터를 상기 제 1 및 제 2 비트라인 중 상기 로우 레벨 입력 데이터가 인가되는 비트라인에 접속시켜 해당 비트라인의 전압레벨을 감소시키는 정적 랜덤 액세스 메모리.

[청구항 5] 정적 랜덤 액세스 메모리의 구동 방법에 있어서,
비트 셀에 접속된 제 1 및 제 2 비트라인을 프리차지시키는 단계,
단위 메모리 셀 단위로 포함된 커패시터를 플로팅 상태로 유지시키는 단계,
상기 제 1 및 제 2 비트라인과 상기 커패시터 사이에 접속된 클램핑부를 통해 상기 제 1 및 제 2 비트라인과 상기 커패시터를 소정시간 동안 접속시켜, 상기 프리차지된 제 1 및 제 2 비트라인의 전압레벨을 소정의 전압레벨만큼 감소시키는 단계 및
상기 비트 셀에 저장된 데이터에 따른 상기 제 1 및 제 2 비트라인의 전압레벨의 변화에 기초하여 상기 비트 셀의 데이터를 감지하는 단계를 포함하는 정적 랜덤 액세스 메모리의 구동 방법.

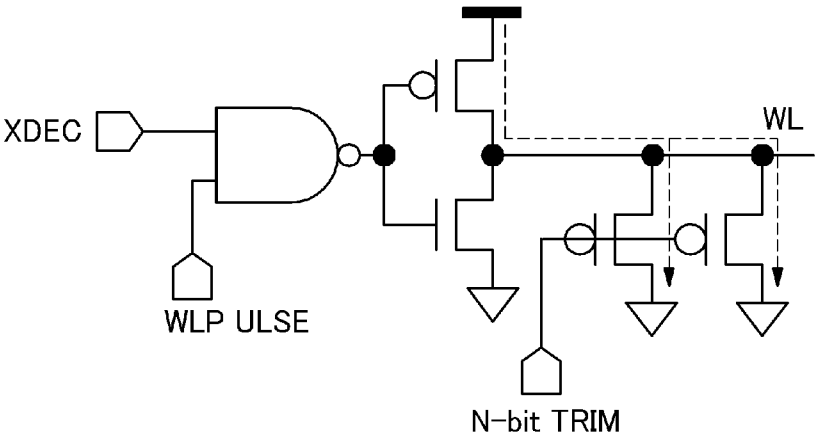
[청구항 6] 제 5 항에 있어서,
상기 커패시터를 플로팅 상태로 유지시키는 단계는,
상기 커패시터의 일측 단자를 접지시킨 후 플로팅시키는 정적 랜덤 액세스 메모리의 구동 방법.

[청구항 7] 제 5 항에 있어서,
상기 비트 셀의 데이터를 감지하는 단계 이후에,
쓰기 구동부를 통해 상기 제 1 및 제 2 비트라인에 로우 레벨 입력 데이터 및 하이 레벨 입력 데이터를 상보적으로 인가하는 단계,
상기 쓰기 구동부와 접속된 상기 커패시터의 타측 단자를 플로팅 상태로 유지시키는 단계,
상기 커패시터의 일측 단자를 접지시켜, 상기 커패시터의 타측 단자에 음전압을 발생시키는 단계 및
상기 커패시터를 상기 제 1 및 제 2 비트라인 중 상기 로우 레벨 입력 데이터가 인가되는 비트라인에 접속시켜, 해당 비트라인의 전압레벨을 감소시키는 단계를 더 포함하는 정적 랜덤 액세스 메모리의 구동 방법.

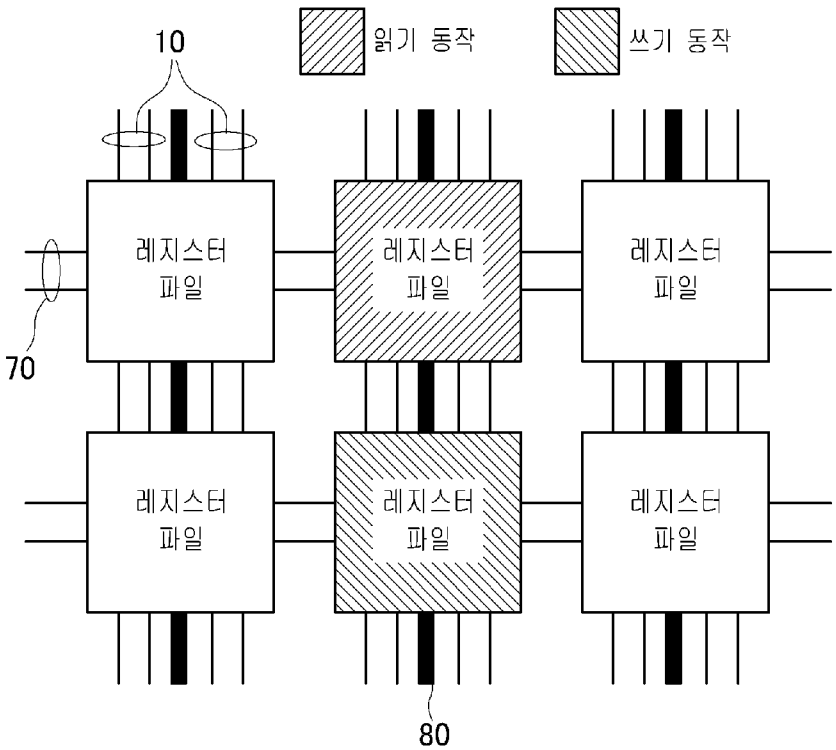
[도1]


20
WL
WL
PU
PU
PQ
PQ
10
PD
PD
BL
30
BLB

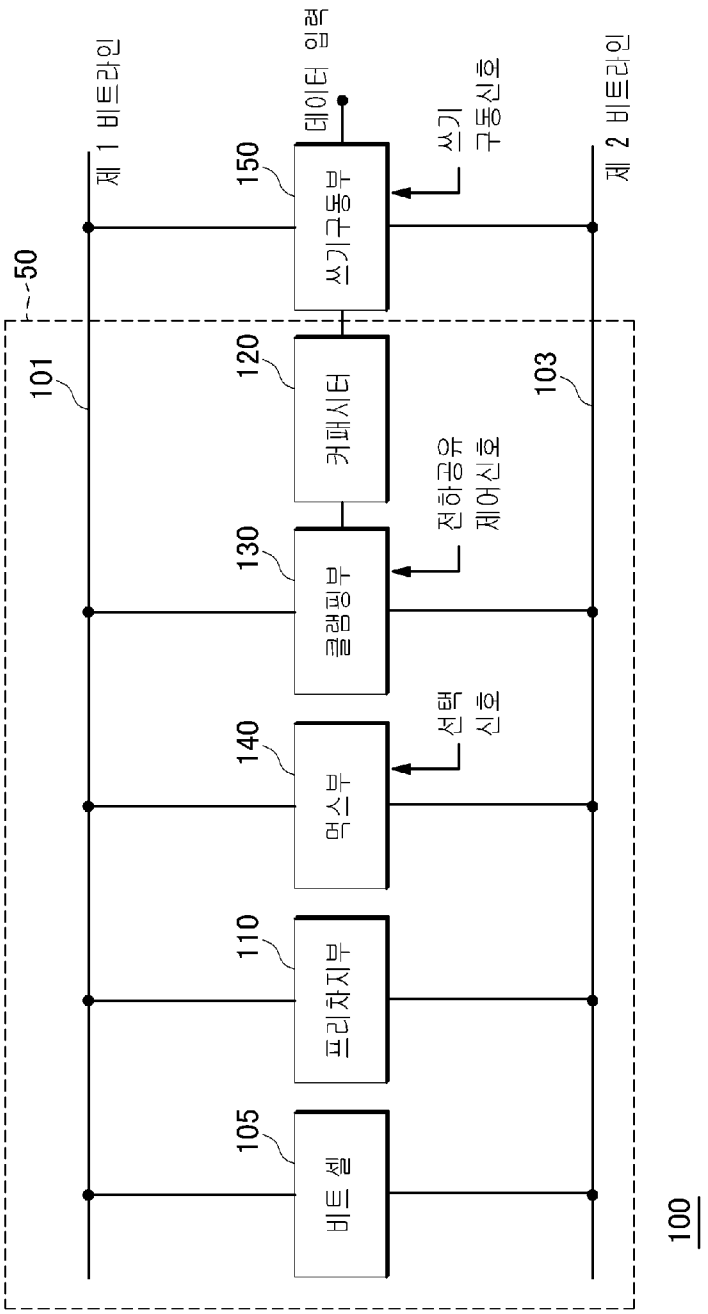
[도2]


XDEC
WL
WLP ULSE
N-bit TRIM

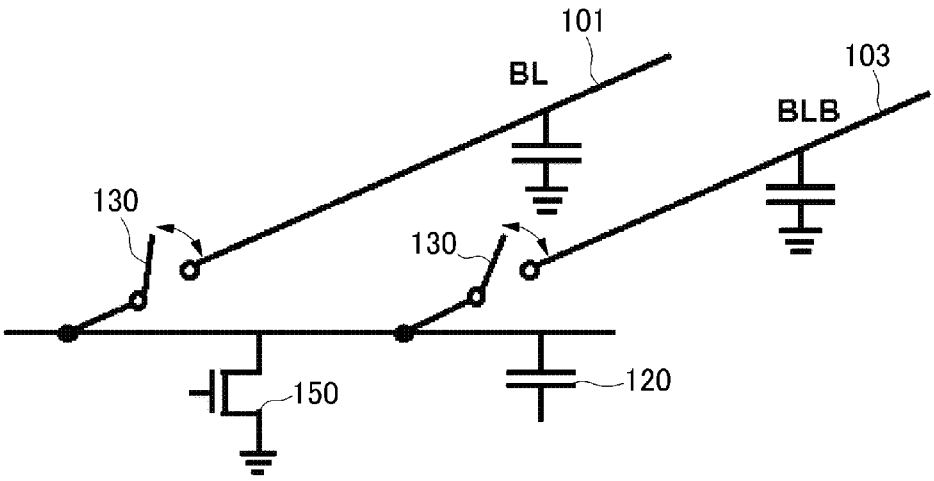
[도3]


10
읽기 동작
쓰기 동작
레지스터 파일
레지스터 파일
레지스터 파일
70
레지스터 파일
레지스터 파일
레지스터 파일
80

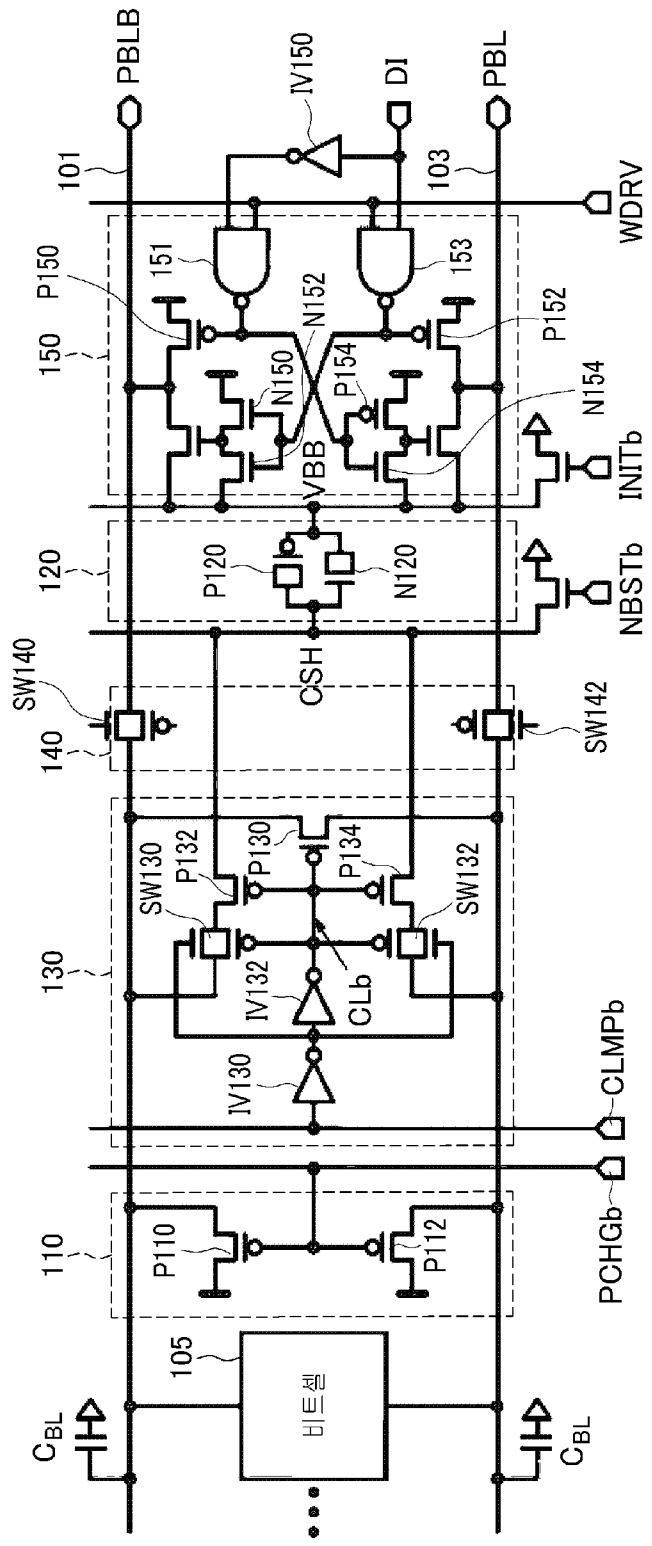
[도4]


제 1 비트라인
데이터 입력
쓰기 구동신호
제 2 비트라인
150
쓰기구동부
50
101
120
커패시터
103
전하공유 제어신호
130
클램핑부
선택 신호
140
먹스부
110
프리차지부
105
비트 셀
100

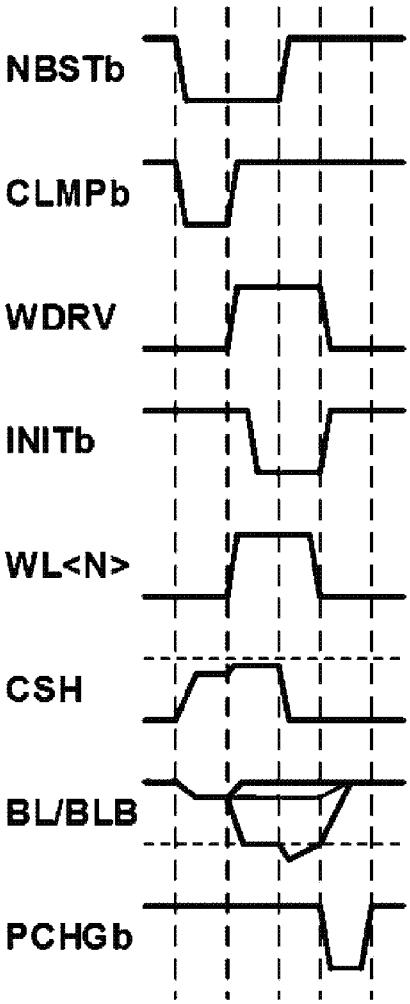
[도5]


101
BL
103
BLB
130
130
150
120

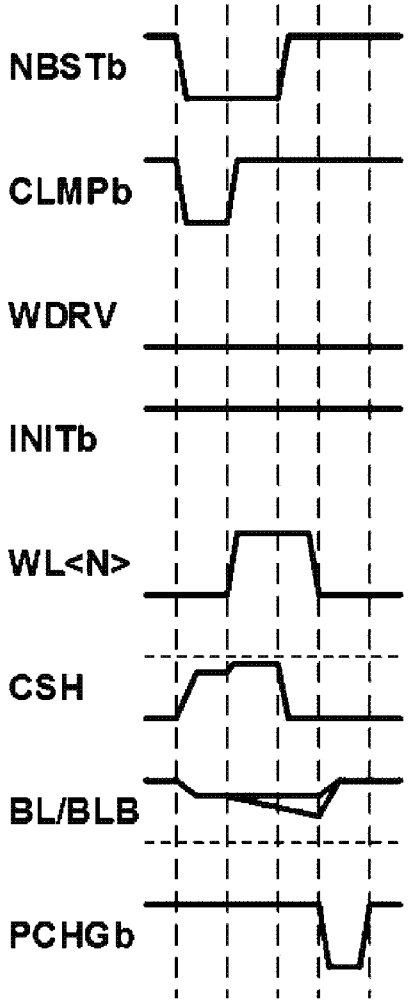
[도6]


PBLB
IV150
DI
PBL
101
103
WDRV
P150
151
153
N152
P152
150
N150
P154
N154
VBB
INITb
120
P120
N120
NBSTb
CSH
SW140
SW142
140
SW130
P132
P130
P134
SW132
130
IV132
CLb
IV130
CLMPb
PCHGb
110
P110
P112
105
비트셀
CBL
CBL

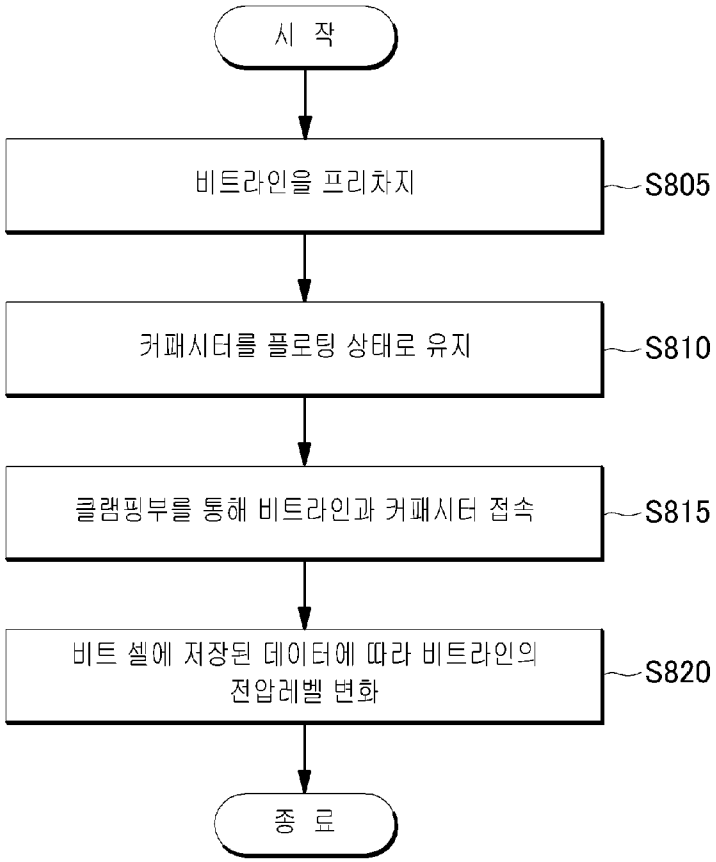
[도7a]



[도7b]



[도8]


시 작
비트라인을 프리차지
S805
커패시터를 플로팅 상태로 유지
S810
클램핑부를 통해 비트라인과 커패시터 접속
S815
비트 셀에 저장된 데이터에 따라 비트라인의 전압레벨 변화
S820
종 료

[도9]


시 작
비트라인을 프리차지
S905
커패시터를 플로팅 상태로 유지
S910
클램핑부를 통해 비트라인과 커패시터 접속
S915
비트 셀에 저장된 데이터에 비트라인의 전압레벨 변화
S920
비트라인에 각각 입력 데이터 인가
S925
쓰기 구동부와 접속된 커패시터의 타측 단자를 플로팅 상태로 유지
S930
커패시터의 일측 단자 접지
S935
커패시터의 타측 단자에 음전압 인가
S940
커패시터를 비트라인 중 로우레벨 입력 데이터가 인가되는 비트라인에 접속
S945
커패시터와 접속된 비트라인 전압레벨 감소
S950
종 료

INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2015/003032

A. CLASSIFICATION OF SUBJECT MATTER

G11C 11/417(2006.01)i, G11C 11/413(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean Utility models and applications for Utility models: IPC as above
Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: Static Random Access Memory, SRAM, cell, unit cell, bitline, capacitor, pre-charge, clamp, clamping, electric charge, sharing

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2012-0206988 A1 (SONG, Tae-Joong et al.) 16 August 2012 See abstract; paragraphs [0053]-[0070]; figure 2	1-7
A	US 2013-0176796 A1 (TANABE, Ryo) 11 July 2013 See abstract; paragraphs [0031]-[0039]; figure 3	1-7
A	US 2012-0140551 A1 (ARSOVSKI, Igor et al.) 07 June 2012 See abstract; paragraphs [0025]-[0031]; figure 4	1-7
A	US 8305820 B2 (YANG, Hsiu-Hui et al.) 06 November 2012 See abstract; figures 1, 4	1-7

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
26 JUNE 2015 (26.06.2015)	**26 JUNE 2015 (26.06.2015)**

Name and mailing address of the ISA/**KR**
Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701, Republic of Korea
Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

International application No.
PCT/KR2015/003032

Patent document cited in search report	Publication date	Patent family member	Publication date
US 2012-0206988 A1	16/08/2012	KR 10-2012-0093531 A	23/08/2012
		US 8934313 B2	13/01/2015
US 2013-0176796 A1	11/07/2013	JP 2013-143161A	22/07/2013
		US 8773918 B2	08/07/2014
US 2012-0140551 A1	07/06/2012	CN 103229242 A	31/07/2013
		GB 201311046 D0	07/08/2013
		GB 2501997 A	13/11/2013
		GB 2501997 B	26/03/2014
		US 8363453 B2	29/01/2013
		WO 2012-074790 A1	07/06/2012
US 8305820 B2	06/11/2012	CN 102237129 A	09/11/2011
		CN 102237129 B	28/08/2013
		US 2011-0267901 A1	03/11/2011

국제조사보고서

국제출원번호
PCT/KR2015/003032

A. 발명이 속하는 기술분류(국제특허분류(IPC))

G11C 11/417(2006.01)i, G11C 11/413(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)
G11C

조사된 기술분야에 속하는 최소문헌 이외의 문헌
한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))
eKOMPASS(특허청 내부 검색시스템) & 키워드: 정적 랜덤 액세스 메모리, SRAM,셀, 단위 셀, 비트라인, 커패시터, 프리차지, 클램프, 클램핑, 전하, 공유

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	US 2012-0206988 A1 (SONG TAE-JOONG 외 7명) 2012.08.16 요약; 문단번호 [0053-0070]; 도면 2	1-7
A	US 2013-0176796 A1 (TANABE RYO) 2013.07.11 요약; 문단번호 [0031-0039]; 도면 3	1-7
A	US 2012-0140551 A1 (ARSOVSKI IGOR 외 2명) 2012.06.07 요약; 문단번호 [0025-0031]; 도면 4	1-7
A	US 8305820 B2 (YANG HSIU-HUI 외 3명) 2012.11.06 요약; 도면 1,4	1-7

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일	국제조사보고서 발송일
2015년 06월 26일 (26.06.2015)	2015년 06월 26일 (26.06.2015)

ISA/KR의 명칭 및 우편주소
대한민국 특허청
(302-701) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)
팩스 번호 +82-42-472-7140

심사관
손윤식
전화번호 +82-42-481-5734

국제조사보고서
대응특허에 관한 정보

국제출원번호
PCT/KR2015/003032

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
US 2012-0206988 A1	2012/08/16	KR 10-2012-0093531 A	2012/08/23
		US 8934313 B2	2015/01/13
US 2013-0176796 A1	2013/07/11	JP 2013-143161A	2013/07/22
		US 8773918 B2	2014/07/08
US 2012-0140551 A1	2012/06/07	CN 103229242 A	2013/07/31
		GB 201311046 D0	2013/08/07
		GB 2501997 A	2013/11/13
		GB 2501997 B	2014/03/26
		US 8363453 B2	2013/01/29
		WO 2012-074790 A1	2012/06/07
US 8305820 B2	2012/11/06	CN 102237129 A	2011/11/09
		CN 102237129 B	2013/08/28
		US 2011-0267901 A1	2011/11/03