



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

(22) Přihlášeno 24 05 79
(21) [PV 3571—79]

(40) Zveřejněno 30 04 80
(45) Vydáno 30 03 83

202492
(11) (B1)

(51) Int. Cl.³
G 06 F 7/00

(75)
Autor vynálezu

STARÝ JAROSLAV ing., DLABOLA FRANTIŠEK ing., MARTÍNEK
MILOSLAV ing., SLOVÁČEK Pavel ing., TLAMSA JIŘÍ ing., PLACHÝ
MIROSLAV, NOVOTNÝ JIŘÍ ing., SLADKÝ MILAN ing., KOŽNER
JAROSLAV ing., MAŘÍK JIŘÍ ing., KUNST ROBERT, STRAKA
BOHUMÍR ing., BODLÁK MIROSLAV ing., BARTÁK STANISLAV ing.,
HAKR JAN a HAJNÝ JAROSLAV ing., PRAHA

(54) Zapojení bloku datových a řídicích registrů

1

Vynález se týká zapojení bloku datových a řídicích registrů, zejména pro zobrazovací a tiskací zařízení.

Dosud známá zapojení bloku datových a řídicích registrů používaná v procesorech i v dalších funkčních blocích číslicových systémů jsou kromě registrů obvykle vybavena jen vstupním a výstupním multiplexem, který umožňuje adresovat zvolený registr bloku datových a řídicích registrů při čtení nebo zápisu jeho obsahu. Výhodou tohoto uspořádání je jednoduchost potřebných technických prostředků, nevýhodou je to, že každá operace s obsahem registru vyžaduje přesun tohoto obsahu do procesoru a zpět.

Některé číslicové systémy používají samostatné bloky datových registrů a samostatné bloky řídicích registrů umístěné v různých funkčních celcích systému. Tak například bloky datových registrů, tj. registrů přístupných pouze programu, tvoří součást procesoru, tzv. zápisníkovou nebo registrovou paměť procesoru, zatímco bloky řídicích registrů, tj. registrů trvale přístupných, jejichž obsahem lze řídit činnost technických prostředků systému, tvoří součást vstupních/výstupních členů. Tyto specializované vstupní/výstupní členy jsou mnohdy vybaveny technickými prostředky pro vykonávání logických operací součtu a součinu obsahu předepsaných řídicích registrů s dalším operandem předepsaným buď jako přímý ope-

2

rand instrukce procesoru nebo obsahem některého z registrů procesoru, například obsahem předepsaného datového registru. Některé mikropočítačové systémy jsou vybaveny specializovanými vstupními/výstupními členy, které obsahují blok datových a řídicích registrů, řídicí obvody a obvody pro manipulaci s jednotlivými bity slov uložených v datových registrech. Obsahem řídicího slova předávaného z mikropočítače se předepisuje zápis obsahu sběrnice mikropočítače do některého z registrů specializovaného vstupního/výstupního členu nebo čtení obsahu některého z těchto registrů na sběrnici, případně provedení logického součtu nebo součinu obsahu některého z těchto registrů s obsahem sběrnice. Výhoda tohoto uspořádání spočívá v tom, že umožňuje jednoduché zpracování dat bez nutnosti jejich přesunu mezi střadačem procesoru a blokem datových a řídicích registrů. Tato nevýhoda se však neuplatní při složitějších operacích s daty v registrech, například při překódování obsahu registrů nebo vzájemných přesunech mezi registry, kdy je v každém případě nutné přesunovat data z registru do střadače procesoru a zpět, neboť v těchto uspořádáních je tyto operace možno provádět jen s obsahem střadače procesoru. Další nevýhodou jsou potřebné složitější technické prostředky.

Účelem vynálezu je odstranění nedostatků stávajícího stavu techniky spočívajících

Datové a příznakové obvody mohou sestávat z paměti dat a příznaků a kodéru.

Výhody zapojení bloku datových a řídicích registrů podle vynálezu spočívají v tom, že s jeho pomocí lze provádět i složitější operace, to je přesun obsahu z jednoho registru do druhého, logické operace s obsahem registrů, překódování obsahu registrů, aniž by bylo nutné přesouvat obsah registru do střadače procesoru a po vykonání operace zpět. Tím se dosáhne podstatného zrychlení a zjednodušení činnosti systému pro zpracování informací.

Zapojení bloku datových a řídicích registrů podle vynálezu bude následovně blíže popsáno v příkladovém provedení pomocí připojených výkresů, kde

obr. 1 představuje celkové blokové schéma zapojení bloku datových a řídicích registrů podle vynálezu,

obr. 2 představuje rozvinuté příkladové zapojení datových a příznakových obvodů bloku datových a řídicích registrů podle vynálezu,

obr. 3 představuje rozvinuté příkladové zapojení bloku registrů příznaků bloku datových a řídicích registrů podle vynálezu,

obr. 4 představuje časový diagram časovacího signálu a vzorkovacích signálů patřících do souboru řídicích signálů přivedených na druhý vstup bloku datových a řídicích registrů podle vynálezu.

Celkové blokové schéma zapojení bloku datových a řídicích registrů podle obr. 1 je pro větší názornost rozvinuto na dalších obr. 2 a obr. 3 s použitím původních, rozvinutých vztahových značek.

Na těchto obrázcích jsou obecně znázorněny informační cesty datových a řídicích signálů bez vyznačení šíře toku. Šíře toku informačních cest pro konkrétní uspořádání bloku datových a řídicích registrů podle vynálezu bude obecně odpovídat konkrétním požadavkům na délku zpracovávaných informačních slov a konkrétním požadavkům na soubor řídicích signálů předepisujících logické operátory použitých obvodových prvků.

Zapojení bloku datových a řídicích registrů, zejména pro zobrazovací a tiskací zařízení, sestává z modifikátoru 1, vstupního registru 2, prepínače 3, datových a příznakových obvodů 4 a bloku registru příznaků 5, přičemž modifikátor 1 je svým prvním vstupem A1 připojen k prvnímu vstupu AO bloku datových a řídicích registrů, svým druhým vstupem B1 je připojen k prvnímu výstupu 5A bloku registrů příznaků 5 a k prvnímu výstupu 4A datových a příznakových obvodů 4, svým třetím vstupem C1 je připojen k druhému vstupu BO bloku datových a řídicích registrů a jeho první výstup 1A je připojen k prvnímu vstupu A2 vstupního registru 2, přičemž vstupní registr 2 je svým druhým vstupem B2 připojen k druhému vstupu BO bloku datových a řídicích registrů a jeho první výstup 2A je připojen k druhému vstupu B3 prepínače 3, přičemž prepínač 3 je svým prvním vstupem A3 připojen k prvnímu vstupu AO bloku datových a řídicích registrů a svým třetím vstupem C3 je připojen k druhému vstupu BO bloku datových a řídicích registrů a jeho první výstup 3A je připojen k druhému vstupu B4 datových a příznakových obvodů 4 a k druhému vstupu B5 bloku registru příznaků 5,

zatímco datové a příznakové obvody 4 jsou svým prvním vstupem A4 připojeny k třetímu vstupu CO bloku datových a řídicích registrů a svým třetím vstupem C4 jsou připojeny k druhému vstupu BO bloku datových a řídicích registrů a jejich první výstup je připojen k prvnímu výstupu OA bloku datových a řídicích registrů a dále k druhému vstupu B1 modifikátoru 1, zatímco blok registrů příznaků 5 je svým prvním vstupem A5 připojen k třetímu vstupu CO bloku datových a řídicích registrů, svým třetím vstupem C5 je připojen k druhému vstupu BO bloku datových a řídicích registrů, jeho první výstup 5A je připojen k prvnímu výstupu OA bloku datových a řídicích registrů a dále k druhému vstupu B1 modifikátoru 1 a jeho druhý výstup 5B je připojen k druhému výstupu OB bloku datových a řídicích registrů.

Datové a příznakové obvody 4 sestávají z paměti dat a příznaků 41 a kodéru 42, přičemž paměť dat a příznaků 41 je svým prvním vstupem A41 připojena k prvnímu vstupu A4 datových a příznakových obvodů 4, svým druhým vstupem B41 je připojena k druhému vstupu B4 datových a příznakových obvodů 4 a svým třetím vstupem C41 je připojena k třetímu vstupu C4 datových a příznakových obvodů 4 a její první výstup 41A je připojen k prvnímu výstupu 4A datových a příznakových obvodů 4, zatímco kodéry 42 jsou svým prvním vstupem A42 připojeny k třetímu vstupu C4 datových a příznakových obvodů 4, svým druhým vstupem B42 jsou připojeny k druhému vstupu B4 datových a příznakových obvodů 4, svým třetím vstupem C42 jsou připojeny k prvnímu vstupu A4 datových a příznakových obvodů 4 a jejich první výstup 42A je připojen k prvnímu výstupu 4A datových a příznakových obvodů 4.

Blok registrů příznaků 5 sestává z adresového dekodéru 51, z registrů příznaků 52 tvořených prvním registrem příznaků 521 až n—tým registrem příznaků 52n a výstupního multiplexoru 53, přičemž adresový dekodér 51 je svým prvním vstupem A51 připojen k prvnímu vstupu A5 bloku registrů příznaků 5, svým druhým vstupem B51 je připojen k třetímu vstupu C5 bloku registrů příznaků 5 a jeho první výstup 51A je připojen k druhému vstupu B521 prvního registru příznaků 521 a k druhému vstupu B52n n—tého registru příznaků 52n prostřednictvím druhého vstupu B52 registrů příznaků 52 a jeho druhý výstup 51B je připojen k druhému vstupu B53 výstupního multiplexoru 53, přičemž první registr příznaků 521 je svým prvním vstupem A521 připojen prostřednictvím prvního vstupu A52 registrů příznaků 52 k druhému vstupu B5 bloku registrů příznaků 5, jeho první výstup 521A je připojen prostřednictvím prvního výstupu 52A registrů příznaků 52 k druhému výstu-

pu **5B** bloku registrů příznaků **5** a jeho druhý výstup **521B** je připojen prostřednictvím druhého výstupu **52B** registrů příznaků **52** k prvnímu vstupu **A53** výstupního multiplexoru **53**, přičemž n -tý registr příznaků **52n** je svým prvním výstupem **A52n** připojen prostřednictvím prvního vstupu **A52** registrů příznaků **52** k druhému vstupu **B5** bloku registrů příznaků **5** a jeho první výstup **52nA** je připojen prostřednictvím prvního výstupu **52A** registrů příznaků **52** k druhému vstupu **5B** bloku registrů příznaků **5** a jeho druhý výstup **52nB** je připojen prostřednictvím druhého výstupu **52B** registrů příznaků **52** k prvnímu vstupu **A53** výstupního multiplexoru **53**, přičemž první výstup **53A** výstupního multiplexoru **53** je připojen k prvnímu výstupu **5A** bloku registrů příznaků **5**.

K funkci zapojení:

Příkladové zapojení bloku datových a řídicích registrů, podle obr. 1, postupně rozvinuté na obr. 2 a obr. 3 umožňuje vykonávat operace během jednoho nebo několika pracovních taktů **T** podle obr. 4. Pracovní takt **T** je určen jednou periodou časovacího signálu **B01** přivedeného na druhý vstup **BO** bloku datových a řídicích registrů na obr. 1. Pracovní takt **T** je rozdělen sestupnou hranou časovacího signálu **B01** na dvě fáze **T1** a **T2**. Na druhý vstup **BO** bloku datových a řídicích registrů jsou též přivedeny dva vzorkovací signály **B02** a **B03**. První vzorkovací signál **B02** je aktivní v první fázi pracovního taktu **T1** a druhý vzorkovací signál **B03** je aktivní ve druhé fázi pracovního taktu **T2**. Tyto vzorkovací signály spolu s dalšími řídicími signály na druhém vstupu **BO** bloku datových a řídicích registrů řídí zápis informace z druhého vstupu **B4** datových a příznakových obvodů **4** do adresovaného registru nebo paměťového místa paměti dat a příznaků **41**, na obr. 2, nebo zápis informace z druhého vstupu **B5** bloku registrů příznaků **5**, na obr. 1, do adresovaného registru příznaků **521** až **52n** registrů příznaků **52**.

V příkladovém zapojení bloku datových a řídicích registrů podle obr. 1 postupně rozvinutém na obr. 2 a obr. 3 mohou jednotlivé bloky na základě řídicích signálů na druhém vstupu **BO** bloku datových a řídicích registrů a na základě adresových signálů na třetím vstupu **CO** bloku datových a řídicích registrů provádět tyto operace: Modifikátor **1** může na základě řídicích signálů přivedených na jeho třetí vstup **C1** z druhého vstupu **BO** bloku datových a řídicích registrů uskutečňovat logické operace, jejichž prvním operandem je informace přivedená z prvního vstupu **AO** bloku datových a řídicích registrů **4** na první vstup **A1** modifikátoru **1** a druhým operandem je informace přivedená z prvního výstupu **4A** datových a příznakových obvodů **4**, popřípadě

ků **5** na druhý vstup **B1** modifikátoru **1**. Výsledek těchto operací je přiveden na první výstup **1A** modifikátoru **1**. Kromě toho je možno řídicími signály na třetím vstupu **C1** modifikátoru **1** předepsat logickou operaci pouze s prvním nebo druhým operandem. Vstupní registr **2**, na obr. 1, může na základě řídicích signálů a časovacího signálu **B01**, přivedených na jeho druhý vstup **B2**, vzorkovat v době sestupné hrany časovacího signálu **B01** informaci přivedenou na jeho první vstup **A2** z prvního výstupu **1A** modifikátoru **1** a předávat ji na první výstup **2A**. Přepínač **3** převádí na základě řídicích signálů přivedených na jeho třetí vstup **C3** informaci buď ze svého prvního vstupu **A3** připojeného na první vstup **AO** bloku datových a řídicích registrů nebo ze svého druhého vstupu **B3** připojeného na první výstup vstupního registru **2** na první vstup **3A**. Datové a příznakové obvody **4** mohou na základě řídicích signálů přivedených na třetí vstup **C4** a na základě adresových signálů přivedených na první vstup **A4** provádět zápis informace přivedené na jejich druhý vstup **B4** připojený k prvnímu výstupu **3A** přepínače **3**. Dále mohou datové a příznakové obvody **4** provádět čtení informace na svůj první výstup **4A** připojený současně na první výstup **OA** bloku datových a řídicích registrů a na druhý vstup **B1** modifikátoru **1**. Při zápisu se informace z druhého vstupu **B4** datových a příznakových obvodů **4** zapisuje prostřednictvím druhého vstupu **B41** paměti dat a příznaků **41**, na obr. 2, do paměťového místa paměti dat a příznaků **41** adresovaného adresovými signály, přivedenými z třetího vstupu **CO** bloku datových a řídicích registrů, na obr. 1, na první vstup **A4** datových a příznakových obvodů **4** a dále na první vstup **A41** paměti dat a příznaků **41** na obr. 2, a to buď v první fázi **T1** pracovního taktu **T**, na obr. 4, kdy je zápis řízen prvním vzorkovacím signálem **B02**, nebo v druhé fázi **T2** pracovního taktu **T**, kdy je zápis řízen druhým vzorkovacím signálem **B03**. Použití prvního vzorkovacího signálu **B02** nebo druhého vzorkovacího signálu **B03** určují další signály přivedené na třetí vstup **C4** datových a příznakových obvodů **4**. Při čtení se čte buď obsah paměťového místa paměti dat a příznaků **41**, na obr. 2, adresovaného adresovými signály přivedenými z třetího vstupu **CO** bloku datových a řídicích registrů, na obr. 1, na první vstup **A4** datových a příznakových obvodů **4**, a dále na první vstup **A41** paměti dat a příznaků **41**, na obr. 2, nebo se čte obsah paměťového místa pevné paměti realizující kodéry **42**, adresovaného adresovými signály přivedenými z třetího vstupu **CO** bloku datových a řídicích registrů, na obr. 1, na první vstup **A4** datových a příznakových obvodů **4** a dále na třetí vstup **C42** kodérů **42** na obr. 2.

Blok registrů příznaků **5**, na obr. 1, může

z prvního výstupu **5A** bloku registrů příznaků na základě řídicích signálů přivedených na jeho třetí vstup **C5** a na základě adresových signálů, přivedených na jeho první vstup **A5** provádět zápis informace přivedené na jeho druhý vstup **B5** připojený k prvnímu výstupu **3A** přepínače **3**. Dále může blok registrů příznaků **5** provádět čtení informace na svůj první výstup **5A** připojený současně na první výstup **0A** bloku datových a řídicích registrů a na druhý vstup **B1** modifikátoru **1**. Kromě toho jsou informace, zapsané v registrech příznaků **521** až **52n**, obr. 3, trvale přístupné na druhém výstupu **5B** bloku registrů příznaků **5**, na který jsou připojeny prostřednictvím prvního výstupu **52A** registrů příznaků **52**. Při zápisu se informace z druhého vstupu **B5** bloku registrů **5** zapisuje prostřednictvím prvního vstupu **A52** registrů příznaků **52** a prvních vstupů **A521** do některého z registrů příznaků **521** až **52n**, adresovaného adresovými signály, přivedenými z třetího vstupu **CO** bloku datových a řídicích registrů, na obr. 1, na první vstup **A51** adresového dekodéru **51** na obr. 3. Adresový dekodér **51** na základě adresových signálů a řídicích a časovacích signálů, přivedených na jeho druhý vstup **B51** prostřednictvím třetího vstupu **C5** bloku registrů příznaků **5**, na obr. 1, z druhého vstupu **BO** bloku datových a řídicích registrů generuje na svém prvním výstupu **A51**, na obr. 3, jeden ze řídicích signálů, přivedených z tohoto výstupu prostřednictvím druhého vstupu **B52** registrů příznaků **52** na druhé vstupy **B521** až **B52n** registrů příznaků **521** až **52n** a tento řídicí signál řídí zápis do adresovaného registru buď v první fázi **T1** pracovního taktu **T**, kdy je zápis řízen prvním vzorkovacím signálem **B02**, nebo v druhé fázi **T2** pracovního taktu **T**, kdy je zápis řízen druhým vzorkovacím signálem **B03**. Použití prvního vzorkovacího signálu **B02** nebo druhého vzorkovacího signálu **B03** určují další řídicí signály přivedené prostřednictvím třetího vstupu **C5** bloku registrů příznaků **5** na druhý vstup **B51** adresového dekodéru **51**. Při čtení se na základě adresových signálů, přivedených z druhého výstupu **B51** adresového dekodéru **51**, na obr. 3, na druhý vstup **B53** výstupního multiplexoru **53**, vybere obsah jednoho z registrů **521** až **52n**, jejichž druhé výstupy **521B** až **52nB** jsou prostřednictvím druhého výstupu **52B** registrů příznaků **52** připojeny na první vstup **A53** výstupního multiplexoru **53**, a obsah adresovaného registru se prostřednictvím prvního výstupu **53A** výstupního multiplexoru **53** přečte na první výstup **5A** bloku registrů příznaků **5**.

Příkladové zapojení bloku datových a řídicích registrů podle obr. 1, postupně rozvinuté na obr. 2 a obr. 3, jehož jednotlivé bloky mohou provádět výše uvedené operace, umožňuje vykonávat následující příkladový soubor instrukcí:

První instrukce předepisuje zápis informace obsažené na prvním vstupu **AO** bloku datových a řídicích registrů, na obr. 1, do adresovaného paměťového místa paměti dat a příznaků **41**, na obr. 2, nebo do adresovaného registru bloku registrů příznaků **5**, registrů **521** až **52n** na obr. 3. Provádění této instrukce řídí řídicí, časovací a vzorkovací signály na druhém vstupu **BO** bloku datových a řídicích registrů na obr. 1 a adresovací signály na třetím vstupu **CO** tohoto bloku. Informace z prvního vstupu **AO** bloku datových a řídicích registrů se prostřednictvím prvního vstupu **A3** přepínače **3** přepíše na první výstup **3A** tohoto přepínače a odtud se přivádí na druhý vstup **B4** datových a příznakových obvodů **4** a na druhý vstup **B5** bloku registrů příznaků **5**. Předepisují-li adresové signály adresu paměťového místa paměti dat a příznaků **41**, na obr. 2, zapíše se informace z druhého vstupu **B4** datových a příznakových obvodů **4** do tohoto paměťového místa. Předepisují-li adresové signály adresu některého z registrů příznaků **521** až **52n** na obr. 3, přepíše se informace z druhého vstupu **B5** bloku registrů příznaků **5** do adresovaného registru. Zápis se obvykle provádí v druhé fázi **T2** pracovního taktu **T**, a to buď na základě druhého vzorkovacího signálu **B03** nebo obdobného signálu, generovaného zdrojem informace, majícího například význam potvrzujícího signálu platnosti dat.

Druhá instrukce předepisuje modifikaci obsahu slova zapsaného v adresovaném paměťovém místě paměti dat a příznaků **41** na obr. 2 nebo v adresovaném registru **521** až **52n** bloku příznaků **5** na obrázku 3. Tato modifikace spočívá v zápisu binární 1 do předepsaných bitů slova, které má být modifikováno. Provádění instrukce řídí řídicí, časovací a vzorkovací signály na druhém vstupu **BO** bloku datových a řídicích registrů na obr. 1 a adresovací signály na třetím vstupu **CO** tohoto bloku. Informace na prvním vstupu **AO** bloku datových a řídicích registrů předepisuje bity, ve kterých má být zapsána binární 1 v modifikovaném slovu tak, že ve stejnohlých bitech obsahuje binární 1 a v ostatních bitech obsahuje binární 0. Informace z prvního vstupu **AO** bloku datových a řídicích registrů se přivádí na první vstup **A1** modifikátoru **1**, zatímco na jeho druhý vstup **B1** se přivádí obsah paměťového místa paměti dat a příznaků **41**, na obr. 2, prostřednictvím jejího prvního výstupu **41A** a prvního výstupu **4A** datových a příznakových obvodů **4** nebo obsah adresovaného registru **521** až **52n** registrů příznaků **52**, na obr. 3, prostřednictvím druhého výstupu **52B** registrů příznaků **52** a prostřednictvím prvního výstupu **53A** výstupního multiplexoru **53**. V modifikátoru **1**, na obr. 1, se provede operace logického součtu informace na jeho prvním vstupu **A1** s informací na jeho druhém vstupu **B1** a výsledek,

tj. modifikované slovo, se v době sestupné hrany časovacího signálu **B01**, na obr. 4, zapíše do vstupního registru **2** na obr. 1. V druhé fázi **T2** pracovního taktu **T**, na obr. 4, se obsah vstupního registru **2**, na obr. 1, prostřednictvím přepínače **3** přivede na druhý vstup **B4** datových a příznakových obvodů **4** a druhý vstup **B5** bloku registrů příznaků **5** a zapíše se zpět do paměťového místa paměti dat a příznaků **41**, na obr. 2, nebo zpět do adresovaného registru **521** až **52n** registrů příznaků **52** na obr. 3.

Třetí instrukce předepisuje zápis obsahu adresovaného paměťového místa paměti dat a příznaků **41**, na obr. 2, nebo obsahu adresovaného registru **521** až **52n** registrů příznaků **52**, na obr. 3, do jiného paměťového místa paměti dat a příznaků **41**, na obr. 2, nebo do jiného registru **521** až **52n** registrů příznaků **52** na obr. 3. Tato instrukce se provádí ve dvou pracovních taktech, přičemž v prvním pracovním taktu adresují adresovací signály na třetím vstupu **CO** bloku datových a řídicích registrů, na obr. 1, zdrojový registr, v druhém pracovním taktu adresují adresovací signály registr příjemce. Provádění instrukce řídí řídicí, časovací a vzorkovací signály na druhém vstupu **BO** bloku datových a řídicích registrů. V prvním pracovním taktu se přečte obsah adresovaného paměťového místa paměti dat a příznaků **41**, na obr. 2, nebo obsah adresovaného registru příznaků **521** až **52n** registrů příznaků **52**, na obr. 3, prostřednictvím druhého vstupu **B1** modifikátoru **1**, na obr. 1, na první výstup **1A** modifikátoru **1**. Prostřednictvím prvního vstupu **A2** vstupního registru **2** se obsah registru zdroje zapíše v době sestupné hrany časovacího signálu **B01**, na obr. 4, do vstupního registru **2** na obr. 1. V době druhého pracovního taktu se obsah vstupního registru **2** přivede z jeho prvního výstupu **2A** přes přepínač **3** na druhý vstup **B4** datových a příznakových obvodů **4** a na druhý vstup **B5** bloku registrů příznaků **5**. Z těchto druhých vstupů se informace zapíše v první fázi tohoto pracovního taktu do adresovaného paměťového místa paměti dat a příznaků **41**, na obr. 2, nebo do adresovaného registru příznaků **521** až **52n** registrů příznaků **52** na obr. 3.

Čtvrtá instrukce předepisuje překódování obsahu adresovaného paměťového místa paměti dat a příznaků **41**, na obr. 2, nebo obsahu adresovaného registru **521** až **52n** registrů příznaků **52**, na obr. 3, a zápis tohoto překódovaného obsahu do stejného nebo jiného paměťového místa paměti dat a pří-

znaků **41**, na obr. 2, nebo do stejného nebo jiného registru **521** až **52n** registrů příznaků **52** na obr. 3. Tato instrukce se provádí ve třech pracovních taktech, přičemž v prvním pracovním taktu adresují adresovací signály na třetím vstupu **CO** bloku datových a řídicích registrů, na obr. 1, zdrojový registr, v druhém pracovním taktu adresují adresovací signály zvolený kodér **42** na obr. 2 a ve třetím pracovním taktu adresují adresovací signály registr příjemce. Provádění instrukce řídí řídicí, časovací a vzorkovací signály na druhém vstupu **BO** bloku datových a řídicích registrů na obr. 1. V prvním pracovním taktu se přečte obsah adresovaného paměťového místa paměti dat a příznaků **41**, na obr. 2, nebo obsah adresovaného registru příznaků **521** až **52n** registrů příznaků **52**, na obr. 3, prostřednictvím druhého vstupu **B1** modifikátoru **1**, na obr. 1, na první výstup **1A** modifikátoru **1**. Prostřednictvím prvního vstupu **A2** vstupního registru **2** se obsah registru zdroje zapíše v době sestupné hrany časovacího signálu **B01** na obr. 4 do vstupního registru **2** na obr. 1. V době druhého pracovního taktu se obsah vstupního registru **2** přivede z jeho prvního výstupu **2A** přes přepínač **3** na druhý vstup **B4** datových a příznakových obvodů **4**. Z tohoto druhého vstupu se informace přivede na druhý vstup **B42** kodérů **42** na obr. 2. Na prvním výstupu **42A** kodérů **42** se objeví překodovaná informace, která se prostřednictvím prvního výstupu **4A** datových a příznakových obvodů **4** přivede přes modifikátor **1**, na obr. 1, na první vstup **A2** vstupního registru **2**, do kterého se zapíše v době sestupné hrany časovacího signálu **B01** na obr. 4. V době třetího pracovního taktu se obsah vstupního registru **2**, na obr. 1, přivede z jeho prvního výstupu **2A** přes přepínač **3** na druhý vstup **B4** datových a příznakových obvodů **4** a na druhý vstup **B5** bloku registrů příznaků **5**. Z těchto druhých vstupů se informace zapíše v první fázi tohoto pracovního taktu do adresovaného paměťového místa paměti dat a příznaků **41**, na obr. 2, nebo do adresovaného registru příznaků **521** až **52n** registrů příznaků **52** na obr. 3.

Zapojení podle vynálezu umožňuje rozšířit soubor instrukcí ještě o další instrukce, které nebyly v příkladovém souboru instrukcí uvedeny, popřípadě je modifikovat tak, aby respektovaly vlastnosti použitých technických prostředků, například vybavovací dobu pevných pamětí realizujících kodéry **42** na obr. 2.

PŘEDMĚT VYNÁLEZU

1. Zapojení bloku datových a řídicích registrů, zejména pro zobrazovací a tiskací zařízení, sestávající z modifikátoru, vstupního registru, přepínače, datových a pří-

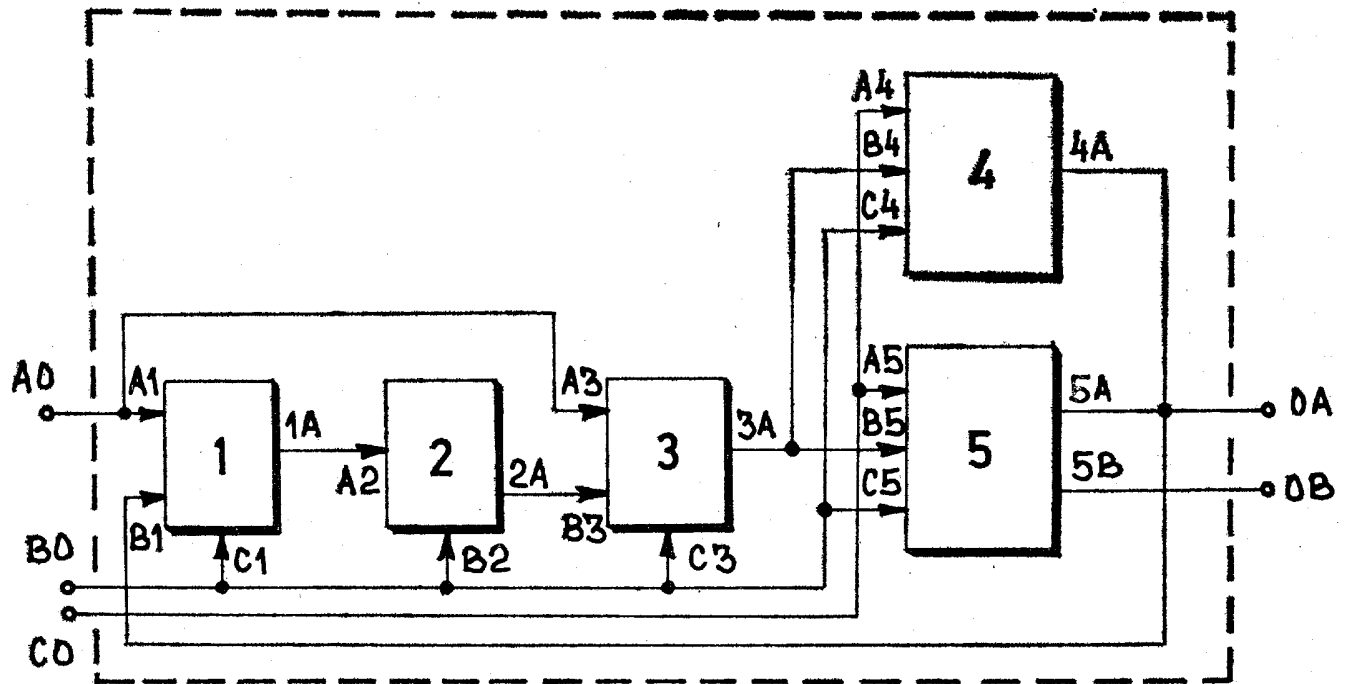
znakových obvodů a bloku registrů příznaků, vyznačené tím, že modifikátor (1) je svým prvním vstupem (A1) připojen k prvnímu vstupu (AO) bloku datových

a řídicích registrů, svým druhým vstupem (B1) je připojen k prvnímu výstupu (5A) bloku registrů příznaků (5) a k prvnímu výstupu (4A) datových a příznakových obvodů (4), svým třetím vstupem (C1) je připojen k druhému vstupu (BO) bloku datových a řídicích registrů a jeho první výstup (1A) je připojen k prvnímu vstupu (A2) vstupního registru (2), přičemž vstupní registr (2) je svým druhým vstupem (B2) připojen k druhému vstupu (BO) bloku datových a řídicích registrů a jeho první výstup (2A) je připojen k druhému vstupu (B3) přepínače (3), přičemž přepínač (3) je svým prvním vstupem (A3) připojen k prvnímu vstupu (AO) bloku datových a řídicích registrů a svým třetím vstupem (C3) je připojen k druhému vstupu (BO) bloku datových a řídicích registrů a jeho první výstup (3A) je připojen k druhému vstupu (B5) bloku registrů příznaků (5), zatímco datové a příznakové obvody (4) jsou svým prvním vstupem (A4) připojeny k třetímu vstupu (CO) bloku datových a řídicích registrů a svým třetím vstupem (C4) jsou připojeny k druhému vstupu (BO) bloku datových a řídicích registrů a jejich první výstup je připojen k prvnímu výstupu (OA) bloku datových a řídicích registrů, a dále k druhému vstupu (B1) modifikátoru (1), zatímco blok registrů příznaků (5) je svým prvním vstupem (A5) připojen k třetímu vstupu (CO) bloku datových a řídicích registrů, svým třetím vstupem (C5) je připojen k druhému vstupu (BO) bloku datových a řídicích registrů, jeho první výstup (5A) je připojen k prvnímu výstupu (OA) bloku datových a řídicích registrů a dále k druhému vstupu (B1) modifikátoru (1) a jeho druhý výstup (5B) je připojen k druhému výstupu (OB) bloku datových a řídicích registrů.

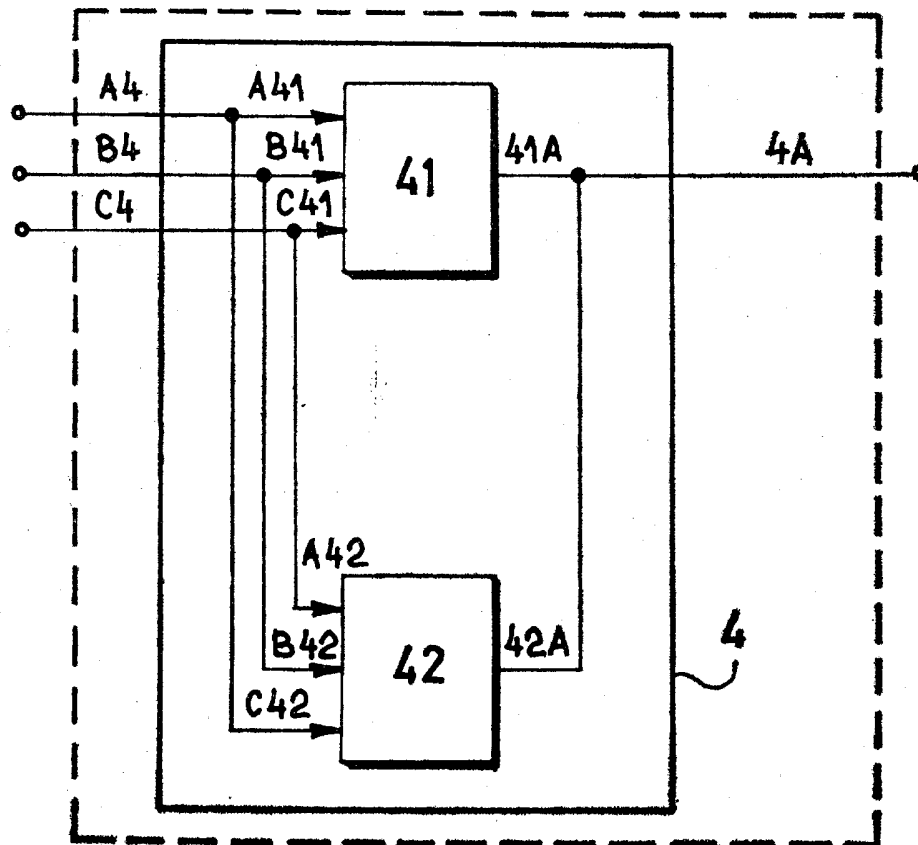
2. Zapojení bloku datových a řídicích registrů podle bodu 1, vyznačené tím, že datové a příznakové obvody (4) sestávají z paměti dat a příznaků (41) a kodéru (42), přičemž paměť dat a příznaků (41) je svým prvním vstupem (A41) připojena k prvnímu vstupu (A4) datových a příznakových obvodů (4), svým druhým vstupem (B41) je připojena k druhému vstupu (B4) datových a příznakových obvodů (4) a svým třetím vstupem (C41) je připojena k třetímu vstupu (C4) datových a příznakových obvodů (4) a její první výstup (41A) je připojen k prvnímu výstupu (4A) datových a příznakových obvodů (4), zatímco kodéry (42) jsou svým prvním vstupem (A42) připo-

jeny k třetímu vstupu (C4) datových a příznakových obvodů (4), svým druhým vstupem (B42) jsou připojeny k druhému vstupu (B4) datových a příznakových obvodů (4), svým třetím vstupem (C42) jsou připojeny k prvnímu vstupu (A4) datových a příznakových obvodů (4), a jejich první výstup (42A) je připojen k prvnímu výstupu (4A) datových a příznakových obvodů (4).

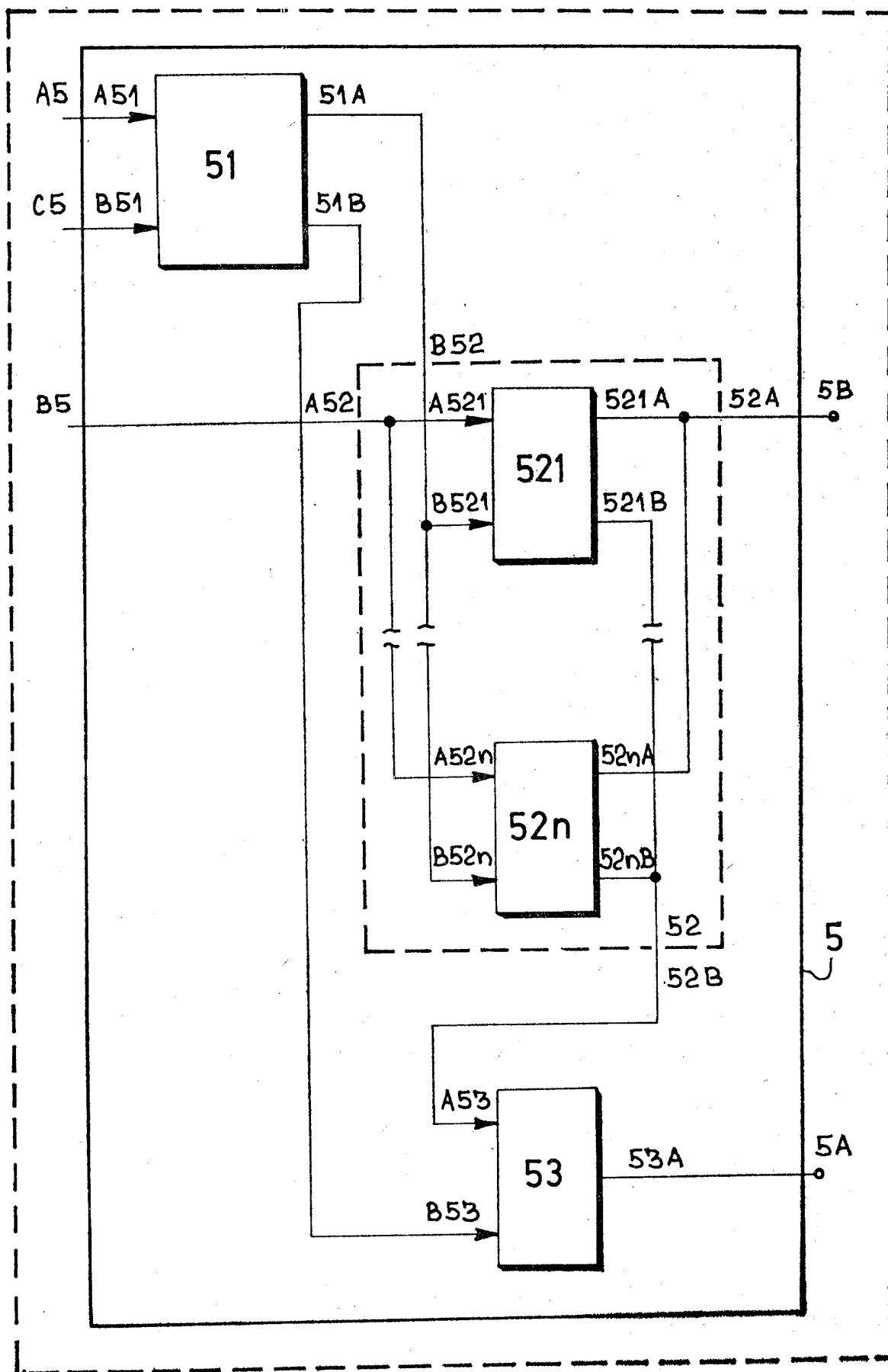
3. Zapojení bloku datových a řídicích registrů podle bodu 1, vyznačené tím, že blok registrů příznaků (5) sestává z adresového dekodéru (51), z registrů příznaků (52) tvořených prvním registrem příznaků (521) až n-tým registrem příznaků (52n) a výstupního multiplexoru (53), přičemž adresový dekodér (51) je svým prvním vstupem (A51) připojen k prvnímu vstupu (A5) bloku registrů příznaků (5), svým druhým vstupem (B51) je připojen k třetímu vstupu (C5) bloku registrů příznaků (5) a jeho první výstup (51A) je připojen k druhému vstupu (B521) prvního registru příznaků (521) a k druhému vstupu (B52n) n-tého registru příznaků (52n) prostřednictvím druhého vstupu (B52) registrů příznaků (52) a jeho druhý výstup (51B) je připojen k druhému vstupu (B53) výstupního multiplexoru (53), přičemž první registr příznaků (521) je svým prvním vstupem (A521) připojen prostřednictvím prvního vstupu (A52) registrů příznaků (52) k druhému vstupu (B5) bloku registrů příznaků (5), jeho první výstup (521A) je připojen prostřednictvím prvního výstupu (52A) registrů příznaků (52) k druhému výstupu (5B) bloku registrů příznaků (5) a jeho druhý výstup (521B) je připojen prostřednictvím druhého výstupu (52B) registrů příznaků (52) k prvnímu vstupu (A53) výstupního multiplexoru (53), přičemž n-tý registr příznaků (52n) je svým prvním vstupem (A52n) připojen prostřednictvím prvního vstupu (A52) registrů příznaků (52) k druhému vstupu (B5) bloku registrů příznaků (5) a jeho první výstup (52nA) je připojen prostřednictvím prvního výstupu (52A) registrů příznaků (52) k druhému výstupu (5B) bloku registrů příznaků (5) a jeho druhý výstup (52nB) je připojen prostřednictvím druhého výstupu (52B) registrů příznaků (52) k prvnímu vstupu (A53) výstupního multiplexoru (53), přičemž první výstup (53A) výstupního multiplexoru (53) je připojen k prvnímu výstupu (5A) bloku registrů příznaků (5).



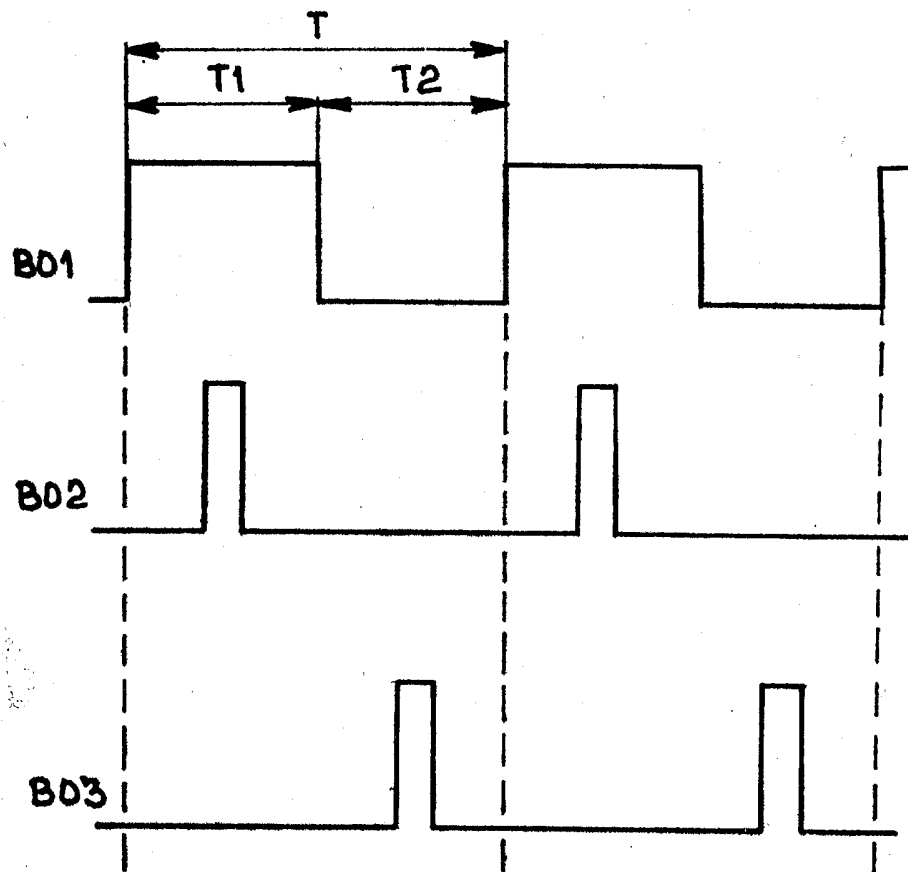
Obr. 1



Obr. 2



Obr. 3



Obr. 4