

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-201814
(P2015-201814A)

(43) 公開日 平成27年11月12日 (2015. 11. 12)

(51) Int. Cl.	F I	テーマコード (参考)
H03K 19/177 (2006.01)	H03K 19/177	5B034
G06F 11/20 (2006.01)	G06F 11/20 310E	5J042

審査請求 未請求 請求項の数 8 O L (全 25 頁)

(21) 出願番号	特願2014-80985 (P2014-80985)	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号
(22) 出願日	平成26年4月10日 (2014. 4. 10)	(74) 代理人	110001678 特許業務法人藤央特許事務所
		(72) 発明者	田村 幸久 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
		(72) 発明者	牧野 学 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
		(72) 発明者	安井 知遥 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内

最終頁に続く

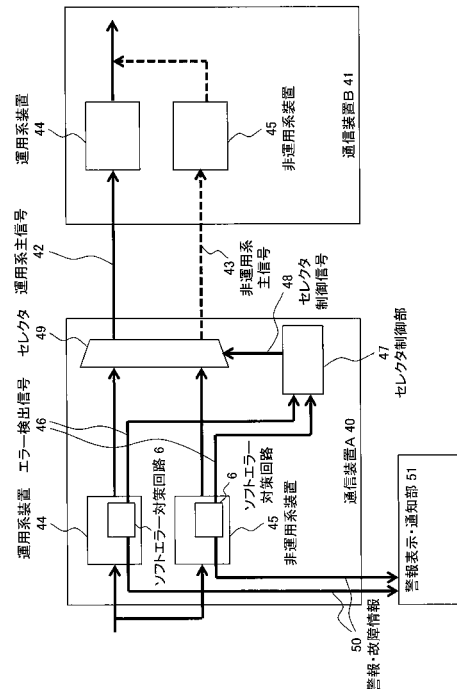
(54) 【発明の名称】 プログラマブルゲートアレイ及び電子装置

(57) 【要約】

【課題】 F P G A の論理回路で構成されるシステムを迅速に復旧する。

【解決手段】 プログラミング可能な論理回路を有するプログラマブルゲートアレイであって、前記論理回路が設定されるコンフィグレーションメモリと、前記コンフィグレーションメモリ内のソフトウェアを正常化する対策回路とを備え、前記プログラマブルゲートアレイで構成される現用系の回路及び予備系の回路によって冗長構成を組み、前記対策回路は、前記現用系の回路を構成する前記コンフィグレーションメモリに発生するソフトウェアの検出を契機として、前記現用系の回路と前記予備系の回路とを切り替え、前記検出されたソフトウェアによって発生する二次障害から復旧するためのエラーの訂正を実行し、前記エラーの訂正の後に前記論理回路に保持される値を回復する。

【選択図】 図 8



【特許請求の範囲】**【請求項 1】**

プログラミング可能な論理回路を有するプログラマブルゲートアレイであって、
前記論理回路が設定されるコンフィグレーションメモリと、
前記コンフィグレーションメモリ内のソフトウェアを正常化する対策回路とを備え、
前記プログラマブルゲートアレイで構成される現用系の回路及び予備系の回路によって
冗長構成を組み、

前記対策回路は、

前記現用系の回路を構成する前記コンフィグレーションメモリに発生するソフトウェア
の検出を契機として、前記現用系の回路と前記予備系の回路とを切り替え、

前記検出されたソフトウェアによって発生する二次障害から復旧するためのエラーの訂
正を実行し、

前記エラーの訂正の後に前記論理回路に保持される値を回復することを特徴とするプロ
グラマブルゲートアレイ。

【請求項 2】

請求項 1 に記載のプログラマブルゲートアレイであって、

前記対策回路は、前記エラーを検出したアドレスと、前記エラーの訂正の後にさらにエ
ラーを検出したアドレスとを比較することによって、故障部位を分析することを特徴とす
るプログラマブルゲートアレイ。

【請求項 3】

請求項 1 に記載のプログラマブルゲートアレイであって、

前記対策回路は、

検出したエラーの訂正の可否を判定し、

前記検出したエラーの訂正が不可能と判定した場合、前記論理回路の再コンフィグレー
ションを実行し、その後、再度エラーの訂正の可否を判定することによって故障部位を分
析することを特徴とするプログラマブルゲートアレイ。

【請求項 4】

請求項 2 又は 3 に記載のプログラマブルゲートアレイであって、

前記対策回路は、

前記論理回路の再コンフィグレーション前にエラーを検出したアドレスの情報及び訂正
可否の情報を格納する記憶部に接続されており、

前記再コンフィグレーションの完了後に、前記記憶部に格納された情報を取得すること
を特徴とするプログラマブルゲートアレイ。

【請求項 5】

プログラミング可能な論理回路を含むプログラマブルゲートアレイを有する電子装置で
あって、

前記プログラマブルゲートアレイで構成される二つの回路によって、現用系及び予備系
による冗長構成を組み、

前記プログラマブルゲートアレイは、論理回路が設定されるコンフィグレーションメモ
リと、前記コンフィグレーションメモリ内のソフトウェアを正常化する対策回路とを有し
、

前記対策回路は、

現用系の回路を構成する前記コンフィグレーションメモリに発生するソフトウェアの検
出を契機として、前記現用系の回路と予備系の回路とを切り替え、

前記検出されたソフトウェアによって発生する二次障害から復旧するためのエラーの訂
正を実行し、

前記エラーの訂正の後に前記論理回路に保持される値を回復することを特徴とする電子
装置。

【請求項 6】

請求項 5 に記載の電子装置であって、

前記対策回路は、前記エラーを検出したアドレスと、前記エラーの訂正の後にさらにエラーを検出したアドレスとを比較することによって、故障部位を分析することを特徴とする電子装置。

【請求項 7】

請求項 5 に記載の電子装置であって、

前記対策回路は、

検出したエラーの訂正の可否を判定し、

前記検出したエラーの訂正が不可能と判定した場合、前記論理回路の再コンフィグレーションを実行し、その後、再度エラーの訂正の可否を判定することによって故障部位を分析することを特徴とする電子装置。

10

【請求項 8】

請求項 6 又は 7 に記載の電子装置であって、

前記対策回路は、

前記論理回路の再コンフィグレーション前にエラーを検出したアドレスの情報及び訂正可否の情報を格納する記憶部に接続されており、

前記再コンフィグレーションの完了後に、前記記憶部に格納された情報を取得することを特徴とする電子装置。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、プログラマブルゲートアレイ (F P G A : Field Programmable Gate Array) に生じるソフトエラーの回復技術に関する。

【背景技術】

【0002】

半導体デバイスに対して、中性子、線等を起因とするソフトエラーが発生することは知られている。近年、半導体デバイスのプロセスの微細化に伴い、ソフトエラーの影響が顕在化している。このようなソフトエラーの可能性のある部品をシステムに適用する場合、ソフトエラーによるシステムの一時的な停止や再起動が許容できる範囲内であればよい。しかし、社会インフラを支えるシステムにおいては、障害が短時間であっても重大な影響を及ぼすことがあるため、より厳重な対策が必要である。

30

【0003】

ソフトエラーによる半導体デバイスの障害は、例えば S R A M や D R A M などのメモリセルの場合、メモリセルのデータを保持するノードに中性子が入射して電荷が注入されることによって、保持されたデータが反転し、以降、反転されたデータを保持し続けることによって生じる。

【0004】

メモリデバイスのソフトエラー対策技術として最も一般的な方法は、データと共に E C C (Error Correction Code) をメモリ内に格納し、データを読み出す際に E C C を用いてエラーを訂正する方法である。

40

【0005】

F P G A の多くは、内部のコンフィグレーションメモリを S R A M のメモリセルによって構成しており、メモリデバイスと同様のソフトエラー障害が発生する。コンフィグレーションメモリのエラーを訂正するために、E C C によるエラー訂正機能を搭載した F P G A が提案されている。

【0006】

F P G A においてソフトエラーが発生する部分は二つある。

【0007】

一つは S R A M のメモリセル構成のメモリアレイを F P G A 内のメモリであり、他の一つは論理回路を形成する L U T (Look Up Table) や、プログラム可能な配線である I C

50

(Interconnect)等の情報を格納したコンフィグレーションメモリである。なお、FPGA内には、前述した回路の他、フリップフロップ、I/Oバッファ、クロックバッファ等の機能素子が搭載されるが、一般にこれらはSRAMのメモリセルで構成されないため、前述したLUTやIC等と比べてソフトエラーに対する耐力が高い。

【0008】

FPGAの内蔵メモリ部のソフトエラーの対策には、前述した一般的なメモリデバイスと同様のECCを用いたエラー検出及びエラー訂正が用いられる。

【0009】

また、コンフィグレーションメモリ部のソフトエラーの対策に関する先行技術として特許文献1(特開2012-27927号公報)がある。特許文献1には、プログラマブルロジックのリソース上にエラー検出回路を設け、プログラマブルロジックリソース構成データを巡回冗長検査(CRC:Cyclic Redundancy Check)モジュール内にロードし、そこでチェックサムを計算するエラー検出システムが開示されている。

10

【0010】

FPGAは、設計者が自由に様々な論理回路を構成できるように、予め多くの基本論理モジュールや配線を搭載している。よって、FPGAの全てのリソースが使われることはなく、多くのリソースは使用されない状態のまま残ること多い。プログラマブルデバイスの構成メモリのエラー検出の先行技術として特許文献2(特開2007-293856号公報)がある。特許文献2には、プログラマブルデバイスの構成メモリから構成メモリデータを読み取ることと、該構成メモリデータにおいてエラーが発生したか否かを判断することと、エラーが発生したという判断に回答して、エラーである該構成データに対応する感度データを読み取ることと、該エラーを無視することができるか否かを判断するために該感度データを解析することと、該エラーを無視することができない場合、修復アクティビティを開始することと、該エラーを無視することができる場合、該修復アクティビティを開始しないことによって該エラーを無視することを包含する方法が開示されている。

20

【先行技術文献】

【特許文献】

【0011】

【特許文献1】特開2012-27927号公報

【特許文献2】特開2007-293856号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0012】

前述したように、従来のFPGAのソフトエラー対策には、メモリデバイス同様にECCを用いた訂正方法が用いられてきた。しかし、FPGAに内蔵されるコンフィグレーションメモリでは、単にソフトエラーを訂正するだけでは、機能を正常化できない場合がある。

【0013】

すなわち、メモリデバイスでは、接続されるメモリ制御回路がデータを読み出した時にエラーを検出及び訂正し、後段の論理回路にデータを出力する。ECCによる訂正機能は、訂正されるデータの範囲のうち1bitまでのエラーを訂正ことができ、1bitまでのエラーは後段の論理回路に伝搬しない。

40

【0014】

一方、コンフィグレーションメモリに格納される情報は、FPGA内に論理回路を形成するための情報を含む。例えば、組合せ論理部は、ANDやOR等の論理素子の代わりに、論理素子の組合せによる真理値をLUTによって実現しており、LUTやフリップフロップ(FF)間を接続するための配線及び分岐点をICが決定している。よって、FPGA内に構成される論理回路は、膨大なコンフィグレーションメモリデータを参照して形成されており、たとえ一時的にでもLUTの構成データやICの設定データが失われれば、論理回路の構成自体を破壊する可能性がある。

50

【 0 0 1 5 】

また、メモリデバイスと同様な訂正回路をコンフィグレーションメモリに付加し、コンフィグレーションメモリに設定される全てのデータに訂正符号ビットを付加することは、回路規模やメモリ規模の観点から現実的ではない。従って、一般的にコンフィグレーションメモリの訂正機能は、メモリ内を所定の大きさの領域に分割し、各領域にエラー訂正ビットを設けることで、小さな領域毎に訂正を行っている。

【 0 0 1 6 】

以上から、コンフィグレーションメモリにECC訂正を適用する場合でも、メモリデバイスのように全ての読み出しデータをリアルタイムで訂正することは困難であり、一般的には、エラーの発生から、検出、訂正までの間、後段の論理回路において一時的なエラーが発生する。

10

【 0 0 1 7 】

FPGA内に構成される論理回路がクロック同期回路である場合、エラーが発生している期間内にソフトエラーが発生しても、クロック周期内にソフトエラーの訂正が完了すれば、発生したエラーは後段の論理回路に伝搬しない。しかし、ソフトエラーの発生から訂正までの期間がクロック周期を超える場合、ソフトエラーによって誤ったデータを後段の論理回路が取り込んで、保持する可能性がある。この場合、ソフトエラーが発生した箇所が訂正によって復旧しても、後段の論理回路が取りこんだ値は誤ったままとなる。このため、ソフトエラーの訂正は完了しても、ソフトエラーが正常に復旧できない場合がある。このように、ソフトエラーの発生箇所エラーを訂正しても、エラー発生から訂正までの間に、後段の論理回路にエラーを伝搬させてしまう現象を、本明細書では、ソフトエラーによる二次障害と称する。

20

【 0 0 1 8 】

以上に説明したように、コンフィグレーションメモリにおけるソフトエラーの対策は、ECCを用いた訂正だけでは不十分であり、ソフトエラーによる二次障害は避けられない。

【 0 0 1 9 】

このような二次障害の対策をしても、システムの復旧までには時間を要し、システムを短時間で復旧することは困難である。二次障害を復旧には数秒を要する場合があります。停止許容時間が定められているシステムにおいては、数秒のシステム障害を許容できない場合があります。このため、ソフトエラーによる障害から、システムを迅速に復旧することが求められている。

30

【 0 0 2 0 】

さらに、外部メモリ及び論理回路でソフトエラーの検出・訂正をする場合、これらの検出・訂正をする機能部が故障し又はソフトエラーが発生すると、エラーを誤検出し、エラーを誤って訂正することがある。エラーを誤って訂正した場合、論理回路は正しく訂正したと判断しているが、実際には訂正ができていない状態となり、エラーの検出・訂正を繰り返してしまう。コンフィグレーションメモリが故障した場合も同様に、エラーの検出・訂正を繰り返してしまう。このため、ソフトエラーを検出・訂正する機能部が故障した場合に、故障箇所を判定することが求められている。

40

【 課題を解決するための手段 】

【 0 0 2 1 】

本願において開示される発明の代表的な一例を示せば以下の通りである。すなわち、プログラミング可能な論理回路を有するプログラマブルゲートアレイであって、前記論理回路が設定されるコンフィグレーションメモリと、前記コンフィグレーションメモリ内のソフトエラーを正常化する対策回路とを備え、前記プログラマブルゲートアレイで構成される現用系の回路及び予備系の回路によって冗長構成を組み、前記対策回路は、前記現用系の回路を構成する前記コンフィグレーションメモリに発生するソフトエラーの検出を契機として、前記現用系の回路と前記予備系の回路とを切り替え、前記検出されたソフトエラーによって発生する二次障害から復旧するためのエラーの訂正を実行し、前記エラーの訂

50

正の後に前記論理回路に保持される値を回復する。

【発明の効果】

【0022】

本発明の代表的な実施の形態によれば、FPGAの論理回路で構成されるシステムを迅速に復旧することができる。前述した以外の課題、構成及び効果は、以下の実施例の説明により明らかにされる。

【図面の簡単な説明】

【0023】

【図1】第1実施例のソフトエラー対策回路を示す構成図である。

【図2】第1実施例の再設定制御部と論理回路部との接続を示す構成図である。

10

【図3】第2実施例のソフトエラー対策回路を示す構成図である。

【図4】第2実施例の配線接続交点におけるバストランジスタの構成を示す図である。

【図5】第2実施例の動作を示すタイミングチャートである。

【図6】第3実施例のソフトエラー対策回路を示す構成図である。

【図7】第4実施例のソフトエラー対策回路を示す構成図である。

【図8】第6実施例のソフトエラーの発生を契機に運用系を非運用系に切り替えるシステムの構成図である。

【図9】第7実施例のソフトエラー対策回路を示す構成図である。

【図10】第7実施例においてコンフィグレーションメモリのソフトエラーを判定するシーケンス図である。

20

【図11】第7実施例において構成データメモリの故障を判定するシーケンス図である。

【図12】第7実施例においてコンフィグレーションメモリの故障を判定するシーケンス図である。

【図13】第7実施例においてソフトエラー対策回路のソフトエラーを判定するシーケンス図である。

【図14】第7実施例においてコンフィグレーションメモリの故障を判定するシーケンス図である。

【図15A】第8実施例におけるソフトエラー対策回路の処理を説明するフローチャートである。

【図15B】第8実施例におけるソフトエラー対策回路の処理を説明するフローチャートである。

30

【発明を実施するための形態】

【0024】

本発明に係るソフトエラー対策回路の実施例を、構成図及びフローチャートを用いて説明する。

【0025】

<実施例1>

図1は、第1実施例のソフトエラー対策回路6を示す構成図である。

【0026】

一般に、SRAMのメモリセル構成を採用したFPGA1は、コンフィグレーションメモリ2と、それを制御するコンフィグレーションメモリ制御部3とを有し、外部の構成データメモリ4に接続される。構成データメモリ4は、コンフィグレーションメモリ2をプログラミングして、様々な論理回路を形成するための回路情報を格納し、フラッシュメモリなどの不揮発性メモリで構成される。

40

【0027】

構成データメモリ4に格納された回路情報によって、コンフィグレーションメモリ2内に論理回路部5が構成される。なお、この論理回路部は、その論理回路に関連する配線、クロックライン、エンベデッドに構成されるハードウェア・マクロ等、コンフィグレーションメモリ2のプログラミングによって制御される機能を全て含む。

【0028】

50

第 1 実施例のソフトエラー対策回路 6 は、FPGA 1 内に構成され、コンフィグレーションメモリ制御部 3 と、コンフィグレーションメモリ 2 内に構成される再設定制御部 7 とを有し、外部の再設定データメモリ 8 に接続される。再設定データメモリ 8 は、論理回路部 5 のフリップフロップ 1 2 を特定するためのアドレス及び当該フリップフロップ 1 2 を再設定するための再設定データ 1 6 を格納する。再設定制御部 7 は、再設定データメモリ 8 に対して、読出しアドレス及び制御信号 1 5 を出力し、論理回路部 5 のフリップフロップ 1 2 を特定するためのアドレス及び再設定データ 1 6 を読み出す。

【0029】

コンフィグレーションメモリ制御部 3 は、構成データメモリ 4 よりデータを読み出し、読み出したデータをコンフィグレーションメモリ 2 の制御線（アドレス線 9 A、データ線 9 B）を通して書き込む。さらに、コンフィグレーションメモリ制御部 3 は、コンフィグレーションメモリ 2 内に発生するビットエラーを検出した際にフラグ 1 4 を出力する検出機能と、ビットエラーが訂正可能又は不可能な場合に、それぞれのフラグ 1 4 を出力する訂正機能とを有する。なお、コンフィグレーションメモリ 2 のビットエラーは、コンフィグレーションメモリ 2 の ECC 機能によって自動的に訂正される。さらに、コンフィグレーションメモリ制御部 3 は、構成データメモリ 4 に格納されているデータに基づいてビットエラーの発生箇所がコンフィグレーションメモリ 2 内で論理回路部 5 として使用されている領域に該当しているか又は該当していないかを判定し、該当している際にフラグ 1 4 を出力する該当判定機能を有する。

10

【0030】

第 1 実施例では、コンフィグレーションメモリ制御部 3 から出力される訂正フラグをトリガに、再設定制御部 7 が論理回路部 5 に対して再設定を行う。

20

【0031】

以下に、再設定制御部 7 の基本動作を説明する。

【0032】

図 2 は、再設定制御部 7 と論理回路部 5 との接続を示す構成図である。

【0033】

図 2 に示す論理回路部 5 は、複数の基本回路モジュール 1 0 から構成される。各基本回路モジュール 1 0 は、データ保持機能を有さない組合せ論理部 1 1 と、データ保持機能であるフリップフロップ 1 2 と、フリップフロップ 1 2 にデータを設定する設定部 1 3 とで構成される。基本回路モジュール 1 0 や、その周囲の配線接続は、構成データメモリ 4 に格納された情報に基づいてプログラミングされ、様々な論理回路を形成する。

30

【0034】

再設定制御部 7 は、エラー訂正フラグ 1 4 を受信すると、受信したエラー訂正フラグ 1 4 から、ビットエラーが訂正可能又は不可能である箇所のアドレスを抽出し、抽出したコンフィグレーションメモリ 2 のアドレスから再設定データメモリ 8 のアドレスを特定する。そして、再設定制御部 7 は、再設定データメモリ 8 に対して、読出しアドレス及び制御信号 1 5 を出力し、論理回路部 5 のフリップフロップ 1 2 を特定するためのアドレス及び再設定データ 1 6 を読み出す。さらに、再設定制御部 7 は、設定部 1 3 に対して、フリップフロップ 1 2 を特定するためのアドレスと制御信号 1 7 を出力し、フリップフロップ 1 2 に再設定データ 1 8 を書き込む。

40

【0035】

第 1 実施例は、図 1 及び図 2 に示すように、本発明による最も基本的なソフトエラー対策回路 6 であり、ソフトエラーによる二次障害を対策するため、アドレスと制御信号 1 7 によって指示した特定のフリップフロップ 1 2 にデータを再設定する。一般的に、通信装置で用いられる論理回路は、主信号データを扱うデータパス系論理部と、データパス系論理部を制御する制御部と、CPU 等からの設定情報を保持する設定系レジスタ部とに大別できる。第 1 実施例のソフトエラー対策回路 6 は、特に、制御部及び設定系レジスタ部に有効である。この理由は以下の通りである。データパス系論理部は、データの一部に誤りが発生しても、データが流れるため、時間の経過に伴って正常化され、また時間軸上で

50

一時的な僅かな時間において生じたビットエラーであれば、システム上も許容できる場合がある。しかし、制御部及び設定系レジスタ部は、エラーが生じると、二次障害によってシステム全体に対して誤動作が拡大する恐れがあり、積極的な訂正が必要となる。

【0036】

なお、第1実施例では、論理回路部5中のフリップフロップ12に対する再設定を制御する回路について説明したが、本実施例によるソフトエラー対策回路6を用いることによって、FPGA1に搭載される内蔵メモリや、その他エンベデッドに構成されるハードウェア・マクロなどにも同様の再設定をすることができる。

【0037】

第1実施例では、図1に示すように、再設定制御部7はコンフィグレーションメモリ2内に構成されている。再設定制御部7をコンフィグレーションメモリ2で構成することによって、システムが求める再設定方法に応じて柔軟に回路を構成できる。

【0038】

コンフィグレーションメモリ制御部3は、再設定制御部7に対するソフトエラーも検出することができる。再設定制御部7のエラーを検出した場合は、制御機能自体を保証できないため、再設定制御部7のエラーを検出した時点で、FPGA1自体を再コンフィグレーションしてもよい。なお、再設定制御部7のソフトエラー発生率を低減するためには、極力、回路規模を小さく抑えることや、再設定制御部7を3重化し多数決により制御方法を決定する構成等がある。なお、再設定制御部7は、コンフィグレーションメモリ2の外に構成してもよい。この場合、再設定制御部7を、よりソフトエラー耐力のあるFPGAやプロセッサ等に搭載してもよい。再設定制御部7に生じるソフトエラーの発生率を把握した上で、システムが求める信頼性に合わせて構成を決定してもよい。

【0039】

以上に説明したように、従来の検出・訂正回路では、FPGA1内に構成された論理回路の一部に誤ったデータが保持され続ける不具合が生じることがあった。しかし、第1実施例によれば、前述した不具合を排除し、コンフィグレーションメモリ2にソフトエラーが発生した場合に、再設定制御部7がフリップフロップ12に再設定データを書き込むので、論理回路の機能を正常化することができる。

【0040】

<実施例2>

第2実施例では、論理回路部のフリップフロップの再設定をより簡易にできる回路の例を説明する。

【0041】

図3は、第2実施例のソフトエラー対策回路6を示す構成図であり、図4は、第2実施例の配線接続交点におけるパストランジスタの構成を示す図であり、図5は、第2実施例の動作を示すタイミングチャートである。

【0042】

図3に示すソフトエラー対策回路は、再設定制御部7と、四つの論理回路部群19~22で構成される。図3では、一例として、ある条件保持信号23を主機能部である論理回路部22へ与える機能を考える。論理回路部群19~22は、条件信号24を生成するための論理回路部19と、タイミング信号25を生成する論理回路部20と、タイミング信号25によって条件信号24の値を保持し、条件保持信号23を出力する論理回路部21と、条件保持信号23を受信する論理回路部22とで構成される。再設定制御部7は、現在の動作を一度初期化するために、エラー訂正フラグ14をトリガとして、リセット信号29を生成し、論理回路部群19~22へ分配する。

【0043】

なお、条件信号は4bitのバス信号であるが、全てのbitが同じ構成であるため、bit0の接続のみを図3に示す。全ての回路はクロック26で動作するクロック同期回路であり、クロック26は数MHz以上である。

【0044】

10

20

30

40

50

ここで、図3の配線接続交点27にソフトエラーが発生した場合、配線接続交点27は、図4に示すパストランジスタ28で構成され、構成データメモリ4に格納された回路情報に基づいてコンフィグレーションメモリ2にプログラミングされた値によって配線経路が決まる。例えば、ソフトエラー発生前のパストランジスタ28はOnの状態であるが、コンフィグレーションメモリ2にソフトエラーが発生し、その設定情報のビットが反転されると、パストランジスタ28はOffに変化し、経路が断たれる。但し、FPGA1には、図1で示したように、コンフィグレーションメモリ制御部3が設けられており、コンフィグレーションメモリ制御部3がコンフィグレーションメモリ2内のエラーを検出し、検出したエラーを訂正する。このため、エラーの発生から、しばらく時間を経過した後には訂正が完了し、経路が回復する。一般に、このエラー検出・訂正は、コンフィグレーションメモリ2内を巡回して行われるため、訂正完了までに、数ミリ秒～数十ミリ秒程度の時間を要する。図3に示すように、数MHzのクロックで動作する論理回路部群19～22では、エラーが訂正されるまでに多くのクロックがトグルされる(Oonの状態とOffの状態が切り替わる)ために、二次障害が生じる可能性がある。

10

【0045】

図5のタイミングチャートを用いて詳細の動作を説明する。

【0046】

条件信号24はタイミングT0で出力値を確定し、その値を取り込むためのタイミング信号25はタイミングT3で確定する。ソフトエラーが発生し、タイミングT1で条件信号24のbit0が"1" "0"に反転した場合、エラーが検出されるのはタイミングT2であり、T2から所定時間経過後のタイミングT4に訂正が完了する。このように、エラーの発生から訂正の完了までに、クロックサイクルに対して、かなり長い時間を必要とするため、タイミングT3の時点では論理回路部21で確定する条件保持信号23は、本来取るべき値である"1011"とは異なる"1010"の誤った値を保持する。このため、以降、条件信号24が変化しなくても、次のタイミング信号25が"H"になるまでは、論理回路部22は誤った値で動作することとなる。そこで、図3に示す再設定制御部7では、現在の誤った動作を一度初期化するために、エラーが訂正されるタイミングT4以降に、確定するエラー訂正フラグ14をトリガとして、リセット信号29を生成し、論理回路部群19～22へ分配する。リセット信号29で論理回路部群19～22が初期化されることによって、FPGA1全体が初期状態に戻る。

20

30

【0047】

第1実施例では、アドレスによって、論理回路部5中の特定のフリップフロップ12に対してデータを再設定したが、フリップフロップ12に個々に指示を与えるためには、図1に示すように、対象とするアドレス及び再設定データ16を再設定データメモリ8に格納する必要がある。また、アドレスをデコードするための設定部13が論理回路部5に必要である。また、再設定を完了するまでにも時間がかかる。

【0048】

これに対し、第2実施例では、論理回路部21のフリップフロップを初期状態に戻すのみだけでよいため、論理回路部21の付帯回路が不要であり、短時間で再設定を完了できることが特徴である。

40

【0049】

初期化の対象範囲は、図3で説明した配線接続交点27のように、ソフトエラーはコンフィグレーションメモリ2中のどこでも発生する可能性があるため、二次障害の波及範囲を特定することは難しい。このため、システムの仕様に応じて、一部の論理回路部のみを初期化してもよく、FPGA全体の論理回路部をリセットしてもよい。例えば、複数のリセット線を設け、各論理回路部が一つのリセット線に接続されている場合、一部のリセット線のみでリセット信号を送信し、一部の論理回路部のみを初期化してもよい。

【0050】

以上に説明したように、第2実施例によれば、アドレス制御が不要となるので、小さな回路規模でデータを再設定することができる。また、リセットを送ればよいので、簡単な

50

制御によってデータを再設定することができる。特に、全体のデータを再設定する場合には、1本のリセット線だけでよく、回路を簡素化することができる。

【0051】

<実施例3>

第3実施例では、再設定の頻度を軽減するため、エラーが発生した箇所が、コンフィグレーションメモリ2の中で論理回路部として使用されている領域であると判定され、かつエラー訂正が完了したときのみ、論理回路部5のフリップフロップ(データ保持機能)12の値を再設定する回路の例を説明する。

【0052】

図6は、第3実施例のソフトエラー対策回路6を示す構成図である。

10

【0053】

第3実施例(図6)では、第1実施例(図1)と異なり、コンフィグレーションメモリ2内を論理回路部群34で使用されている使用領域30と未使用領域31とで異なる扱いをする。

【0054】

第3実施例では、コンフィグレーションメモリ2内の領域が使用されているかの情報を、例えばビットマップ形式で、構成データメモリ4に格納する。このビットマップは、構成データメモリ4から回路情報を読み出してコンフィグレーションメモリ2に設定する際に、同時に設定するとよい。そして、このビットマップを参照することによって、論理回路に使用されている使用領域30と論理回路に使用されていない未使用領域31とを特定

20

【0055】

コンフィグレーションメモリ制御部3は、構成データメモリ4に格納されたビットマップを参照して、ソフトエラーが使用領域30に該当するかを判定する。そして、コンフィグレーションメモリ制御部3は、ソフトエラー発生箇所が使用領域30に該当した場合のみに該当フラグ14をアサートする該当判定機能を有する。該当判定機能は、第1実施例(図1)で説明したものと同一である。従って、該当フラグ14を検出し、且つエラー訂正が完了した場合のみに、FPGA1内の論理回路部群34中に二次障害が発生した可能性があると判定し、第1実施例で示した再設定方法や、第2実施例で示した初期化方法を行う。

30

【0056】

一般に、FPGA1は、プログラミングの自由度を広げるために、プログラミングされる論理回路部の規模の数倍~数10倍のリソースを有し、膨大なコンフィグレーションメモリ2の領域が確保される。しかし、実際に使用される使用領域の割合は未使用領域に対して小さいことが多い。このため、第3実施例のように該当フラグ14を利用することによって、再設定を行う範囲を少なくし、システムの停止時間を短縮することができる。

【0057】

<実施例4>

第4実施例では、再設定の頻度をさらに低減するため、再設定が必要な論理回路部を特定し、特定された論理回路部(領域)のみを再設定する回路の例を説明する。

40

【0058】

図7は、第4実施例のソフトエラー対策回路6を示す構成図である。

【0059】

第4実施例(図7)では、第3実施例(図6)と異なり、再設定が必要な特定の論理回路部35に分割する。

【0060】

第4実施例のコンフィグレーションメモリ制御部3は、コンフィグレーションメモリ2の領域単位でエラーを検出する。このため、コンフィグレーションメモリ2内に設けられた領域と、コンフィグレーションメモリ2のアドレスとの対応関係を保持する。この対応関係は、FPGA1の工場出荷時又は初期設定する際に設定するとよい。そして、この対

50

応関係を参照することによって、エラーが検出された領域を特定することができる。

【0061】

また、第4実施例では、再設定データメモリ8がコンフィグレーションメモリ2の領域に区分されており、各領域毎に、論理回路部5のフリップフロップ12を特定するためのアドレス及び当該フリップフロップ12を再設定するための再設定データ16を格納する。

【0062】

また、再設定制御部7は、アドレステーブル33を格納する。アドレステーブル33は、コンフィグレーションメモリ2内に設けられた領域と、コンフィグレーションメモリ2のアドレスとの対応関係を保持する。アドレステーブル33を参照することによって、

10

【0063】

第4実施例では、図7に示すように、再設定が必要な特定の論理回路部35を領域に分けて検出することによって、データバス系論理部は再設定せず、制御部及び設定レジスタ部のみを再設定するなど、さらに細かな再設定対象を特定することができ、再設定時間を短縮することができる。

【0064】

なお、第3実施例と第4実施例とを併用して、使用領域の中でのみ再設定が必要な特定の論理回路部35を検出してもよい。

【0065】

また、第4実施例では、再設定が必要な特定の論理回路部35の該当判定を、コンフィグレーションメモリ制御部3の機能によらず、再設定制御部7より制御してもよい。

20

【0066】

例えば、コンフィグレーションメモリ制御部3は、該当フラグ14を出力するとともに、エラーが発生したアドレス32を出力する。再設定制御部7は、アドレステーブル33を参照して、コンフィグレーションメモリ制御部3から出力されたエラーアドレス32が該当する領域を判定し、該当する領域のアドレス・再設定データ16を再設定データメモリ8から読み出し、FPGA1内部の再設定が必要な特定の論理回路部35に対してのみ再設定をすることができる。

【0067】

コンフィグレーションメモリ制御部3は、コンフィグレーションメモリ2全体に対して該当領域を判定するため、膨大な回路情報を構成データメモリ4に保持する必要がある。しかし、第4実施例のように、設計時に予め再設定が必要な特定の論理回路部35のアドレスが決まっている場合、当該アドレスをアドレステーブル33に登録することによって、回路規模や必要なメモリ規模を小さく抑えることができる。

30

【0068】

また、設計時に予め再設定が必要なアドレスが決まっているので、当該決まっているアドレスの範囲で、データを再設定すればよいので、再設定を行う範囲を少なくし、システムの停止時間を短縮することができる。

【0069】

40

<実施例5>

第5実施例では、再設定の対象領域の判定を容易にするため、論理回路部5に使用する領域をコンフィグレーションメモリ2内の定められた実装領域に設計段階で予め固定し、当該固定された領域内でエラーを検出して、訂正した場合に、再設定をする回路の例を説明する。

【0070】

図6を用いて、第5実施例を説明する。

【0071】

第3実施例では、コンフィグレーションメモリ内に自由に配置された論理回路部群34に対して、コンフィグレーションメモリ制御部3が、ソフトエラーを検出し、ソフトエラ

50

ーを検出した箇所が使用領域 30 であるかを判定し、使用領域 30 である場合に再設定制御部 7 が再設定を行う。

【0072】

第 5 実施例では、例えば図 6 の使用領域 30 を、論理回路部 5 を実装するための領域をコンフィグレーションメモリ 2 内の特定の物理的な領域に設計段階で予め固定し、当該領域範囲内に論理回路部 5 が配置されるように、FPGA 1 の実装設計の段階で考慮しておく。これにより、ソフトエラーの監視を FPGA 1 特定の領域（使用領域 30）内のみで限定することができ、監視対象領域内でエラーが検出され、当該エラーが訂正された場合、フリップフロップ 12 の値を再設定することができる。

【0073】

以上に説明したように第 5 実施例によると、使用領域を判定するための該当判定機能がコンフィグレーションメモリ制御部 3 に搭載されていなくてもよい。また、コンフィグレーションメモリ制御部 3 が該当判定機能を搭載する場合でも、判定を行うための情報を構成データメモリ 4 に格納する必要がなく、外部メモリの記憶容量を削減することができ、外部メモリのコスト及び基板実装面積を低減することができる。

【0074】

<実施例 6>

第 6 実施例では、ソフトエラーの発生を契機に運用系を非運用系に切り替えるシステムを説明する。

【0075】

図 8 は、第 3 実施例（図 6）のソフトエラー対策回路 6 を搭載し、ソフトエラーの発生を契機に運用系を非運用系に切り替えるシステムの構成図である。

【0076】

なお、第 6 実施例では通信装置を例にして説明するが、他のシステムにも適用することができる。また、通信装置が、第 3 実施例のソフトエラー対策回路 6 を搭載する例を説明するが、前述した第 1 から第 5 の何れの実施例のソフトエラー対策回路 6 を搭載してもよい。

【0077】

通信装置 A 40 と通信装置 B 41 との間では、運用系主信号 42 及び非運用系主信号 43 によって通信している。通信装置 A 40 と通信装置 B 41 とは、それぞれ、運用系装置 44 と非運用系装置 45 とを搭載する。運用系装置 44 と非運用系装置 45 とは、FPGA 1 内の回路によって構成され、第 3 実施例のソフトエラー対策回路 6 を搭載し、コンフィグレーションメモリ 2 に発生するソフトエラーを検出すると、エラー検出信号 46 を出力する。なお、運用系装置 44 と非運用系装置 45 とは、一つの FPGA 1 内の回路によって構成しても、複数の FPGA 1 内の回路によって構成してもよい。

【0078】

セレクタ制御部 47 は、運用系装置 44 及び非運用系装置 45 から出力されたエラー検出信号 46 を監視し、運用系装置 44 からエラー検出信号 46 を検出した場合、セレクタ制御信号 48 をセレクタ 49 に通知し、運用系主信号 42 から非運用系主信号 43 へセレクタ 49 を切り替える。

【0079】

非運用系主信号 43 へ切り替えることによって、ソフトエラーを訂正し、データの再設定が完了するより早く、システム障害を復旧することができる。

【0080】

ソフトエラーが発生した運用系装置 44 は、運用系装置 44 から非運用系装置 45 へ切り替えた後、ソフトエラーを訂正し、データを再設定して、非運用系装置として継続してシステム運用することが可能になる。

【0081】

一般的な FPGA の性能によれば、ソフトエラーの検出及び訂正からデータの再設定は数十ミリ秒～数秒を要し、ソフトエラーの検出に要する時間は数マイクロ秒～数ミリ秒で

10

20

30

40

50

ある。ソフトエラーを検出した時点で非運用系装置 4 5 に切り替えることによって、システム障害の時間を短縮することができる。

【 0 0 8 2 】

ソフトエラー対策回路 6 は、運用系装置 4 4 から非運用系装置 4 5 へ切り替えたタイミングで、ソフトエラーを検出したことを示す警報・故障情報 5 0 を警報表示・通知部 5 1 に通知する。警報表示・通知部 5 1 は、ソフトエラーの検出を保守者へ通知することによって、ソフトエラーの発生を契機として、運用系装置 4 4 から非運用系装置 4 5 への切り替えが発生したことを知ることができる。また、第 8 実施例で説明するように、エラーの情報を警報・故障情報 5 0 に含め、警報表示・通知部 5 1 へ通知することができる。

【 0 0 8 3 】

前述した第 6 実施例の構成は、障害の発生から復旧までの停止許容時間が規定されているシステムに適用する。停止許容時間が規定されないシステムにおいては、非運用系装置 4 5、セレクトア 4 9、セレクト制御部 4 7 を搭載しなくてもよい。

【 0 0 8 4 】

以上に説明したように、第 6 実施例によると、現用系の回路を構成するコンフィグレーションメモリ 2 に発生するソフトエラーの検出を契機として、現用系の回路（運用系装置 4 4）と予備系の回路（非運用系装置 4 5）とを切り替え、検出されたソフトエラーによって発生する二次障害から復旧するためのエラーの訂正を実行し、エラーの訂正の後に論理回路に保持される値を回復するので、システムを規定内の時間で迅速に復旧することができる。

【 0 0 8 5 】

< 実施例 7 >

第 7 実施例では、ソフトエラー対策回路に、ソフトエラーの検出及び訂正を行う機能部自身の故障やソフトエラーが発生した機能部を特定するための機能を追加した例を説明する。

【 0 0 8 6 】

図 9 は、第 7 実施例のソフトエラー対策回路 6 を示す構成図である。

【 0 0 8 7 】

第 7 実施例のソフトエラー対策回路 6 は、第 3 実施例のソフトエラー対策回路 6 に情報保持部 6 5 が接続されている。コンフィグレーションメモリ制御部 3 から情報保持部 6 5 へ、コンフィグレーション完了情報 6 0、ソフトエラーアドレス情報 6 1 及び訂正不可情報 6 3 が送信される。また、情報保持部 6 5 からコンフィグレーションメモリ制御部 3 へ、ソフトエラーアドレス保持情報 6 2 及び訂正不可保持情報 6 4 が送信される。

【 0 0 8 8 】

次に、故障が発生した機能部を特定する方法を説明する。

【 0 0 8 9 】

図 10 は、第 7 実施例において、コンフィグレーションメモリ 2 のソフトエラーを判定するシーケンス図である。

【 0 0 9 0 】

コンフィグレーションメモリ制御部 3 は、エラーの訂正後、コンフィグレーションメモリを 1 回スキャンする間に、同じアドレスで再度エラーを検出するかによってコンフィグレーションメモリ 2 のソフトエラーを判定する。

【 0 0 9 1 】

コンフィグレーションメモリ制御部 3 は、エラーの検出・訂正（S 1 0 0）の後、ソフトエラーアドレス情報 6 1 を情報保持部 6 5 へ通知する（S 1 0 1）。

【 0 0 9 2 】

情報保持部 6 5 は、コンフィグレーションメモリ制御部 3 から通知されたソフトエラーアドレス情報 6 1 を N ミリ秒間保持し（S 1 0 2）、ソフトエラーアドレス情報 6 1 を保持する間、ソフトエラーアドレス保持情報 6 2 をコンフィグレーションメモリ制御部 3 へ繰り返し返信する（S 1 0 3）。なお、ソフトエラーアドレス保持情報 6 2 を定期的に送

10

20

30

40

50

信してもよい。

【0093】

ソフトエラーアドレス情報61を保持する時間(Nミリ秒)は、コンフィグレーションメモリ2を1回スキャンする時間を設定するとよい。

【0094】

コンフィグレーションメモリ制御部3は、エラー検出監視期間(Nミリ秒)にエラーを検出しない場合、保持しているソフトエラーアドレス情報61の破棄を情報保持部65に指示する。なお、情報保持部65が自律的に(例えば、Nミリ秒のタイマのタイムアップによって)ソフトエラーアドレス情報61を破棄してもよい。

【0095】

コンフィグレーションメモリ制御部3は、Nミリ秒間エラー検出監視を行い(S104)、Nミリ秒間にソフトエラーアドレス保持情報62と一致するアドレスにエラーを検出しない場合(S105)、エラーが正常に訂正できているため、コンフィグレーションメモリ2のソフトエラーと判定する。よって、コンフィグレーションメモリ制御部3は、コンフィグレーションメモリ2のソフトエラーと判定した情報を警報・故障情報50に含め、警報表示・通知部51へ通知する(S106)。

【0096】

警報表示・通知部51は、コンフィグレーションメモリ2のソフトエラーを保守者に通知する(S107)。

【0097】

図11は、第7実施例において、構成データメモリ4の故障を判定するシーケンス図である。

【0098】

コンフィグレーションメモリ制御部3は、エラーの訂正後、コンフィグレーションメモリ2を1回スキャンする間に、同じアドレスで再度エラーを検出するかによってコンフィグレーションメモリ2のソフトエラーを判定する。

【0099】

コンフィグレーションメモリ制御部3は、エラー検出・訂正(S110)の後、ソフトエラーアドレス情報61を情報保持部65へ通知する(S111)。

【0100】

情報保持部65は、コンフィグレーションメモリ制御部3から通知されたソフトエラーアドレス情報61をNミリ秒間保持し(S112)、ソフトエラーアドレス情報61を保持する間、ソフトエラーアドレス保持情報62をコンフィグレーションメモリ制御部3へ繰り返し返信する(S113)。なお、ソフトエラーアドレス保持情報62を定期的に送信してもよい。

【0101】

ソフトエラーアドレス情報61を保持する時間(Nミリ秒)は、コンフィグレーションメモリ2を1回スキャンする時間を設定するとよい。なお、ソフトエラーアドレス情報61を保持する時間は、最初のエラー検出監視期間(Nミリ秒)にエラーが検出された場合、次のエラー検出監視期間(Nミリ秒)が終了するまで延長される。

【0102】

コンフィグレーションメモリ制御部3は、Nミリ秒間エラー検出監視を行い(S114)、エラーを検出した(S115)。エラーを検出したアドレスがソフトエラーアドレス保持情報62と一致した場合(S116)、エラーが訂正できていないため、コンフィグレーションメモリ制御部3は、訂正データを格納している構成データメモリ4又はコンフィグレーションメモリ2の故障であると判定する。

【0103】

ソフトエラー対策回路6は、故障箇所を特定するために、FPGA1を再コンフィグレーションする(S117)。再コンフィグレーションの完了後、コンフィグレーションメモリ制御部3は情報保持部65へコンフィグレーション完了情報60を送信する(S11

10

20

30

40

50

8)。

【0104】

情報保持部65は、コンフィグレーション完了情報60を受信すると、Nミリ秒間、ソフトエラーアドレス保持情報62をコンフィグレーションメモリ制御部3へ繰り返し返信する(S119)。なお、ソフトエラーアドレス保持情報62を定期的を送信してもよい。

【0105】

コンフィグレーションメモリ制御部3は、Nミリ秒間エラー検出監視を行い(S120)、ソフトエラーアドレス保持情報62と一致するアドレスにエラーを検出しない場合(S121)、構成データメモリ4が故障し訂正データが誤っていると判定する。よって、10コンフィグレーションメモリ制御部3は、構成データメモリ4の故障情報を警報・故障情報50に含め、警報表示・通知部51へ通知する(S122)。

【0106】

また、コンフィグレーションメモリ制御部3は、エラー検出監視期間(Nミリ秒)にエラーを検出しない場合、保持しているソフトエラーアドレス情報61の破棄を情報保持部65に指示する。なお、情報保持部65が自律的に(例えば、Nミリ秒のタイマのタイムアップによって)ソフトエラーアドレス情報61を破棄してもよい。

【0107】

警報表示・通知部51は、構成データメモリ4の故障情報を保守者に通知する(S123)。20

【0108】

図12は、第7実施例において、コンフィグレーションメモリ2の故障を判定するシーケンス図である。

【0109】

再コンフィグレーションが完了するまでの手順は、図11と同じである(S110~S118)。再コンフィグレーションの完了後、コンフィグレーションメモリ制御部3は、Nミリ秒間エラー検出監視を行い(S130)、エラーを検出した(S131)。エラーを検出したアドレスがソフトエラー保持情報62と一致した場合(S132)、構成データメモリ4から読み出された回路情報は正しいので、コンフィグレーションメモリ2の故障と判定することができる。このため、コンフィグレーションメモリ制御部3は、30コンフィグレーションメモリ2の故障の情報を警報・故障情報50に含め、警報表示・通知部51へ通知する(S133)。

【0110】

警報表示・通知部51は、コンフィグレーションメモリ2の故障を保守者に通知する(S134)。

【0111】

図13は、第7実施例において、ソフトエラー対策回路6のソフトエラーを判定するシーケンス図である。

【0112】

エラー訂正不可を検出した後、FPGA1を再コンフィグレーションする。再コンフィグレーション完了後、コンフィグレーションメモリを1回スキャンする間に再度エラー訂正不可の検出有無を監視することで判定する。エラーの訂正可否は、前述したように、例えば、コンフィグレーションメモリ2がECC訂正機能を有する場合、検出対象領域内で1bitまでのエラーは訂正可能であるが、2bit以上のエラーは訂正不可能であると判定することができる。40

【0113】

コンフィグレーションメモリ制御部3は、エラー訂正不可を検出した(S140)後、訂正不可情報63を情報保持部65へ通知する(S141)。情報保持部65は、コンフィグレーションメモリ制御部3から通知された訂正不可情報63保持する(S142)。

【0114】

ソフトエラー対策回路 6 は、故障箇所を特定するために、FPGA 1 を再コンフィグレーションする (S 1 4 3)。再コンフィグレーションの完了後、コンフィグレーションメモリ制御部 3 は情報保持部 6 5 へコンフィグレーション完了情報 6 0 を送信する (S 1 4 4)。

【0115】

情報保持部 6 5 は、コンフィグレーション完了情報 6 0 を受信すると、N ミリ秒間、訂正不可保持情報 6 4 をコンフィグレーションメモリ制御部 3 へ繰り返し返信する (S 1 4 5)。なお、訂正不可保持情報 6 4 を定期的に変換して送信してもよい。

【0116】

コンフィグレーションメモリ制御部 3 は、N ミリ秒の間にエラー訂正不可を検出しない場合 (S 1 4 6)、ソフトエラー対策回路 6 に発生したソフトエラーによって、回路が正常に動作できず、エラー訂正できないと判定する。よって、コンフィグレーションメモリ制御部 3 は、ソフトエラー対策回路 6 のソフトエラーを警報・故障情報 5 0 に含め、警報表示・通知部 5 1 へ通知する (S 1 4 7)。

【0117】

警報表示・通知部 5 1 は、ソフトエラー対策回路 6 のソフトエラーを保守者に通知する (S 1 4 8)。

【0118】

図 1 4 は、第 7 実施例において、コンフィグレーションメモリ 2 の故障を判定するシーケンス図である。

【0119】

再コンフィグレーションが完了するまでの手順は、図 1 3 と同じである (S 1 4 0 ~ S 1 4 4)。再コンフィグレーションの完了後、N ミリ秒の間にエラー訂正不可を検出した場合 (S 1 5 0)、ソフトエラー対策回路 6 は正常に機能したが、コンフィグレーションメモリ 2 の故障によって訂正ができなかったと判定することができる。このため、コンフィグレーションメモリ制御部 3 は、コンフィグレーションメモリ 2 の故障の情報を警報・故障情報 5 0 に含め、警報表示・通知部 5 1 へ通知する (S 1 5 1)。

【0120】

警報表示・通知部 5 1 は、コンフィグレーションメモリ 2 の故障を保守者に通知する (S 1 5 2)。

【0121】

前述したように、故障部位を判定するためには、FPGA 1 の再コンフィグレーションが必要である。再コンフィグレーションをすると、判定に用いるためのソフトエラーアドレス情報 6 1 や訂正不可情報 6 3 が初期化され消去される。第 7 実施例では、この情報の消去を防ぐために、ソフトエラーアドレス情報 6 1、訂正不可情報 6 3 を情報保持部 6 5 へ退避する。

【0122】

情報保持部 6 5 は、FPGA 1 やプロセッサで構成することができる。情報保持部 6 5 を FPGA 1 で実現する場合、ソフトエラー対策回路 6 が必要となるため、図 9 に示す回路を搭載する。再コンフィグレーションされる FPGA 1 と情報保持部 6 5 との両方のソフトエラー対策回路 6 に同時にソフトエラーが発生すると、第 7 実施例の方法を実現することができない。しかし、両方のソフトエラー対策回路 6 で同時にソフトエラーが発生する確率は非常に小さいため、実用上の問題はない。

【0123】

以上に説明したように、第 7 実施例によると、ソフトエラーを検出・訂正する機能部が故障し又はソフトエラーが発生すると、エラーの検出・訂正を繰り返す可能性があったが、訂正後のエラー状態を詳しく分析することによって、故障した機能部を特定し、システムの保守性を向上することができる。

【0124】

また、エラーを検出したアドレスと、エラーの訂正の後にさらにエラーを検出したアド

10

20

30

40

50

レスとを比較することによって、故障部位を分析するので、コンフィグレーションメモリ 2 のソフトエラーや、構成データメモリ 4 又はコンフィグレーションメモリ 2 の故障を的確に判定することができる。

【0125】

また、検出したエラーの訂正が不可能と判定した場合、論理回路の再コンフィグレーションを実行した後、再度エラーの訂正の可否を判定することによって、ソフトエラー対策回路 6 のソフトエラー又はコンフィグレーションメモリ 2 の故障を判定することができる。

【0126】

さらに、論理回路の再コンフィグレーション前にエラーを検出したアドレスの情報及び訂正可否の情報を格納する情報保持部 65 を設けたので、再コンフィグレーションによって情報保持部 65 に格納された情報は消去されることなく、検出されたソフトエラーアドレス情報 61 及び訂正不可情報 63 を用いて障害を復旧することができる。

10

【0127】

<実施例 8 >

図 15 A、図 15 B は、第 8 実施例におけるソフトエラー対策回路の処理を説明するフローチャートである。

【0128】

図 15 A、図 15 B に示すフローチャートは、第 7 実施例で説明したソフトエラーの検出・訂正を行う機能部の故障や、ソフトエラーが発生した機能部を特定する処理を含む。また、第 6 実施例で説明した運用系と非運用系とを切り替えるかを判定する処理も含む。

20

【0129】

コンフィグレーションメモリ制御部 3 は、コンフィグレーションメモリ 2 にエラーを検出すると、検出されたエラーが訂正可能かを判定する (Step 1)。その結果、訂正可能な場合 (Step 1 の YES)、第 6 実施例の方法を用いて運用系と非運用系とを切り替え (Step 10)、切替後に訂正処理を実行し (Step 2)、エラー検出フラグとエラー訂正フラグとの両方をアサートし出力する (Step 3)。その後、Step 3 で訂正したエラーアドレスで N ミリ秒間に再度エラーを検出するかを監視する (Step 11)。N ミリ秒間に同一アドレスでエラーを検出しない場合 (Step 11 の NO)、エラーが正しく訂正できたと判定できる。このため、再設定制御部 7 は、特定の論理回路部 5 に対する再設定を実行する。この論理回路部に対する再設定は、前述した第 1 から第 5 の何れの実施例の方法を採用してもよい (Step 5)。その後、コンフィグレーションメモリ 2 のソフトエラーであると判定し (Step 12)、システムを復旧し、復旧を通知する (Step 21)。

30

【0130】

一方、Step 11 において、N ミリ秒間に同一アドレスでエラーを検出した場合 (Step 11 の YES)、故障部位を特定するために FPG A 1 の全体を再コンフィグレーションする (Step 13)。そして、再コンフィグレーションの完了後、N ミリ秒間に同一アドレスにエラーを検出するかを監視する (Step 14)。

【0131】

そして、Step 14 において、N ミリ秒間に同一アドレスでエラーを検出しない場合 (Step 14 の NO)、構成データメモリ 4 の故障であると判定し (Step 15)、構成データメモリ 4 の故障を通知する (Step 22)。一方、Step 14 において、N ミリ秒間に同一アドレスでエラーを検出した場合 (Step 14 の YES)、コンフィグレーションメモリ 2 の故障であると判定し (Step 16)、コンフィグレーションメモリ 2 の故障を通知する (Step 23)。

40

【0132】

一方、訂正不可能な場合 (Step 1 の NO)、第 6 実施例の方法を用いて運用系と非運用系とを切り替える (Step 17)。その後、コンフィグレーションメモリ制御部 3 はエラー検出フラグのみをアサートし出力する (Step 4)。つまり、エラー訂正フラ

50

グは、デアサートし出力しない。その後、再設定制御部 7 は、構成データメモリ 4 から回路情報を読み出して、FPGA 1 の全体を再コンフィグレーションし (Step 6)、その後、エラーが検出されたアドレスで N ミリ秒間に訂正不可を検出するかを監視する (Step 18)。

【0133】

N ミリ秒間に同一アドレスで訂正不可を検出しない場合 (Step 18 の NO)、ソフトエラー対策回路 6 にソフトエラーが発生したと判定し (Step 19)、FPGA 1 を再起動した後、全ての論理回路部を初期化し (Step 7)、システムを復旧し、復旧を通知する (Step 24)。

【0134】

一方、N ミリ秒間に訂正不可を検出した場合 (Step 18 の YES)、コンフィグレーションメモリ 2 の故障である判定し (Step 20)、コンフィグレーションメモリ 2 の故障を通知する (Step 25)。

【0135】

なお、図 15 A、図 15 B に示すフローチャートは、図 10 から図 14 で説明した判定シーケンスを全て含むが、一部の故障部位のみを検出する判定シーケンスのみを含んでもよい。特に、Step 1 ~ 3、5 及び 10 ~ 16 の判定処理と、Step 1、4、6 ~ 5 及び 17 ~ 20 の判定処理とは、容易に分離可能で、一方のみを実装することができる。

【0136】

以上に説明したように、第 8 実施例では、訂正後のエラー状態を詳しく分析することによって、故障した機能部を容易に特定することができる。

【0137】

なお、本発明は前述した実施例に限定されるものではなく、添付した特許請求の範囲の趣旨内における様々な変形例及び同等の構成が含まれる。例えば、前述した実施例は本発明を分かりやすく説明するために詳細に説明したものであり、必ずしも説明した全ての構成を有するものに本発明は限定されない。また、ある実施例の構成の一部を他の実施例の構成に置き換えてもよい。また、ある実施例の構成に他の実施例の構成を加えてもよい。また、各実施例の構成の一部について、他の構成の追加・削除・置換をしてもよい。

【0138】

また、前述した各構成、機能、処理部、処理手段等は、それらの一部又は全部を、例えば集積回路で設計する等により、ハードウェアで実現してもよく、プロセッサがそれぞれの機能を実現するプログラムを解釈し実行することにより、ソフトウェアで実現してもよい。

【0139】

各機能を実現するプログラム、テーブル、ファイル等の情報は、メモリ、ハードディスク、SSD (Solid State Drive) 等の記憶装置、又は、IC カード、SD カード、DVD 等の記録媒体に格納することができる。

【0140】

また、制御線や情報線は説明上必要と考えられるものを示しており、実装上必要な全ての制御線や情報線を示しているとは限らない。実際には、ほとんど全ての構成が相互に接続されていると考えてよい。

【0141】

特許請求の範囲に記載した以外の本発明の観点の代表的なものとして、次のものがあげられる。

【0142】

(1) プログラミング可能な論理回路を有するプログラマブルゲートアレイであって、論理回路が設定されるコンフィグレーションメモリと、前記コンフィグレーションメモリ内のソフトエラーを正常化する対策回路とを備え、前記対策回路は、前記コンフィグレーションメモリに発生するソフトエラーによって発生する二次障害か

10

20

30

40

50

ら復旧するためのエラー訂正を実行し、

前記エラー訂正の後に前記論理回路に保持される値を回復することを特徴とするプログラマブルゲートアレイ。

【0143】

(2) 前記対策回路は、前記論理回路に保持すべき値を再設定することによって、前記論理回路に保持される値を回復することを特徴とする(1)に記載のプログラマブルゲートアレイ。

【0144】

(3) 前記対策回路は、前記エラー訂正の後に前記論理回路に保持される値を初期状態に戻すことによって、前記論理回路に保持される値を回復することを特徴とする(1)に記載のプログラマブルゲートアレイ。

10

【0145】

(4) 前記対策回路は、

前記ソフトエラーが発生した箇所が前記コンフィグレーションメモリの中で論理回路として使用されている領域かを判定し、

前記ソフトエラーが発生した箇所がコンフィグレーションメモリの中で論理回路として使用されている領域である場合、当該論理回路に保持される値を再設定することを特徴とする(1)から(3)の何れか一つに記載のプログラマブルゲートアレイ。

【0146】

(5) 前記対策回路は、

前記ソフトエラーが発生した箇所が所定の領域かを判定し、

前記ソフトエラーが発生した箇所が所定の領域である場合、当該論理回路に保持される値を再設定することを特徴とする(1)から(3)の何れか一つに記載のプログラマブルゲートアレイ。

20

【0147】

(6) 前記論理回路は予め決められた実装領域を使用するものであって、

前記対策回路は、

前記ソフトエラーが発生した箇所が前記実装領域かを判定し、

前記ソフトエラーが発生した箇所が前記実装領域である場合、当該論理回路に保持される値を再設定することを特徴とする(1)から(3)の何れか一つに記載のプログラマブルゲートアレイ。

30

【0148】

(7) 前記対策回路は、

前記ソフトエラーの訂正が可能かを判定し、

前記ソフトエラーの訂正が可能である場合、(1)から(5)の何れか一つに記載の方法によって前記論理回路に保持される値を再設定し、

前記ソフトエラーの訂正が不可能である場合、全ての前記論理回路を初期化することを特徴とする(1)から(5)の何れか一つに記載のプログラマブルゲートアレイ。

【符号の説明】

【0149】

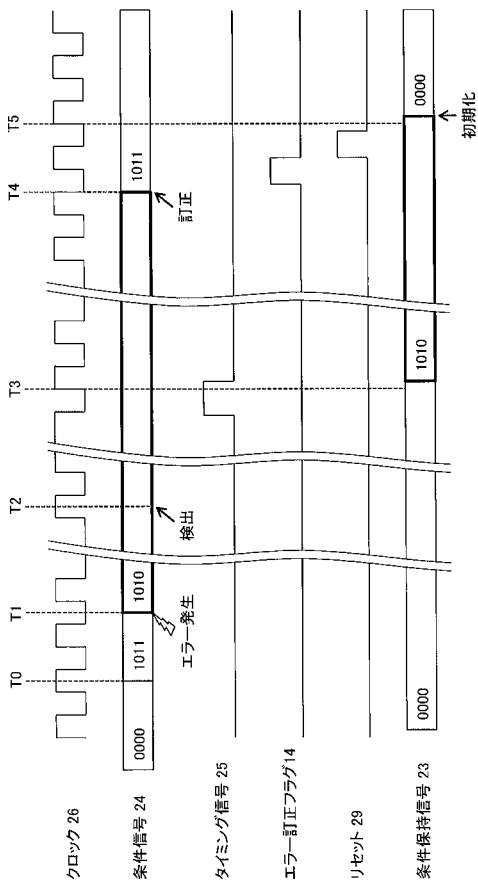
40

- 1 F P G A
- 2 コンフィグレーションメモリ
- 3 コンフィグレーションメモリ制御部
- 4 構成データメモリ
- 5 論理回路部群
- 6 ソフトエラー対策回路
- 7 再設定制御部
- 8 再設定データメモリ
- 9 A アドレス線
- 9 B データ線

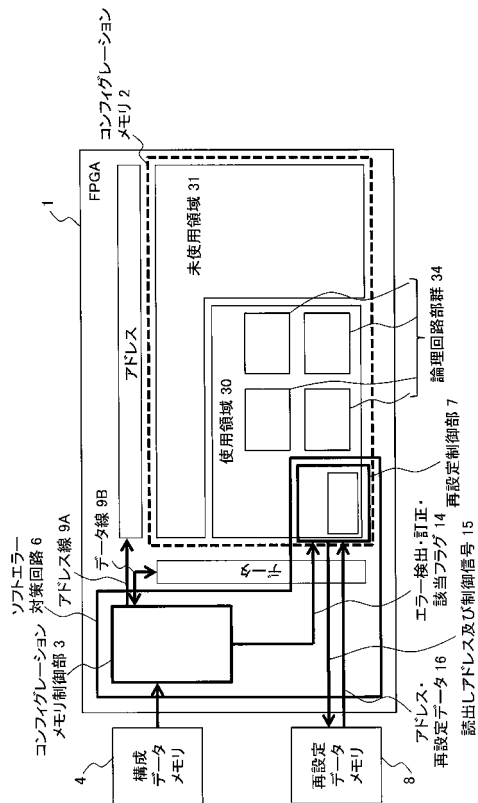
50

1 0	基本回路モジュール	
1 1	組合せ論理部	
1 2	フリップフロップ	
1 3	設定部	
1 4	エラー検出・訂正・該当フラグ	
1 5	読出しアドレス及び制御信号	
1 6	アドレス及び再設定データ	
1 7	アドレスと制御信号	
1 8	再設定データ	
1 9 ~ 2 2	論理回路部	10
2 3	条件保持信号	
2 4	条件信号	
2 5	タイミング信号	
2 6	クロック	
2 7	配線接続交点	
2 8	パストランジスタ	
2 9	リセット	
3 0	使用領域	
3 1	未使用領域	
3 2	エラーアドレス	20
3 3	アドレステーブル	
3 4	論理回路部	
3 5	再設定が必要な特定の論理回路部	
4 0	通信装置 A	
4 1	通信装置 B	
4 2	運用系主信号	
4 3	非運用系主信号	
4 4	運用系装置	
4 5	非運用系装置	
4 6	エラー検出信号	30
4 7	セレクタ制御部	
4 8	セレクタ制御信号	
4 9	セレクタ	
5 0	警報・故障情報	
5 1	警報表示・通知部	
6 0	コンフィグレーション完了情報	
6 1	ソフトエラーアドレス情報	
6 2	ソフトエラーアドレス保持情報	
6 3	訂正不可情報	
6 4	訂正不可保持情報	40

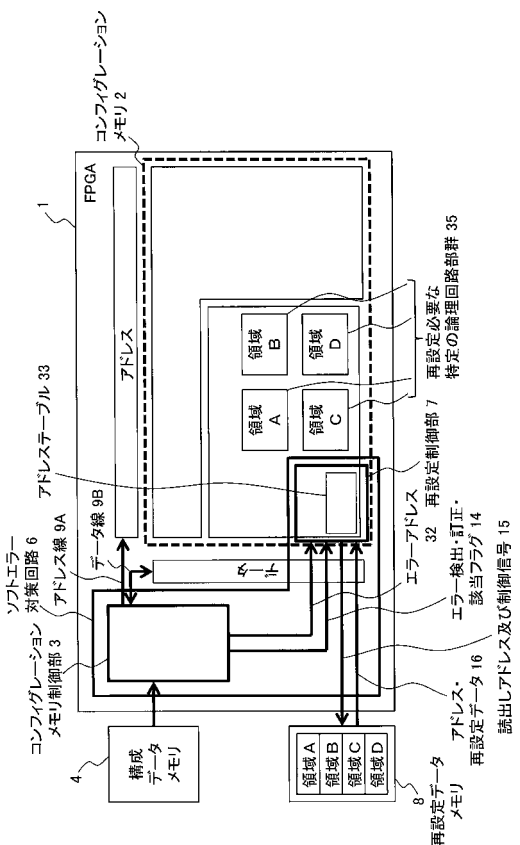
【図5】



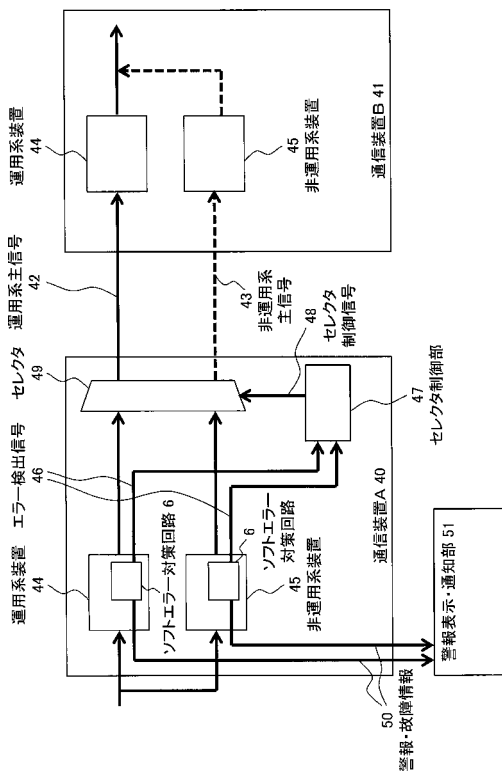
【図6】



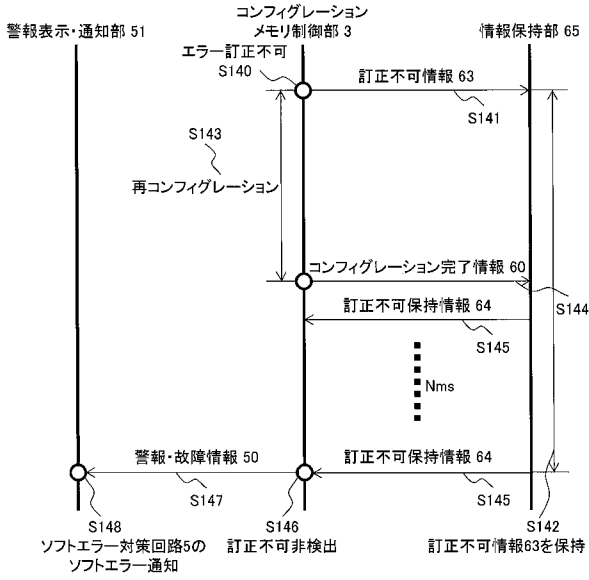
【図7】



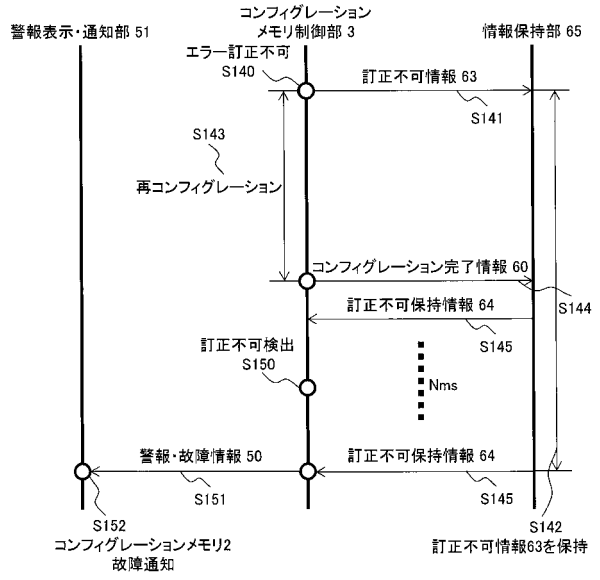
【図8】



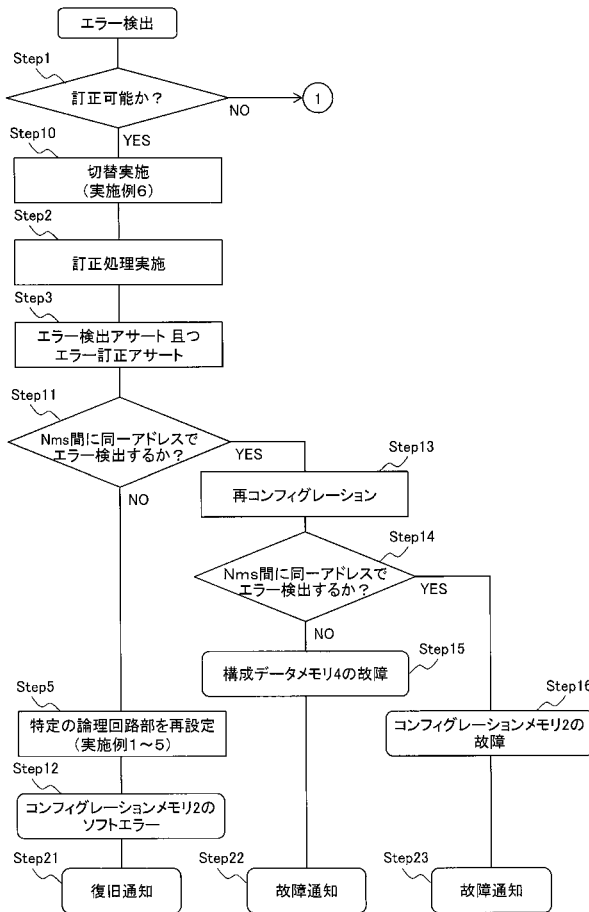
【図13】



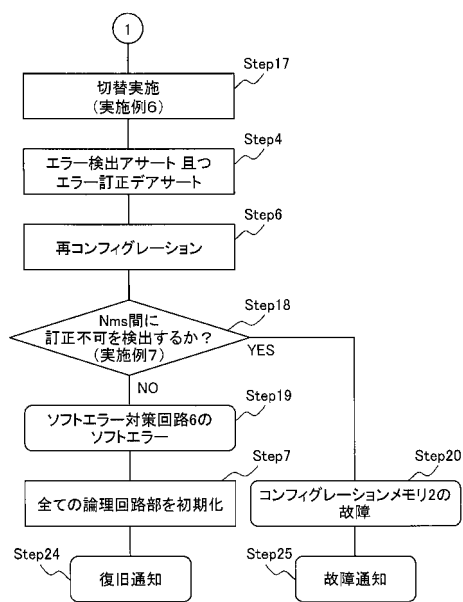
【図14】



【図15A】



【図15B】



フロントページの続き

- (72)発明者 新保 健一
東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
- (72)発明者 芝崎 雅俊
東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
- (72)発明者 草野 慶将
東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
- Fターム(参考) 5B034 BB02 CC01
5J042 AA10 BA03 CA07 CA15 CA20 DA00