

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5259671号
(P5259671)

(45) 発行日 平成25年8月7日(2013.8.7)

(24) 登録日 平成25年5月2日(2013.5.2)

(51) Int.Cl.	F I
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08 1 O 2 B
HO 1 L 27/088 (2006.01)	HO 1 L 27/04 H
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 F
HO 1 L 27/04 (2006.01)	HO 2 M 3/155 Y
HO 2 M 3/155 (2006.01)	HO 2 M 3/155 C

請求項の数 3 (全 20 頁)

(21) 出願番号 特願2010-227297 (P2010-227297)
 (22) 出願日 平成22年10月7日 (2010.10.7)
 (62) 分割の表示 特願2008-184723 (P2008-184723)
 の分割
 原出願日 平成20年7月16日 (2008.7.16)
 (65) 公開番号 特開2011-40777 (P2011-40777A)
 (43) 公開日 平成23年2月24日 (2011.2.24)
 審査請求日 平成22年10月7日 (2010.10.7)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100108062
 弁理士 日向寺 雅彦
 (72) 発明者 中村 和敏
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 (72) 発明者 安原 紀夫
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 審査官 宇多川 勉

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

入力電圧ラインと誘導性負荷との間に接続される第1のスイッチング素子を有するハイサイドスイッチング素子と、

前記誘導性負荷と基準電圧ラインとの間に並列接続される第2のスイッチング素子と第3のスイッチング素子とを有するローサイドスイッチング素子と、

を備え、

前記第3のスイッチング素子のゲート電極は、前記基準電圧ラインに接続され、

前記第2のスイッチング素子のサイズは前記第3のスイッチング素子のサイズよりも大きく、

$0 < (\text{前記第3のスイッチング素子の閾値電圧}) < (\text{前記第2のスイッチング素子の内蔵ダイオードのオン電圧})$ であり、

前記第1のスイッチング素子と前記第2のスイッチング素子との接続点の電位が、 $- (\text{前記第3のスイッチング素子の閾値電圧})$ より大きくなると前記第3のスイッチング素子はオフし、前記接続点の電位が、 $- (\text{前記第3のスイッチング素子の閾値電圧})$ より小さくなると前記第3のスイッチング素子はオンすることを特徴とする半導体装置。

【請求項2】

前記第3のスイッチング素子のゲート電極とソース電極は電気的に短絡されていることを特徴とする請求項1記載の半導体装置。

【請求項3】

前記ローサイドスイッチング素子における前記誘導性負荷に接続される端子にサージが印加されたとき、サージ電流は前記第3のスイッチング素子を介して前記基準電圧ラインへと放電されることを特徴とする請求項1または2に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関する。

【背景技術】

【0002】

電源回路として、入力端子とインダクタとの間に接続されたハイサイドスイッチング素子と、インダクタとグラウンドとの間に接続されたローサイドスイッチング素子とを交互にオンオフすることで、入力電圧より低い出力電圧をLCフィルタの後段に出力するDC-DCコンバータがある(例えば特許文献1)。

10

【0003】

インダクタは、スイッチング素子やドライバ等が集積回路として形成された電源ICに対して外付け部品とされることが多く、その場合、ローサイドスイッチング素子のドレイン端子は電源ICの外部端子となり、ESD(Electro Static Discharge)にさらされることが起こり得、ESDのサージが外部端子に飛び込んでも破壊されないことが電源ICには要求される。

【先行技術文献】

20

【特許文献】

【0004】

【特許文献1】特開2002-281744号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

信頼性に優れた半導体装置を提供する。

【課題を解決するための手段】

【0006】

実施形態によれば、半導体装置は、ハイサイドスイッチング素子と、ローサイドスイッチング素子とを備えている。

30

ハイサイドスイッチング素子は、入力電圧ラインと誘導性負荷との間に接続される第1のスイッチング素子を有する。

ローサイドスイッチング素子は、前記誘導性負荷と基準電圧ラインとの間に並列接続される第2のスイッチング素子と第3のスイッチング素子とを有する。

前記第3のスイッチング素子のゲート電極は、前記基準電圧ラインに接続されている。

前記第2のスイッチング素子のサイズは前記第3のスイッチング素子のサイズよりも大きい。

$0 < (\text{前記第3のスイッチング素子の閾値電圧}) < (\text{前記第2のスイッチング素子の内蔵ダイオードのオン電圧})$ である。

40

前記第1のスイッチング素子と前記第2のスイッチング素子との接続点の電位が、 $-$ (前記第3のスイッチング素子の閾値電圧)より大きくなると前記第3のスイッチング素子はオフし、前記接続点の電位が、 $-$ (前記第3のスイッチング素子の閾値電圧)より小さくなると前記第3のスイッチング素子はオンする。

【図面の簡単な説明】

【0007】

【図1】本発明の実施形態に係る半導体装置を用いたDC-DCコンバータの構成例を示す模式図。

【図2】図1における第2のスイッチング素子M2の要部断面構造を例示する模式図。

【図3】図1における第3のスイッチング素子M3の要部断面構造を例示する模式図。

50

【図4】図3に示す第3のスイッチング素子M3における第1の主電極 - 第2の主電極間電圧 V_{ds} と、ドレイン電流 I_{ds} との関係を示す特性図。

【図5】図1における第3のスイッチング素子M3の他の具体例を示す模式断面図。

【図6】図1における第3のスイッチング素子M3のさらに他の具体例を示す模式断面図。

【図7】図1に示すDC-DCコンバータにおける、通常動作時と軽負荷時のスイッチング素子M1～M3およびインダクタ電流 I_L の波形図。

【図8】図7(b)とは軽負荷時における第2のスイッチング素子M2及び第3のスイッチング素子M3の動作タイミングが異なる具体例を示す波形図。

【図9】本発明の他の実施形態に係る半導体装置を用いたDC-DCコンバータの構成例を示す模式図。

10

【図10】図9に示すDC-DCコンバータにおけるスイッチング素子M1、M2、M4の動作タイミングおよびインダクタ電流 I_L の波形を示す図。

【図11】本発明のさらに他の実施形態に係る半導体装置を用いたDC-DCコンバータの構成例を示す模式図。

【図12】図11に示すDC-DCコンバータにおけるM1、M2、 g_2 、 V_x 、 I_L の波形図。

【発明を実施するための形態】

【0008】

以下、図面を参照し、本発明の実施形態について説明する。

20

本発明の実施形態に係る半導体装置は、複数のスイッチング素子を有し、例えばDC-DCコンバータに用いることができる。

図1は、そのDC-DCコンバータの構成例を示す模式図である。

【0009】

このDC-DCコンバータは、ハイサイドスイッチング素子である第1のスイッチング素子M1と、ローサイドスイッチング素子である第2のスイッチング素子M2および第3のスイッチング素子M3と、第1のスイッチング素子M1のゲートを駆動するドライバ5と、第2のスイッチング素子M2のゲートを駆動するドライバ6と、第3のスイッチング素子M3のゲートを駆動するドライバ7と、これらドライバ5～7を制御する制御回路9と、誘導性負荷であるインダクタLと、コンデンサCと、検出回路8とを備える。

30

【0010】

このDC-DCコンバータは、ハイサイドスイッチング素子とローサイドスイッチング素子とを交互にオンオフすることで、入力電圧 V_{in} よりも低い(平均)出力電圧 V_o を負荷10に出力する降圧型DC-DCコンバータ(buck converter)である。

【0011】

図1に示す要素において、第1のスイッチング素子M1、第2のスイッチング素子M2、第3のスイッチング素子M3、ドライバ5～7、制御回路9、検出回路8は、1チップ(もしくは1パッケージ)化された電源ICとして構成される。

【0012】

スイッチング素子M1、M2、M3は、MOSFET(Metal-Oxide-Semiconductor Field Effect Transistor)であり、それぞれ、ドライバ5、6、7を介して制御回路9から供給されるゲート駆動信号 g_1 、 g_2 、 g_3 によってオンオフされる。

40

【0013】

入力電圧 V_{in} が与えられる入力電圧ライン11と出力端子12との間に、第1のスイッチング素子M1とインダクタLが直列に接続されている。第1のスイッチング素子M1は、例えばP型MOSFETであり、そのソース端子が基準電圧ライン11に接続され、ドレイン端子がインダクタLに接続される。

【0014】

第1のスイッチング素子M1とインダクタLとの接続点と、基準電圧ライン(例えばグラウンドライン)との間に、第2のスイッチング素子M2及び第3のスイッチング素子M3

50

が並列に接続されている。

【 0 0 1 5 】

第 2 のスイッチング素子 M 2 及び第 3 のスイッチング素子 M 3 は、例えば N 型 M O S F E T であり、各々のドレイン端子は第 1 のスイッチング素子 M 1 のドレイン端子及びインダクタ L に接続され、各々のソース端子はグラウンドラインに接続されている。

【 0 0 1 6 】

インダクタ L と出力端子 1 2 との接続点は、出力電圧を短時間に大きく変動させないための平滑コンデンサ C を介して接地されている。

【 0 0 1 7 】

また、ローサイドスイッチング素子（第 2 のスイッチング素子 M 2 及び第 3 のスイッチング素子 M 3 ）と、インダクタ L との接続点の電位を検出する検出回路 8 が設けられている。具体的に、検出回路 8 は、ローサイドスイッチング素子とインダクタ L との接続点の電位をリファレンス電位 V_{ref} と比較するコンパレータである。

10

【 0 0 1 8 】

図 7 (a) は、図 1 に示す D C - D C コンバータにおける、軽負荷時でない通常動作時の前記ゲート駆動信号 $g_1 \sim g_3$ およびインダクタ電流 I_L の波形図である。 I_L は、正のときはインダクタ L から負荷 1 0 に向けて流れ、負のときはインダクタ L からローサイドスイッチング素子を介してグラウンドに流れる。

【 0 0 1 9 】

第 1 のスイッチング素子 M 1 のゲート端子と第 2 のスイッチング素子 M 2 のゲート端子には、ほぼ反転位相のゲート駆動信号 g_1 、 g_2 が供給される。第 3 のスイッチング素子 M 3 は、第 2 のスイッチング素子 M 2 と同じタイミングでオンオフされる。あるいは、通常動作時、第 3 のスイッチング素子 M 3 は常時オフであってもよい。

20

【 0 0 2 0 】

第 1 のスイッチング素子 M 1 がオンで、第 2 のスイッチング素子 M 2 及び第 3 のスイッチング素子 M 3 がオフのときは、入力電圧ライン 1 1 から第 1 のスイッチング素子 M 1 及びインダクタ L を経由して負荷 1 0 に電流が供給される。このとき、インダクタ電流 I_L は増加し、インダクタ L にエネルギーが蓄積される。

【 0 0 2 1 】

そして、第 1 のスイッチング素子 M 1 がオフに、第 2 のスイッチング素子 M 2 がオンになると、インダクタ L は蓄積したエネルギーを放出し、グラウンドから第 2 のスイッチング素子 M 2 及びインダクタ L を経由して負荷 1 0 に電流が供給される。このとき第 3 のスイッチング素子 M 3 はオフであってもよい。これは、後述するように、第 3 のスイッチング素子 M 3 が M O S F E T として動作するときの電流駆動能力は第 2 のスイッチング素子 M 2 に比べて十分小さいので、ほとんど第 2 のスイッチング素子 M 2 の電気的特性でコンバータの特性が決定するためである。

30

【 0 0 2 2 】

また、出力電圧 V_o は監視され、所定の目標電圧となるように、制御回路 9 によって第 1 のスイッチング素子 M 1 及び第 2 のスイッチング素子 M 2 のオンオフデューティが制御される。

40

【 0 0 2 3 】

また、第 1 のスイッチング素子 M 1 と第 2 のスイッチング素子 M 2 とが同時にオンにされると、非常に大きな電流（貫通電流）が入力電圧ライン 1 1 からスイッチング素子 M 1、M 2 を介してグラウンドに流れることになる。これを避けるために、スイッチング素子 M 1、M 2 のオンオフのデューティを設定するにあたって、両スイッチング素子 M 1、M 2 が共にオフとなる期間であるデッドタイムを設定している。同じ理由から、第 1 のスイッチング素子 M 1 と第 3 のスイッチング素子 M 3 も同時にオンにならないようにデッドタイムが設定される。

【 0 0 2 4 】

次に、第 2 のスイッチング素子 M 2 と第 3 のスイッチング素子 M 3 の具体的な構造につ

50

いて説明する。以下の具体例では、半導体材料として例えばシリコンを用いた例を説明するが、シリコンに限らず他の半導体材料も使用可能である。また、第1導電型をP型、第2導電型をN型として説明するが、第1導電型がN型、第2導電型がP型であってもよい。

【0025】

図2は、第2のスイッチング素子M2の要部断面構造を示す模式図である。

【0026】

第2のスイッチング素子M2は、P⁻型層21の表層部に、P⁺型のコンタクト層25、N⁺型のソース層22、N型のドリフト層24、N⁺型のドレイン層23が形成され、さらにそれら表面上に第1の主電極28、第2の主電極27、ゲート電極29が設けられたLDMOS (Lateral Diffusion Metal-Oxide-Semiconductor) 構造を有する。

10

【0027】

ソース層22とドレイン層23とは互いに離間して設けられ、これらの間にはドリフト層24がドレイン層23に接して設けられている。ドリフト層24は、ソース層22及びドレイン層23よりも不純物濃度が低い。

【0028】

ソース層22とドリフト層24との間のP⁻型層21表面上にはゲート絶縁膜26を介してゲート電極29が設けられている。ソース層22における、ゲート電極29側とは反対側の端部には、P⁻型層21よりも不純物濃度が高いP⁺型のコンタクト層25がソース層22に接して設けられている。

20

【0029】

ソース層22とコンタクト層25の表面上にはソース電極として機能する第2の主電極27が設けられている。これにより、ソース層22は第2の主電極27と電氣的に接続され、P⁻型層21はコンタクト層25を介してソース電位とされる。ドレイン層23の表面上にはドレイン電極として機能する第1の主電極28が設けられ、ドレイン層23は第1の主電極28と電氣的に接続されている。

【0030】

ゲート電極29に所定のゲート電圧が与えられると、ゲート電極29下のP⁻型層21表層部にN型の反転層(チャネル)が形成され、ドレイン層23、ドリフト層24、チャネルおよびソース層22を介して、第1の主電極28と第2の主電極27との間にドレイン電流が流れる。

30

【0031】

DC-DCコンバータに使用されるスイッチング素子は低オン抵抗と高速性が求められる。特に高速性を実現するためには、ゲート-ドレイン間の容量を減らすことが重要である。

【0032】

図2に示す構造の場合、ゲート電極29をマスクとしてドリフト層24をセルフアラインすることで、ゲート-ドレイン間容量が極力小さくなるようにされている。すなわち、ドリフト層24は、ゲート電極29形成後にイオン注入にてP⁻型層21表層部にN型不純物を注入することによって形成される。通常、ゲート電極形成後は、ハイサイドスイッチング素子及びローサイドスイッチング素子と共に混載されるドライバ等を構成するCMOS等に影響を与えるため、熱処理工程はほとんどない。したがって、P⁻型層21中へのドリフト層24の接合深さ(N型不純物拡散深さ)は浅い。

40

【0033】

再び図1を参照すると、ローサイドスイッチング素子(第2のスイッチング素子M2、第3のスイッチング素子M3)のドレイン端子は、これらを集積回路として形成したICに対して外部部品となるインダクタLに接続するための外部端子となる。そのため、ESD (Electro Static Discharge) にさらされることが起こり得、その外部端子にサージ(瞬間的に発生する過剰電圧、電流パルスなどの電氣的ストレス)が印加しても破壊されないことがICには求められる。

50

【0034】

図2に示す構造において、ドレイン端子にESDサージが印加されると、ゲート-ドレイン間の電界が強くなり、大きなアバランシェ電流が流れる。前述したようにドリフト層24の接合深さは浅いため、ドリフト層24に電流が集中し、信頼性が低下する問題が懸念される。

【0035】

そこで、本実施形態では、ESD保護素子としての機能を有する第3のスイッチング素子M3を第2のスイッチング素子M2に対して並列に設けている。

図3は、その第3のスイッチング素子M3の要部断面構造を示す模式図である。

【0036】

第3スイッチング素子M3も、第2のスイッチング素子M2と同様、P⁻型層21の表層部に、P⁺型のコンタクト層37、N⁺型のソース層32、N型のドリフト層34、N⁺型のドレイン層33が形成され、さらにそれら表面上に第1の主電極28、第2の主電極27、ゲート電極29が設けられたLDMOS構造を有する。

【0037】

ソース層32とドレイン層33とは互いに離間して設けられ、これらの間にはドリフト層34がドレイン層33に接して設けられている。ドリフト層34は、ソース層32及びドレイン層33よりも不純物濃度が低い。

【0038】

ソース層32とドリフト層34との間のP⁻型層21表面上にはゲート絶縁膜26を介してゲート電極29が設けられている。ソース層32における、ゲート電極29側とは反対側の端部には、P⁻型層21よりも不純物濃度が高いP⁺型のコンタクト層37がソース層32に接して設けられている。

【0039】

さらに、第3のスイッチング素子M3において、P⁺型のアノード層36がドレイン層33中に設けられ、またドレイン層33及びアノード層36の下に、これらに接してN型層31が設けられている。

【0040】

ソース層32とコンタクト層37の表面上には第2の主電極27が設けられている。これにより、ソース層32は第2の主電極27と電氣的に接続され、P⁻型層21はコンタクト層37を介してソース電位とされる。ドレイン層33及びアノード層36の表面上には第1の主電極28が設けられ、ドレイン層33及びアノード層36は第1の主電極28と電氣的に接続されている。

【0041】

第3のスイッチング素子M3において、アノード層36とN型層31とP⁻型層21はPNP型のバイポーラトランジスタを構成し、コンタクト層37とP⁻型層21とN型層31はNPN型のバイポーラトランジスタを構成し、これらPNP型トランジスタ及びNPN型トランジスタによってサイリスタが構成される。サイリスタ動作するときには、第1の主電極28がアノード電極として機能し、第2の主電極27がカソード電極として機能する。

【0042】

したがって、第3のスイッチング素子M3は、MOS構造部とサイリスタ構造部とが、第1の主電極28と第2の主電極27間に並列に接続された構成を有する。

【0043】

ドレイン端子にESDサージが飛び込まず、第1の主電極28と第2の主電極27間にかかる電圧が定格電圧以内のときは、上記サイリスタは動作せず、ゲート電極29に与えられるゲート電圧に応じてMOS構造部がオンオフする。すなわち、ゲート電極29にしきい値電圧以上の電圧が印加されるとゲート電極29下のP⁻型層21表層部にチャンネルが形成され、ドレイン層33、ドリフト層34、チャンネルおよびソース層32を介して第1の主電極28と第2の主電極27間に電流が流れる(この電流経路を主電流経路とする

10

20

30

40

50

)。ゲート電圧がしきい値電圧より低い場合には、ゲート電極 29 下にチャネルは形成されず、第 1 の主電極 28 と第 2 の主電極 27 間は導通せず、第 3 のスイッチング素子 M3 はオフ状態となる。

【0044】

MOS 構造部における上記主電流経路に対して、サイリスタはサージ印加時にサージ電流が流れるサージ電流経路として機能する。

【0045】

第 3 のスイッチング素子 M3 のサイリスタはアバランシェブレークダウンをトリガーとして活性化される。そこで、前述した外部端子（ローサイドスイッチング素子のドレイン端子）にサージが飛び込んだときに、第 3 のスイッチング素子 M3 でアバランシェブレークダウンが起きるように、第 3 のスイッチング素子 M3 は、第 2 のスイッチング素子 M2 よりも耐圧が低くなるように設計されている。具体的には、第 3 のスイッチング素子 M3 におけるドリフト層 34 の長さ L_2 が、第 2 のスイッチング素子 M2 におけるドリフト層 24 の長さ L_1 よりも短い ($L_1 > L_2$)。ここでの、ドリフト層の長さとは、ゲートとドレインとを結ぶ方向の長さを意味する。

【0046】

上記外部端子に正のサージ電圧（第 2 の主電極 27 に対して第 1 の主電極 28 が高電位となるサージ電圧）が印加された場合、ゲート電極 29（図示しないプルダウン抵抗を介して第 2 の主電極 27 の電位と同電位になっている）と、第 1 の主電極 28 との間に高電圧が印加され、ドリフト層は空乏化する。ここで、第 3 のスイッチング素子 M3 の方が第 2 のスイッチング素子 M2 よりも耐圧が低い（ドリフト層の長さが短い）ことから、第 3 のスイッチング素子 M3 のドレイン層 33 におけるゲート電極 29 側端部の電界強度がより高くなり、そのポイントでアバランシェブレークダウンを起こす。

【0047】

このアバランシェブレークダウンにより電子と正孔が発生し、正孔は P⁻ 型層 21 とコンタクト層 37 を通って第 2 の主電極 27 に流れ、電子はドレイン層 33 におけるゲート電極 29 側の端部からアノード層 36 下の N 型層 31 をまわり込んで第 1 の主電極 28 に流れる。

【0048】

ここで、電子が N 型層 31 を移動するとき N 型層 31 に存在する寄生抵抗によって電圧降下が生じる。すなわち、第 1 の主電極 28 にオーミックコンタクトし第 1 の主電極 28 と同電位であるアノード層 36 の電位を V_d 、N 型層 31 の抵抗を R 、N 型層 31 を流れる電流を I とすると、N 型層 31 の電位はアノード層 36 の電位 V_d より低い ($V_d - RI$) となる。

【0049】

したがって、アノード層 36 と N 型層 31 との PN 接合に順方向のバイアスがかかり、アノード層 36 から正孔が P⁻ 型層 21 に注入される。これは NPN トランジスタのベース電流となり、これに応じて流れる NPN トランジスタのコレクタ電流が PNP トランジスタのベース電流となり、このベース電流に対応した PNP トランジスタのコレクタ電流が NPN トランジスタのベース電流となるといったサイクルが繰り返され、サイリスタが活性化される。

【0050】

サイリスタが活性化することで、サイリスタを介した第 1 の主電極 28 と第 2 の主電極 27 間の経路が、大電流を流すことが可能な低抵抗状態になる。これにより、より小さな素子面積で、サイリスタを通じて速やかにサージ電流をグラウンドに放電することができる。すなわち、サージ電圧印加時、第 3 のスイッチング素子 M3 が応答性良くサイリスタ動作して速やかにサージ電流を引き込んでグラウンドへと流すことで、第 2 のスイッチング素子 M2 のサージによる破壊を防ぐことができる。

【0051】

ESD 保護機能を有する第 3 のスイッチング素子 M3 を設けず、第 2 のスイッチング素

10

20

30

40

50

子M2自体をESD耐量に優れた素子構造とすることも考えられるが、通常、ESD耐量を持たせるには第1の主電極と第2の主電極間の距離が長くなり、コンバータのスイッチング素子として機能するときのオン抵抗が大きくなってしまふ。

【0052】

本実施形態では、ESD保護素子としての機能は第3のスイッチング素子M3が担い、DC-DCコンバータにおけるローサイドスイッチング素子としての役割はほとんど第2のスイッチング素子M2が担うため、第2のスイッチング素子M2は、コンバータで必要とされる特性を最優先した設計を行える。すなわち、それぞれ役割を分担した第2のスイッチング素子M2と第3のスイッチング素子M3とからローサイドスイッチング素子を構成することで、DC-DCコンバータ本来の特性は損ねずに、なおかつESDからの保護も実現できる。

10

【0053】

図4は、第3のスイッチング素子M3におけるドレイン-ソース間電圧(第1の主電極28-第2の主電極27間電圧) V_{ds} と、ドレイン電流 I_{ds} との関係を示す特性図である。縦軸の I_{esd} は、ESDサージ電流の最大電流値である。また、図4にはゲート電圧 V_{gs} がゼロボルトの場合($V_{gs} = 0$)と、ゼロボルトより大きい場合($V_{gs} > 0$)とを示している。

【0054】

ドレイン-ソース間電圧 V_{ds} が定格電圧以内では、第3のスイッチング素子M3はサイリスタ動作しないが、定格電圧より大きなESDの高電圧が印加されたときはサイリスタ動作する。すなわち、第3のスイッチング素子M3は、定格電圧以内ではスイッチングMOSFETとして機能し、ESD印加時はESD保護素子として機能する。

20

【0055】

次に、図5は、第3のスイッチング素子M3の他の具体例を示す模式断面図である。

【0056】

図5に示す第3のスイッチング素子M3は次のような構造を有する。P型基板41上に、高不純物濃度の N^+ 型埋め込み層42が設けられ、その N^+ 型埋め込み層42の上に、 N^- 型層43と P^- 型層44が選択的に設けられている。 N^- 型層43の上には P^- 型層44に隣接してP型ベース層47が設けられている。

【0057】

P型ベース層47の表層部に、 N^+ 型のソース層46と P^+ 型のコンタクト層45が選択的に設けられている。ソース層46とコンタクト層45は隣接し、それら表面上に第2の主電極27が設けられている。ソース層46及びコンタクト層45は第2の主電極27と電氣的に接続され、またPベース層47にはコンタクト層45を介して第2の主電極27の電位が与えられる。

30

【0058】

P^- 型層44の表層部には、 N^+ 型のドレイン層49とN型のドリフト層48が選択的に設けられている。ドリフト層48はソース層46とドレイン層49との間に位置し、ドレイン層49に隣接している。ドリフト層48はドレイン層49よりも不純物濃度が低く、例えばドリフト層48の不純物濃度は $2 \times 10^{12} \sim 4 \times 10^{12} / \text{cm}^2$ である。

40

【0059】

ソース層46とドリフト層48との間におけるP型ベース層47及び P^- 型層44の表面上には、ゲート絶縁膜26を介してゲート電極29が設けられている。

【0060】

ドレイン層49側の N^+ 型埋め込み層42の上には素子表面に至るまで N^+ 型層51が設けられている。ドレイン層49と N^+ 型層51とは抵抗を介して接続され、また、ドレイン層49及び N^+ 型層51は第1の主電極28と電氣的に接続されている。

【0061】

この図5に示す第3のスイッチング素子M3において、ドレイン層49、ドリフト層48、ゲート電極29、P型ベース層47及び P^- 型層44におけるゲート電極29下のチ

50

ヤネル形成領域、ソース層46はLDMOSを構成する。また、ソース層46、P型ベース層47、N⁻型層43、N⁺型埋め込み層42、N⁺型層51はNPN型のバイポーラトランジスタTr1を構成する。これらLDMOSとバイポーラトランジスタTr1は、第1の主電極28と第2の主電極27間に並列に接続されている。バイポーラトランジスタTr1はサージ印加時にサージ電流が流れるサージ電流経路として機能する。

【0062】

バイポーラトランジスタTr1はアバランシェブレイクダウンをトリガーとして活性化される。そこで、前述した外部端子(ローサイドスイッチング素子のドレイン端子)にサージが飛び込んだときに、第3のスイッチング素子M3でアバランシェブレイクダウンが起きるように、第3のスイッチング素子M3は、第2のスイッチング素子M2よりも耐圧が低くなるように設計されている。すなわち、図5に示す第3のスイッチング素子M3においても、そのドリフト層48の長さL2は、図2に示す第2のスイッチング素子M2のドリフト層24の長さL1よりも短い(L1 > L2)。

10

【0063】

上記外部端子に正のサージ電圧が印加された場合、図示しないブルダウン抵抗を介して第2の主電極27の電位と同電位になっているゲート電極29と、第1の主電極28との間に高電圧が印加され、ドリフト層は空乏化する。ここで、第3のスイッチング素子M3の方が第2のスイッチング素子M2よりも耐圧が低い(ドリフト層の長さが短い)ことから、第3のスイッチング素子M3のドレイン層49におけるゲート電極29側端部の電界強度がより高くなり、そのポイントでアバランシェブレイクダウンを起こす。

20

【0064】

このアバランシェブレイクダウンにより電子と正孔が発生し、電子は第1の主電極28に流れ、正孔はP⁻型層44、P型ベース層47、コンタクト層45を通過して第2の主電極27に流れる。

【0065】

ここで、正孔がP型ベース層47を移動するときP型ベース層47に存在する寄生抵抗によって電圧降下が生じる。すなわち、第2の主電極27にオーミックコンタクトし第2の主電極27と同電位であるソース層46の電位をV_s、P型ベース層47の抵抗をR、P型ベース層47を流れる電流をIとすると、P型ベース層47におけるソース層46下の電位はV_sより低い(V_s - RI)となる。

30

【0066】

したがって、ソース層46とP型ベース層47とのPN接合に順方向のバイアスがかかり、ソース層46から電子がN⁻型層43及びN⁺型埋め込み層42に注入される。これにより、NPN型バイポーラトランジスタTrが活性化される。

【0067】

バイポーラトランジスタTr1が活性化することで、そのバイポーラトランジスタTr1を通じた第1の主電極28と第2の主電極27間の経路が、大電流を流すことが可能な低抵抗状態になる。これにより、より小さな素子面積で、バイポーラトランジスタTr1を通じて速やかにサージ電流をグランドに放電することができる。すなわち、サージ電圧印加時、第3のスイッチング素子M3が応答性良くサイリスタ動作して速やかにサージ電流を引き込んでグランドへと流すことで、第2のスイッチング素子M2のサージによる破壊を防ぐことができる。

40

【0068】

上記外部端子に負のサージ電圧(第2の主電極27に対して第1の主電極28が低電位となるサージ電圧)が印加された場合、コンタクト層45、P型ベース層47、P⁻型層44、N⁺型埋め込み層42、N⁺型層51、ドレイン層49から構成されるPNダイオードに順方向バイアスがかかり、そのダイオードを通じてサージ電流は速やかにグランドへと流れる。

【0069】

ESDサージが飛び込まず、第1の主電極28と第2の主電極27間にかかる電圧が定

50

格電圧以内のときは、上記バイポーラトランジスタ $T r 1$ は動作せず、ゲート電極 29 に与えられるゲート電圧に応じて LDMOS がオンオフする。

【0070】

すなわち、ゲート電極 29 にしきい値電圧以上の電圧が印加されるとゲート電極 29 下の P 型ベース層 47 及び P⁻ 型層 44 表層部にチャンネルが形成され、ドレイン層 49、ドリフト層 48、チャンネルおよびソース層 46 を介して第 1 の主電極 28 と第 2 の主電極 27 間に電流が流れる。ゲート電圧がしきい値電圧より低い場合には、ゲート電極 29 下にチャンネルは形成されず、第 1 の主電極 28 と第 2 の主電極 27 間は導通せず、第 3 のスイッチング素子 M3 はオフ状態となる。

【0071】

次に、図 6 は、第 3 のスイッチング素子 M3 のさらに他の具体例を示す模式断面図である。

【0072】

図 6 に示す第 3 のスイッチング素子 M3 は次のような構造を有する。P 型基板 41 上に、高不純物濃度の N⁺ 型埋め込み層 42 が設けられ、その N⁺ 型埋め込み層 42 の上に、P 型層 52 と P⁻ 型層 57 とが隣接して設けられている。

【0073】

P 型層 52 及び P⁻ 型層 57 の表層部に、N⁺ 型のソース層 54 が選択的に設けられている。また、P 型層 52 の表層部に、ソース層 54 に隣接して P⁺ 型のコンタクト層 53 が設けられている。

【0074】

ソース層 54 及びコンタクト層 53 の表面上に第 2 の主電極 27 が設けられ、ソース層 54 及びコンタクト層 53 は第 2 の主電極 27 と電氣的に接続されている。また P 型層 52 にはコンタクト層 53 を介して第 2 の主電極 27 の電位が与えられる。

【0075】

P⁻ 型層 57 の表層部には、N⁺ 型のドレイン層 56 と N 型のドリフト層 55 が選択的に設けられている。ドリフト層 55 はソース層 54 とドレイン層 56 との間に位置し、ドレイン層 56 に隣接している。ドリフト層 55 はドレイン層 56 よりも不純物濃度が低く、例えばドリフト層 55 の不純物濃度は $2 \times 10^{12} \sim 4 \times 10^{12} / \text{cm}^2$ である。

【0076】

ソース層 54 とドリフト層 55 との間における P⁻ 型層 57 の表面上には、ゲート絶縁膜 26 を介してゲート電極 29 が設けられている。

【0077】

ドレイン層 56 下の N⁺ 型埋め込み層 42 の上には、ドレイン層 56 に接して N⁺ 型層 51 が設けられている。ドレイン層 56 及び N⁺ 型層 51 は第 1 の主電極 28 と電氣的に接続されている。

【0078】

この図 6 に示す第 3 のスイッチング素子 M3 において、ドレイン層 56、ドリフト層 55、ゲート電極 29、P⁻ 型層 57 におけるゲート電極 29 下のチャンネル形成領域、ソース層 54 は LDMOS を構成する。また、コンタクト層 53、P 型層 52、N⁺ 型埋め込み層 42、N⁺ 型層 51 は PN ダイオード D1 を構成する。これら LDMOS とダイオード D1 は、第 1 の主電極 28 と第 2 の主電極 27 間に並列に接続されている。ダイオード D1 はサージ印加時にサージ電流が流れるサージ電流経路として機能する。

【0079】

前述した外部端子（ローサイドスイッチング素子のドレイン端子）にサージが飛び込んだときに、第 3 のスイッチング素子 M3 の上記ダイオード D1 でなだれ降伏が起きるように、第 3 のスイッチング素子 M3 は、第 2 のスイッチング素子 M2 よりも耐圧が低く設計されている。

【0080】

また、第 3 のスイッチング素子 M3 において、LDMOS における第 1 の主電極 28 と

10

20

30

40

50

ゲート電極 29 間の耐圧は、ダイオード D1 の耐圧よりも大きく設定されている。このような耐圧関係は、ドリフト層 55 の長さ L2 を長くする、P 型層 52 の拡散深さを深くする、P 型層 52 の不純物濃度を高くすることなどによってコントロール可能である。

【0081】

前述した外部端子に正のサージ電圧（ダイオード D1 にとっては逆方向バイアス）が印加された場合、ダイオード D1 がなだれ降伏する。このなだれ降伏する箇所は P 型層 52 と N⁺ 型埋め込み層 42 との接合面であり、比較的広い面全体にわたって電界集中箇所が形成されるため電流集中が起きにくく、ダイオード D1 は破壊に強い電気的特性を有する。上記なだれ降伏により、ダイオード D1 を通じた第 1 の主電極 28 と第 2 の主電極 27 間の経路が、大電流を流すことが可能な低抵抗状態になり、サージ電流を速やかにグラ

10

【0082】

上記外部端子に負のサージ電圧が印加された場合、ダイオード D1 にとって順方向バイアスであるため、そのダイオード D1 を通じてサージ電流は速やかにグラ

【0083】

ESD サージが飛び込まず、第 1 の主電極 28 と第 2 の主電極 27 間にかかる電圧が定格電圧以内のときは、上記ダイオード D1 は動作せず、ゲート電極 29 に与えられるゲート電圧に応じて LDMOS がオンオフする。

【0084】

すなわち、ゲート電極 29 にしきい値電圧以上の電圧が印加されるとゲート電極 29 下の P⁻ 型層 57 表層部にチャネルが形成され、ドレイン層 56、ドリフト層 55、チャネルおよびソース層 54 を介して第 1 の主電極 28 と第 2 の主電極 27 間に電流が流れる。ゲート電圧がしきい値電圧より低い場合には、ゲート電極 29 下にチャネルは形成されず、第 1 の主電極 28 と第 2 の主電極 27 間は導通せず、第 3 のスイッチング素子 M3 はオフ状態となる。

20

【0085】

次に、第 2 のスイッチング素子 M2 と第 3 のスイッチング素子 M3 の、オンオフのタイミングについて説明する。

【0086】

通常動作時、図 7 (a) に示すように、第 3 のスイッチング素子 M3 は第 2 のスイッチング素子 M2 と同じタイミングでオンする。これらローサイドスイッチング素子がオンのとき、第 2 のスイッチング素子 M2 及び第 3 のスイッチング素子 M3 はインダクタ L を介して負荷 10 に電流を供給する。ただし、第 3 のスイッチング素子 M3 は常時オフでもコンバータの特性には大きく影響しない。これは、後述するように第 3 のスイッチング素子 M3 の電流駆動能力は第 2 のスイッチング素子 M2 に比べて十分小さいので、ほとんど第 2 のスイッチング素子 M2 の電気的特性でコンバータの特性を決定しているためである。

30

【0087】

ハイサイドスイッチング素子（第 1 のスイッチング素子 M1）がオンで、ローサイドスイッチング素子（第 2 のスイッチング素子 M2 及び第 3 のスイッチング素子 M3）がオフである期間、負荷 10 に向かって流れる方向の（正の）インダクタ電流 I_L は増大していき、インダクタ L にエネルギーが蓄積される。

40

【0088】

しかし、負荷 10 に流れる電流が小さな軽負荷時において、インダクタ L に流れる電流値が小さいと、ハイサイドスイッチング素子（第 1 のスイッチング素子 M1）のオン時にインダクタ L に蓄積されるエネルギーが小さい。そのため、ローサイドスイッチング素子がオンとなっている期間中、あるタイミングでインダクタ L に蓄積されたエネルギーがゼロとなる。その後、インダクタ L に流れる電流は負荷 10 からローサイドスイッチング素子を介してグラ

50

【 0 0 8 9 】

特に、携帯機器等のバッテリー駆動の機器では、軽負荷時においてもDC - DCコンバータの変換効率が優れていることが求められている。

【 0 0 9 0 】

そこで、本実施形態では、第2のスイッチング素子M2については所望のコンバータ特性を得るのに必要な電流駆動能力を有するようにし、これに対して第3のスイッチング素子M3については第2のスイッチング素子M2よりも十分低い電流駆動能力となるようにしている。なお、ここでの電流駆動能力は、ESDサージ印加時ではなく、定格電圧以内でMOSFETとして動作する時の電流駆動能力である。第3のスイッチング素子M3の方が第2のスイッチング素子M2よりも電流駆動能力が低いということは、第3のスイッチング素子M3の方が第2のスイッチング素子M2よりもオン抵抗が大きい。

10

【 0 0 9 1 】

例えば、第3のスイッチング素子M3のセル面積を第2のスイッチング素子M2のセル面積よりも小さくする、あるいは第3のスイッチング素子M3の方が第2のスイッチング素子M2よりもしきい値電圧を高く設定することなどで、第2のスイッチング素子M2に比べて第3のスイッチング素子M3の電流駆動能力を低くすることができる。

【 0 0 9 2 】

また、本実施形態のDC - DCコンバータは、図1を参照して前述したように、ローサイドスイッチング素子(第2のスイッチング素子M2及び第3のスイッチング素子M3)と、インダクタLとの接続点の電位を監視する検出回路8を有している。検出回路8は、

20

【 0 0 9 3 】

上記接続点の電位を検出してリファレンス電位Vrefと比較する。

軽負荷時でない通常動作時において、ハイサイドスイッチング素子がオフで、ローサイドスイッチング素子がオンの期間、グラウンドからローサイドスイッチング素子を介して上記接続点に電流が流れるので上記接続点の電位は負電位となる。

【 0 0 9 4 】

軽負荷時において、ハイサイドスイッチング素子がオフで、ローサイドスイッチング素子がオンの期間中、インダクタに蓄積されるエネルギーがゼロになり、負荷10からインダクタL及びローサイドスイッチング素子を介してグラウンドに電流が流れると、上記接続点の電位は正電位となる。

30

【 0 0 9 5 】

したがって、上記接続点の電位とリファレンス電位Vrefとの比較結果から、インダクタ電流ILの正負がわかる。そして、本実施形態では、軽負荷時のタイミングチャートを示す図7(b)に示すように、インダクタ電流ILが負となる期間中、第2のスイッチング素子M2がオフで、第3のスイッチング素子M3がオンとなる期間を設けている。

【 0 0 9 6 】

第3のスイッチング素子M3は前述したように電流駆動能力が低い(オン抵抗が大きい)ため、インダクタ電流ILが負となっているときに第3のスイッチング素子M3のみがオン状態になることで、インダクタLからローサイドスイッチング素子を介してグラウンドに流れる電流を小さく抑えることができる。すなわち、負荷10には供給されずにグラウンドへと流れる無効電流が減り、効率の低下を抑えることができる。

40

【 0 0 9 7 】

図7(b)に示すタイミング例では、第2のスイッチング素子M2と第3のスイッチング素子M3が同時にオンする期間があるが、図8に示すように、第2のスイッチング素子M2がオンのときは第3のスイッチング素子M3がオフに、第3のスイッチング素子M3がオンのときは第2のスイッチング素子M2はオフに、というように第2のスイッチング素子M2と第3のスイッチング素子M3とが同時にオンする期間が存在しなくてもよい。これは、第3のスイッチング素子M3の電流駆動能力は第2のスイッチング素子M2に比べて十分小さいので、第2のスイッチング素子M2と第3のスイッチング素子M3とが同時にオンしていても、ほとんど第2のスイッチング素子M2の電気的特性でコンバータの

50

特性が決まるためである。

【 0 0 9 8 】

図 7 (b)、図 8 に示す例では、第 2 のスイッチング素子 M 2 がオフで第 3 のスイッチング素子 M 3 がオンである期間の開始タイミングはインダクタ電流 I_L が正からゼロになる直前となっているが、ゼロになった瞬時もしくはゼロになった直後であってもよい。なお、第 3 のスイッチング素子 M 3 についても第 1 のスイッチング素子 M 1 と同時にオンとなる期間があると入力電圧ライン 1 1 からグランドへと貫通電流が流れてしまうため、第 3 のスイッチング素子 M 3 は、第 1 のスイッチング素子 M 1 がオンになるよりも前にオフさせる必要がある。

【 0 0 9 9 】

なお、さらなる軽負荷時においては、ハイサイドスイッチング素子とローサイドスイッチング素子とのスイッチング周波数を小さくすることで効率を改善することができる。

【 0 1 0 0 】

次に、図 9 は、本発明の他の実施形態に係る半導体装置を用いた DC - DC コンバータの構成例を示す模式図である。

図 1 0 は、図 9 に示す DC - DC コンバータにおけるスイッチング素子 M 1、M 2、M 4 の動作タイミングおよびインダクタ電流 I_L の波形を示す。

【 0 1 0 1 】

第 1 のスイッチング素子 M 1、第 2 のスイッチング素子 M 2 および第 3 のスイッチング素子 M 4 は MOSFET である。図 1 を参照して前述した実施形態と同様、第 1 のスイッチング素子 M 1 と第 2 のスイッチング素子 M 2 は、それぞれドライバ 5、6 を介して制御回路 9 から供給されるゲート駆動信号 g_1 、 g_2 によってオンオフされる。しかし、本実施形態では、第 3 のスイッチング素子 M 4 のゲートは常にグランドに接続されている点が図 1 に示す実施形態と異なる。したがって、第 3 のスイッチング素子 M 4 のゲート電極とソース電極とが電氣的に短絡されている。

【 0 1 0 2 】

第 3 のスイッチング素子 M 4 は第 2 のスイッチング素子 M 2 と共に、DC - DC コンバータにおけるローサイドスイッチング素子として機能するが、前述した実施形態における第 3 のスイッチング素子 M 3 と異なり、必ずしも ESD 保護機能は備えていなくてもよい。

【 0 1 0 3 】

また、図 9 には、第 2 のスイッチング素子 M 2、第 3 のスイッチング素子 M 4 におけるそれぞれの内蔵ダイオード (寄生ダイオード) d_1 、 d_2 を示す。内蔵ダイオード d_1 、 d_2 は、第 2 のスイッチング素子 M 2、第 3 のスイッチング素子 M 4 のそれぞれのドレイン - ソース間に主電流経路に対して並列に存在し、ソースからドレインに向かう方向を順方向としている。

【 0 1 0 4 】

第 2 のスイッチング素子 M 2 のサイズは第 3 のスイッチング素子 M 4 のサイズよりも大きい。

また、第 3 のスイッチング素子 M 4 の閾値電圧は次のように設定されている。

$0 < (\text{第 3 のスイッチング素子 M 4 の閾値電圧}) < (\text{第 2 のスイッチング素子 M 2 の内蔵ダイオード } d_1 \text{ のオン電圧}) \dots (1)$ 。

【 0 1 0 5 】

こうすることで、第 1 のスイッチング素子 M 1 と第 2 のスイッチング素子 M 2 との接続点の電位が、 $- (\text{第 3 のスイッチング素子 M 4 の閾値電圧})$ より大きくなると第 3 のスイッチング素子 M 4 はオフし、上記接続点の電位が、 $- (\text{第 3 のスイッチング素子 M 4 の閾値電圧})$ より小さくなると第 3 のスイッチング素子 M 3 はオンする。

【 0 1 0 6 】

図 1 0 (a) に示す通常動作時において、第 1 のスイッチング素子 M 1 がオフの期間は、第 1 のスイッチング素子 M 1 と第 2 のスイッチング素子 M 2 との接続点の電位は負にな

10

20

30

40

50

る。第1のスイッチング素子M1と第2のスイッチング素子M2が両方ともオフの間は、もし第3のスイッチング素子M4がない場合には、第1のスイッチング素子M1と第2のスイッチング素子M2との接続点の電位は、 $-$ （第2のスイッチング素子M2の内蔵ダイオードd1のオン電圧）となる。しかし、第3のスイッチング素子M4が存在することで、第3のスイッチング素子M4のゲート-ソース間電圧が上記(1)式の関係より閾値電圧以上となり、第3のスイッチング素子M4はオン状態となる。

【0107】

第2のスイッチング素子M2がオン状態となると、第2のスイッチング素子M2のサイズは第3のスイッチング素子M4のサイズより大きく、かつ、印加されるゲート-ソース間電圧が第2のスイッチング素子M2の方が第3のスイッチング素子M4より大きいため、オン抵抗は第3のスイッチング素子M4の方が低くなる。したがって、第1のスイッチング素子M1と第2のスイッチング素子M2との接続点の電位はグラウンド電位に近づき、第3のスイッチング素子M4はオフとなる。

10

【0108】

図10(b)に示す軽負荷時1において、還流時にある期間第2のスイッチング素子M2をオンし、その後第2のスイッチング素子M2をオフさせると、インダクタ電流ILが負荷10へ流れている場合、第1のスイッチング素子M1と第2のスイッチング素子M2との接続点の電位は負となり、第3のスイッチング素子M4はオン状態となる。

その後、インダクタ電流ILが負荷10からグラウンドへ向かって流れようとする、第1のスイッチング素子M1と第2のスイッチング素子M2との接続点の電位は正となり、第3のスイッチング素子M4はオフ状態となる。したがって、負荷10からグラウンドへ流れる無効電流をなくすることができる。また、第3のスイッチング素子M4のオン、オフをする制御回路が必要ないために回路構成を簡単にすることができる。

20

【0109】

軽負荷時1よりもさらに軽負荷になった図10(c)に示す軽負荷時2において、還流時にある期間第2のスイッチング素子M2をオンさせない。そうすることで、第1のスイッチング素子M1と第2のスイッチング素子M2との接続点の電位は負となり、第3のスイッチング素子M4はオン状態となる。その後、インダクタ電流ILが負荷10からグラウンドへ向かって流れようとする、第1のスイッチング素子M1と第2のスイッチング素子M2との接続点の電位は正となり、第3のスイッチング素子M4はオフ状態となる。したがって、負荷10からグラウンドへ向かって流れようとする無効電流をなくすることができる。

30

【0110】

軽負荷時においても比較的電流が大きい軽負荷時1では、第3のスイッチング素子M4の導通損失が大きい、負荷電流が大きい領域で第2のスイッチング素子M2をオン状態にし、負荷電流がより小さな軽負荷時2では、第3のスイッチング素子M4の導通損失よりも第2のスイッチング素子M2をドライブする損失が大きい、第2のスイッチング素子M2をオン状態にせず動作させる。こうすることで、低電流領域での変換効率を改善できる。

【0111】

次に、図11は、本発明のさらに他の実施形態に係る半導体装置を用いたDC-DCコンバータの構成例を示す模式図である。

40

図12は、図11に示すDC-DCコンバータにおけるスイッチング素子M1、M2の動作タイミング、スイッチング素子M2のゲート電圧g2、ハイサイドスイッチング素子(第1のスイッチング素子M1)とローサイドスイッチング素子(第2のスイッチング素子M2)との接続点の電位Vx、インダクタ電流ILの波形を示す。

【0112】

第1のスイッチング素子M1及び第2のスイッチング素子M2はMOSFETである。前述した実施形態と同様、第1のスイッチング素子M1と第2のスイッチング素子M2は、それぞれドライバ5、6を介して制御回路9から供給されるゲート駆動信号によってオ

50

ンオフされる。しかし、本実施形態では、第3のスイッチング素子が存在しない点が図9に示す実施形態と異なる。

【0113】

また、本実施形態では、第2のスイッチング素子M2の閾値電圧は次のように設定されている。

$0 < (\text{第2のスイッチング素子M2の閾値電圧}) < (\text{第2のスイッチング素子M2の内蔵ダイオードd1のオン電圧}) \dots (2)$ 。

【0114】

こうすることで、第2のスイッチング素子M2のゲート電圧が基準電位(ローレベル“L”)の場合において、第1のスイッチング素子M1と第2のスイッチング素子M2との接続点の電位Vxが、-(第2のスイッチング素子M2の閾値電圧)より大きくなると第2のスイッチング素子M2はオフし、上記接続点の電位Vxが、-(第2のスイッチング素子M2の閾値電圧)より小さくなると第2のスイッチング素子M2はオンする。

10

【0115】

図12(a)に示す通常動作時において、第1のスイッチング素子M1がオフの期間は、第1のスイッチング素子M1と第2のスイッチング素子M2との接続点の電位Vxは負になる。第1のスイッチング素子M1がオフで第2のスイッチング素子M2のゲート電圧g2がローレベル“L”の期間は、図10(a)と同様、第2のスイッチング素子M2はオン状態となる。しかし、このときゲートバイアスが浅いのでオン抵抗は高く、第2のスイッチング素子M2のゲート電圧g2がハイレベル“H”になることでオン抵抗を低くできる。そうすることで、第1のスイッチング素子M1と第2のスイッチング素子M2との接続点の電位Vxは、第2のスイッチング素子M2のゲート電圧g2がハイレベル“H”になることで、基準電位(0ボルト)に近づく。

20

【0116】

本実施形態における第2のスイッチング素子M2は、図9に示す実施形態における第3のスイッチング素子M4を兼ねている。その第3のスイッチング素子M4より、本実施形態の第2のスイッチング素子M2は素子サイズが大きい。

【0117】

したがって、本実施形態では、第2のスイッチング素子M2を上記式(2)のように設定することで、ハイサイドスイッチング素子及びローサイドスイッチング素子の両方がオフする期間の損失を、図9に示す実施形態に比べて低減することができる。

30

【0118】

図12(b)に示す軽負荷時1において、還流時に、ある期間、第2のスイッチング素子M2をオンし、その後第2のスイッチング素子M2のゲート電圧g2を基準電位(ローレベル“L”)にすると、インダクタ電流ILが負荷10へ流れている場合、第1のスイッチング素子M1と第2のスイッチング素子M2との接続点の電位Vxは負となり、第2のスイッチング素子M2はゲート電圧g2がローレベル“L”であるのに関係なく、オン状態となる。

【0119】

その後、インダクタ電流ILが負荷10からグランドへ向かって流れようとする、第1のスイッチング素子M1と第2のスイッチング素子M2との接続点の電位Vxは正となり、第2のスイッチング素子M2はゲート電圧g2がローレベルであるためオフ状態となる。したがって、負荷10からグランドへ流れる無効電流をなくすることができる。

40

【0120】

軽負荷時1よりもさらに軽負荷になった図12(c)に示す軽負荷時2において、還流時に、ある期間、第2のスイッチング素子M2のゲート電圧g2をローレベル“L”にする。そうすることで、第1のスイッチング素子M1と第2のスイッチング素子M2との接続点の電位Vxは負となり、第2のスイッチング素子M2はオン状態となる。

【0121】

その後、インダクタ電流ILが負荷10からグランドへ向かって流れようとする、第

50

1のスイッチング素子M1と第2のスイッチング素子M2との接続点の電位 V_x は正となり、第2のスイッチング素子M2はオフ状態となる。したがって、負荷10からグランドへ向かって流れようとする無効電流をなくすることができる。

【0122】

軽負荷時においても比較的電流が大きい軽負荷時1では、第2のスイッチング素子M2の導通損失が大きいため、負荷電流が大きい領域で第2のスイッチング素子M2をオン状態にし、負荷電流がより小さな軽負荷時2では、第2のスイッチング素子M2の導通損失よりも第2のスイッチング素子M2をドライブする損失が大きいため、第2のスイッチング素子M2をオン状態にせず（ゲート電圧 g_2 を閾値電圧以上にせず）、動作させる。こうすることで、低電流領域での変換効率を改善できる。このように本実施形態によれば、
10
図9に示す実施形態における第3のスイッチング素子M4がオンする期間の損失を回避することができる。かつ、その第3のスイッチング素子M4を用意しない分、チップ占有面積を小さくできる。

【0123】

以上、具体例を参照しつつ本発明の実施形態について説明した。しかし、本発明は、それらに限定されるものではなく、本発明の技術的思想に基づいて種々の変形が可能である。

【0124】

本発明は、以下の態様を含む。

【0125】

（付記1）

入力電圧ラインと誘導性負荷との間に接続される第1のスイッチング素子を有するハイサイドスイッチング素子と、

前記誘導性負荷と基準電圧ラインとの間に並列接続される第2のスイッチング素子と第3のスイッチング素子とを有するローサイドスイッチング素子と、

を備え、

前記ローサイドスイッチング素子における前記誘導性負荷に接続される端子にサージが印加されたとき、サージ電流は前記第3のスイッチング素子を介して前記基準電圧ラインへと放電されることを特徴とする半導体装置。

（付記2）

前記ローサイドスイッチング素子は、第1導電型の半導体層と、前記半導体層の表層部に設けられた第2導電型のソース層と、前記半導体層の表層部に前記ソース層に対して離間して設けられた第2導電型のドレイン層と、前記ソース層と前記ドレイン層の間で前記ドレイン層に接して設けられ前記ドレイン層よりも不純物濃度が低い第2導電型のドリフト層と、前記ドレイン層に接続された第1の主電極と、前記ソース層に接続された第2の主電極と、前記ソース層と前記ドリフト層との間の前記半導体層の表面上に絶縁膜を介して設けられたゲート電極と、を有し、

前記第2のスイッチング素子における前記ドリフト層の長さを L_1 、前記第3のスイッチング素子における前記ドリフト層の長さを L_2 とすると、 $L_1 > L_2$ であることを特徴とする付記1記載の半導体装置。

（付記3）

前記第3のスイッチング素子は、

前記ドレイン層、前記ドリフト層、前記ゲート電極下に形成されるチャネルおよび前記ソース層を介して前記第1の主電極と前記第2の主電極との間を結ぶ主電流経路と、

前記主電流経路に対して並列に前記第1の主電極と前記第2の主電極間に設けられ、前記サージにより活性化されサージ電流が流れるサージ電流経路と、

を有することを特徴とする付記2記載の半導体装置。

（付記4）

入力電圧ラインと誘導性負荷との間に接続される第1のスイッチング素子を有するハイサイドスイッチング素子と、

10

20

30

40

50

前記誘導性負荷と基準電圧ラインとの間に並列接続される第2のスイッチング素子と第3のスイッチング素子とを有するローサイドスイッチング素子と、
を備え、

前記第2のスイッチング素子のサイズは前記第3のスイッチング素子のサイズよりも大きく、

$0 < (\text{前記第3のスイッチング素子の閾値電圧}) < (\text{前記第2のスイッチング素子の内蔵ダイオードのオン電圧})$ であり、

前記第1のスイッチング素子と前記第2のスイッチング素子との接続点の電位が、 $- (\text{前記第3のスイッチング素子の閾値電圧})$ より大きくなると前記第3のスイッチング素子はオフし、前記接続点の電位が、 $- (\text{前記第3のスイッチング素子の閾値電圧})$ より小さくなると前記第3のスイッチング素子はオンすることを特徴とする半導体装置。

10

(付記5)

前記第3のスイッチング素子のゲート電極とソース電極は電氣的に短絡されていることを特徴とする付記4記載の半導体装置。

(付記6)

前記ローサイドスイッチング素子における前記誘導性負荷に接続される端子にサージが印加されたとき、サージ電流は前記第3のスイッチング素子を介して前記基準電圧ラインへと放電されることを特徴とする付記4または5に記載の半導体装置。

(付記7)

入力電圧ラインと誘導性負荷との間に接続される第1のスイッチング素子と、
前記誘導性負荷と基準電圧ラインとの間に並列接続される第2のスイッチング素子と、
を備え、

20

$0 < (\text{前記第2のスイッチング素子の閾値電圧}) < (\text{前記第2のスイッチング素子の内蔵ダイオードのオン電圧})$ であり、

前記第2のスイッチング素子のゲート電圧が基準電位の場合に、前記第1のスイッチング素子と前記第2のスイッチング素子との接続点の電位が、 $- (\text{前記第2のスイッチング素子の閾値電圧})$ より大きくなると前記第2のスイッチング素子はオフし、前記接続点の電位が、 $- (\text{前記第2のスイッチング素子の閾値電圧})$ より小さくなると前記第2のスイッチング素子はオンすることを特徴とする半導体装置。

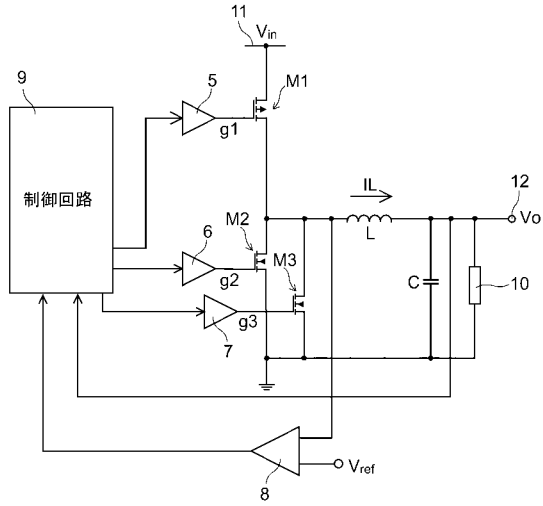
【符号の説明】

30

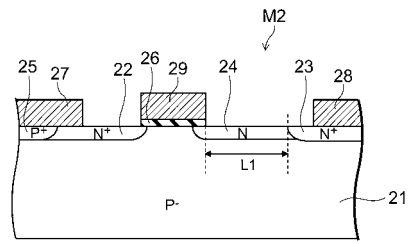
【0126】

8 ... 検出回路、11 ... 入力電圧ライン、22, 32, 46, 54 ... ソース層、23, 33, 49, 56 ... ドレイン層、24, 34, 48, 55 ... ドリフト層、27 ... 第2の主電極、28 ... 第1の主電極、29 ... ゲート電極、M1 ... 第1のスイッチング素子、M2 ... 第2のスイッチング素子、M3, M4 ... 第3のスイッチング素子

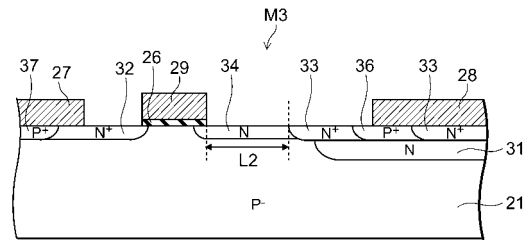
【図1】



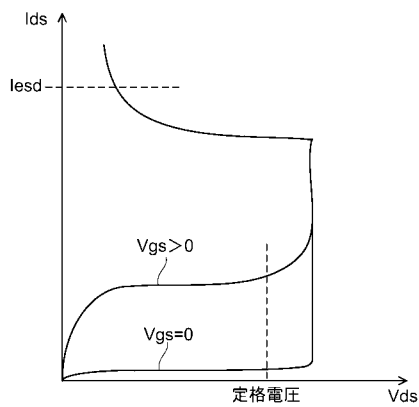
【図2】



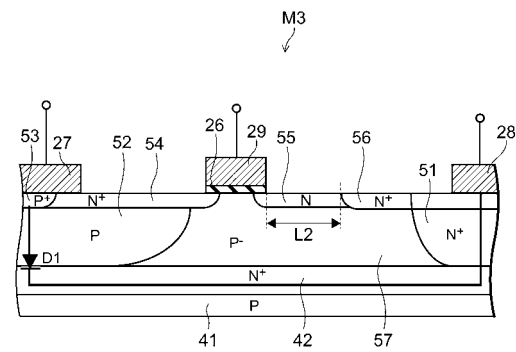
【図3】



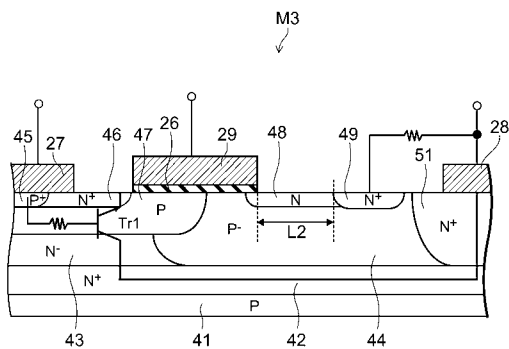
【図4】



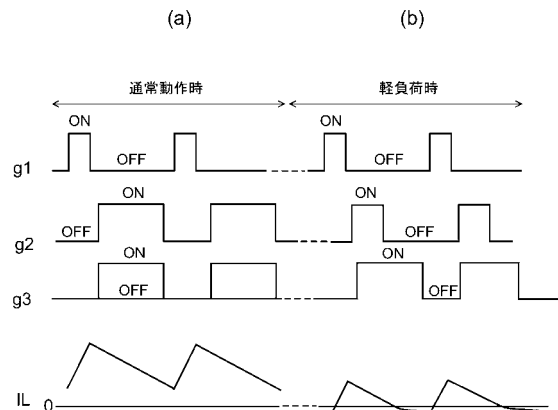
【図6】



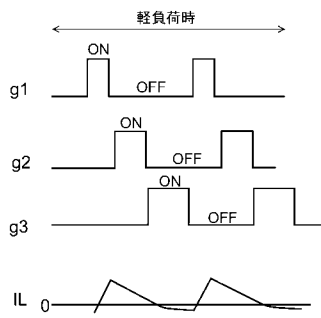
【図5】



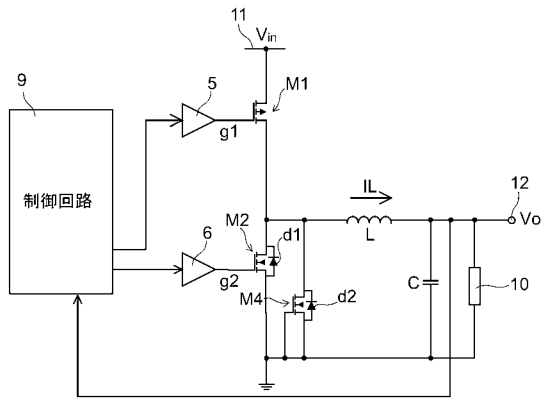
【図7】



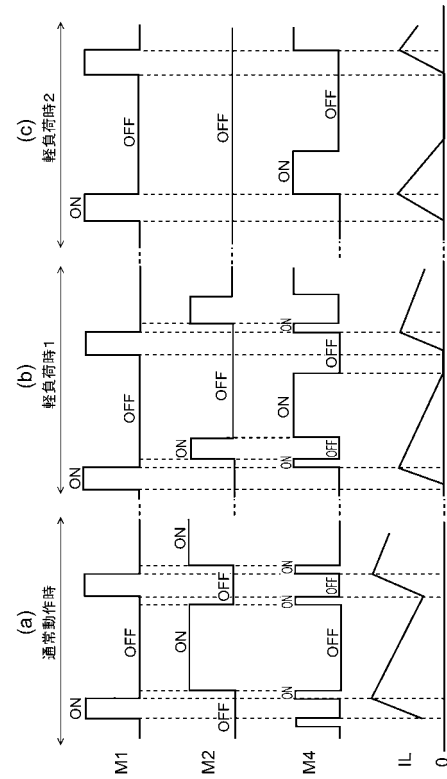
【図8】



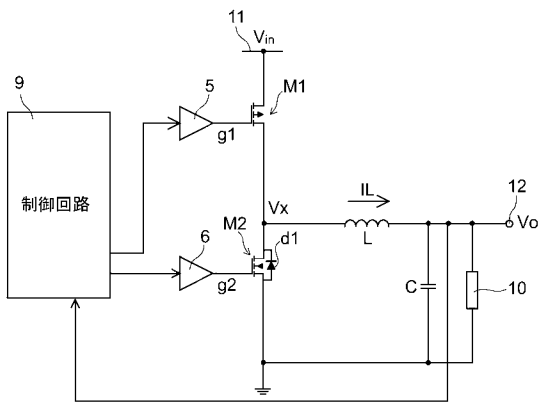
【図9】



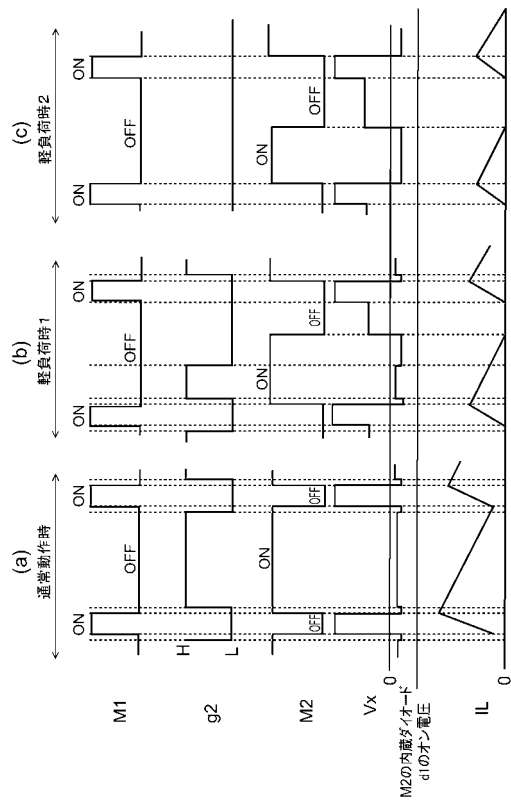
【図10】



【図11】



【図12】



フロントページの続き

- (56)参考文献 特開平03 - 225952 (JP, A)
特開平03 - 278570 (JP, A)
特開平02 - 106960 (JP, A)
特開2006 - 333595 (JP, A)
特開2007 - 228711 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8234
H01L 21/822
H01L 27/04
H01L 27/088
H02M 3/155