



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

251599

(11)

(B1)

(51) Int. Cl.⁴

G 06 F 13/40

(22) Přihlášeno 23 12 85

(21) PV 9847-85

(40) Zveřejněno 13 11 86

(45) Vydáno 15 03 88

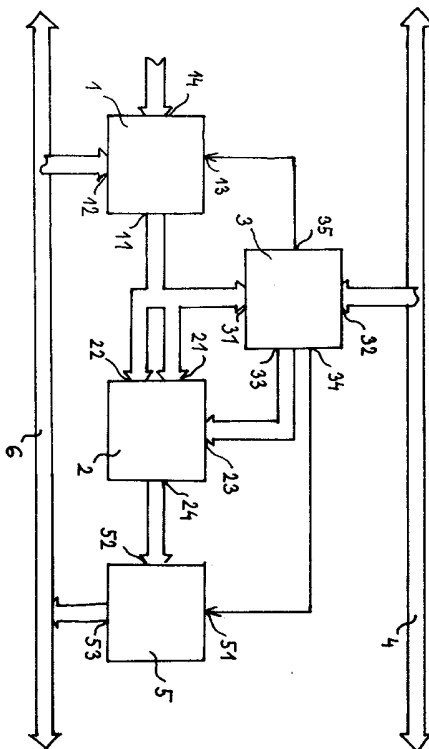
(75)

Autor vynálezu

VLK JIŘÍ ing. CSC., KLOS JOSEF ing., PRAHA

(54) Zapojení paměťového modulu se sníženým počtem vodičů sběrnice .

Zapojení je určeno zejména pro rozsáhlé paměťové systémy a přináší snížení počtu vodičů sběrnice. K výstupu přijímače jsou připojeny adresové vstupy i datové vstupy paměťového systému a první vstup řídicího obvodu. Jeho druhý vstup je připojen k řídicí sběrnici a jeho pevný výstup je připojen k řídicímu vstupu paměťového systému. Druhý výstup řídicího obvodu je připojen k vybavovacímu vstupu budiče sběrnice, jehož datový vstup je připojen k datovému výstupu paměťového systému, přičemž budič sběrnice je opatřen výstupem, který je připojen na sběrnici, k níž je připojen systémový vstup přijímače.



Vynález se týká zapojení paměťového modulu se sníženým počtem vodičů sběrnice a je vhodný zejména pro rozsáhlé paměťové systémy.

Dosud používaná zapojení paměťového modulu využívají adresovou a datovou sběrnici, přičemž šířka adresové sběrnice musí být taková, aby mohla být přenesena jakákoliv adresa celého paměťového prostoru. Tato adresa se uvnitř každého paměťového modulu po částech vyhodnocuje. Nedostatkem těchto zapojení je kromě vysokého počtu vodičů sběrnice také složitost přijímače, budiče sběrnice a obvodů pro vyhodnocení adresy.

Výše uvedený nedostatek je odstraněn zapojením paměťového modulu se sníženým počtem vodičů sběrnice podle vynálezu, jehož podstata spočívá v tom, že k výstupu přijímače jsou připojeny adresové vstupy i datové vstupy paměťového systému a první vstup řídicího obvodu, jehož druhý vstup je připojen k řídicí sběrnici a jehož pevný výstup je připojen k řídicímu vstupu paměťového systému a druhý výstup řídicího obvodu je připojen k vybavovacímu vstupu budiče sběrnice, jehož datový vstup je připojen k datovému výstupu paměťového systému.

Zapojení paměťového modulu se sníženým počtem vodičů sběrnice podle vynálezu je výhodné zvláště tehdy, je-li paměťový systém sestaven z dynamických pamětí, které vyžadují multiplexovanou adresu, neboť multiplexer adresy se vyskytuje pouze u zdroje adresy a nikoliv v každém paměťovém modulu. Výhodou je též jednoduchost řídicího obvodu, ve kterém se zapamatuje pouze výsledek vyhodnocení adresy modulu a podle tohoto výsledku jsou hradlovány pouze signály řídicí sběrnice, určené pro řízení paměťového systému.

Tím, že po sběrnici jsou v časovém multiplexeru přenášeny postupně adresy modulu, multiplexované adresy paměťového systému a data do, respektive z paměti, se snižuje počet vodičů sběrnice a zjednodušuje se tím jak budič sběrnice, tak přijímač. Modifikace zapojení, při které se na místě přijímače použije multiplexer, umožňuje vstup do paměti z lokálního zdroje dat, přičemž tento vstup může probíhat současně ve všech paměťových modulech.

Zapojení paměťového modulu podle vynálezu je schematicky zobrazeno na připojeném výkresu.

K výstupu 11 přijímače 1 jsou připojeny adresové vstupy 21 i datové vstupy 22 paměťového systému 2 a první vstup 31 řídicího obvodu 3. Jeho druhý vstup 32 je připojen k řídicí sběrnici 4 a jeho první výstup 33 je připojen k řídicímu vstupu 23 paměťového systému 2. Druhý výstup 34 řídicího obvodu 3 je připojen k vybavovacímu vstupu 51 budiče sběrnice 5. Jeho datový vstup 52 je připojen k datovému výstupu 24 paměťového systému 2. Výstup 53 budiče sběrnice 5 je připojen ke sběrnici 6, ke které je připojen systémový vstup 12 přijímače 1.

Alternativně je ke třetímu výstupu 35 řídicího obvodu 3 připojen řídicí vstup 13 přijímače 1. Jeho lokální vstup 14 je lokálním vstupem paměťového modulu.

Zapojení podle vynálezu se používá pro snížení počtu součástí paměťových modulů a rozsáhlých paměťových systémů a jeho modifikace je zvláště vhodná pro přímý vstup dat do paměti, který je využitelný např. v měřicích ústřednách a číslicových analyzátoch.

P R E D M Ě T V Y N Á L E Z U

1. Zapojení paměťového modulu se sníženým počtem vodičů sběrnice, vyznačené tím, že k výstupu (11) přijímače (1) jsou připojeny adresové vstupy (21) i datové vstupy (22) paměťového systému (2) a první vstup (31) řídicího obvodu (3), jehož druhý vstup (32) je připojen k řídicí sběrnici (4) a jehož první výstup (33) je připojen k řídicímu vstupu (23) paměťového systému (2) a druhý výstup (34) řídicího obvodu (3) je připojen k vybavovacímu vstupu (51) budiče (5) sběrnice, jehož datový vstup (52) je připojen k datovému výstupu (24) paměťového systému (2), přičemž budič (5) sběrnice je opatřen výstupem (53), který je připojen ke sběr-

nici (6), k níž je připojen systémový vstup (12) přijímače (1).

2. Zapojení podle bodu 1, vyznačené tím, že řídicí obvod (3) je opatřen třetím výstupem (35), k němuž je připojen řídicí vstup (13) přijímače (1), jehož lokální vstup (14) je lokálním vstupem paměťového modulu.

1 výkres

