【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第２区分
【発行日】令和5年12月18日(2023.12.18)

【公開番号】特開2022-99473(P2022-99473A)
【公開日】令和4年7月5日(2022.7.5)
【年通号数】公開公報(特許)2022-121
【出願番号】特願2020-213259(P2020-213259)
【国際特許分類】
Ｇ０９Ｇ　3/3266(2016.01)
Ｇ０９Ｆ　9/30(2006.01)
Ｇ０９Ｇ　3/3233(2016.01)
Ｇ０９Ｇ　3/20(2006.01)
Ｈ０５Ｂ 33/02(2006.01)
Ｈ１０Ｋ 59/10(2023.01)
Ｈ１０Ｋ 50/10(2023.01)
【ＦＩ】
Ｇ０９Ｇ　3/3266
Ｇ０９Ｆ　9/30　３６５
Ｇ０９Ｆ　9/30　３４３
Ｇ０９Ｇ　3/3233
Ｇ０９Ｇ　3/20　６２１Ｍ
Ｇ０９Ｇ　3/20　６８０Ｇ
Ｇ０９Ｇ　3/20　６２２Ｅ
Ｇ０９Ｇ　3/20　６２２Ｃ
Ｇ０９Ｇ　3/20　６１１Ｆ
Ｇ０９Ｇ　3/20　６１１Ｈ
Ｇ０９Ｇ　3/20　６２２Ｑ
Ｈ０５Ｂ 33/02
Ｈ０１Ｌ 27/32
Ｈ０５Ｂ 33/14　　Ａ

【手続補正書】
【提出日】令和5年12月5日(2023.12.5)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
複数画素回路行を含む表示領域と、
連結された複数シフトレジスタユニットを含むシフトレジスタと、
前記シフトレジスタから入力された信号に応じて信号パルスを前記複数画素回路行に出力する、複数ラッチ回路と、
を含み、
前記複数ラッチ回路の各ラッチ回路は、対応する画素回路行へ第１信号パルスを出力し、
前記複数シフトレジスタユニットは、第２信号パルスを順次出力し、
前記複数ラッチ回路の各ラッチ回路には、第１シフトレジスタユニットからの前記第２

信号パルスと、前記第１シフトレジスタユニットより後段の第２シフトレジスタユニットからの前記第２信号パルスと、が入力され、
前記複数ラッチ回路の各ラッチ回路からの前記第１信号パルスは、
前記第１シフトレジスタユニットからの前記第２信号パルスに応答して第１電位レベルから第２電位レベルに変化し、
前記第２シフトレジスタユニットからの前記第２信号パルスに応答して前記第２電位レベルから前記第１電位レベルに変化する、
表示装置。
【請求項２】
請求項１に記載の表示装置であって、
Ｎは整数、Ｋは整数、ｐは２以上の整数、ｑは１以上の整数、Ｈは前記シフトレジスタからのパルス幅、であり、
Ｎ段目のラッチ回路の出力は、Ｋ段目のシフトレジスタユニットからの前記第２信号パルスによりセットされ、（Ｋ＋ｐ）段目のシフトレジスタユニットからの前記第２信号パルスによってリセットされ、
（Ｎ＋ｑ）段目のラッチ回路の出力は、（Ｋ＋ｑ）段目のシフトレジスタユニットからの前記第２信号パルスによりセットされ、（Ｋ＋ｑ＋ｐ）段目のシフトレジスタユニットからの前記第２信号パルスによってリセットされ、
各ラッチ回路からの前記第１信号パルスは、Ｈ＊ｐのパルス幅を持ち、
前記（Ｎ＋ｑ）段目のラッチ回路からの前記第１信号パルスは、前記Ｎ段目のラッチ回路からの前記第１信号パルスに対してＨ＊ｑの時間遅れをもつ、
表示装置。
【請求項３】
請求項１に記載の表示装置であって、
Ｎは整数、Ｋは整数、ｐは２以上の整数、ｑは１以上の整数、Ｈは前記シフトレジスタからのパルス幅、であり、
Ｎ段目のラッチ回路の出力は、Ｋ段目のシフトレジスタユニットからの前記第２信号パルスによりリセットされ、（Ｋ＋ｐ）段目のシフトレジスタユニットからの前記第２信号パルスによってセットされ、
（Ｎ＋ｑ）段目のラッチ回路の出力は、（Ｋ＋ｑ）段目のシフトレジスタユニットからの前記第２信号パルスによりリセットされ、（Ｋ＋ｑ＋ｐ）段目のシフトレジスタユニットからの前記第２信号パルスによってセットされ、
各ラッチ回路からの前記第１信号パルスは、Ｈ＊ｐのパルス幅を持ち、
前記（Ｎ＋ｑ）段目のラッチ回路からの前記第１信号パルスは、前記Ｎ段目のラッチ回路からの前記第１信号パルスに対してＨ＊ｑの時間遅れをもつ、
表示装置。
【請求項４】
請求項１に記載の表示装置であって、
前記複数シフトレジスタユニットの各シフトレジスタユニットは、対応する画素回路行へ前記第２信号パルスを出力し、
前記シフトレジスタは、前記第２信号パルスを前記複数画素回路行に順次出力する、
表示装置。
【請求項５】
請求項４に記載の表示装置であって、
前記第１信号パルスは、画素回路の駆動トランジスタの閾値補償期間を制御し、
前記第２信号パルスは、前記画素回路に対するデータの書き込み期間を制御する、
表示装置。
【請求項６】
請求項４に記載の表示装置であって、
前記第１信号パルスは、画素回路に含まれる発光素子への駆動電流の供給の有無を制御

し、
前記第２信号パルスは、前記画素回路に対するデータの書き込み期間を制御する、
表示装置。
【請求項７】
請求項５に記載の表示装置であって、
各ラッチ回路からの前記第１信号パルスを前記画素回路行に伝送する配線は、前記第１信号パルスが終了した後、前記第１電位レベルの電位の電源線に接続される、
表示装置。
【請求項８】
請求項７に記載の表示装置であって、
前記配線と前記第１電位レベルの電位を与える前記電源線との間のスイッチトランジスタを含み、
前記スイッチトランジスタは、前記画素回路に含まれる発光素子への駆動電流の供給の有無を制御する信号によってＯＮ／ＯＦＦされる、
表示装置。
【請求項９】
請求項１に記載の表示装置であって、
前記複数ラッチ回路は、前記シフトレジスタと前記表示領域との間に配置されている、
表示装置。
【請求項１０】
請求項６に記載の表示装置であって、
前記複数シフトレジスタユニットの各シフトレジスタユニットからの出力パルスは、対応する一つの画素回路行の前記第２信号パルス及び対応する他の一つの画素回路行の第３信号パルスである、
表示装置。
【請求項１１】
表示領域と、
前記表示領域の外側に配置された前記表示領域の駆動回路と、
を含み、
前記表示領域は、
複数の画素回路と、
前記複数の画素に接続された、複数の第１制御線、複数の第２制御線、複数の信号線、及び複数の電源線と、
を含み、
前記複数の画素回路の各画素回路は、
発光素子と、
複数の第１導電型を有するスイッチトランジスタと、
第２導電型を有し、前記発光素子の発光のＯＮ／ＯＦＦを制御する発光制御トランジスタと、
前記第２導電型を有し、前記発光素子への電流量を制御する駆動トランジスタと、
前記駆動トランジスタに接続された保持容量と、
を含み、
前記複数の第１制御線は、それぞれ、前記駆動回路から前記複数の第１導電型を有するスイッチトランジスタへの第１制御信号を伝送し、
前記複数の第２制御線は、それぞれ、前記駆動回路から前記第２導電型を有する発光制御トランジスタへの第２制御信号を伝送し、
前記駆動回路は、複数のトランジスタ、複数の容量及び接続配線を含み、
前記駆動回路に含まれる全てのトランジスタは、前記第１導電型のトランジスタである、
表示装置。

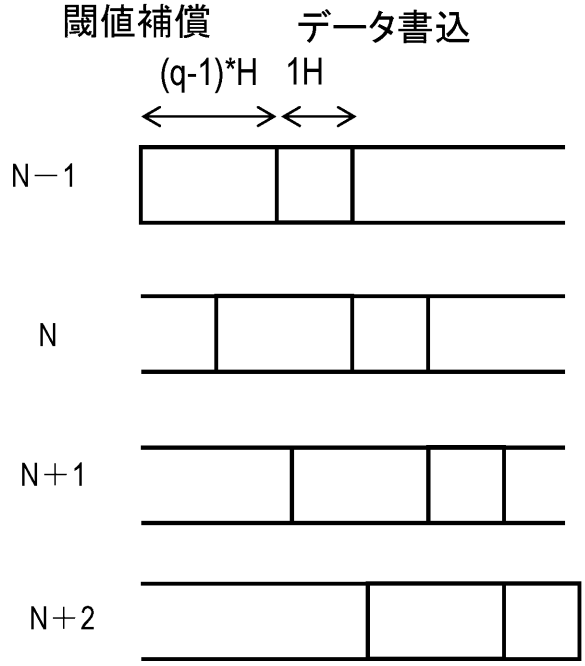
【請求項１２】
請求項１１に記載の表示装置であって、
前記駆動回路は、複数のシフトレジスタユニットと、複数のラッチ回路と、を含み、
前記複数のラッチ回路の各ラッチ回路は、対応する画素回路行へ第１信号パルスを出力し、
前記複数のシフトレジスタユニットは、第２信号パルスを順次出力し、
前記複数のラッチ回路の各ラッチ回路には、第１シフトレジスタユニットからの前記第２信号パルスと、前記第１シフトレジスタユニットより後段の第２シフトレジスタユニットからの前記第２信号パルスと、が入力され、
前記複数のラッチ回路の各ラッチ回路からの前記第１信号パルスは、
前記第１シフトレジスタユニットからの前記第２信号パルスに応答して第１電位レベルから第２電位レベルに変化し、
前記第２シフトレジスタユニットからの前記第２信号パルスに応答して前記第２電位レベルから前記第１電位レベルに変化する、
表示装置。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】００１６
【補正方法】変更
【補正の内容】
【００１６】
【図１】ＯＬＥＤ表示装置のＴＦＴ（Ｔｈｉｎ　Ｆｉｌｍ　Ｔｒａｎｓｉｓｔｏｒ）基板及びＴＦＴ基板に実装された制御回路の構成例を模式的に示す。
【図２】本明細書の一実施形態に係る画素回路の構成例を示す。
【図３】図２に示す画素回路を制御する信号のタイミングチャートの例を示す。
【図４】連続する４段の画素回路行における閾値補償期間及びデータ書き込み期間の関係を模式的に示す。
【図５】ラッチ回路群に含まれるラッチ回路の構成例を示す。
【図６】ラッチ回路の真理値表を示す。
【図７】ラッチ回路の回路構成例を示す。
【図８】シフトレジスタ回路とラッチ回路群の構成例及び配線のレイアウトの例を模式的に示す。
【図９】ラッチ回路群に含まれるＮ段目のラッチ回路への入出信号を示す。
【図１０Ａ】発光制御信号Ｅｍを生成するための、シフトレジスタ回路とラッチ回路群の構成例及び配線のレイアウトの例を模式的に示す。
【図１０Ｂ】図１０Ａのラッチ回路群の出力信号Ｅｍのタイミングチャートである。
【図１１】ラッチ回路から選択信号Ｓ１を伝送する信号線を、電源電位ＶＯＦＦに接続する構成例を示す。
【図１２】図１１に示す回路における制御信号のタイミングチャートを示す。
【図１３】Ｓ１信号線の電位に電源電位ＶＯＦＦを与える他の構成例を示す。
【図１４】図１３に示す構成例における制御信号のタイミングチャートを示す。
【図１５】画素回路の他の構成例を示す。
【図１６】１フレーム期間において、図１５に示す画素回路を制御する信号のタイミングチャートを示す。
【図１７】当該ラッチ回路群において使用されるラッチ回路の構成例を示す。
【図１８】ラッチ回路の入力信号及び出力信号のタイミングチャートを示す。
【図１９】シフトレジスタ回路とラッチ回路群の組み合わせによって、制御信号Ｓ１、Ｓ２及びＥｍを生成、出力する回路構成例を模式的に示す。
【図２０】ラッチ回路のレイアウト例を模式的に示す平面図である。
【図２１】図２０におけるＸＸＩ－ＸＸＩ切断線における断面構造を模式的に示す。

【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】００７２
【補正方法】変更
【補正の内容】
【００７２】
Ｎ段目のシフトレジスタユニット４００は、Ｎ段目の画素列行、Ｎ段目のラッチ回路３００のＲＳＴ端子、及び（Ｎ＋６）段目のラッチ回路３００のＳＥＴ端子にＮ段目の選択信号Ｓ２を出力する。Ｎ段目のシフトレジスタユニット４００は、これらに同時に信号パルスを出力する。
【手続補正４】
【補正対象書類名】明細書
【補正対象項目名】００７３
【補正方法】変更
【補正の内容】
【００７３】
Ｎ段目のラッチ回路３００は、Ｎ段目の画素回路行に対してＱ端子から選択信号Ｓ１を出力する。上述のように、Ｎ段目のラッチ回路３００は、（Ｎ－６）段目のシフトレジスタユニット４００からの信号パルスに応じて選択信号Ｓ１のパルスを開始し、Ｎ段目のシフトレジスタユニット４００からの信号パルスに応じてパルスを終了する。ラッチ回路３００からのパルスは第１信号パルスであり、シフトレジスタユニット４００からのパルスは第２信号パルスである。図３に示した選択信号Ｓ１＿Ｎは、２つのシフトレジスタユニットと１つのラッチ回路から、以上のようにして生成される。
【手続補正５】
【補正対象書類名】明細書
【補正対象項目名】００８９
【補正方法】変更
【補正の内容】
【００８９】
（Ｎ＋ｑ）段目のラッチ回路の出力は、（Ｋ＋ｑ）段目のシフトレジスタユニットからの信号パルスによりリセットされ、（Ｋ＋ｑ＋ｐ）段目のシフトレジスタユニットからの信号パルスによってセットされる。ラッチ回路３５０からのパルスは、ｐ＊Ｈのパルス幅を有する。また、（Ｎ＋ｑ）段目のラッチ回路３５０からのパルスは、Ｎ段目のラッチ回路３５０からのパルスに対してｑ＊Ｈの時間遅れを有する。上述のように、ＯＬＥＤ素子Ｅ１への電流供給をＯＦＦとする期間は、ｐ＊Ｈである。
【手続補正６】
【補正対象書類名】明細書
【補正対象項目名】００９８
【補正方法】変更
【補正の内容】
【００９８】
時刻Ｔ４より１Ｈだけ後の時刻Ｔ５において、発光制御信号Ｅｍ＿Ｎは、ＨｉｇｈレベルからＬｏｗレベルに変化する。発光制御信号Ｅｍ＿ＮのＬｏｗレベルへの変化に応答して、リセットスイッチ５０１はＯＮとなる。リセットスイッチ５０１はＯＮとなり、Ｎ段目のＳ１信号線１３１の電位は、電源電位ＶＯＦＦに固定されている。
【手続補正７】
【補正対象書類名】明細書
【補正対象項目名】００９９
【補正方法】変更
【補正の内容】

【００９９】
図１３は、Ｓ１信号線の電位に電源電位ＶＯＦＦを与える他の構成例を示す。図１３に示す構成例は、シフトレジスタ回路５０３とラッチ回路群の組み合わせにより、リセットスイッチ５０１を制御する信号ＶＲＥＳＥＴを生成、出力する。図１３はＮ段目のラッチ回路５０５を例として示すが、全ての段のＳ１信号線それぞれに対応するラッチ回路５０５が実装される。ラッチ回路５０５の出力は、同段目のリセットスイッチ５０１のゲートに入力される。シフトレジスタユニットのパルス期間は１Ｈである。
【手続補正８】
【補正対象書類名】明細書
【補正対象項目名】０１０１
【補正方法】変更
【補正の内容】
【０１０１】
図１４は、図１３に示す構成例における制御信号のタイミングチャートを示す。図３に示すタイミングチャートとの相違点を主に説明する。図１４に示すように、Ｎ段目のリセットスイッチ５０１の制御信号ＶＲＥＳＥＴは、Ｎ段目の選択信号Ｓ１と相補的に変化する。つまり、一方がＨｉｇｈ又はＬｏｗレベルのとき、他方はＬｏｗ又はＨｉｇｈレベルである。これにより、Ｓ１信号線の電位を安定させることができる。
【手続補正９】
【補正対象書類名】明細書
【補正対象項目名】０１０２
【補正方法】変更
【補正の内容】
【０１０２】
時刻Ｔ１において、ラッチ回路５０５のＲＳＴ端子への制御信号Ｒ＿Ｎ－６のパルスにより、ラッチ回路５０５の出力は、論理的Ｈから論理的Ｌに変化する。つまり、ラッチ回路５０５の出力ＶＲＥＳＥＴは、Ｌｏｗ電位レベルからＨｉｇｈ電位レベルに変化する。これにより、リセットスイッチ５０１はＯＦＦされる。
【手続補正１０】
【補正対象書類名】明細書
【補正対象項目名】０１１７
【補正方法】変更
【補正の内容】
【０１１７】
図１６は、１フレーム期間において、図１５に示す画素回路５５０を制御する信号のタイミングチャートを示す。図１６は、Ｎ番目の画素回路行を選択し、データ信号Ｖｄａｔａを画素回路５５０に書き込むためのタイミングチャートを示す。具体的には、図１６は、発光制御信号Ｅｍ＿Ｎ、選択信号Ｓ１＿Ｎ、選択信号Ｓ２＿Ｎの、１フレームにおける変化を示す。
【手続補正１１】
【補正対象書類名】明細書
【補正対象項目名】０１３２
【補正方法】変更
【補正の内容】
【０１３２】
図１９は、シフトレジスタ回路とラッチ回路群の組み合わせによって、制御信号Ｓ１、Ｓ２及びＥｍを生成、出力する回路構成例を模式的に示す。図１９は、シフトレジスタ回路５０７及びラッチ回路群における一つのラッチ回路３８０を示す。シフトレジスタ回路５０７は、シフトレジスタ回路１１１と同様に、直列に連結された複数のシフトレジスタユニットを含む。シフトレジスタ回路５０７の回路構成は任意である。本明細書の一実施

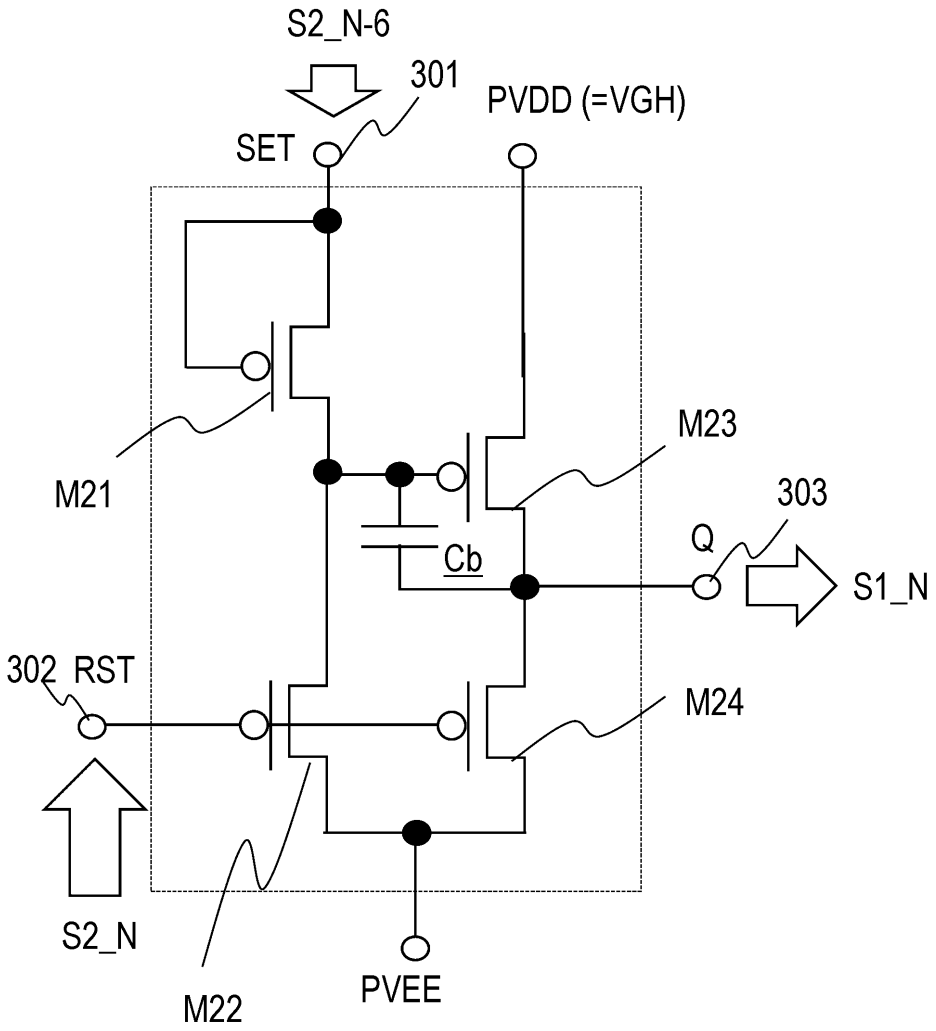
形態において、シフトレジスタ回路５０７に含まれるトランジスタは、全てＮ型のＴＦＴである。
【手続補正１２】
【補正対象書類名】明細書
【補正対象項目名】０１３９
【補正方法】変更
【補正の内容】
【０１３９】
上述のように、図１５を参照して説明した画素回路５５０において、発光制御トランジスタＭ５６、Ｍ５１及び駆動トランジスタＭ５３は、Ｐ型（第２導電型）ＴＦＴである。スイッチトランジスタＭ５２、Ｍ５４、Ｍ５５及びＭ５７は、Ｎ型（第１導電型）ＴＦＴである。図１９を参照して説明したように、シフトレジスタ回路５０７からの制御線（第１の制御線）は、選択信号Ｓを伝送し、ラッチ回路３０８からの制御線（第２の制御線）は発光制御信号Ｅｍを伝送する。また、シフトレジスタ回路５０７及びラッチ回路３０８に含まれる全てのトランジスタは、Ｎ型（第１導電型）ＴＦＴである。
【手続補正１３】
【補正対象書類名】明細書
【補正対象項目名】０１４１
【補正方法】変更
【補正の内容】
【０１４１】
［ラッチ回路のデバイス構造］
以下において、ラッチ回路のデバイス構造例を説明する。図２０は、ラッチ回路３００のレイアウト例を模式的に示す平面図である。図７を参照して説明したように、ラッチ回路３００は、ランジスタＭ２１からＭ２４及び容量素子Ｃｂを含む。図２０において、同一材料層は、同一パターンで塗られている。具体的には、ラッチ回路３００は、半導体層ＳＣ、第１金属層ＭＴ１及び第２金属層ＭＴ２を含む。
【手続補正１４】
【補正対象書類名】図面
【補正対象項目名】図４
【補正方法】変更
【補正の内容】

【図４】



【手続補正１５】
【補正対象書類名】図面
【補正対象項目名】図７
【補正方法】変更
【補正の内容】

【図７】


S2_N-6
301
PVDD (=VGH)
SET
M21
M23
303
Q
Cb
S1_N
302 RST
M24
S2_N
M22
PVEE

ラッチ回路