

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4607227号
(P4607227)

(45) 発行日 平成23年1月5日(2011.1.5)

(24) 登録日 平成22年10月15日(2010.10.15)

(51) Int. Cl. F I
 H03L 7/107 (2006.01) H03L 7/10 E
 H03L 7/093 (2006.01) H03L 7/08 E

請求項の数 15 (全 27 頁)

(21) 出願番号	特願2009-227726 (P2009-227726)	(73) 特許権者	390019839
(22) 出願日	平成21年9月30日(2009.9.30)		三星電子株式会社
(62) 分割の表示	特願2005-113915 (P2005-113915) の分割		SAMSUNG ELECTRONICS CO., LTD.
原出願日	平成17年4月11日(2005.4.11)		大韓民国京畿道水原市靈通区梅灘洞416
(65) 公開番号	特開2009-303276 (P2009-303276A)		416, Maetan-dong, Yeongtong-gu, Suwon-si,
(43) 公開日	平成21年12月24日(2009.12.24)		Gyeonggi-do 442-742
審査請求日	平成21年9月30日(2009.9.30)		(KR)
(31) 優先権主張番号	2004-024570	(74) 代理人	100108453
(32) 優先日	平成16年4月9日(2004.4.9)		弁理士 村山 靖彦
(33) 優先権主張国	韓国(KR)	(74) 代理人	100064908
(31) 優先権主張番号	11/082,497		弁理士 志賀 正武
(32) 優先日	平成17年3月17日(2005.3.17)	(74) 代理人	100089037
(33) 優先権主張国	米国(US)		弁理士 渡邊 隆

最終頁に続く

(54) 【発明の名称】 適応ループ帯域を有する位相同期ループ

(57) 【特許請求の範囲】

【請求項1】

基準クロック信号と帰還クロック信号を受信し、前記基準クロック信号と前記帰還クロック信号との間の位相差を比較して、前記比較に応答して第1及び第2制御信号を発生する位相検出器と、

前記第1及び第2制御信号を受信し、前記第1及び第2制御信号に応答して第1電荷ポンプ信号を発生する第1電荷ポンプと、

前記第1及び第2制御信号を受信し、前記第1制御信号が第1所定時間よりも長い時間の間に活性化されれば第1補助制御信号を発生し、前記第2制御信号が第2所定時間よりも長い時間の間に活性化されれば第2補助制御信号を発生するパルス幅フィルタと、

前記第1及び第2補助制御信号を受信し、補助電荷ポンプ信号を発生する第2電荷ポンプと、

前記第1電荷ポンプ信号と前記補助電荷ポンプ信号との組合を受信する第1入力、前記第1及び第2制御信号をそれぞれ受信する第2及び第3入力、制御電圧を受信する第4入力、及び前記第1、第2、第3、及び第4入力に供給される信号に応答して前記制御電圧を発生する出力を備える演算増幅器を備えるループフィルタと、

前記制御電圧を受信し、前記帰還クロック信号を発生する電圧制御発振器と、
を備えることを特徴とする位相同期ループ。

【請求項2】

前記第1及び第2補助制御信号を受信し、もし前記第1及び第2補助制御信号が活性化

されたら第3制御信号を発生する制御信号発生器をさらに備え、前記演算増幅器は前記第3制御信号を受信する第5入力を備えて、前記第3制御信号にตอบสนองして前記制御電圧をさらに発生することを特徴とする請求項1に記載の位相同期ループ。

【請求項3】

前記制御信号発生器は、

前記第1補助制御信号を受信する第1入力、前記第2補助制御信号を受信する第2入力、及び前記第3制御信号を発生する出力を有するORゲートを備えることを特徴とする請求項2に記載の位相同期ループ。

【請求項4】

前記第1制御信号はアップ制御信号であり、前記第2制御信号はダウン制御信号であることを特徴とする請求項1に記載の位相同期ループ。

10

【請求項5】

前記第1制御信号は前記基準クロック信号の上昇エッジにตอบสนองして活性化され、前記第2制御信号は前記帰還クロック信号の上昇エッジにตอบสนองして活性化されることを特徴とする請求項4に記載の位相同期ループ。

【請求項6】

前記位相同期ループは第1モード動作で動作する際、前記基準クロック信号と前記帰還クロック信号は相対的に周波数の差が小さく、前記位相同期ループは第2モード動作で動作する際、前記基準クロック信号と前記帰還クロック信号は相対的に周波数の差が大きく、前記位相同期ループが前記第1モード動作で動作する際、前記第1電荷ポンプは活性化され前記第2電荷ポンプは非活性化されて、前記位相同期ループが前記第2モード動作で動作する際、前記第1電荷ポンプは活性化され、前記第2電荷ポンプは活性化されることを特徴とする請求項1に記載の位相同期ループ。

20

【請求項7】

基準クロック信号と帰還クロック信号を受信し、前記基準クロック信号と前記帰還クロック信号との間の位相を比較して、前記比較にตอบสนองして第1及び第2制御信号を発生する位相検出器と、

前記第1及び第2制御信号を受信し、前記第1及び第2制御信号にตอบสนองして第1電荷ポンプ信号を発生する第1電荷ポンプと、

前記第1及び第2制御信号を受信し、前記第1制御信号が第1所定時間よりも長い時間間にアクティブされる際、第1補助制御信号を発生し、前記第2制御信号が第2所定時間よりも長い時間間にアクティブされる際、第2補助制御信号を発生するパルス幅フィルタと、

30

前記第1及び第2補助制御信号を受信し、第2電荷ポンプ信号を発生する第2電荷ポンプと、

前記第1及び第2制御信号を受信し、第3電荷ポンプ信号を発生する第3電荷ポンプと、

前記第1及び第2制御信号及び前記第1及び第2補助制御信号を受信し、第4電荷ポンプ信号を発生する第4電荷ポンプと、

前記第1電荷ポンプ信号と前記第2電荷ポンプ信号との組合を受信する第1入力、前記第3電荷ポンプ信号、前記第4電荷ポンプ信号及び制御電圧信号の組合を受信する第2入力、前記第1及び第2入りに供給される信号にตอบสนองして前記制御電圧信号を発生する出力を有する演算増幅器を備えるループフィルタと、

40

前記制御電圧信号を受信し、前記帰還クロック信号を発生する電圧制御発振器と、
を備えることを特徴とする位相同期ループ。

【請求項8】

前記位相同期ループは、

第1モード動作で動作する際、前記基準クロック信号と前記帰還クロック信号は相対的に周波数の差が小さく、前記位相同期ループは第2モード動作で動作する際、前記基準クロック信号と前記帰還クロック信号は相対的に周波数の差が大きく、前記位相同期ループ

50

が前記第 1 モード動作で動作する際、前記第 1 電荷ポンプ、前記第 3 電荷ポンプ、及び前記第 4 電荷ポンプは活性化され、前記第 2 電荷ポンプは非活性化され、前記位相同期ループが前記第 2 モード動作で動作する際、前記第 1 電荷ポンプ、前記第 2 電荷ポンプ、及び前記第 3 電荷ポンプは活性化され、前記第 4 電荷ポンプは非活性化されることを特徴とする請求項 7 に記載の位相同期ループ。

【請求項 9】

前記第 1 電荷ポンプは、

第 1 電圧源と第 1 ノードとの間に直列で接続された第 1 電流源及び第 1 電荷ポンプトランジスタ、前記第 1 ノードと接地基準電圧との間に直列で接続された第 2 電荷ポンプトランジスタ及び第 2 電流源を備え、

前記第 1 電荷ポンプトランジスタは前記第 1 制御信号にตอบสนองして活性化され、前記第 2 電荷ポンプトランジスタは前記第 2 制御信号にตอบสนองして活性化され、前記第 1 電荷ポンプは前記第 1 ノードに前記第 1 電荷ポンプ信号を供給することを特徴とする請求項 7 に記載の位相同期ループ。

【請求項 10】

前記第 2 電荷ポンプは、

第 1 電圧源と第 2 ノードとの間に直列で接続された第 3 電流源及び第 3 電荷ポンプトランジスタ、及び前記第 2 ノードと接地基準電圧との間に直列で接続された第 4 電荷ポンプトランジスタと第 4 電流源を備え、

前記第 3 電荷ポンプトランジスタは前記第 1 補助制御信号にตอบสนองして活性化され、前記第 4 電荷ポンプトランジスタは前記第 2 補助制御信号にตอบสนองして活性化され、前記第 2 電荷ポンプは前記第 2 ノードに前記第 2 電荷ポンプ信号を供給することを特徴とする請求項 7 に記載の位相同期ループ。

【請求項 11】

前記第 3 電荷ポンプは、

第 1 電圧源と第 3 ノードとの間に直列接続された第 5 電流源及び第 5 電荷ポンプトランジスタ、

前記第 3 ノードと接地基準電圧との間に直列接続された第 6 電流源及び第 6 電荷ポンプトランジスタを備え、前記第 5 電荷ポンプトランジスタは前記第 1 制御信号にตอบสนองして活性化され、前記第 6 電荷ポンプトランジスタは前記第 2 制御信号にตอบสนองして活性化され、前記第 3 電荷ポンプは前記第 3 ノードに前記第 3 電荷ポンプ信号を供給することを特徴とする請求項 7 に記載の位相同期ループ。

【請求項 12】

前記第 4 電荷ポンプは、

第 1 電圧源と第 4 ノードとの間に直列接続された第 7 電流源及び第 7 及び第 8 電荷ポンプトランジスタ、前記第 4 ノードと接地基準電圧との間に直列接続された第 9 及び第 10 電荷ポンプトランジスタ及び第 8 電流源を備え、前記第 7 電荷ポンプトランジスタは前記第 1 制御信号にตอบสนองして活性化され、前記第 8 電荷ポンプトランジスタは前記第 1 補助制御信号にตอบสนองして活性化され、前記第 9 電荷ポンプトランジスタは前記第 2 補助制御信号にตอบสนองして活性化され、前記第 10 電荷ポンプトランジスタは前記第 2 制御信号にตอบสนองして活性化され、前記第 4 電荷ポンプは前記第 4 ノードに前記第 4 電荷ポンプ信号を供給することを特徴とする請求項 7 に記載の位相同期ループ。

【請求項 13】

それぞれがデータ保存要素を備える複数のアドレス可能なメモリセルと、

外部ソースからアドレスを受信して前記アドレス可能な少なくとも一つのメモリセルにアクセスするためのロー信号及びコラム信号を発生するデコーダと、

基準クロック信号と帰還クロック信号を受信して前記基準クロック信号と前記帰還クロック信号の位相差を比較して、前記比較にตอบสนองして第 1 及び第 2 制御信号を発生する位相検出器と、

前記第 1 及び第 2 制御信号を受信して第 1 電荷ポンプ信号を発生する第 1 電荷ポ

10

20

30

40

50

ンプと、

前記第 1 及び第 2 制御信号を受信して、前記第 1 制御信号が第 1 所定時間よりも長い時間の間に活性化される際、第 1 補助制御信号を発生し、前記第 2 制御信号が第 2 所定時間よりも長い時間の間に活性化される際、第 2 補助制御信号を発生するパルス幅フィルタと、

前記第 1 及び第 2 補助制御信号を受信して第 2 電荷ポンプ信号を発生する第 2 電荷ポンプと、

前記第 1 及び第 2 制御信号を受信して第 3 電荷ポンプ信号を発生する第 3 電荷ポンプと、

前記第 1 及び第 2 制御信号及び前記第 1 及び第 2 補助制御信号を受信して、第 4 電荷ポンプ信号を発生する第 4 電荷ポンプと、

前記第 1 電荷ポンプ信号と前記第 2 電荷ポンプ信号の組合を受信する第 1 入力、前記第 3 電荷ポンプ信号、前記第 4 電荷ポンプ信号及び制御電圧信号の組合を受信する第 2 入力、前記第 1 及び第 2 入力に供給される信号にตอบสนองして前記制御電圧信号を発生する出力を有する演算増幅器を備えるループフィルタと、

前記制御電圧信号を受信して、前記帰還クロック信号を発生する電圧制御発振器を備える位相同期ループと、

を備えることを特徴とするメモリ装置。

【請求項 14】

命令及びアドレス信号を発生するメモリ制御器と、

複数のメモリ装置を備えて、前記命令及びアドレス信号を受信して、前記メモリ装置にデータを保存し、または、前記メモリ装置からデータを読み出すメモリモジュールとを備えて、

各メモリ装置は、

それぞれがデータ保存要素を備える複数のアドレス可能なメモリセルと、

前記アドレス信号を受信して前記アドレス可能なメモリセルの少なくとも一つをアクセスするためにロー信号及びコラム信号を発生するデコーダと、

基準クロック信号と帰還クロック信号を受信して、前記基準クロック信号と前記帰還クロック信号との間の位相を比較して、前記比較にตอบสนองして第 1 及び第 2 制御信号を発生する位相検出器と、

前記第 1 及び第 2 制御信号を受信して、前記第 1 及び第 2 制御信号にตอบสนองして第 1 電荷ポンプ信号を発生する第 1 電荷ポンプと、

前記第 1 及び第 2 制御信号を受信して、前記第 1 制御信号が第 1 所定時間よりも長い時間の間にアクティブされる際、第 1 補助制御信号を発生し、前記第 2 制御信号が第 2 所定時間よりも長い時間の間にアクティブされる際、第 2 補助制御信号を発生するパルス幅フィルタと、

前記第 1 及び第 2 補助制御信号を受信して、第 2 電荷ポンプ信号を発生する第 2 電荷ポンプと、

前記第 1 及び第 2 制御信号を受信して第 3 電荷ポンプ信号を発生する第 3 電荷ポンプと、

前記第 1 及び第 2 制御信号及び前記第 1 及び第 2 補助制御信号を受信して、第 4 電荷ポンプ信号を発生する第 4 電荷ポンプと、

前記第 1 電荷ポンプ信号と前記第 2 電荷ポンプ信号の組合を受信する第 1 入力、前記第 3 電荷ポンプ信号、前記第 4 電荷ポンプ信号及び制御電圧信号の組合を受信する第 2 入力、前記第 1 及び第 2 入力に供給される信号にตอบสนองして前記制御電圧信号を発生する出力を有する演算増幅器を備えるループフィルタと、

前記制御電圧信号を受信して、前記帰還クロック信号を発生する電圧制御発振器を備える位相同期ループと、

を備えることを特徴とするメモリシステム。

【請求項 15】

基準クロック信号と帰還クロック信号を位相検出器で受信して、前記基準クロック信号と前記帰還クロック信号との間の位相を比較して、前記比較に応答して第1及び第2制御信号を前記位相検出器から発生する段階と、

前記第1及び第2制御信号を第1電荷ポンプで受信して、前記第1及び第2制御信号に応答して第1電荷ポンプ信号を発生する段階と、

前記第1及び第2制御信号をパルス幅フィルタで受信して、前記第1制御信号が第1所定時間よりも長い時間の間にアクティブされる際、第1補助制御信号を前記パルス幅フィルタから発生し、前記第2制御信号が第2所定時間よりも長い時間の間にアクティブされる際、第2補助制御信号を前記パルス幅フィルタから発生する段階と、

前記第1及び第2補助制御信号を第2電荷ポンプで受信して、第2電荷ポンプ信号を発生する段階と、

前記第1及び第2制御信号を第3電荷ポンプで受信して第3電荷ポンプ信号を発生する段階と、

前記第1及び第2制御信号及び前記第1及び第2補助制御信号を第4電荷ポンプで受信して、第4電荷ポンプ信号を発生する段階と、

前記第1電荷ポンプ信号と前記第2電荷ポンプ信号との組合をループフィルタの第1入力を受信して、前記第3電荷ポンプ信号、前記第4電荷ポンプ信号及び制御電圧信号の組合を受信する前記ループフィルタの第2入力を受信して、前記第1及び第2入りに供給される信号に応答して前記制御電圧信号を前記ループフィルタから発生する段階と、

前記制御電圧信号を電圧制御発振器で受信して、前記帰還クロック信号を発生する段階と、

を備えることを特徴とする位相ロッキング方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、位相同期ループに関するもので、特に、適応ループ帯域を有する位相同期ループに関する。

【背景技術】

【0002】

集積回路システム間の通信は、一般的にクロック信号のようなローカル信号に対して入力信号の位相及び/または周波数が一致されるか、またはロックされる(locked)ことが要求される。これを行うための一般的なシステムが位相同期ループ(phase-locked loop)である。

【0003】

図1は、従来の位相同期ループの構成を示すブロック図である。従来の位相同期ループ11は、位相周波数検出器(PFD)10、第1電荷ポンプ(CP)12、演算増幅器16、及び電圧制御発振器(VCO)18を含み、選択的に第2電荷ポンプ(CP)14を含む。

【0004】

位相周波数検出器10は、受信された基準クロック信号(RCLK)と帰還される帰還クロック信号(VCLK)の位相差を検出して、このクロック信号間の位相差に応答してアップ制御信号(up)とダウン制御信号(dn)を発生させて第1電荷ポンプ12に供給する。第1電荷ポンプ12は、アップ制御信号(up)とダウン制御信号(dn)に応答してループフィルタの第1キャパシタ(Cp)を交代に充・放電させて、ループフィルタ制御電圧(Vp)を発生させる。ループフィルタ制御電圧(Vp)は、電圧制御発振器18の出力周波数を定めるために電圧制御発振器18に供給される。

【0005】

第1電荷ポンプ12と第1キャパシタ(Cp)は、帰還ループに極点を提供するが、優先的に位相同期ループの安定度を維持するためにループ安定(loop-stabilizing)零点を含むのが好ましい。この目的のために抵抗がキャパシタ(Cp)と直列で接

10

20

30

40

50

続される。しかし発明では、多様な動作特性を示す工程と温度変化に主に重点を置く。また直列抵抗値は正確な調整が難しい。

【0006】

図1に示した他の実施形態では、第2電荷ポンプ14、演算増幅器16、及び第2キャパシタ(Cc)の組合によって帰還ループの零点が提供される。第2電荷ポンプ14は、アップ制御信号(up)とダウン制御信号(dn)を受信し、これに応答して第2キャパシタ(Cc)を充・放電させる。演算増幅器16は、ポジティブ入力端子を介してループフィルタ制御電圧(Vp)を受信し、出力端子を介して第2キャパシタ(Cc)に印加されるVCO制御電圧(Vc)を供給する。クロスループ負帰還信号は、演算増幅器16の出力端子とネガティブ入力端子の間に接続される。VCO制御電圧(Vc)は、電圧制御発振器18の出力周波数を定めるために電圧制御発振器18に供給される。

10

【0007】

図1の構成では、相対的に安定的な動作をする位相同期ループを示しているが、第1電荷ポンプ12によって供給される電流(Ip)が固定されてループのロックタイム(locking time)の期間が最適値より小さい。また、ループ安定度を改善するために演算増幅器16と一緒に使われる第2電荷ポンプ14は広い面積のチップダイ(chip die)を要求し、従って、製造工程が効率的ではなくなる。

【先行技術文献】

【特許文献】

【0008】

20

【特許文献1】特開平7-170178号公報

【特許文献2】特開昭56-119520号公報

【特許文献3】特開平3-71722号公報

【特許文献4】実願昭62-160120号(実開平1-65527号)のマイクロフィルム

【特許文献5】特開2000-341116号公報

【特許文献6】特開平11-298321号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

30

本発明の一つの目的は、安定した動作を行い、チップダイ面積を減らす半導体装置を提供することである。本発明の他の目的は、安定した動作を行い、ロックングのための結果的な応答時間を達成する半導体装置を提供することである。

【課題を解決するための手段】

【0010】

一態様で、本発明の位相同期ループは、基準クロック信号と帰還クロック信号を受信し、前記基準クロック信号と前記帰還クロック信号との間の位相差を比較して、前記比較に
 応答して第1及び第2制御信号を発生する位相検出器と、前記第1及び第2制御信号を受
 信し、前記第1及び第2制御信号に
 応答して第1電荷ポンプ信号を発生する第1電荷ポン
 プと、前記第1及び第2制御信号を受信し、前記第1制御信号が第1所定時間よりも長い
 時間の間に活性化されれば第1補助制御信号を発生し、前記第2制御信号が第2所定時間
 よりも長い時間の間に活性化されれば第2補助制御信号を発生するパルス幅フィルタと、
 前記第1及び第2補助制御信号を受信し、補助電荷ポンプ信号を発生する第2電荷ポン
 プと、前記第1電荷ポンプ信号を受信し、制御電圧を発生して、前記第1電荷ポンプ信号と
 前記補助電荷ポンプ信号との組合を受信する第1入力、前記第1及び第2制御信号をそれ
 ぞれ受信する第2及び第3入力、前記制御電圧を受信する第4入力、及び前記第1、第2
 、第3、及び第4入力に供給される信号に
 応答して前記制御電圧を発生する出力を備える
 演算増幅器を備えるループフィルタと、前記制御電圧を受信し、前記帰還クロック信号を
 発生する電圧制御発振器と、を備えることを特徴とする。

40

【0011】

50

－実施形態で、前記位相同期ループは、前記第1及び第2補助制御信号を受信し、もし前記第1及び第2補助制御信号が活性化されたら第3制御信号を発生する制御信号発生器をさらに備え、前記演算増幅器は前記第3制御信号を受信する第5入力を備えて、前記第3制御信号にตอบสนองして前記制御電圧をさらに発生することを特徴とする。

【0012】

他の実施形態で、前記制御信号発生器は、前記第1補助制御信号を受信する第1入力、前記第2補助制御信号を受信する第2入力、及び前記第3制御信号を発生する出力を有するORゲートを備えることを特徴とする。

【0013】

他の実施形態で、前記第1制御信号はアップ制御信号であり、前記第2制御信号はダウン制御信号であることを特徴とする。

10

【0014】

他の実施形態で、前記位相同期ループは、前記第1制御信号は前記基準クロック信号の上昇エッジにตอบสนองして活性化され、前記第2制御信号は前記帰還クロック信号の上昇エッジにตอบสนองして活性化されることを特徴とする。

【0015】

他の実施形態で、前記位相同期ループは第1モード動作で動作する際、前記基準クロック信号と前記帰還クロック信号は相対的に周波数の差が小さく、前記位相同期ループは第2モード動作で動作する際、前記基準クロック信号と前記帰還クロック信号は相対的に周波数の差が大きく、前記位相同期ループが前記第1モード動作で動作する際、前記第1電荷ポンプは活性化され前記第2電荷ポンプは非活性化されて、前記位相同期ループが前記第2モード動作で動作する際、前記第1電荷ポンプは活性化され、前記第2電荷ポンプは非活性化されることを特徴とする。

20

【0016】

他の態様で、本発明の位相同期ループは、基準クロック信号と帰還クロック信号を受信し、前記基準クロック信号と前記帰還クロック信号との間の位相を比較して、前記比較にตอบสนองして第1及び第2制御信号を発生する位相検出器と、前記第1及び第2制御信号を受信し、前記第1及び第2制御信号にตอบสนองして第1電荷ポンプ信号を発生する第1電荷ポンプと、前記第1及び第2制御信号を受信し、前記第1制御信号が第1所定時間よりも長い時間の間にアクティブされる際、第1補助制御信号を発生し、前記第2制御信号が第2所定時間よりも長い時間の間にアクティブされる際、第2補助制御信号を発生するパルス幅フィルタと、前記第1及び第2補助制御信号を受信し、第2電荷ポンプ信号を発生する第2電荷ポンプと、前記第1及び第2制御信号を受信し、第3電荷ポンプ信号を発生する第3電荷ポンプと、前記第1及び第2制御信号及び前記第1及び第2補助制御信号を受信し、第4電荷ポンプ信号を発生する第4電荷ポンプと、前記第1電荷ポンプ信号と前記第2電荷ポンプ信号との組合を受信する第1入力、前記第3電荷ポンプ信号、前記第4電荷ポンプ信号及び制御電圧信号の組合を受信する第2入力、前記第1及び第2入りに供給される信号にตอบสนองして前記制御電圧信号を発生する出力を有する演算増幅器を備えるループフィルタと、前記制御電圧信号を受信し、前記帰還クロック信号を発生する電圧制御発振器と、を備えることを特徴とする。

30

40

【0017】

－実施形態で、前記位相同期ループは、第1モード動作で動作する際、前記基準クロック信号と前記帰還クロック信号は相対的に周波数の差が小さく、前記位相同期ループは第2モード動作で動作する際、前記基準クロック信号と前記帰還クロック信号は相対的に周波数の差が大きく、前記位相同期ループが前記第1モード動作で動作する際、前記第1電荷ポンプ、前記第3電荷ポンプ、及び前記第4電荷ポンプは活性化され、前記第2電荷ポンプは非活性化され、前記位相同期ループが前記第2モード動作で動作する際、前記第1電荷ポンプ、前記第2電荷ポンプ、及び前記第3電荷ポンプは活性化され、前記第4電荷ポンプは非活性化されることを特徴とする。

【0018】

50

他の実施形態で、前記第 1 電荷ポンプは、第 1 電圧源と第 1 ノードとの間に直列で接続された第 1 電流源及び第 1 電荷ポンプトランジスタ、前記第 1 ノードと接地基準電圧との間に直列で接続された第 2 電荷ポンプトランジスタ及び第 2 電流源を備え、前記第 1 電荷ポンプトランジスタは前記第 1 制御信号にตอบสนองして活性化され、前記第 2 電荷ポンプトランジスタは前記第 2 制御信号にตอบสนองして活性化され、前記第 1 電荷ポンプは前記第 1 ノードに前記第 1 電荷ポンプ信号を供給することを特徴とする。

【 0 0 1 9 】

他の実施形態で、前記第 2 電荷ポンプは、第 1 電圧源と第 2 ノードとの間に直列で接続された第 3 電流源及び第 3 電荷ポンプトランジスタ、及び前記第 2 ノードと接地基準電圧との間に直列で接続された第 4 電荷ポンプトランジスタと第 4 電流源を備え、前記第 3 電荷ポンプトランジスタは前記第 1 補助制御信号にตอบสนองして活性化され、前記第 4 電荷ポンプトランジスタは前記第 2 補助制御信号にตอบสนองして活性化され、前記第 2 電荷ポンプは前記第 2 ノードに前記第 2 電荷ポンプ信号を供給することを特徴とする。

10

【 0 0 2 0 】

他の実施形態で、前記第 3 電荷ポンプは、第 1 電圧源と第 3 ノードとの間に直列接続された第 5 電流源及び第 5 電荷ポンプトランジスタ、前記第 3 ノードと接地基準電圧との間に直列接続された第 6 電流源及び第 6 電荷ポンプトランジスタを備え、前記第 5 電荷ポンプトランジスタは前記第 1 制御信号にตอบสนองして活性化され、前記第 6 電荷ポンプトランジスタは前記第 2 制御信号にตอบสนองして活性化され、前記第 3 電荷ポンプは前記第 3 ノードに前記第 3 電荷ポンプ信号を供給することを特徴とする。

20

【 0 0 2 1 】

他の実施形態で、前記第 4 電荷ポンプは、第 1 電圧源と第 4 ノードとの間に直列接続された第 7 電流源及び第 7 及び第 8 電荷ポンプトランジスタ、前記第 4 ノードと接地基準電圧との間に直列接続された第 9 及び第 10 電荷ポンプトランジスタ及び第 8 電流源を備え、前記第 7 電荷ポンプトランジスタは前記第 1 制御信号にตอบสนองして活性化され、前記第 8 電荷ポンプトランジスタは前記第 1 補助制御信号にตอบสนองして活性化され、前記第 9 電荷ポンプトランジスタは前記第 2 補助制御信号にตอบสนองして活性化され、前記第 10 電荷ポンプトランジスタは前記第 2 制御信号にตอบสนองして活性化され、前記第 4 電荷ポンプは前記第 4 ノードに前記第 2 電荷ポンプ信号を供給することを特徴とする。

【 0 0 2 2 】

他の態様で、本発明のメモリ装置は、それぞれがデータ保存要素を備える複数のアドレス可能なメモリセルと、外部ソースからアドレスを受信して前記アドレス可能な少なくとも一つのメモリセルにアクセスするためのロー信号及びコラム信号を発生するデコーダと、基準クロック信号と帰還クロック信号を受信して前記基準クロック信号と前記帰還クロック信号の位相差を比較して、前記比較にตอบสนองして第 1 及び第 2 制御信号を発生する位相検出器と、前記第 1 及び第 2 制御信号を受信して第 1 電荷ポンプ信号を発生する第 1 電荷ポンプと、前記第 1 及び第 2 制御信号を受信して、前記第 1 制御信号が第 1 所定時間よりも長い時間の中に活性化される際、第 1 補助制御信号を発生し、前記第 2 制御信号が第 2 所定時間よりも長い時間の中に活性化される際、第 2 補助制御信号を発生するパルス幅フィルタと、前記第 1 及び第 2 補助制御信号を受信して第 2 電荷ポンプ信号を発生する第 2 電荷ポンプと、前記第 1 及び第 2 制御信号を受信して第 3 電荷ポンプ信号を発生する第 3 電荷ポンプと、前記第 1 及び第 2 制御信号及び前記第 1 及び第 2 補助制御信号を受信して、第 4 電荷ポンプ信号を発生する第 4 電荷ポンプと、前記第 1 電荷ポンプ信号と前記第 2 電荷ポンプ信号の組合を受信する第 1 入力、前記第 3 電荷ポンプ信号、前記第 4 電荷ポンプ信号及び制御電圧信号の組合を受信する第 2 入力、前記第 1 及び第 2 入力に供給される信号にตอบสนองして前記制御電圧信号を発生する出力を有する演算増幅器を備えるループフィルタと、前記制御電圧信号を受信して、前記帰還クロック信号を発生する電圧制御発振器を備える位相同期ループと、を備えることを特徴とする。

30

40

【 0 0 2 3 】

他の態様で、本発明のメモリシステムは、命令及びアドレス信号を発生するメモリ制御

50

器と、複数のメモリ装置を備えて、前記命令及びアドレス信号を受信して、前記メモリ装置にデータを保存し、または、前記メモリ装置からデータを読出すメモリモジュールとを備えて、各メモリ装置は、それぞれがデータ保存要素を備える複数のアドレス可能なメモリセルと、前記アドレスを受信して前記アドレス可能なメモリセルの少なくとも一つをアクセスするためにロー信号及びコラム信号を発生するデコーダと、基準クロック信号と帰還クロック信号を受信して、前記基準クロック信号と前記帰還クロック信号との間の位相を比較して、前記比較にตอบสนองして第1及び第2制御信号を発生する位相検出器と、前記第1及び第2制御信号を受信して、前記第1及び第2制御信号にตอบสนองして第1電荷ポンプ信号を発生する第1電荷ポンプと、前記第1及び第2制御信号を受信して、前記第1制御信号が第1所定時間よりも長い時間の間にアクティブされる際、第1補助制御信号を発生し、前記第2制御信号が第2所定時間よりも長い時間の間にアクティブされる際、第2補助制御信号を発生するパルス幅フィルタと、前記第1及び第2補助制御信号を受信して、第2電荷ポンプ信号を発生する第2電荷ポンプと、前記第1及び第2制御信号を受信して第3電荷ポンプ信号を発生する第3電荷ポンプと、前記第1及び第2制御信号及び前記第1及び第2補助制御信号を受信して、第4電荷ポンプ信号を発生する第4電荷ポンプと、前記第1電荷ポンプ信号と前記第2電荷ポンプ信号の組合を受信する第1入力、前記第3電荷ポンプ信号、前記第4電荷ポンプ信号及び制御電圧信号の組合を受信する第2入力、前記第1及び第2入力に供給される信号にตอบสนองして前記制御電圧信号を発生する出力を有する演算増幅器を備えるループフィルタと、前記制御電圧信号を受信して、前記帰還クロック信号を発生する電圧制御発振器を備える位相同期ループと、を備えることを特徴とする。

10

20

【0024】

他の態様で、本発明の位相ロック方法は、基準クロック信号と帰還クロック信号を位相検出器で受信して、前記基準クロック信号と前記帰還クロック信号との間の位相を比較して、前記比較にตอบสนองして第1及び第2制御信号を前記位相検出器から発生する段階と、前記第1及び第2制御信号を第1電荷ポンプで受信して、前記第1及び第2制御信号にตอบสนองして第1電荷ポンプ信号を発生する段階と、前記第1及び第2制御信号をパルス幅フィルタで受信して、前記第1制御信号が第1所定時間よりも長い時間の間にアクティブされる際、第1補助制御信号を前記パルス幅フィルタから発生し、前記第2制御信号が第2所定時間よりも長い時間の間にアクティブされる際、第2補助制御信号を前記パルス幅フィルタから発生する段階と、前記第1及び第2補助制御信号を第2電荷ポンプで受信して、第2電荷ポンプ信号を発生する段階と、前記第1及び第2制御信号を第3電荷ポンプで受信して第3電荷ポンプ信号を発生する段階と、前記第1及び第2制御信号及び前記第1及び第2補助制御信号を第4電荷ポンプで受信して、第4電荷ポンプ信号を発生する段階と、前記第1電荷ポンプ信号と前記第2電荷ポンプ信号との組合をループフィルタの第1入力を受信して、前記第3電荷ポンプ信号、前記第4電荷ポンプ信号及び制御電圧信号の組合を受信する前記ループフィルタの第2入力を受信して、前記第1及び第2入力に供給される信号にตอบสนองして前記制御電圧信号を前記ループフィルタから発生する段階と、前記制御電圧信号を電圧制御発振器で受信して、前記帰還クロック信号を発生する段階と、を備えることを特徴とする。

30

40

【図面の簡単な説明】

【0025】

【図1】従来の位相同期ループの構成を示すブロック図である。

【図2】本発明による位相同期ループの第1実施形態の構成を示すブロック図である。

【図3】本発明による図2に示した位相同期ループの演算増幅器の詳細な構成を示す構成図である。

【図4A】基準クロック信号が帰還クロック信号よりも早い場合の本発明による図2に示した位相同期ループの第1タイミング図である。

【図4B】基準クロック信号が帰還クロック信号よりも遅い場合の本発明による図2に示した位相同期ループの第2タイミング図である。

50

【図5】本発明による位相同期ループの第2実施形態の構成を示すブロック図である。

【図6】本発明による位相同期ループの第3実施形態の構成を示すブロック図である。

【図7】本発明による図6に示した第3位相同期ループのパルス幅フィルタ(PWF)の詳細な構成を示す図である。

【図8A】基準クロック信号が帰還クロック信号よりも早い場合に、本発明による図2に示した第3位相同期ループのパルス幅フィルタ信号の第1タイミング図である。

【図8B】基準クロック信号が帰還クロック信号よりも遅い場合に、本発明による図2に示した第3位相同期ループのパルス幅フィルタ信号の第2タイミング図である。

【図9A】本発明による図6に示した第3位相同期ループの第1電荷ポンプ44と第2電荷ポンプ46の詳細な構成を示す図である。

10

【図9B】本発明による図6に示した第3位相同期ループの第1電荷ポンプ44と第2電荷ポンプ46の詳細な構成を示す図である。

【図10】本発明による図6に示した第3位相同期ループの演算増幅器の詳細な構成を示す図である。

【図11】本発明による位相同期ループの第4実施形態のブロック図である。

【図12A】本発明による図11の第4位相同期ループの第3電荷ポンプと第4電荷ポンプの詳細な構成を示す図である。

【図12B】本発明による図11の第4位相同期ループの第3電荷ポンプと第4電荷ポンプの詳細な構成を示す図である。

【図13A-1】本発明による第4実施形態の第1モード動作を示す図11の位相同期ループ信号のタイミング図である。

20

【図13A-2】本発明による第4実施形態の第1モード動作を示す図11の位相同期ループ信号のタイミング図である。

【図13B-1】本発明による第4実施形態の第1及び第2モードの動作を示す図11の位相同期ループ信号の追加的なタイミング図である。

【図13B-2】本発明による第4実施形態の第1及び第2モードの動作を示す図11の位相同期ループ信号の追加的なタイミング図である。

【図14】従来の装置の応答と比較される本発明による図6の第3位相同期ループの段階応答を示す波形図である。

【図15】本発明によるメモリシステムのブロック図である。

30

【発明を実施するための形態】

【0026】

以下、添付された図面を参照しながら本発明の適応ループ帯域を有する位相同期ループを説明する。

【0027】

図2は、本発明による位相同期ループの第1実施形態の構成を示すブロック図である。位相同期ループ(PLL)21は位相周波数検出器(PFD)20、第1電荷ポンプ(CP)22、演算増幅器24、及び電圧制御発振器(VCO)26を含む。

【0028】

位相周波数検出器20は、受信された基準クロック信号(RCLK)と帰還クロック信号(VCLK)の位相差を検出し、このクロック信号間の位相差にตอบสนองしてアップ制御信号(up)とダウン制御信号(dn)を発生させて第1電荷ポンプ12に供給する。第1電荷ポンプ22は、アップ制御信号(up)とダウン制御信号(dn)にตอบสนองしてループフィルタの第1キャパシタ(Cp)を充・放電させて、ループフィルタ制御電圧、または第1電荷ポンプ電圧(Vp)を発生させる。第1電荷ポンプ電圧(Vp)は、多重入力(multiple-input)演算増幅器24(この場合は4入力演算増幅器)のポジティブ入力端子に供給される。そして、アップ制御信号(up)が多重入力演算増幅器24のポジティブ入力端子に入力され、ダウン制御信号(dn)がネガティブ入力端子に入力される。また、演算増幅器24の負帰還ループは演算増幅器24の出力とネガティブ入力との間に形成される。

40

50

【0029】

演算増幅器24の出力は、第2キャパシタ(Cc)に供給されて、第2キャパシタCcを介する結果的な電圧はVCO制御電圧(Vc)として電圧制御発振器26に供給されて電圧制御発振器26の出力周波数を決める。電圧制御発振器26の出力信号は帰還クロック信号(VCLK)として位相周波数検出器20に供給される。

【0030】

本発明の実施形態では、第1電荷ポンプ22と第1キャパシタ(Cp)との組合が帰還ループに対する極点を提供する。ループ安定(loop-stabilizing)零点は、ダウン制御信号(dn)とアップ制御信号(up)を受信する演算増幅器24によって提供される。電圧制御発振器26の制御電圧(Vc)は、多重入力演算増幅器24の出力によってのみ供給される。前記のような方法でループ安定零点は、従来技術と係わって前述の制約を有する抵抗を含まないで得ることができる。また、本発明の実施形態では、ループ安定零点を得るために第2電荷ポンプが要らないので回路規模が小さくなる。

10

【0031】

図3は、本発明による図2の位相同期ループにおける演算増幅器の詳細な構成を示す構成図である。

【0032】

演算増幅器24は、第1PMOSトランジスタ(P1)、第2PMOSトランジスタ(P2)、第1NMOSトランジスタ(N1)、第2NMOSトランジスタ(N2)、第3NMOSトランジスタ(N3)、第4NMOSトランジスタ(N4)、第5NMOSトランジスタ(N5)、第6NMOSトランジスタ(N6)、第7NMOSトランジスタ(N7)、及びバイアス電圧発生回路28で構成される。

20

【0033】

第1PMOSトランジスタ(P1)は、第1電圧源(Vcc)にソースが接続されて第1ノード(a)にゲートとドレインが接続される。第2PMOSトランジスタ(P2)は、第1電圧源(Vcc)にソースが接続されて第1ノード(a)にゲートが接続されて第2ノード(b)にドレインが接続される。第1NMOSトランジスタN1及び第2NMOSトランジスタN2は、第1ノード(a)と第3ノードcとの間に直列で接続されて、第1及び第2NMOSトランジスタの一つ、例えばトランジスタ(N1)のゲートは、アップ制御信号(up)に接続されて第1及び第2NMOSトランジスタの他の一つ、例えばトランジスタ(N2)のゲートは第1電荷ポンプ信号(Vp)に接続される。直列接続された第1及び第2NMOSトランジスタ(N1、N2)が互いに入れ替わって接続されても構わない。第3NMOSトランジスタ(N3)は、第1ノード(a)にドレインが接続されて、ゲートに第1電荷ポンプ信号(Vp)が接続されて、第3ノード(c)にソースが接続される。第4NMOSトランジスタ(N4)及び第5NMOSトランジスタ(N5)は、第2ノード(b)と第3ノード(c)との間に直列で接続されて、第4NMOSトランジスタ(N4)及び第5NMOSトランジスタ(N5)の中でいずれか一つのトランジスタのゲートにダウン制御信号(dn)が接続されて残りトランジスタのゲートに第2ノード(b)が接続される。そして、直列接続された第4及び第5NMOSトランジスタ(N4、N5)は互いに入れ替わって接続されても構わない。第6NMOSトランジスタ(N6)は、第2ノード(b)にドレインとゲートが接続されて第3ノードにソースが接続される。第7NMOSトランジスタ(N7)は、第3ノード(c)にドレインが接続されて基準接地電圧にソースが接続されてバイアス電圧(Vb)を受信するゲートを有する。バイアス電圧(Vb)は、バイアス電圧発生回路28から生成されて第1電荷ポンプ信号(Vp)を受信し第1電荷ポンプ信号(Vp)の電圧レベルに应答してバイアス電圧(Vb)を発生する。

30

40

【0034】

このような方法で、演算増幅器24は、電圧制御発振器に制御電圧(Vc)を供給する単一出力である第2ノード(b)を有する。また、演算増幅器24は、ポジティブ入力端子に受信するアップ制御信号(up)及び第1電荷ポンプ信号(Vp)、ネガティブ入力

50

端子に受信するダウン制御信号 (dn) 及び演算増幅器 24 の出力信号である制御電圧 (Vc) の 4 種の入力を含む。

【0035】

以下に説明される本発明の他の実施形態で演算増幅器 24 は位相同期ループの応用によって増加または減少されたポジティブ及びネガティブ入力端子を有することができる。

【0036】

アップ制御信号 (up) が活性化されれば第 2 ノード (b) の出力電圧が第 1 ノード (a) の出力電圧よりも大きくなる。これはアップ制御信号 (up) がイネーブルされるうちに、第 1 NMOS トランジスタ (N1) がアクティブアップ制御信号 (up) によって活性化となり、この時間の間にダウン制御信号 (dn) が非活性化されて第 4 NMOS トランジスタ (N4) が非活性化されて、第 1 ノード (a) と第 3 ノード (c) との間のチャンネル幅が第 2 ノード (b) と第 3 ノード (c) との間のチャンネル幅よりも大きくなるからである。このような条件で、オフセット電圧 (Vp - Vc) は陰の値を有する。

10

【0037】

反対の場合、ダウン制御信号 (dn) がイネーブルされて、アップ制御信号 (up) がディスイネーブルされると、第 2 ノード (b) の出力電圧が第 1 ノード (a) の出力電圧よりも小くなる。これは、ダウン制御信号 (dn) がイネーブルされるうちに、第 1 NMOS トランジスタ (N1) が非活性化されたアップ制御信号 (up) によって非活性化されて、この時間の間、ダウン制御信号 (dn) が活性化され第 4 NMOS トランジスタ (N4) は活性化となり、第 1 ノード (a) と第 3 ノード (c) との間のチャンネル幅が第 2 ノード (b) と第 3 ノード (c) との間のチャンネル幅よりも小くなるからである。このような条件で、オフセット電圧 (Vp - Vc) は陽の値を有する。

20

【0038】

オフセット電圧 (Vp - Vc)、Vos は、 $V_{os} = (I_{op} / G_m) \times (w / W)$ のように示され、ここで、Iop は第 7 NMOS トランジスタ (N7) を介して流れる電流、Gm は増幅器のコンダクタンス、W は第 3 NMOS トランジスタ (N3) と第 6 NMOS トランジスタ (N6) のチャンネル幅、w は第 2 NMOS トランジスタ (N2) と第 5 NMOS トランジスタ (N5) のチャンネル幅をそれぞれ示す。

【0039】

本発明の第 1 実施形態では、VCO 制御電圧 (Vc) が増幅器 24 の出力によってのみ供給されるので本発明の目的のためにこれ以上の追加的な電荷ポンプが必要ではないというメリットがある。

30

【0040】

図 4A は、基準クロック信号 (RCLK) が帰還クロック信号 (VCLK) よりも早い場合の図 2 に示した位相同期ループの信号の第 1 タイミング図である。

【0041】

基準クロック信号 (RCLK) の上昇エッジでアップ制御信号 (up) が位相周波数検出器 20 によって活性化される。アップ制御信号 (up) が活性化されることによって第 1 電荷ポンプ 22 は、第 1 キャパシタ (Cp) を充電するための第 1 電荷ポンプ信号 (Vp) を発生し、これによって第 1 電荷ポンプ信号 (Vp) が第 1 の割合で増加して、VCO 制御電圧 (Vc) が第 2 の割合で増加する。演算増幅器 24 のネガティブオフセット電圧によって第 2 の割合は第 1 の割合よりもさらに早い。

40

【0042】

これと同じく、帰還クロック信号 (VCLK) の上昇エッジでダウン制御信号 (dn) が位相周波数検出器 20 によって活性化される。ダウン制御信号 (dn) が活性化されることによって第 1 電荷ポンプ 22 は、第 1 キャパシタ (Cp) の電荷を維持するための第 1 電荷ポンプ信号 (Vp) を発生し、これによって第 1 電荷ポンプ信号 (Vp) は同じく維持されて、VCO 制御電圧 (Vc) は演算増幅器 24 のネガティブオフセット電圧 (Vp - Vc) とほとんど等しいまで減少する。アップ制御信号 (up) とダウン制御信号 (dn) の重複時間 (overlap time) は位相周波数検出器の内部遅延時間に寄

50

る。そして、重複時間は固定されて入力条件によって変化しない。

【0043】

前記のような動作過程は、帰還クロック信号（VCLK）が基準クロック信号（RCLK）と等しく調整され、固定されるまで繰り返される。

【0044】

図4Bは、基準クロック信号（RCLK）が帰還クロック信号（VCLK）よりも遅い場合の図2に示した位相同期ループの信号を示す第2タイミング図である。

【0045】

帰還クロック信号（VCLK）の上昇エッジで、ダウン制御信号（dn）が位相周波数検出器20によって活性化される。ダウン制御信号（dn）が活性化されることによって第1電荷ポンプ22は、第1キャパシタ（Cp）を放電するための第1電荷ポンプ信号（Vp）を発生し、これによって第1電荷ポンプ信号（Vp）が第1の割合で減少してVCO制御電圧（Vc）が第2の割合で減少する。演算増幅器24のポジティブオフセット電圧によって第2の割合は、第1の割合よりもさらに早い。これと同様に、基準クロック信号（RCLK）の上昇エッジで、アップ制御信号（up）が位相周波数検出器20によって活性化される。アップ制御信号（up）が活性化されることによって第1電荷ポンプ22は第1キャパシタ（Cp）の電荷を維持するための第1電荷ポンプ信号（Vp）を発生し、これによって第1電荷ポンプ信号（Vp）は等しく維持されて、VCO制御電圧（Vc）は演算増幅器24のポジティブオフセット電圧（Vp - Vc）とほとんど等しいまで増加する。前記のような動作過程は、帰還クロック信号（VCLK）が基準クロック信号（RCLK）のように調整されて固定されるまで繰り返される。

【0046】

以上のような方法で、アップ制御信号（up）とダウン制御信号（dn）を演算増幅器に直接適用することは、第1ノード（a）と第3ノード（c）との間と第2ノード（b）と第3ノード（c）との間の有効チャンネル幅の差に影響を与える。アップ制御信号（up）が活性化された場合は、第1NMOSトランジスタ（N1）が動作することによって第3NMOSトランジスタ（N3）の有効チャンネル幅が増加する。したがって、ネガティブオフセット電圧が演算増幅器に供給される。ダウン制御信号（dn）の活性化された場合は、第4NMOSトランジスタ（N4）が動作することによって第6NMOSトランジスタ（N6）の有効チャンネル幅が増加する。したがって、ポジティブオフセット電圧が演算増幅器に供給される。

【0047】

図5は、本発明による位相同期ループの第2実施形態の構成を示すブロック図である。

【0048】

図5で、VCO制御電圧（Vc）は、第2演算増幅器30のポジティブ入力端子に印加される。第2演算増幅器30の出力端子は、第3電圧（Vz）を生成して負帰還ループを形成するために第2演算増幅器30のネガティブ入力端子として帰還されて供給される。第3電圧（Vz）は、電圧制御発振器26の入力に電圧制御発振器の制御電圧として供給されて、VCO制御電圧（Vc）に比べて減少されたチャタを有し位相同期ループがさらに安定的に動作するようにする。また、第2演算増幅器30は電圧制御発振器に十分な電流が供給されるようにVCO制御電圧（Vc）に対して電流バッファの役目をする。

【0049】

図6は、本発明による位相同期ループの第3実施形態の構成を示すブロック図である。

【0050】

図6で、位相同期ループ41は、位相周波数検出器40、第1電荷ポンプ44、演算増幅器50、及び電圧制御発振器52を含む。本発明の第1実施形態の図2と第2実施形態の図5と同じく、位相周波数検出器40は受信された基準クロック信号（RCLK）と帰還される帰還クロック信号（VCLK）の位相差を検出して、このクロック信号間の位相差にตอบสนองしてアップ制御信号（up）とダウン制御信号（dn）を発生させて第1電荷ポンプ44に供給する。第1電荷ポンプ44は、ループフィルタの第1キャパシタ（Cp）

を充・放電するためにアップ制御信号 (up) とダウン制御信号 (dn) に応答して第 1 キャパシタ (Cp) に供給される第 1 電流 (I1) を発生させる。第 1 電荷ポンプ電圧 (Vp) は、多重入力 (multiple-input) 増幅器 50 (この場合には 5 入力演算増幅器) のポジティブ入力端子に供給される。そして、アップ制御信号 (up) は、多重入力増幅器 50 のポジティブ入力端子に直接供給されて、ダウン制御信号 (dn) は多重入力増幅器 50 のネガティブ入力端子に直接供給される。また、本発明の第 1 実施形態及び第 2 実施形態と同じく演算増幅器の負帰還ループは、ノード (Vc) で演算増幅器 50 の出力と演算増幅器 50 のネガティブ入力端子との間に形成される。

【0051】

図 6 の第 3 実施形態では、パルス幅フィルタ 42 と第 2 電荷ポンプ 46 がさらに加えられた。

10

【0052】

パルス幅フィルタ 42 は、アップ制御信号 (up) とダウン制御信号 (dn) を受信して、これに応答して補助アップ制御信号 (aup) と補助ダウン制御信号 (adn) を発生させる。補助アップ制御信号 (aup) と補助ダウン制御信号 (adn) は、第 2 電荷ポンプ 46 に供給されて、第 2 電荷ポンプ 46 はこの信号に応答して第 2 電流 (I2) を発生させて、第 2 電流 (I2) は第 1 電荷ポンプ 44 から発生させた第 1 電流 (I1) と同じくループフィルタの第 1 キャパシタ (Cp) を充・放電させるために第 1 キャパシタ (Cp) に供給される。したがって、第 1 合成電流 (Ia) が第 1 キャパシタ (Cp) に供給されて、第 1 合成電流 (Ia) は、第 1 及び第 2 電荷ポンプの出力電流の合計と等しい。すなわち、 $I_a = I_1 + I_2$ である。

20

【0053】

補助アップ制御信号 (aup) と補助ダウン制御信号 (adn) は、制御信号発生器 48 に供給されて、これに応答して制御信号 (con) を発生させる。図 6 で制御信号発生器 48 は OR ゲートで構成される。制御信号 (con) は、多重入力演算増幅器 50 のポジティブとネガティブ入力端子に交代で供給される。入力信号の位相誤差が大きい場合に第 2 電流 (I2) の大きい増加によって第 1 合成電流 (Ia) は増加するようになる。また第 2 電流 (I2) のレベル増加によって位相同期ループのループ帯域も増加する。このような場合に、安定的な動作のために位相同期ループの零点の位置も増加させねばならないし、これは演算増幅器のオフセット量が減少させるべきであることを意味する。この

30

【0054】

図 7 は、図 6 に示した位相同期ループの第 3 実施形態でパルス幅フィルタ 42 の詳細な構成を示すものである。

【0055】

図 7 で例示したパルス幅フィルタ 42 は、アップ制御信号 (up) を入力させて補助アップ制御信号 (aup) を発生させる。ダウン制御信号 (dn) を入力させて補助ダウン制御信号 (adn) を発生させるために、これと類似な回路が使われる。

40

【0056】

図 7 で、第 3 PMOS トランジスタ (P3) と第 8 NMOS トランジスタ (N8) 及び第 9 NMOS トランジスタ (N9) は、電圧源 (Vcc) と基準接地電圧間に直列で接続される。遅延回路 (DL) はアップ制御信号 (up) を入力受けてこれを遅延させ、遅延されたアップ信号 (dup) を出力して第 9 NMOS トランジスタ (P9) のゲートに供給する複数のインバータ (I1、I2、I3、及び I4) を含む。アップ制御信号 (up) は、第 3 PMOS トランジスタ P3 と第 8 NMOS トランジスタ N8 のゲートに供給される。第 3 PMOS トランジスタ P3 と第 8 NMOS トランジスタ N8 との間にあるノード (d) の信号は、第 5 インバータ (I5) に供給され、第 5 インバータ (I5) は補助

50

アップ制御信号 (a u p) を出力する。補助アップ制御信号 (a u p) は、第 6 インバータ (I 6) に供給され、第 6 インバータ (I 6) は反転された補助アップ制御信号 (a u p b) を出力する。

【 0 0 5 7 】

図 6 及び図 7 に示したパルス幅フィルタは、位相同期ループを加速的にロッキング (l o c k i n g) する。アップ制御信号 (u p) が、少なくとも所定のパルス幅を有し活性化された際、第 8 N M O S トランジスタ (N 8) と第 9 N M O S トランジスタ (N 9) が同時に活性化される。したがって補助アップ制御信号 (a u p) は短いパルス遅延を有し、この短いパルスの遅延は、遅延回路 (D L) の所定の遅延長さとアップ制御信号 (u p) の遅延との間のパルス長さの差である。遅延回路の遅延長さは、遅延回路 (D L) に含まれたインバータの個数に寄る。補助ダウン制御信号 (a d n) の発生過程もこれと等しい。

10

【 0 0 5 8 】

図 8 A は、基準クロック信号が帰還クロック信号よりも早い場合に図 6 に示した位相同期ループの第 3 実施形態におけるパルス幅フィルタ 4 2 の信号を示す第 1 タイミング図である。

【 0 0 5 9 】

図 8 で、アップ制御信号 (u p) の上昇エッジで遅延されたアップ信号 (d u p) が所定の遅延を通した後、活性化される。遅延されたアップ制御信号 (d u p) が活性化された時点でアップ制御信号 (u p) は、相変らず活性化状態にあるのでノード (d) で信号は「ハイ」レベルから「ロー」レベルに遷移し、これに相応して補助アップ制御信号 (a u p) が「ハイ」レベルで活性化される。補助アップ制御信号 (a u p) は、アップ制御信号 (u p) が「ロー」レベルで遷移し非活性化されるまで活性化を維持する。

20

【 0 0 6 0 】

図 8 B は、基準クロック信号が帰還クロック信号よりも遅い場合に図 6 に示した位相同期ループの第 3 実施形態でパルス幅フィルタの信号を示す第 2 タイミング図である。

【 0 0 6 1 】

図 8 で、アップ制御信号 (u p) は、相対的に短いパルスを有し遅延回路 (D L) の遅延時間の間に十分な活性化状態を維持しない。したがって、ノード (d) で信号は、「ロー」レベルに遷移しないで、補助アップ制御信号 (a u p) も活性化されない。この場合、ダウン制御信号 (d n) が活性化されたと仮定すると、図 8 A の補助アップ制御信号 (a u p) と類似の方法で、これに相応する補助ダウン制御信号 (a d n) も短いパルス遅延時間の間に活性化される。

30

【 0 0 6 2 】

図 9 A、9 B は、図 6 に示した位相同期ループの第 3 実施形態で、それぞれ第 1 電荷ポンプ 4 4 と第 2 電荷ポンプ 4 6 の詳細な構成を示すものである。

【 0 0 6 3 】

図 9 A に示した第 1 電荷ポンプ 4 4 は、第 1 電流源 (I p)、第 4 P M O S トランジスタ (P 4)、第 1 0 N M O S トランジスタ (N 1 0)、及び第 2 電流源 (I p) を備えて、第 2 電流源 (I p) が電圧源 (V c c) と接地電圧との間に直列で接続される。また、反転されたアップ制御信号 (u p b) が第 4 P M O S トランジスタ (P 4) のゲートに供給されて、ダウン制御信号 (d n) は第 1 0 N M O S トランジスタ (N 1 0) のゲートに供給される。

40

【 0 0 6 4 】

第 4 P M O S トランジスタ (P 4) と第 1 0 N M O S トランジスタ (N 1 0) との間にあるノードの信号は、第 1 電流 (I 1) として供給される。図 9 A に示した電荷ポンプ 4 4 は、図 6 の第 1 電荷ポンプ 4 4 と図 2 及び図 5 の電荷ポンプに全て適用される。また、後述する図 1 1 の電荷ポンプ 6 4 にも適用できる。

【 0 0 6 5 】

図 9 B に示した第 2 電荷ポンプ 4 6 は、第 3 電流源 ((n - 1) I p)、第 5 P M O S

50

トランジスタ (P 5)、第 1 1 N M O S トランジスタ (N 1 1)、及び第 4 電流源 ((n - 1) I p) で構成されて、第 4 電流源 ((n - 1) I p) が電圧源 (V c c) と接地電圧との間に直列に接続される。また、反転された補助アップ制御信号 (a u p b) が第 5 P M O S トランジスタ (P 5) のゲートに供給されて、補助ダウン制御信号 (a d n) は第 1 1 N M O S トランジスタ (N 1 1) のゲートに供給される。第 3 及び第 4 電流源 ((n - 1) I p) は、第 1 及び第 2 電流源 (I p) よりも大きい値を有することが好ましい。したがって、n 値は 2 より大きい。第 5 P M O S トランジスタ (P 5) と第 1 1 N M O S トランジスタ (N 1 1) との間にあるノードの信号は、第 1 電流 (I 2) として供給される。図 9 B に示した電荷ポンプ 4 6 は、図 6 の電荷ポンプ 4 6 と後述する図 1 1 の第 2 電荷ポンプ 6 8 に適用できる。

10

【 0 0 6 6 】

図 1 0 は、図 6 に示した位相同期ループの第 3 実施形態で、演算増幅器 5 0 の詳細な構成を示すのである。

【 0 0 6 7 】

図 1 0 の演算増幅器 5 0 は、第 1 P M O S トランジスタ (P 1)、第 2 P M O S トランジスタ (P 2)、第 1 ないし第 8 N M O S トランジスタ (N 1 ないし N 8)、及びバイアス電圧発生回路 2 8 を含むので、図 3 に示した演算増幅器 2 4 と構成と動作が似ている。しかし、第 1 ノード (a) と第 3 ノード (c) との間に直列で接続された第 1 2 N M O S トランジスタ (N 1 2) と第 1 3 N M O S トランジスタ (N 1 3) をさらに含み、第 2 ノード (b) と第 3 ノード (c) との間に直列で接続された第 1 4 N M O S トランジスタ (N 1 4) と第 1 5 N M O S トランジスタ (N 1 5) をさらに含む。制御信号 (c o n) は、演算増幅器 5 0 のネガティブ入力端子にあたる第 1 4 N M O S トランジスタ (N 1 4) のゲートに供給される。電荷ポンプ電圧 (V p)、またはキャパシタ (C p) 電圧は、第 1 3 N M O S トランジスタ (N 1 3)、第 2 N M O S トランジスタ (N 2)、及び第 3 N M O S トランジスタ (N 3) のゲートに供給される。出力電圧 (V c) は、第 1 5 N M O S トランジスタ (N 1 5)、第 5 N M O S トランジスタ (N 5)、及び第 6 N M O S トランジスタ (N 6) のゲートに供給される。

20

【 0 0 6 8 】

前述した図 6 ないし図 1 0 の位相同期ループ 4 1 の第 3 実施形態は、第 1 モード及び第 2 モードで動作が可能である。位相同期ループ 4 1 が 1 モードで動作すると、入力クロック信号 (P C L K) と帰還クロック信号 (V C L K) は実質的にロック (l o c k e d) されるので、相対的に小さな周波数の差と相対的に小さな位相差を有する。したがって、アップ制御信号 (u p) とダウン制御信号 (d n) は相対的に短いパルス幅を有する。アップ制御信号 (u p) とダウン制御信号 (d n) が短いパルス幅を有すると、補助アップ制御信号 (a u p) と補助ダウン制御信号 (a d n) は活性化されない。したがって、第 2 電荷ポンプ 4 6 と制御信号発生器 4 8 は動作しない。

30

【 0 0 6 9 】

しかし、位相同期ループ 4 1 が第 2 モードで動作すると、入力クロック信号 (P C L K) と帰還クロック信号 (V C L K) は相対的に大きい周波数の差及び/または相対的に小さな位相差を有する。したがって、アップ制御信号 (u p) とダウン制御信号 (d n) は、相対的に大きいパルス幅を有する。アップ制御信号 (u p) とダウン制御信号 (d n) が大きいパルス幅を有すると、これにตอบสนองして補助アップ制御信号 (a u p) と補助ダウン制御信号 (a d n) は活性化される。したがって、第 2 電荷ポンプ 4 6 と制御信号発生器 4 8 は動作する。結局、第 2 モードの動作では、第 1 電荷ポンプ 4 4 と第 2 電荷ポンプ 4 6 は全て活性化される。第 2 モードの動作で、第 2 電流 (I 2) は第 2 電荷ポンプ 4 6 によって発生され、第 1 電流 (I 1) の値より大きい (アップ信号 (u p) が発生すると、陽の値を有し、ダウン信号 (d n) が発生すると陰の値を有する)。第 1 結合電流 (I a) はキャパシタ (C p) に供給されて、キャパシタ (C p) を速かに充電 (アップ制御信号 (u p) が発生した場合)、または放電 (ダウン (d n) 制御信号が発生した場合) するためにさらに大きい値を有するようになる。したがって、電圧 (V p) はさらに大き

40

50

い割合で変わるようになって出力電圧（ V_c ）もさらに大きい割合で変わるようになる。
第2モードで入力クロック（ $PCLK$ ）と帰還クロック（ $VCLK$ ）のロッキング（ $locking$ ）に対する応答時間はさらに向上する。

【0070】

図11は、本発明による位相同期ループの第4実施形態のブロック図である。

図11で、位相同期ループ61は位相周波数検出器60、第1電荷ポンプ64、演算増幅器72、及び電圧制御発振器74を含む。本発明の第1実施形態の図2と第2実施形態の図5及び第3実施形態の図6でと同じく、位相検出器60は受信された基準クロック信号（ $RCLK$ ）と帰還される帰還クロック信号（ $VCLK$ ）の位相差を検出して、このクロック信号間の位相差に対応してアップ制御信号（ up ）とダウン制御信号（ dn ）を発生させて第1電荷ポンプ64に供給する。第1電荷ポンプ64は、ループフィルタの第1キャパシタ（ Cp ）を充・放電するためにアップ制御信号（ up ）とダウン制御信号（ dn ）に応答して第1キャパシタ（ Cp ）に供給される第1電流（ I_1 ）を発生させる。第1電荷ポンプ電圧（ Vp ）、またはキャパシタ（ Cp ）電圧は、増幅器72（2入力増幅器）のポジティブ入力端子に供給される。また、本発明の第1実施形態、第2実施形態及び第3実施形態と同じく増幅器の負帰還ループは、演算増幅器72の出力と演算増幅器72のネガティブ入力端子との間に形成される。

【0071】

本発明の図6の第3実施形態と同じく図11では、パルス幅フィルタ62と第2電荷ポンプ68がさらに加えられた。パルス幅フィルタ62は、以前に記述した方法のようにアップ制御信号（ up ）とダウン制御信号（ dn ）を受信し、これに応答して補助アップ制御信号（ aup ）と補助ダウン制御信号（ adn ）を発生する。補助アップ制御信号（ aup ）と補助ダウン制御信号（ adn ）は、第2電荷ポンプ68に供給されて、第2電荷ポンプ68はこの信号に応答して第2電流（ I_2 ）を発生させ、第2電流（ I_2 ）は第1電荷ポンプ64で発生させた第1電流（ I_1 ）と結合されて第1結合電流（ I_a ）を形成し、第1結合電流（ I_a ）はループフィルタの第1キャパシタ（ Cp ）を充・放電させるために第1キャパシタ（ Cp ）に供給される。したがって、キャパシタ（ Cp ）に供給される第1結合電流は、第1電荷ポンプの出力電流と第2電荷ポンプの出力電流とを合わせたもの、すなわち、 $I_a = I_1 + I_2$ である。

【0072】

アップ制御信号（ up ）とダウン制御信号（ dn ）は、第3電荷ポンプ66に供給されて、第3電荷ポンプ66は出力電流（ I_3 ）を発生させる。また、アップ制御信号（ up ）、ダウン制御信号（ dn ）、補助アップ制御信号（ aup ）、及び補助ダウン制御信号（ adn ）は、第4電荷ポンプ70に供給されて、第4電荷ポンプ70は第4出力電流（ I_4 ）を発生させる。第3出力電流（ I_3 ）と第4出力電流（ I_4 ）は結合して第2結合電流（ I_b ）を形成し、第2結合電流（ I_b ）は演算増幅器72の出力ノードを介して第2キャパシタ（ Cc ）に供給される。したがって、 $I_b = I_3 + I_4$ である。

【0073】

図12A、12Bは、図11に示した位相同期ループの第4実施形態で、それぞれ第3電荷ポンプ66と第4電荷ポンプ70の詳細な構成を示すのである。図12Aで、第3電荷ポンプ66は電圧源（ Vcc ）と接地電圧との間に第5電流源（ Ic/n ）、第6PMOSトランジスタ（ $P6$ ）、第16NMOSトランジスタ（ $N16$ ）、及び第6電流源（ Ic/n ）が直列で接続される。反転されたアップ制御信号（ upb ）は、第6PMOSトランジスタ（ $P6$ ）のゲートに供給されて、ダウン制御信号（ dn ）は、第16NMOSトランジスタ（ $N16$ ）のゲートに供給される。第6PMOSトランジスタ（ $P6$ ）と第16NMOSトランジスタ（ $N16$ ）との間にあるノードの信号は、第3電流（ I_3 ）に供給される。電流値（ Ic ）は補助アップ制御信号（ aup ）と補助ダウン制御信号（ adn ）がそれぞれ非活性化された際、第3電荷ポンプ66と第4電荷ポンプ70の出力電流との合計である。このような場合については、後の図13A-1及び13A-2で記述し、ここでは $I_b = Ic$ である。電流値（ Ic/n ）は、補助アップ制御信号（ aup

10

20

30

40

50

)と補助ダウン制御信号 (a d n) からいずれかが一つが活性化された際、第3電荷ポンプ66と第4電荷ポンプ70の出力電流の合計である。このような場合については、後の図13B-1及び13B-2で記述して、ここでは第3電荷ポンプ66は活性化され、第4電荷ポンプ70は非活性化されるから $I_b = I_c / n$ である。

【0074】

図12Bの第4電荷ポンプ70は、電圧源 (V c c) と接地電圧との間に第7電流源 ($I_c (n - 1) / n$)、第7PMOSトランジスタ (P 7)、第8PMOSトランジスタ (P 8)、第17NMOSトランジスタ (N 1 7)、第18NMOSトランジスタ (N 1 8) 及び第8電流源 ($I_c (n - 1) / n$) が直列で接続される。反転されたアップ制御信号 (u p b) は、第7PMOSトランジスタ (P 7) のゲートに供給されて、補助アップ制御信号 (a u p) は第8PMOSトランジスタ (P 8) のゲートに供給される。反転された補助ダウン制御信号 (a d n b) は、第17NMOSトランジスタ (N 1 7) のゲートに供給されてダウン制御信号 (d n) は第18NMOSトランジスタ (N 1 8) のゲートに接続される。第7及び第8電流源 ($I_c (n - 1) / n$) は、第5及び第6電流源 (I_c / n) より大きい値を有することが好ましい。したがって、n値は2よりも大きい。第8PMOSトランジスタ (P 8) と第17NMOSトランジスタ (N 1 7) との間にあるノードの信号は第4電流 I_4 に供給される。

【0075】

図13A-1、13A-2は、図11に示した位相同期ループの第4実施形態で、位相同期ループの第1動作モードを示すタイミング図である。図13B-1、13B-2は、図11に示した位相同期ループの第4実施形態で、位相同期ループの第1及び第2動作モードを示すタイミング図である。

【0076】

図13A-1と係わる第1モード動作で、基準クロック信号 (R C L K) は、帰還クロック信号 (V C L K) より少し早い。この場合にアップ制御信号 (u p) は、相対的に短いパルス幅を有し、パルス幅フィルタ62の遅延回路 (D L) の遅延時間だけ活性化を維持することができない。したがって、補助アップ制御信号 (a u p) は活性化ができない。この場合、第2電荷ポンプ68は非活性化され、第1結合信号 (I a) は陽の値を有し、第1電荷ポンプ64によって唯一に発生する。したがって、第1結合電流 (I a) のレベルは第1電流源 (I p) と等しい。また、この場合、第3電荷ポンプ66と第4電荷ポンプ70は全て活性化され、第3電荷ポンプ66から出力された第3出力電流 (I 3) と第4電荷ポンプ70から出力された第4出力電流 (I 4) との結合で生成された第2結合信号 (I b) は陽の値を有する。第2結合電流 (I b) のレベルは I_c と同じである。

【0077】

図13A-2と係わる第1モード動作で、基準クロック信号 (R C L K) は帰還クロック信号 (V C L K) より少し遅い。この場合、ダウン制御信号 (d n) は相対的に短いパルス幅を有し、パルス幅フィルタ62の遅延回路 (D L) の遅延時間の間は活性化を維持することができない。したがって、補助ダウン信号 (a d n) は活性化ができない。この場合、第2電荷ポンプ68は非活性化状態になって第1結合信号 (I a) は陰の値を有し、第1電荷ポンプ64により唯一に発生される。したがって、第1結合電流 (I a) のレベルは $-I_p$ である。また、この場合、第3電荷ポンプ66と第4電荷ポンプ70は全て活性化され、第3電荷ポンプ66から出力された陰の第3出力電流 (I 3) と第4電荷ポンプ70から出力された陰の第4出力電流 (I 4) の結合で生成された第2結合信号 (I b) は陰の値を有する。第2結合電流 (I b) のレベルは $-I_c$ である。

【0078】

図13B-1と係わる第2モード動作で、基準クロック信号 (R C L K) は帰還クロック信号 (V C L K) より相対的にかなりさき進む。この場合、アップ信号 (u p) は相対的に長いパルス幅を有し、パルス幅フィルタ62の遅延回路 (D L) の遅延時間の間に活性化状態を維持する。したがって、補助アップ制御信号 (a u p) は活性化状態になる。第1時間間隔 (T 1) の間に位相同期ループ61は補助アップ制御信号 (a u p) がま

10

20

30

40

50

だ活性化されていないので第1モードで動作する。第1時間間隔(T_1)後の第2時間間隔(T_2)の間に位相同期ループ61は、補助アップ制御信号(aup)の上昇エッジによって始まった第2モードで動作する。

【0079】

図13B-1で第1時間間隔(T_1)の間に第1結合電流(I_a)は陽の値を有し、第1電荷ポンプ64が単独で生成され、第2電荷ポンプ68は初めに非活性化される。そして、この期間の間に第1結合電流(I_a)のレベルは I_p である。また第1時間間隔(T_1)の間に第2結合電流(I_b)は陽の値を有し、活性化されている第3電荷ポンプ66及び第4電荷ポンプ70のそれぞれの出力電流である I_3 、 I_4 の合成によって生成される。したがって、この時間の間に第2合成電流(I_b)は I_c である。

10

【0080】

図13B-1で第2時間間隔(T_2)の間に第1合成電流(I_a)は第2電荷ポンプ68が活性化されるので第1電荷ポンプ64と第2電荷ポンプ68の合計によって生成されて陽の値を有する。第1合成電流(I_a)は第1電荷ポンプ64の出力(I_1)である I_p と第2電荷ポンプ68の出力 I_2 である $(n-1)I_p$ との合計と等しく、 $(n)I_p$ となる。また第2時間間隔(T_2)の間に第2合成電流(I_b)は第3電荷ポンプ66が活性化されていて、第4電荷ポンプ70は非活性化されているので、第3電荷ポンプ66の単独出力(I_3)によって生成される。したがって、この時間の間、第2合成電流(I_b)は I_c/n になる。

【0081】

20

図13B-2と係わる第2モード動作で、基準クロック信号($RCLK$)は帰還クロック信号($VCLK$)より相対的にかなり遅い。この場合、ダウン制御信号(dn)は相対的に大きいパルス幅を有し、パルス幅フィルタ62の遅延回路(DL)の遅延時間の間に活性化を維持する。したがって、補助ダウン制御信号(adn)は活性化される。第1時間間隔(T_1)の間に、位相同期ループ61は前で記述したように補助ダウン制御信号(adn)がまだ活性化されていないので第1モードで動作する。第1時間間隔(T_1)から第2時間間隔(T_2)の間、位相同期ループ61は補助ダウン制御信号(adn)の上昇エッジによって始まった第2モードで動作する。

【0082】

図13B-2で、第1時間間隔(T_1)の間、第1結合電流(I_a)は陰の値を有し、第1電荷ポンプ64が単独で生成させ、第2電荷ポンプ68は初めに非活性化される。そして、この期間の間に第1結合電流(I_a)のレベルは $-I_p$ である。また第1時間間隔(T_1)の間に、第2結合電流(I_b)は陰の値を有し、活性化される第3電荷ポンプ66及び第4電荷ポンプ70のそれぞれの出力電流である I_3 、 I_4 の合成によって生成される。したがって、この時間の間に第2合成電流(I_b)は $-I_c$ である。

30

【0083】

図13B-2で、第2時間間隔(T_2)の間に、第1合成電流(I_a)は第2電荷ポンプ68が活性化されるので第1電荷ポンプ64と第2電荷ポンプ68の合計によって生成され、陰の値を有する。第1合成電流(I_a)は第1電荷ポンプ64の出力(I_1)である $-I_p$ と第2電荷ポンプ68の出力(I_2)である $-(n-1)I_p$ の合計と等しく、 $-(n)I_p$ となる。また、第2時間間隔(T_2)の間に、第2合成電流(I_b)は第3電荷ポンプ66が活性化されていて第4電荷ポンプ70は非活性化されているので、第3電荷ポンプ66の単独出力 I_3 によって生成される。したがって、この時間の間、第2合成電流(I_b)は $-I_c/n$ となる。

40

【0084】

前記のような方法で、本発明の第4実施形態で、第1モードの動作の間に入力クロック信号($RCLK$)と帰還クロック信号($VCLK$)は位相と周波数が相対的に類似し、実質的にロック($locked$)される。そして、第2電荷ポンプ68は非活性化され、第1電荷ポンプ64、第3電荷ポンプ66、及び第4電荷ポンプ70は活性化される。したがって、第1合成電流(I_a)は相対的に小さく、第2合成電流は相対的に大きい。

50

【 0 0 8 5 】

これとは対照的に、入力クロック信号（RCLK）と帰還クロック信号（VCLK）の位相と周波数が似てない場合、位相同期ループが第2モード動作に進入する間に補助アップ/ダウン信号が活性化される。そして、第2モードで動作する間に第1電荷ポンプ64、第2電荷ポンプ68、及び第3電荷ポンプ66は活性状態になって、第4電荷ポンプ70は非活性化される。したがって、第2モードでは第1合成電流（Ia）は相対的に大きくて、第2合成電流（Ib）は相対的に小さい。

【 0 0 8 6 】

前記のような方法で、演算増幅器72のオフセット電圧は、第2合成電流（Ib）によって制御される。これは前述した図6の実施形態で、制御信号（con）が演算増幅器に適用されることと等しい効果を得る。

10

【 0 0 8 7 】

図14は、図6に示した位相同期ループの第3実施形態で、本発明と従来技術の段階応答を比べた波形図である。

図14を参照すると、本発明91が従来技術93よりさらに早い割合でロッキング（locking）になることが分かる。またロッキング（locking）になった以後に本発明91が従来技術93よりさらに早く正常状態に到達することが分かる。

【 0 0 8 8 】

本発明の実施形態は、メモリ装置とメモリシステムを含めて、あらゆる種類の集積回路に適用できる。メモリ装置の実施形態で、メモリ装置はアドレス指定が可能な複数のメモリセルを含み、各メモリセルはデータ保存要素を含む。デコーダは外部ソースからアドレスを受信して、アドレス指定が可能なメモリセルの中から、少なくとも一つに近付くためのロー信号とコラム信号を発生する。本発明の実施形態によって構成された位相同期ループは、チップの外部のソースから伝送される信号を受信するためにメモリ装置に適用される。

20

【 0 0 8 9 】

図15は、本発明によるメモリシステムのブロック図である。

図15で、メモリシステムは、命令信号（COM）とアドレス信号（BA（バンクアドレス）、ADD）を発生するメモリ制御器100及びメモリモジュール300を含む。メモリモジュール300は、複数のメモリ装置（300-1ないし300-n）を含み、命令信号（COM）とアドレス信号（BA、ADD）を受信し、これに应答してメモリ装置（300-1ないし300-n）に保存したり、またはメモリ装置から抽出するためにデータを送信、または受信する。本発明の実施形態による位相同期ループはチップ外部のソースからデータを受信するためにメモリ装置に提供される。

30

【 0 0 9 0 】

上述では、本発明の好ましい実施の形態を参照しながら説明したが、当該技術分野の熟練した当業者は、添付の特許請求範囲に記載された本発明の思想及び領域から逸脱しな範囲で、本発明を多様に修正及び変更させることができる。

【 符号の説明 】

【 0 0 9 1 】

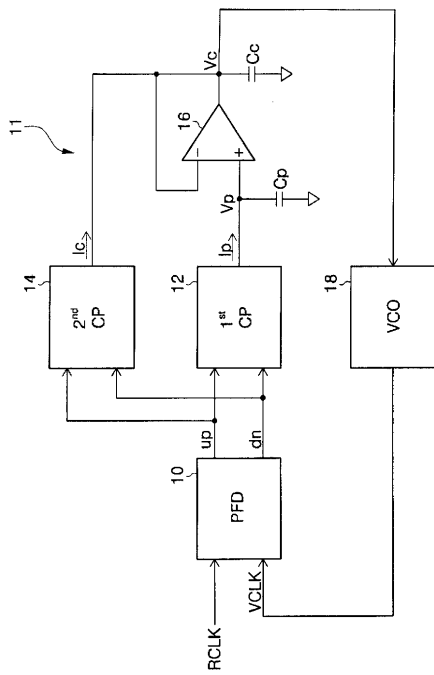
- 10、20、40、60：周波数検出器（PFD）
- 11、21、41、61：位相同期ループ（PLL）
- 12、22、44、64：第1電荷ポンプ（CP）
- 14、46、68：第2電荷ポンプ（CP）
- 16、24、50、72：演算増幅器
- 18、26、52、74：電圧制御発振器（VCO）
- 28：バイアス電圧発生回路
- 30：第2演算増幅器
- 42、62：パルス幅フィルタ（PWF）
- 48：制御信号発生器

40

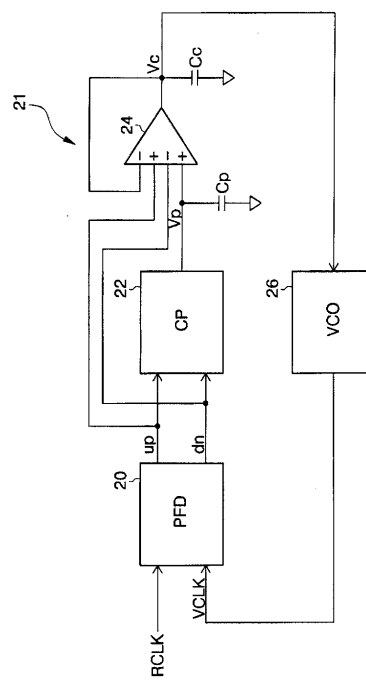
50

- 66 : 第3電荷ポンプ (CP)
- 70 : 第4電荷ポンプ (CP)
- 100 : メモリ制御器
- 300 : メモリモジュール
- 300 - 1ないし300 - n : メモリ装置

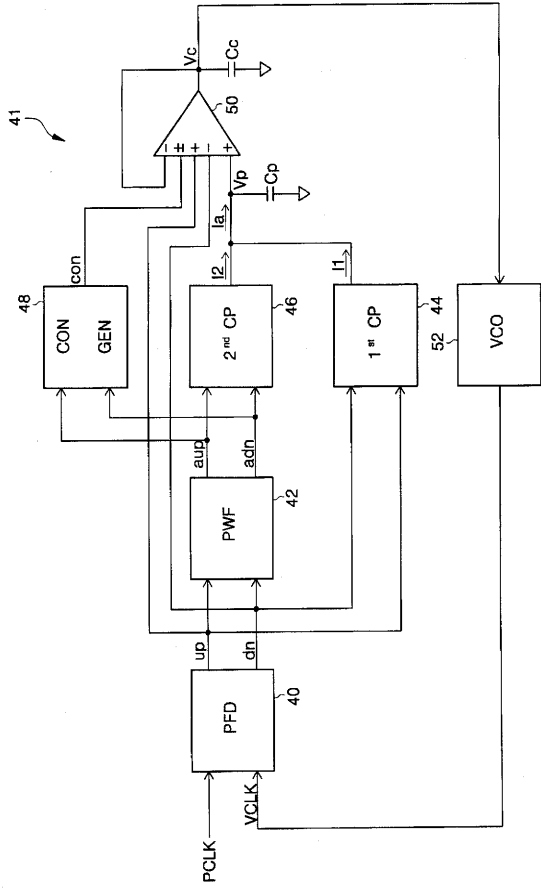
【図1】



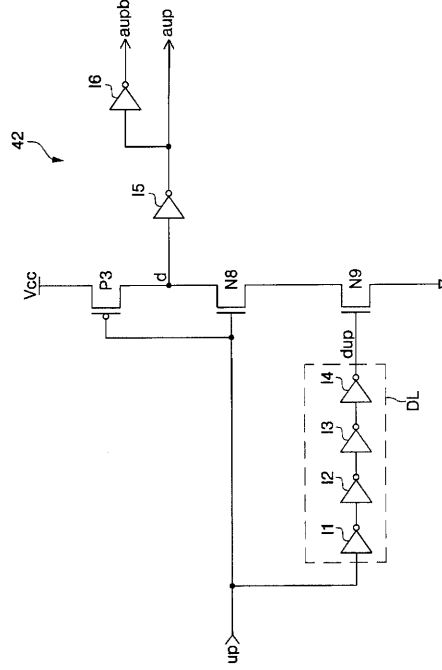
【図2】



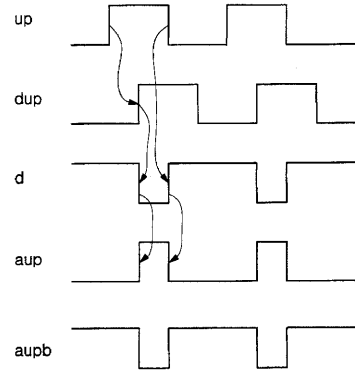
【 図 6 】



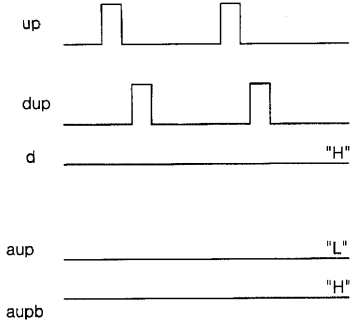
【 図 7 】



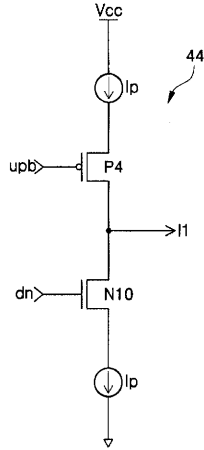
【 図 8 A 】



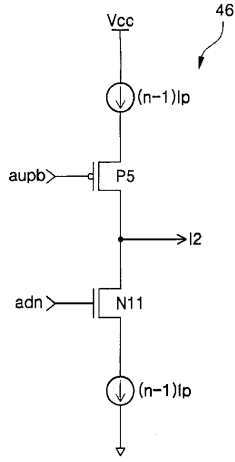
【 図 8 B 】



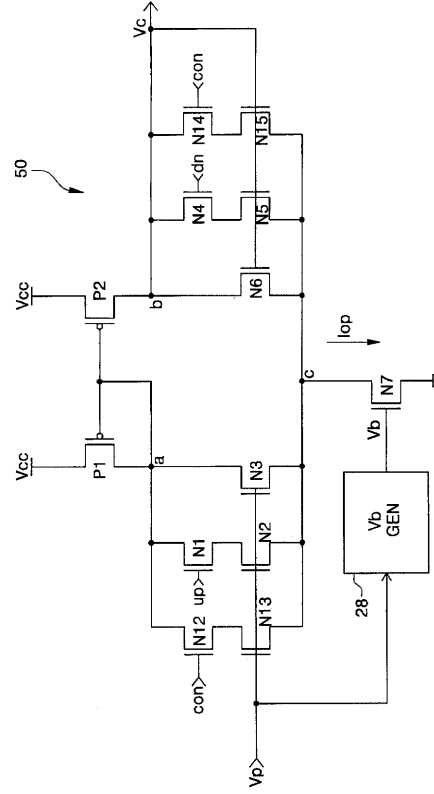
【 図 9 A 】



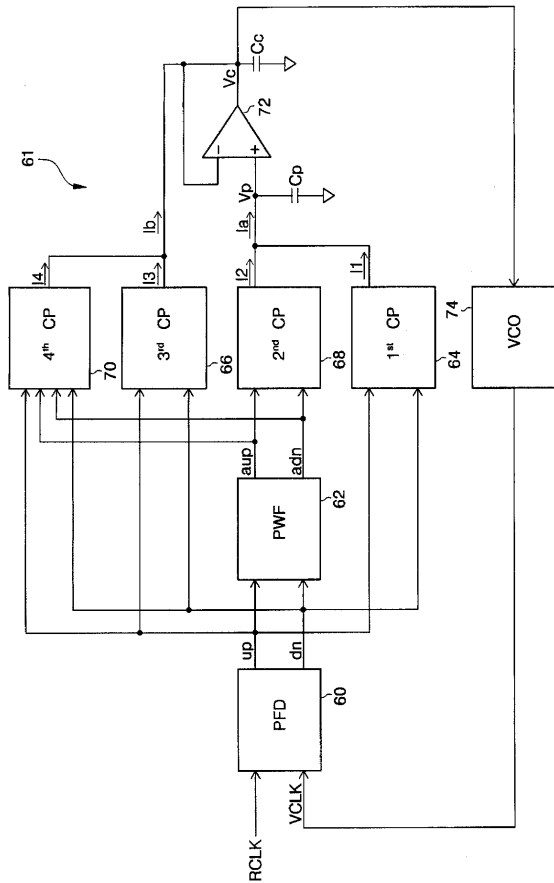
【 9 B 】



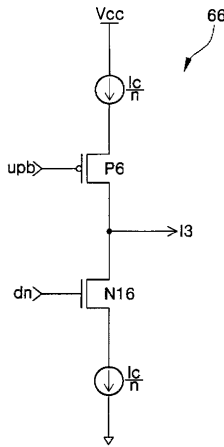
【 10 】



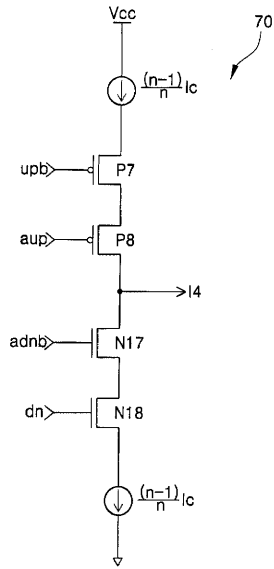
【 11 】



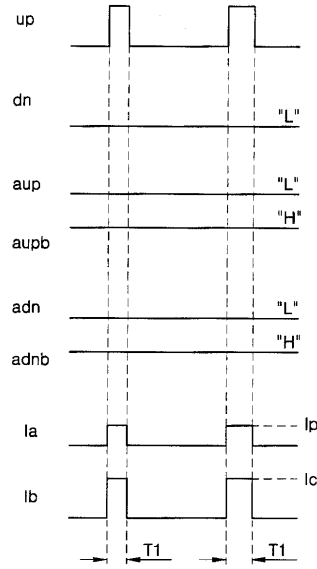
【 12 A 】



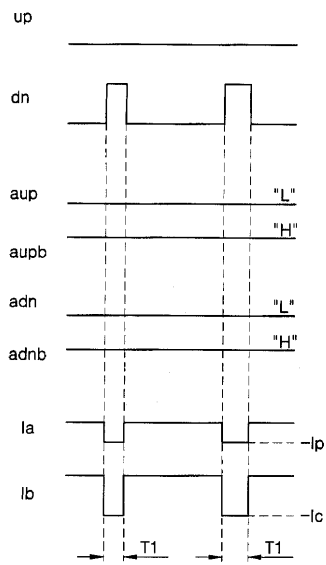
【 1 2 B 】



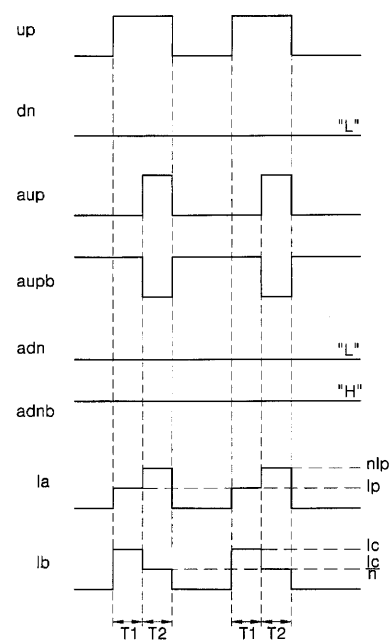
【 1 3 A - 1 】



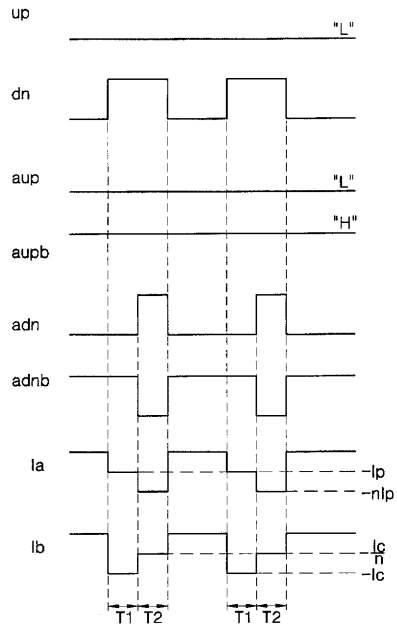
【 1 3 A - 2 】



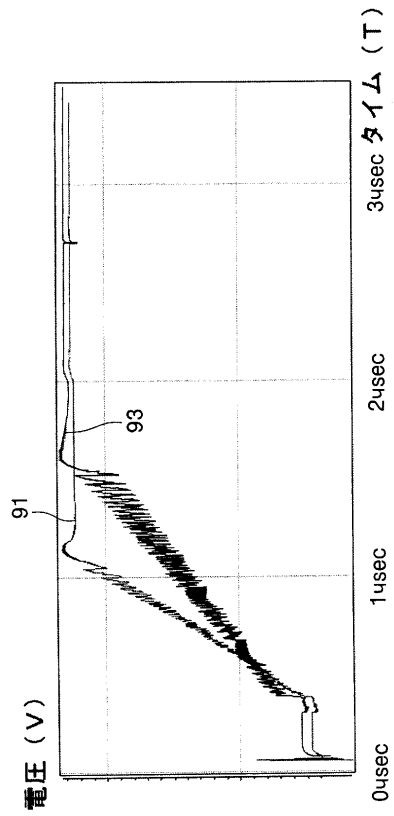
【 1 3 B - 1 】



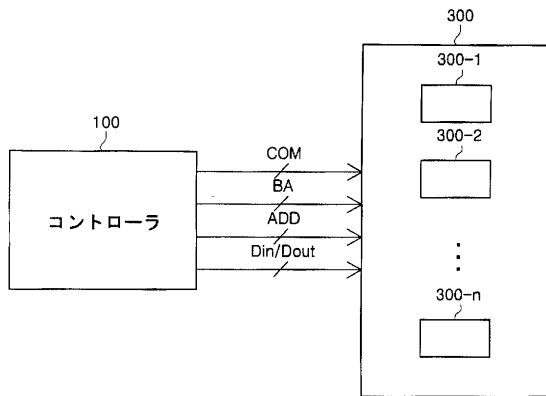
【図 13B - 2】



【図 14】



【図 15】



フロントページの続き

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 孫 寧洙

大韓民国ソウル江南区逸院洞689-2番地 現代アパート21棟402号

審査官 上田 智志

(56)参考文献 特開平07-170178(JP,A)

特開昭56-119520(JP,A)

特開平03-071722(JP,A)

実開平01-065527(JP,U)

特開2000-341116(JP,A)

特開平11-298321(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03L 7/06-7/23