(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 696 30 683 T2** 2004.04.15

(12) # Übersetzung der europäischen Patentschrift

(97) **EP 0 818 008 B1**
(21) Deutsches Aktenzeichen: **696 30 683.2**
(86) PCT-Aktenzeichen: **PCT/IB96/01499**
(96) Europäisches Aktenzeichen: **96 945 164.0**
(87) PCT-Veröffentlichungs-Nr.: **WO 97/027547**
(86) PCT-Anmeldetag: **20.12.1996**
(87) Veröffentlichungstag der PCT-Anmeldung: **31.07.1997**
(97) Erstveröffentlichung durch das EPA: **14.01.1998**
(97) Veröffentlichungstag der Patenterteilung beim EPA: **12.11.2003**
(47) Veröffentlichungstag im Patentblatt: **15.04.2004**

(51) Int Cl.[7]: **G06F 13/42**

(30) Unionspriorität:
9601693 27.01.1996 GB

(84) Benannte Vertragsstaaten:
DE, FR

(73) Patentinhaber:
Motorola Israel Ltd., Tel Aviv, IL

(74) Vertreter:
SCHUMACHER & WILLSAU, Patentanwaltssozietät, 80335 München

(72) Erfinder:
GALANTI, David, 42000 Natania, IL; ZMORA, Eitan, 97830 Jerusalem, IL; GOREN, Avner, 40800 Rosh-haayin, IL

(54) Bezeichnung: **DYNAMISCHES RAM IN EINEM MIKROPROZESSORSYSTEM**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

Gebiet der Erfindung

[0001] Diese Erfindung bezieht sich auf Mikroprozessoren und insbesondere auf Mikroprozessoren zur Verwendung in Systemen mit dynamischen Direktzugriffspeichern (DRAMs: Dynamic Random Access Memories).

Hintergrund der Erfindung

[0002] In vielen bekannten Verarbeitungssystemen gibt es mehrere Prozessoren oder andere Schaltungen, welche eine Verarbeitungseinheit umfassen, (nachfolgend als "Master" bezeichnet) welche mit einem gemeinsamen Bus verbunden bzw. gekoppelt sind, so dass Sie alle auf verschiedene "Slave"-Geräte, die ebenfalls mit dem Bus verbunden bzw. gekoppelt sind, zugreifen können, wie etwa verschiedene Arten von Speichervorrichtungen, z. B. DRAMs, statische Direktzugriffsspeicher (SRAMs: Static Random Access Memories), Festwertspeicher (ROMs: Read Only Memories), oder andere Arten von Peripheriegeräten, wie z. B. Speichervorrichtungen oder Kommunikationsschnittstellen. In einigen Fällen wird jedoch auf einen speziellen DRAM nur von einer einzelnen Master-Vorrichtung zugegriffen, so dass dieser als der einen Master-Vorrichtung eigen oder privat angesehen werden kann.

[0003] Die DRAMs sind mit Leitungseingängen für Zeilenzugriffs-Hinweissignale (RAS: Row Accesss Strobe) und Spaltenzugriffs-Hinweissignale (CAS: Column Access Strobe) zur Adressierung einer speziellen Speicherzelle mittels ihrer Zeilen- und Spaltenadresse sowohl zum Lesen der Zelle als auch zum Schreiben der Zelle ausgestattet. Ein Merkmal der Verwendung der RAS- und CAS-Leitungen zur Adressierung ist, dass der RAS-Eingang verwendet wird, um eine sogenannte Page bzw. Seite des DRAMs zu bezeichnen, während der CAS-Eingang eine spezielle Position oder Adresse innerhalb dieser Page bezeichnet, sodass, solange sich aufeinander folgende Zellen, die adressiert werden sollen, innerhalb derselben Page befinden (sogenannter schneller Page-Modus), nur der CAS-Eingang verändert werden muss und der RAS-Eingang angesteuert bleiben kann, jedoch nicht jedes Mal ausgelesen werden muss, sodass der Zugriffszyklus verkürzt wird. Dies kann natürlich nur solange geschehen, wie dieselbe Mastervorrichtung die Kontrolle über den Bus hat, sodass sie sicher sein kann, dass keine andere Mastervorrichtung zwischen zwei ihrer Zugriffen auf eine andere Page des DRAMs zugegriffen hat. Daher muss die Mastervorrichtung jedes Mal, wenn sie die Kontrolle über den Bus bekommt, unter Verwendung von sowohl den RAS- als auch den CAS-Leitungen adressieren (sogenannter out-of-page-Zugriff), was mehr Zeit erfordert.

[0004] Des Weiteren müssen, wie wohlbekannt ist, DRAMs aufgefrischt werden, um die Daten in ihren Speicherzellen aufrechtzuerhalten und dies kann erfolgen, indem zuerst der CAS-Eingang und dann der RAS-Eingang aktiviert wird, anstatt zunächst den RAS-Eingang gefolgt von dem CAS-Eingang zu aktivieren, wie dies für die Adressierung getan wird. Eine solche Auffrischung muss regelmäßig durchgeführt werden, sodass die Master-Vorrichtung, welche die Auffrischung steuert, Kontrolle über den Bus erhalten, die Auffrischung durchführen und dann die Kontrolle über den Bus aufgeben muss. Dies verbraucht wertvolle Buszeit, die von anderen Mastervorrichtungen genutzt werden könnte. Die vorliegende Erfindung will daher einen Mikroprozessor zur Verwendung mit einem privaten DRAM zur Verfügung stellen, welcher die oben erwähnten Probleme des Standes der Technik überwindet oder zumindest reduziert. Der Ausdruck "Mikroprozessor" soll hier sämtliche Mastervorrichtungen umfassen.

Zusammenfassung der Erfindung

[0005] Gemäß einem ersten Aspekt der vorliegenden Erfindung wird ein Mikroprozessor bereitgestellt mit wenigstens RASund CAS-Ausgängen zur ausschließlichen Verbindung bzw. Kopplung mit RAS- und CAS-Eingängen eines privaten DRAMs über einen Bus, wobei der Mikroprozessor ein DRAM-Steuerregister mit wenigstens einem Bit, welches gesetzt wird, um anzuzeigen, ob der DRAM für den Mikroprozessor privat ist, eine Leseschaltung, welche das eine Bit ausliest und bestimmt, ob das Bit gesetzt ist, und eine mit der Leseschaltung verbundene bzw. gekoppelte Steuerlogikschaltung zur Steuerung von Funktionen des Mikroprozessors in Abhängigkeit davon, ob der DRAM für ihn privat ist, umfasst.

[0006] Bei einer Ausführungsform steuert die Steuerlogikschaltung eine DRAM-Auffrischungsfunktion des Mikroprozessors, so dass der Mikroprozessor die DRAM-Auffrischungsfunktion unter Verwendung der RAS- und CAS-Ausgänge durchführt ohne Ausgabe einer Anforderung nach oder Vermutung der Kontrolle über den Bus, wenn das eine Bit gesetzt ist, um anzuzeigen, dass der DRAM privat ist.

[0007] Bei einer anderen Ausführungsform steuert die Steuerlogikschaltung eine DRAM-Adressierungsfunktion des Mikroprozessors, sodass dem Mikroprozessor, wenn das eine Bit gesetzt ist, um anzuzeigen, dass der DRAM privat ist, gestattet wird, die Kontrolle über den Bus aufzugeben, ohne die RAS- und CAS-Leitungen freizugeben, wodurch Zugriff auf den DRAM im schnellen Page-Modus ermöglich wird, wenn der Mikroprozessor das nächst Mal Kontrolle über den Bus besitzt.

[0008] Gemäß einem zweiten Aspekt der vorliegenden Erfindung wird ein System zur Verfügung gestellt, umfassend einen Mikroprozessor gemäß dem ersten Aspekt, mit Adress-, Steuer-, Daten-, RAS- und CAS-Anschlüssen bzw. -Pins, die entsprechend mit Adress-, Steuer-, Daten-, RAS- und CAS-Leitun-

gen eines Busses verbunden bzw. gekoppelt sind, wenigstens einen DRAM mit Adress-, Steuer-, Daten-, RAS- und CAS-Anschlüssen, welche entsprechend mit den Adress-, Steuer-, Daten-, RAS- und CAS-Leitungen des Busses verbunden bzw. gekoppelt sind, wobei der DRAM für den Mikroprozessor privat ist und die RAS- und CAS-Anschlüsse des DRAM und des Mikroprozessors logisch miteinander verbunden sind, sodass der Mikroprozessor auf keinen anderen DRAM zugreifen kann und auf den DRAM von keinem anderen Mikroprozessor zugegriffen werden kann, wobei die Steuerlogikschaltung eine DRAM-Auffrischungsfunktion des Mikroprozessors steuert, sodass der Mikroprozessor die DRAM-Auffrischungsfunktion unter Verwendung der RAS- und CAS-Leitungen des Busses durchführt, ohne Ausgabe einer Anforderung nach oder einer Vermutung der Kontrolle über den Bus, wenn das Bit gesetzt ist, und wobei die Steuerlogigschaltung eine DRAM-Adressierungsfunktion des Mikroprozessors steuert, wenn das Bit gesetzt ist, um dem Mikroprozessor, falls erwünscht, zu gestatten, die Kontrolle über den Bus aufzugeben, ohne die RAS- und CAS-Leitungen freizugeben, wodurch das nächste Mal, wenn der Mikroprozessor Kontrolle über den Bus besitzt, ein In-Page-Zugriff auf den DRAM gestattet wird.

[0009] Auf diese Weise kann der DRAM aufgefrischt werden, während der Prozessor nicht der Bus-Master ist, und auf ihn kann in einem schnellen "Page-Modus" unmittelbar nach Erhalt der Master-Eigenschaft zugegriffen werden, ohne die Notwendigkeit, zuvor auf dem Adressbus eine Zeilenadresse anzusteuern und RAS zu setzen.

Kurze Beschreibung der Zeichnungen

[0010] Ein Ausführungsbeispiel soll nun vollständiger beschrieben werden, und zwar beispielhaft unter Bezugnahme auf die Zeichnungen, in welchen:

[0011] **Fig.** 1 eine erfindungsgemäße Prozessor- und DRAM-Anordnung zeigt;

[0012] **Fig.** 2 ein Timing-Diagramm für eine Auffrischungsfunktion für den Prozessor und den DRAM von **Fig.** 1 zeigt; und

[0013] **Fig.** 3 ein Timing-Diagramm für eine Adressierungsfunktion eines Prozessors und DRAMs gemäß dem Stand der Technik zeigt;

[0014] **Fig.** 4 ein Timing-Diagramm für eine Adressierungsfunktion für den Prozessor und DRAM von **Fig.** 1 in einem schnellen Page-Modus zeigt.

Beschreibung einer bevorzugten Ausführungsform

[0015] Es wird Bezug genommen auf **Fig.** 1. Dort ist eine Prozessor- und DRAM-Anordnung **10** dargestellt. Ein Prozessor **15** umfasst ein programmierbares Register **20**, welches DCR (DRAM Control Register: DRAM-Steuerregister) genannt wird. Das DCR **20** umfasst ein Statusbit **30**. Der Prozessor ist über einen Bus **25** mit verschiedenen anderen Geräten verbunden. Der Bus **25** umfasst eine Busgewährungsleitung (BG: bus grant), eine Bus-Besetzt-Leitung (BB: bus busy) und eine Busanforderungsleitung (BR: bus request) und wird von einer (nicht dargestellten) Entscheidungseinrichtung gemanagt.

[0016] Ein Bus-Master **35** der Anordnung ist mit dem Bus **25** verbunden und umfasst einen Steuerblock **40**, welcher Kontrolle über den Bus bereitstellt. Ein DRAM **45** ist ebenfalls mit dem Bus **25** verbunden und umfasst einen DRAM-Steuerblock **50**, welcher Kontrolle über den DRAM **45** bereitstellt. Der DRAM **45** hat (nicht dargestellte) RAS- und CAS-Leitungen. Wenn das Statusbit **30** des DCR **20** gesetzt ist, ist der DRAM **45** für den Prozessor **15** effektiv privat und die RAS- und CAS-Leitungen werden ausschließlich von dem Prozessor **15** angesteuert.

[0017] Der Bussteuerblock **40** umfasst einen Busgewährungs(BG) Eingang **60**, einen Bus-Besetzt- (BB) Ausgang **65** und einen Busanforderungs- (BR) Ausgang **70**, die mit den entsprechenden Leitungen des Busses **25** verbunden sind. Der DRAM-Steuerblock west Ausgänge CAS **80** und RAS **75** zur Steuerung der CAS- und RAS-Leitungen des DRAM **45** auf. Das Statusbit **30** des DCR **20** ist so eingerichtet, dass es von dem Bussteuerblock **40** und dem DRAM-Steuerblock **50** parallel über den Bus **25** ausgelesen wird.

[0018] Es wird nun Bezug genommen auf **Fig.** 2. Dort ist eine Auffrischungssequenz bei Betrieb dargestellt, welche nicht die Master-Eigenschaft des Prozessors **15** über den Bus **25** erfordert. Alle Steuerleitungen sind als pull-up (logisch 1 = niedriger Spannungslevel) dargestellt.

[0019] Sektion **100** zeigt die Busfreigabe, bei der BR **70** am Ende der Busaktivität negiert wird, BG **60** wird von der Entscheidungseinrichtung negiert, und als ein Resultat wird BB **65** durch den Prozessor **15** negiert. Nach der Negierung von BB **65** nehmen, in Sektion **200**, alle Ausgänge des Prozessors **15** Tristate-Eigenschaft an (schwebend: floating). Ein anderer Prozessor (nicht dargestellt), wird Master über den Bus **25** und setzt BB **65**, um seine Master-Eigenschaft anzuzeigen. Wenn das Bit **30** im DCR **20** gesetzt ist, werden die RAS- und CAS- Leitungen (**75**;**80**) weiterhin von dem Prozessor **15** angesteuert und nehmen keine Tristate-Eigenschaft an.

[0020] In Sektion **300** steuert, wenn die Master-Eigenschaft verloren geht, der DRAM-Steuerblock **50** weiter die angesteuerte RAS-Leitung **75** an, wie sie zuvor angesteuert war. Dann beginnt der DRAM-Steuerblock **50** die Auffrischungsoperation (Ansteuerung von CAS **80** vor RAS **75**), unmittelbar dann, wenn die Notwendigkeit erkannt wird, wobei der Steuerblock **40** eine DRAM-Auffrischungsfunktion des Prozessors **15** derart steuert, dass der Prozessor **15** die DRAM-Auffrischungsfunktion unter Verwendung der RAS- und CAS-Leitungen (**75**; **80**) des Busses **25** durchführt, ohne Ausgabe einer Anforderung nach oder einer Vermutung der Kontrolle

über den Bus **25**. Die Auffrischung wird durch Setzen von CAS **80** vor RAS **75** durchgeführt.

[0021] Im Gegensatz dazu erfordert eine Anordnung nach dem Stand der Technik die Master-Eigenschaft über den Bus, wenn die Notwendigkeit, den externen DRAM aufzufrischen, erkannt wird. Die Master-Eigenschaft muss dann gewährt werden, bevor die eigentliche Auffrischung beginnt. Dies ist auch der Fall, wenn das Statusbit **30** nicht gesetzt ist.

[0022] Es wird nun auch auf **Fig.** 3 und **Fig.** 4 Bezug genommen. Dort ist die Möglichkeit dargestellt, den ersten Zugriff auf den DRAM **45**, nachdem die Master-Eigenschaft empfangen wurde, als "Page-Modus"-Zugriff durchzuführen. Sektionen **101**, **201**, **301** und **401** von **Fig.** 3 repräsentieren Stadien in einer Anordnung nach dem Stand der Technik. Sektion **102**, **202**, **302** und **402** von **Fig.** 4 repräsentieren Stadien, die beim "Page-Modus"-Zugriff auftreten.

[0023] In Sektionen. **101** und **102** wird die Zeilenadresse angesteuert und RAS **75** gesetzt. In Sektionen **201** und **202** werden nacheinander zwei Spaltenadressen angesteuert und CAS **80** entsprechend gesetzt und negiert. In der Nähe des Endes dieser Periode wird BG **60** negiert, um anzuzeigen, dass die Master-Eigenschaft über den Bus durch den Prozessor **15** verloren gegangen ist.

[0024] Wenn das Statusbit **30** des DCR **20** gesetzt ist, wird der Bus **25** in Sektion **302** freigegeben, RAS **75** wird weiterhin aktiv angesteuert und CAS **80** wird weiter negiert angesteuert. Bei einer Anordnung nach dem Stand der Technik wird, wie in Sektion **301** dargestellt, zunächst RAS **75** negiert, erhält dann Tristate-Eigenschaft, während CAS **80**, welches bereits negiert ist, nun Tristate-Eigenschaft erhält.

[0025] In der Zeitspanne **402** hat der Prozessor **15** wieder die Master-Eigenschaft über den Bus inne, die sofort mit der Spaltenadressen-Ansteuerung beginnt, gefolgt von einem Setzen von CAS **80** u . s. w., sodass die Zugriffszeit für den ersten Zugriff viel kürzer ist.

[0026] Im Gegensatz dazu führt ein DRAM-Steuerblock gemäß dem Stand der Technik eine vollständige Zugriffroutine, wie in Sektion **401** dargestellt, durch, mit allen benötigten Stadien, Reihenadressen-Ansteuerung, RAS Setzen, Spaltenadressen-Ansteuerung, CAS Setzen etc. Nochmals: dies ist auch der Fall, falls das Statusbit **30** nicht gesetzt ist.

[0027] Man wird erkennen, dass der Fachmann, obwohl lediglich ein spezielles Ausführungsbeispiel der Erfindung im Detail beschrieben wurden, verschiedene Modifikationen und Verbesserungen durchführen kann, ohne sich von dem Schutzbereich der vorliegenden Erfindung zu entfernen.

Patentansprüche

1. Mikroprozessor mit wenigstens RAS- und CAS-Ausgängen zur exklusiven Kopplung mit RAS- und CAS-Eingängen eines privaten DRAMs, über einen Bus, wobei der Mikroprozessor ein DRAM-Steuerregister mit wenigstens einem Bit, welches gesetzt wird, um anzuzeigen, ob der DRAM für den Mikroprozessor privat ist, eine Leseschaltung, welche das eine Bit ausliest und bestimmt, ob das Bit gesetzt ist, und eine mit der Leseschaltung gekoppelte Steuerlogikschaltung zur Steuerung von Funktionen des Mikroprozessors in Abhängigkeit davon, ob der DRAM für ihn privat ist, umfasst.

2. Mikroprozessor nach Anspruch 1, wobei die Steuerlogikschaltung eine DRAM-Auffrischungsfunktion des Mikroprozessors derart steuert, dass der Mikroprozessor die DRAM-Auffrischungsfunktion unter Verwendung der RAS- und OAS-Ausgänge durchführt, ohne Ausgabe einer Anforderung nach oder einer Vermutung der Kontrolle über den Bus, wenn das eine Bit gesetzt ist, um anzuzeigen, dass der DRAM privat ist.

3. Mikroprozessor nach Anspruch 1, wobei die Steuerlogikschaltung eine DRAM-Adressierungsfunktion des Mikroprozessors steuert, sodass dem Mikroprozessor, wenn das eine Bit gesetzt ist, um anzuzeigen, dass der DRAM privat ist, gestattet wird, die Kontrolle über den Bus aufzugeben, ohne die RAS- und CAS-Leitungen freizugeben, wodurch Zugriff auf den DRAM im schnellen Page-Modus ermöglich wird, wenn der Mikroprozessor das nächst Mal Kontrolle über den Bus besitzt.

4. Mikroprozessorsystem, umfassend:
den Mikroprozessor gemäß Anspruch 1 mit Adress-, Steuer-, Daten-, RAS- und CAS-Anschlüssen, die entsprechend mit Adress-, Steuer-, Daten-, RAS- und CAS-Leitungen eines Busses gekoppelt sind;
wenigstens einen DRAM, mit Adress-, Steuer-, Daten-, RAS- und CAS-Anschlüssen, welche entsprechend mit den Adress-, Steuer-, Daten-, RAS- und CAS-Leitungen des Busses gekoppelt sind, wobei der DRAM für den Mikroprozessor privat ist und die RAS- und CAS-Anschlüsse des DRAMs und des Mikroprozessors logisch miteinander verbunden sind, sodass der Mikroprozessor auf keinen anderen DRAM zugreifen kann und auf den DRAM von keinem anderen Mikroprozessor zugegriffen werden kann;
wobei die Steuerlogikschaltung eine DRAM-Auffrischungsfunktion des Mikroprozessors derart steuert, dass der Mikroprozessor die DRAM-Auffrischungsfunktion unter Verwendung der RAS- und CAS-Leitungen des Busses durchführt, ohne Ausgabe einer Anforderung nach oder einer Vermutung der Kontrolle über den Bus, wenn das Bit gesetzt ist, und wobei die Steuerlogigschaltung eine DRAM-Adressierungsfunktion des Mikroprozessors steuert, wenn das Bit gesetzt ist, um dem Mikroprozessor, falls erwünscht, zu gestatten, die Kontrolle über den Bus aufzugeben, ohne die RAS- und CAS-Leitungen freizugeben, wodurch das nächste Mal, wenn der Mikroprozessor

Kontrolle über den Bus besitzt, ein In-Page-Zugriff auf den DRAM gestattet wird.

Es folgen 3 Blatt Zeichnungen

Anhängende Zeichnungen

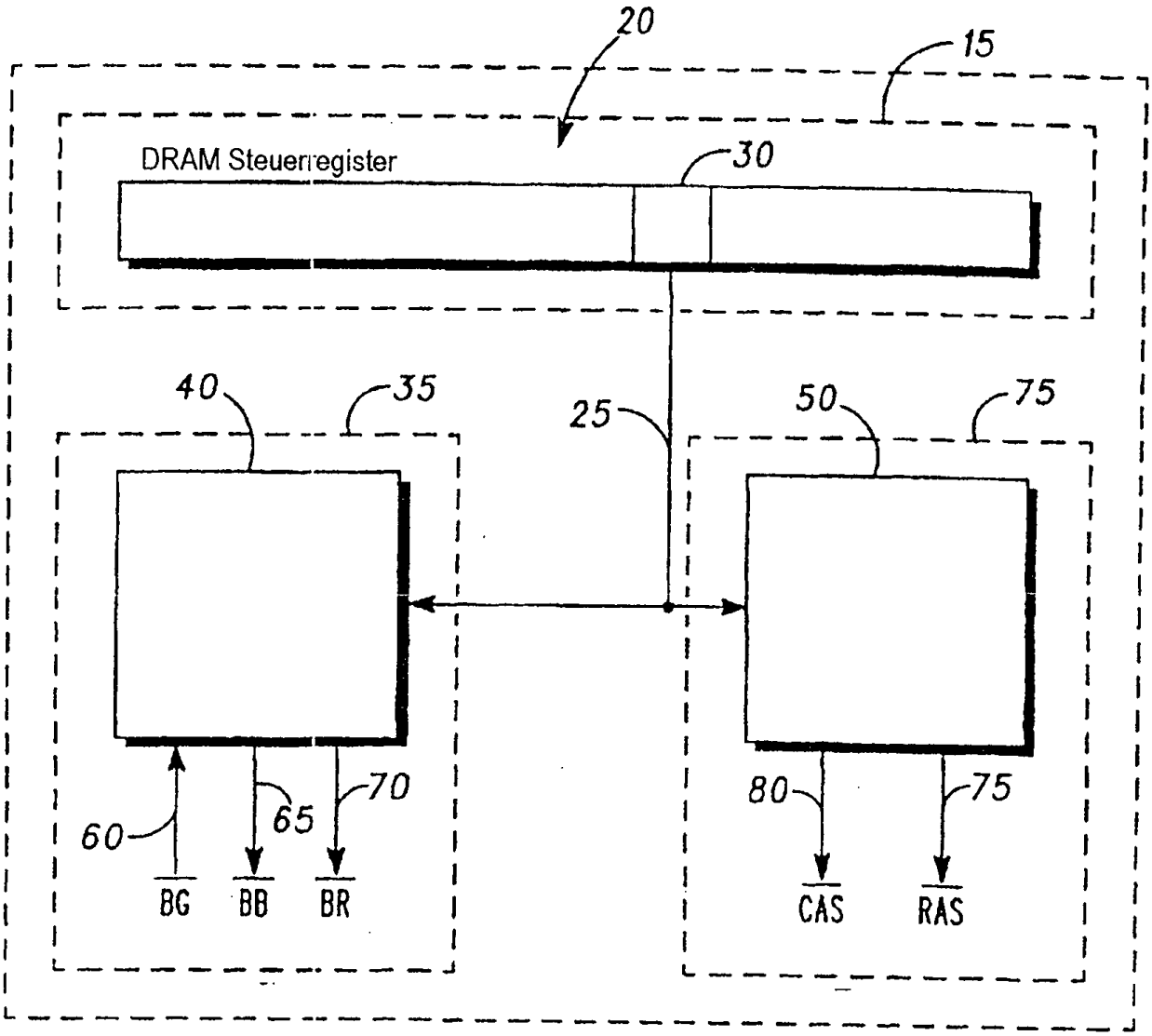


FIG.1

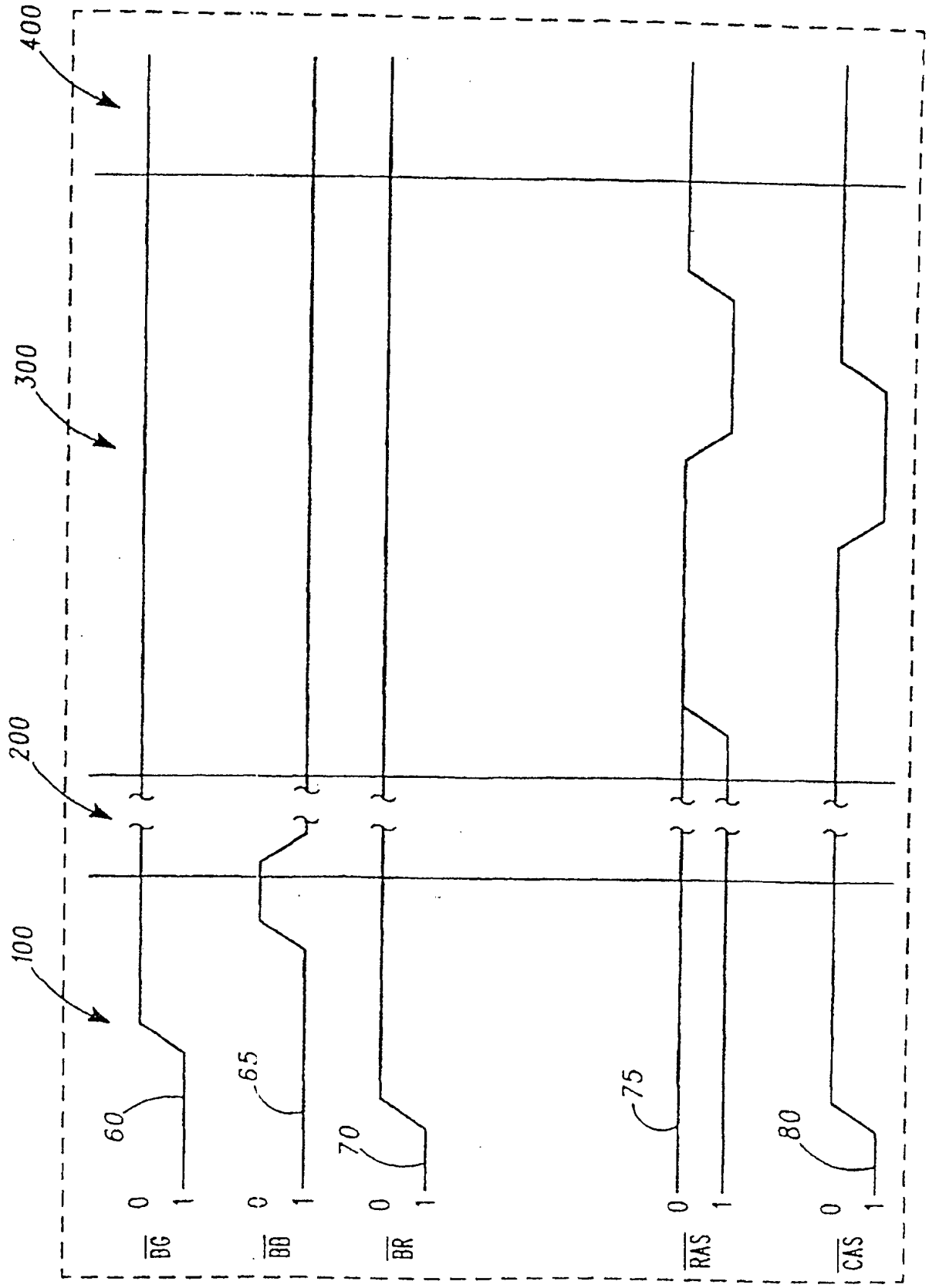

400
300
200
100
60
65
70
75
80
0
1
$\overline{BG}$
$\overline{BB}$
$\overline{BR}$
$\overline{RAS}$
$\overline{CAS}$

FIG.2

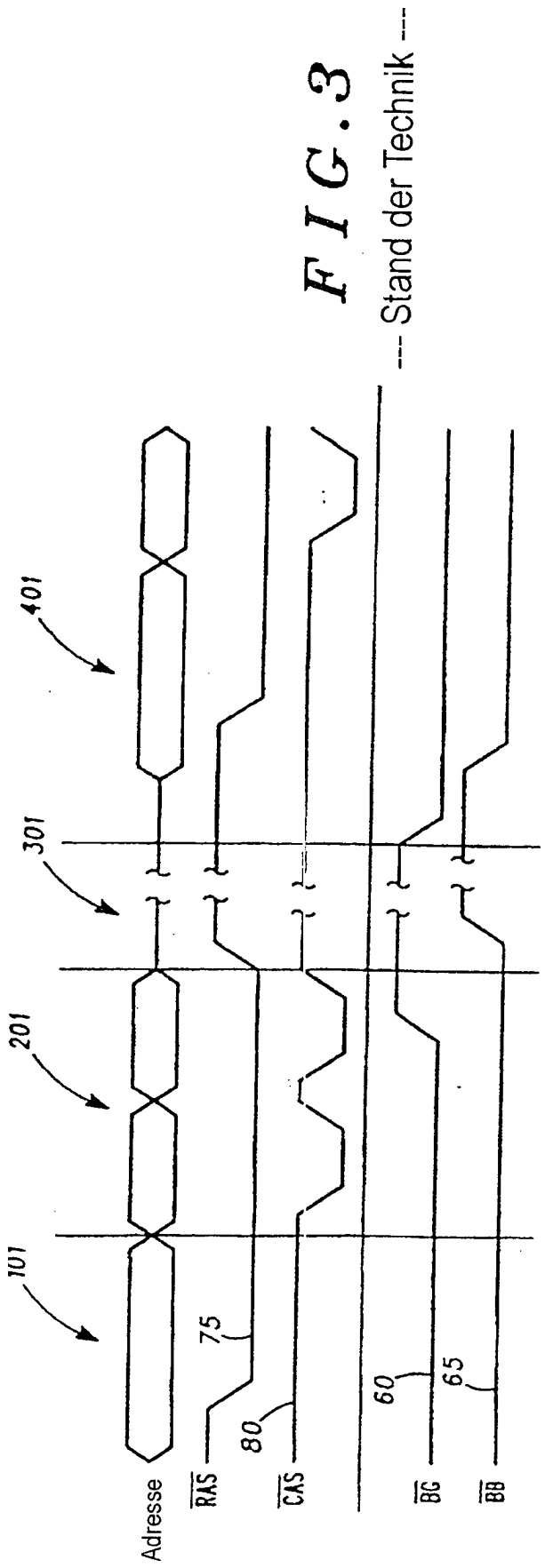

--- Stand der Technik ---
101
201
301
401
Adresse
RAS
CAS
BC
BB
75
80
60
65

FIG. 3

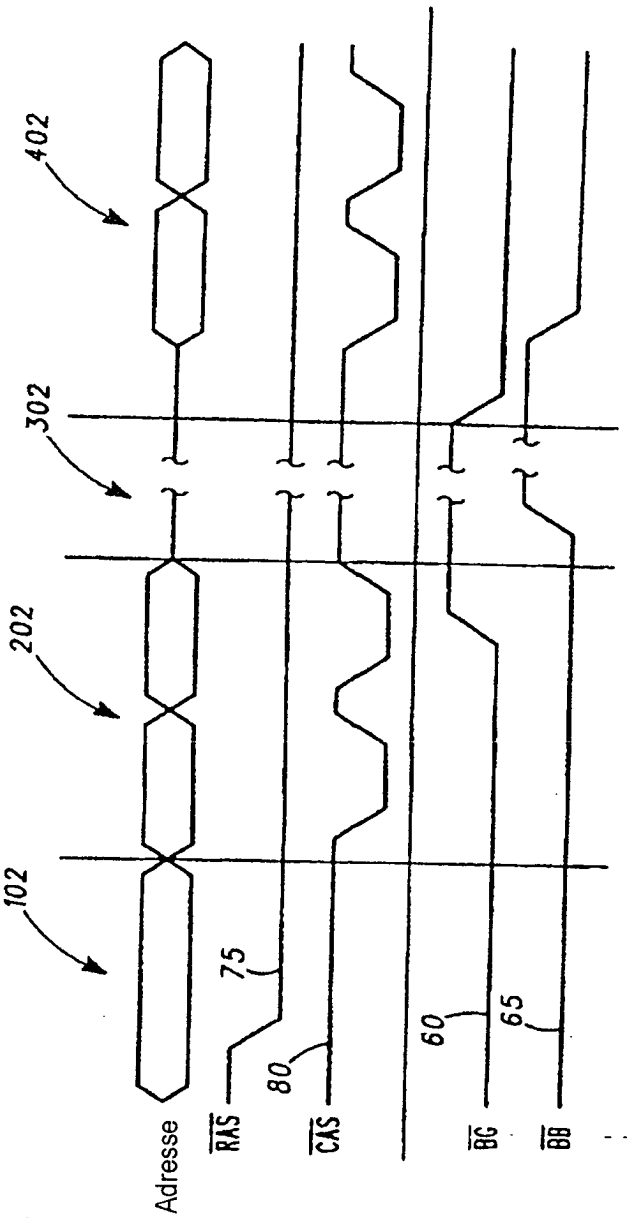

102
202
302
402
Adresse
RAS
CAS
BC
BB
75
80
60
65

FIG. 4